

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242675

(P2012-242675A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 670A	5C380
	G09G 3/20 670M	
	G09G 3/20 623C	
	G09G 3/20 670Q	
審査請求 未請求 請求項の数 6 O L (全 12 頁)		

(21) 出願番号	特願2011-113910 (P2011-113910)	(71) 出願人	000001007
(22) 出願日	平成23年5月20日 (2011. 5. 20)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100126240
			弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	藪兼 剛志
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	川野 藤雄
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置

(57) 【要約】

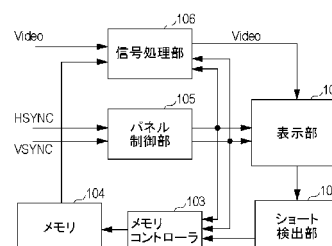
【課題】 電圧駆動の有機EL表示装置で有機EL素子のアノードとカソードがショートすると多大な貫通電流が流れて素子の劣化を速める。

【解決手段】 1対の電極と前記1対の電極に挟まれた発光層とを有する発光素子と、前記発光素子の一方の電極を電圧源に接続するスイッチとを含む画素回路が複数配置され、前記スイッチは前記画素回路に与えられるビデオ信号に応じてオンまたはオフに設定され、前記スイッチがオンのときに前記電圧源の電圧が前記1対の電極間に印加されることにより前記発光素子が発光する表示装置であって、

前記複数配置された画素回路のうちの、前記1対の電極間がショートした前記発光素子を含む画素回路の位置を保存するメモリと、

前記メモリの出力を読み取り、前記ショートした前記発光素子を含む画素回路に、前記ビデオ信号によらず前記スイッチをオフにする信号を与える信号処理部とを有することを特徴とする表示装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

1 対の電極と前記 1 対の電極に挟まれた発光層とを有する発光素子と、前記発光素子の一方の電極を電圧源に接続するスイッチとを含む画素回路が複数配置され、前記スイッチは前記画素回路に与えられるビデオ信号に応じてオンまたはオフに設定され、前記スイッチがオンのときに前記電圧源の電圧が前記 1 対の電極間に印加されることにより前記発光素子が発光する表示装置であって、

前記複数配置された画素回路のうちの、前記 1 対の電極間がショートした前記発光素子を含む画素回路の位置を保存するメモリと、

前記メモリの出力を読み取り、前記ショートした前記発光素子を含む画素回路に、前記ビデオ信号によらず前記スイッチをオフにする信号を与える信号処理部とを有することを特徴とする表示装置。

10

【請求項 2】

前記ショートした発光素子を含む画素回路の位置を検出するショート検出部を有する請求項 1 に記載の表示装置。

【請求項 3】

前記ショート検出部は、前記 1 対の電極間がショートした前記発光素子に流れる電流と、前記 1 対の電極間がショートしていない前記発光素子に流れる電流との差を検出する回路を有することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記ショート検出部は、前記複数の画素回路の 1 つに前記スイッチをオンにする信号を与え、他の画素回路に前記スイッチをオフにする信号を与えたときの、前記発光素子に流れる電流の総和を検出する回路を有することを特徴とする請求項 2 または 3 に記載の表示装置。

20

【請求項 5】

前記複数の画素回路に前記スイッチをオフにする信号を与えたときの前記発光素子に流れるリーク電流の総和を検出し、前記複数の画素回路の 1 つに前記スイッチをオンにする信号を与え、他の画素回路に前記スイッチをオフにする信号を与えたときの、前記発光素子に流れる電流の総和から差し引くリーク電流除去部を有することを特徴とする請求項 4 に記載の表示装置。

30

【請求項 6】

前記発光素子に流れる電流の総和は、前記 1 対の電極のうち前記一方の電極とは異なるほうの電極を共通接続して取り出されることを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、特に有機 EL 素子などの発光素子を用いた表示装置に関する。

【背景技術】

【0002】

次世代の表示装置として有機エレクトロルミネッセンス素子（以下、有機 EL 素子という）を用いた有機 EL 表示装置が知られている。有機 EL 素子は、陽極と陰極およびその間に挟まれた有機化合物を含む発光層で形成される。陽極と陰極の間に電圧が印加されると、陰極からは電子が、陽極からは正孔（ホール）が発光層に注入され、発光層において電子と正孔が再結合することで発生したエネルギーにより発光する。

40

【0003】

有機 EL 表示装置の駆動方式としては、電流駆動方式と電圧駆動方式とがある。電流駆動方式は、有機 EL 素子に流す電流を制御して発光させる方式である。有機 EL 素子の輝度は電流にほぼ比例するので、電流のアナログ制御により容易に中間輝度を得ることができる。

50

【 0 0 0 4 】

一方、電圧駆動方式は、特許文献 1 に記載されているように、有機 E L 素子に印加される電圧を制御して発光または非発光にする方式である。電圧と輝度の関係が非線形であるために中間的な輝度で発光させることが難しいので、発光素子はオンとオフの 2 状態にして、発光時間または発光面積で階調を表現する。

【 0 0 0 5 】

発光時間による階調表示は、1つの画像を表示するための期間、すなわち 1 フレーム期間、における発光期間の長さで発光回数によって階調を表現する。1 フレーム期間を複数のサブフレームに分割し、サブフレームごとに有機 E L 素子の点灯と消灯を制御し、発光時間の総和で階調を表現する。各サブフレームにはそれぞれ異なる一定の発光時間が割り当てられる。各サブフレームに発光時間の重みづけをすることによって、少ないサブフレーム分割数で高い階調を得ることができる。

10

【 0 0 0 6 】

有機 E L 素子の輝度を調節して中間調を得る方式では、トランジスタの出力電圧または出力電流をアナログ制御する必要がある。閾値ばらつきがあると、有機 E L 素子に流れる電流が変動して輝度が不均一になり、なめらかな階調が得られない。

【 0 0 0 7 】

これに対して、発光時間による中間調表示方式では、有機 E L 素子はオンまたはオフの 2 つの状態をとる。有機 E L 素子に電圧を与えるトランジスタもオンとオフの 2 値をとるスイッチとして動作する。このため、トランジスタの閾値電圧にばらつきがあってもその影響を受けない。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開平 1 0 - 2 1 4 0 6 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

有機 E L 表示装置においては、発光層の一部が欠損するなどして陽極と陰極間がショートすると、発光層に電圧が印加されず、したがって発光しない。電流駆動方式では、ショートした電極間に高々白表示における駆動電流が流れるだけであるが、電圧駆動方式では、電圧源の電圧が電極に直接印加されるので、ショートした箇所にも多大な貫通電流が流れる。貫通電流が流れ続けると、ショート部周辺の発光層を構成する有機化合物の劣化が進み表示装置の寿命を縮めることになる。

30

【 0 0 1 0 】

製造工程におけるショートの発生原因としては、下側の電極のエッジ部で発光層が段切れを起こし、下側の電極が露出することがあげられる。また、下側の電極に異物が付着していると、その部分で発光層が十分な厚さで形成されない。このいずれの場合も、上側の電極を形成したときにショートが発生する。

【 0 0 1 1 】

40

製造工程途中で発生したショートは、何らかの方法で修復（リペア）することができる。レーザ照射によるリペア法は、表示不良が発生した有機 E L 素子にレーザを照射して、薄膜トランジスタの電極と画素電極とを接続するコンタクト部の近傍の電極を切断し、この画素を暗点化するものである。しかし、レーザ照射によるリペアは、高精細化になるにつれ精度が厳しくなること、レーザ照射の際に照射部が加熱されて発光層中の有機化合物に変性が生じること、などの課題がある。

【 0 0 1 2 】

ショート箇所に大きな電流を流してその部分を溶断し、電流が流れないようにする方法もあるが、その場合でも溶断部の周辺で変性が生じやすい。

【 0 0 1 3 】

50

表示装置として使用している間にショートが発生すると、貫通電流のためにその部分が劣化または破壊されるばかりでなく、電源が故障する原因にもなる。

【 0 0 1 4 】

このように、電圧駆動方式の表示装置において、電極間のショートにより過大な電流が流れることを防ぎ、周辺材料が劣化したり電気回路に障害が発生することのない表示装置が望まれている。

【課題を解決するための手段】

【 0 0 1 5 】

本発明は、１対の電極と前記１対の電極に挟まれた発光層とを有する発光素子と、前記発光素子の一方の電極を電圧源に接続するスイッチとを含む画素回路が複数配置され、前記スイッチは前記画素回路に与えられるビデオ信号に応じてオンまたはオフに設定され、前記スイッチがオンのときに前記電圧源の電圧が前記１対の電極間に印加されることにより前記発光素子が発光する表示装置であって、

前記複数配置された画素回路のうちの、前記１対の電極間がショートした前記発光素子を含む前記画素回路の位置を保存するメモリと、

前記メモリの出力を読み取り、前記ショートした前記発光素子を含む画素回路に、前記ビデオ信号によらず前記スイッチをオフにする信号を与える信号処理部とを有することを特徴とする。

【発明の効果】

【 0 0 1 6 】

ショートした発光素子を含む画素にビデオ信号によらずオフ信号を与えることにより、スイッチが常にオフになり、発光素子に電源電圧が直接印加されることがなくなるので、貫通電流が流れることが防止できる。

【図面の簡単な説明】

【 0 0 1 7 】

【図１】本発明の第１の実施例に係る表示装置の構成を示すブロック図である。

【図２】ショート検出部の詳細構想を示す図である。

【図３】ショート検出の手順を示すフローチャートである。

【図４】検出電圧とショート判定基準を示す図である。

【図５】本発明の第３の実施例に係る表示装置の構成を示すブロック図である。

【図６】リーク電流除去部の詳細構造を示す図である。

【図７】リーク電流除去の手順を示すフローチャートである。

【図８】画素回路を示す図である。

【図９】画素回路の断面図である。

【発明を実施するための形態】

【 0 0 1 8 】

本発明は有機ＥＬ素子を用いた表示装置に限らず、無機ＥＬ素子やＬＥＤなど、１対の電極の間に電流が流れることによって発光する素子を用いたすべての表示装置に適用できる。以下、有機ＥＬ素子も含めてこれらの素子を発光素子と呼ぶ。

【 0 0 1 9 】

電圧駆動方式では、発光素子と電圧源との間にスイッチが配置され、スイッチがオンのとき発光素子の電極間に電圧源の電圧が印加される。スイッチがオフになると発光素子の両電極は開放状態になり、それまで電極間に印加されていた電圧は発光素子の内部を流れる電流によって速やかに減衰する。スイッチのオン・オフは２値の画像データによって制御される。スイッチとしてはトランジスタを用いることが多い。トランジスタのソース端子とドレイン端子が発光素子の一方の電極と電圧源とに接続され、ゲート端子に入る信号によってトランジスタが導通したり非導通になったりする。

【 0 0 2 0 】

両電極がショートしている発光素子は、正常な画素に比べて電極間抵抗が極めて低い。そのため、Ｌレベルのビデオ信号が入り電圧源電圧が印加されると、大きな貫通電流が流

10

20

30

40

50

れる。本発明は、発光素子がショートした画素に対して常にHレベルのビデオ信号を与えることにより、その画素のトランジスタを表示画像によらずオフにし、貫通電流が流れないようにするものである。

【0021】

以下、本発明を実施例によって詳しく説明するが、その前に本発明の表示装置を構成する個々の画素について説明する。

【0022】

図8は代表的な有機EL表示装置の画素回路である。画素回路801は、トランジスタ802、803、保持容量804、発光素子805、信号線806、走査線807、電圧源808、接地線809から構成される。

10

【0023】

走査線807の信号によりトランジスタ802がオンになると、信号線806に入力されたビデオ信号がトランジスタ802を経てトランジスタ803のゲートに入力される。

【0024】

トランジスタ803が、発光素子805のアノードと電圧源808との間にあり、そのオンとオフで発光と非発光がコントロールされるスイッチである。

【0025】

ビデオ信号はH(high)レベルとL(low)レベルからなる2値信号で、Hレベルが入力されるとトランジスタ803はコンダクタンスの小さいオフの状態になり、発光素子は電源電圧が伝達されず発光しない。Lレベルのビデオ信号が入力されると、トランジスタ803はコンダクタンスの大きいオンの状態になり、電圧源808の電圧の大部分が発光素子に印加されるようになり、発光素子に電流が流れて発光が生じる。図8の画素回路ではHレベルが黒信号、Lレベルが白信号になる。

20

【0026】

図9は、画素回路の断面を示す図である。発光素子805とトランジスタ803のみを示し、他の回路要素は省略してある。

【0027】

基板901に、トランジスタ803の活性層905、ゲート電極906、ドレイン電極907、ソース電極908が、絶縁層902を挟んで形成されている。ドレイン電極907とソース電極908は、絶縁層902に開けたコンタクトホールを介して活性層905に接続されている。図9には示されていないが、ドレイン電極907は延長されて電圧源808になっている。

30

【0028】

トランジスタ803の全体は平坦化層903で覆われ、平坦化層903の上に発光素子805である有機EL素子のアノード909、発光層910、カソード911がこの順に積層されている。アノード909とトランジスタ803のソース電極は、平坦化層903に開けたコンタクトホールを介して接続されている。発光素子805は、隣の画素の発光素子と隔壁912によって分離されている。

【0029】

図8および図9は1つの画素回路の回路と断面であるが、基板901の上には、図8や図9と同じ画素回路がマトリクス状に行と列を成して多数配置されている。カソード911は全ての画素にわたって連続して形成されている。

40

【0030】

(実施例1)

図1は第1の実施例の表示装置の構成を示すブロック図である。

【0031】

外部から入力されたビデオ信号Videoは、信号処理部106を経て表示部101に送られる。以下に説明するように、信号処理部106は、外部から送られてきたビデオ信号Videoのうち、ショートしている画素に対応するビデオ信号を常にHレベルにする。

50

【 0 0 3 2 】

表示部 1 0 1 には、図 8 の画素回路 8 0 1 が複数個マトリクス状に並んでおり、信号処理部 1 0 6 から送られてくるビデオ信号が順次各画素に表示される。パネル制御部 1 0 5 は、外部から来る水平同期信号 H S Y N C と垂直同期信号 V S Y N C に従って、表示部 1 0 1 と信号処理部 1 0 6 に、マトリクス配置した画素回路のアドレスを指示する信号を出力する。画素回路のアドレスは、その画素回路がマトリクス配置のどの位置にあるかを示すパラメータであって、行と列の番号などで指定される。

【 0 0 3 3 】

ショート検出部 1 0 2 は、表示部 1 0 1 の各発光素子がショートしているか否かの判定を行う。発光素子がショートしていると判定された画素のアドレスは、メモリコントローラ 1 0 3 を経てメモリ 1 0 4 に送られ保存される。

10

【 0 0 3 4 】

図 2 は、ショート検出部 1 0 2 の詳細な構造を示す図である。

【 0 0 3 5 】

画素回路 8 0 1 の発光素子は、カソードが共通接続されて、ショート検出部 1 0 2 の抵抗 2 0 2 に接続される。全発光素子の電流の和が抵抗 2 0 2 に流れ、それによって生じる電圧はコンパレータ 2 0 1 の一方の入力となる。コンパレータ 2 0 1 のもう一方の入力は、固定電源 2 0 3 の出力電圧 V_r が接続される。コンパレータ 2 0 1 の出力はインバータ 2 0 4 を経てメモリコントローラ 1 0 3、さらにはメモリ 1 0 4 に送られる。

【 0 0 3 6 】

図 3 はショートの有無の判定手順を示すフローチャートである。

20

【 0 0 3 7 】

ショートの検出は表示部 1 0 1 の画像表示が行われていない期間に行われる。

【 0 0 3 8 】

検出が開始されると、ステップ S 1 で、1 つの画素に白データ、その他の全画素に黒データが書き込まれる。このデータは、パネル制御部 1 0 5 で白データを書く画素のアドレスが作られて、それを受けた信号処理部 1 0 6 で生成されて表示部 1 0 1 に送られる。ついでステップ 2 で全画素のカソード電流が抵抗 2 0 2 に発生する電圧を検出し、ショートしているか否かが判定される。コンパレータ 2 0 1 の出力によって、抵抗 2 0 2 に発生する電圧のレベルがショートを示していると判定されたときは、ステップ S 3 に移り白データが書き込まれた画素のアドレスがメモリ 1 0 4 に保存される。コンパレータ 2 0 1 の出力が L でショートしていないと判定されたときは、ステップ S 3 はスキップされる。ついで、ステップ S 4 で全画素が検出されたか否かが判定される。まだ全画素の判定が終わっていないときは、パネル制御部 1 0 5 が出力する白データの画素のアドレスを 1 つ進めて、ステップ S 1 に戻る。全画素の判定が完了するとショート検出を終了する。

30

【 0 0 3 9 】

図 4 はショートがあるときとないときの抵抗 2 0 2 の電圧レベルを示す。両電極間がショートしている発光素子に白データを書き込むと、ショートしていない発光素子に流れる電流よりも大きな電流が流れる。黒データを書き込んだ画素の発光素子には微小なリーク電流しか流れないので、それを全画素について総和をとっても白データを書いた画素の電流より小さい。したがって、ショート検出部の抵抗 2 0 2 に流れる総和電流は、白データを書いた画素の発光素子に流れる電流と見做してよく、その電流の大きさによってショートしているか否かが判定できる。

40

【 0 0 4 0 】

総和電流は抵抗 2 0 2 によって電圧に変換される。 V_s は白データを書き込んだ画素がショートしているときの電圧、 V_a は白データを書き込んだ画素がショートしていないときの電圧、 V_{com} は抵抗の他端のコモン電圧である。 V_s は V_a よりも高いので、その間に判定基準電圧 V_r を設定する。

【 0 0 4 1 】

画素がショートしており電圧が基準電圧 V_r を超えたときは、コンパレータ 2 0 1 が H

50

(high)レベルを出力する。

【0042】

正常画素は抵抗202の電圧が基準電圧 V_r 以下なので、コンパレータ201出力はL(low)レベルとなる。コンパレータ201の出力がショートの有無の判定結果となる。コンパレータ201出力がHレベル、したがってインバーと出力がLレベルのとき、メモリコントローラ103は、そのときにパネル制御部が出力している白データが書かれた画素のアドレスをメモリ104に送る。

【0043】

ショート検出が完了すると画像表示モードに戻る。信号処理部106は、ビデオ信号Videoをパネル制御部105の発するアドレス信号によって順々に表示部に書き込む。その際に、メモリ104に保存されているショート画素の位置情報を読み取り、ショート画素以外の画素にはそのままビデオ信号を書き込み、ショート画素には、メモリ104に保存されているショート画素の位置情報をもとに黒データを書き込む。これによりショート画素に貫通電流が流れることが防止される。

10

【0044】

(実施例2)

製造工程で生じたショートを実施例1と同じショート検出部で出荷前に検査し、ショートしている画素のアドレスをメモリ104に保持する。その後ショート検出部102は取り外して製品として出荷する。取り外したショート検出部102は、別の製品のショート検出に用いることができる。出荷される表示装置は図1からショート検出部102を取り除いた構成になり、実施例1に比べて簡略化される。製造工程中に生じたショート画素にはすべて黒データが書き込まれるので、劣化が広がることが防止される。メモリ104は出荷検査で書き込まれたのち読み出しのみが行われるので、読み出し専用メモリを用いることができ、コストを下げるができる。

20

【0045】

(実施例3)

図4の V_1 は全画素に黒データを書き込んだときの電圧である。発光素子は黒状態にあるときでもわずかにリーク電流が流れるのでそれによって電圧 V_1 が発生する。通常この電圧は非常に小さく、白データを書いた画素の電流の検出に影響を与えない。しかし、発光素子のリーク電流が大きいと、図4の V_1 のレベルが高くなるために相対的に V_s と V_a の差が小さくなって、コンパレータ201の判定誤差が大きくなりショートの検出精度が下がる。本実施例では、全画素リーク電流を除去することでショート画素の検出精度を上げる。

30

【0046】

図5は本実施例のショート検出部とリーク電流除去部の構成を示すブロック図である。表示部101は、ショート検出部102に接続されるのに先立ってリーク電流除去部300に接続され、全画素リーク電流が検出される。

【0047】

図6は、リーク電流除去部300の詳細構成を示す図である。図7に本実施例のリーク電流除去とショート検出のフローチャートを示す。

40

【0048】

ステップS5とステップS6では、スイッチSW1がオフ、SW2がオンになり、表示部101はショート検出部102から切り離され、リーク電流除去部300に接続される。

【0049】

ステップS5で全画素に黒データをセットする。全画素のリーク電流が抵抗201に流れ、電圧 V_1 に変換されてコンパレータ302に入力される。コンパレータ302では、リーク電流による電圧 V_1 が抵抗201のもう一方の端子電圧 V_{com} と比較される。 V_1 より V_{com} が大きい場合はコンパレータ出力がHになり、 V_1 より V_{com} が小さい場合はコンパレータ出力がLになる。D/A(ディジタル/アナログ)変換器303コン

50

トローラ及びD/A変換器304によって、コンパレータ302のデジタル出力がアナログ電圧Vdaに変換される。演算増幅器305は、正入力端子にD/A変換器304の出力が接続され、トランジスタ306のソース電圧が負入力端子に接続されている。演算増幅器305の出力はトランジスタ306のゲート電圧となり、抵抗307に電流 $I' = Vda / R2$ が流れるようにトランジスタ306のゲート電圧が調整される。VdaがV0より高いときはI'によって抵抗201に流れる電流が減少する。VdaがV0より低くなると元の全画素リーク電流を増やす方向に制御される。V0はVcomより低い電圧に設定されている。上記の動作を繰り返すことにより、リーク電流を除去する。

【0050】

リーク電流除去終了後、スイッチSW1がオン、SW2がオフになる。表示部101はリーク電流除去部300から切り離され、ショート検出部102に接続される。 10

【0051】

以下、ステップS1 - S4によって画素ごとのショートの有無が判定される。その手順は実施例1と同じである。

【0052】

ショート画素の検出が完了すると、画像表示モードに戻る。

【0053】

本発明のリーク電流除去、ショート画素の検出及びその後のビデオ信号の書き込みは、上記実施例1ないし実施例3の方法に限定されない。

【符号の説明】

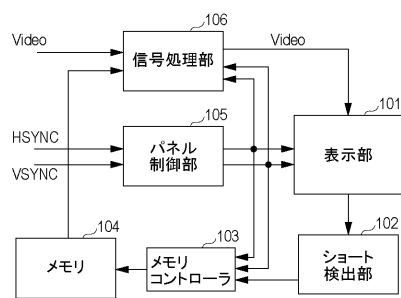
20

【0054】

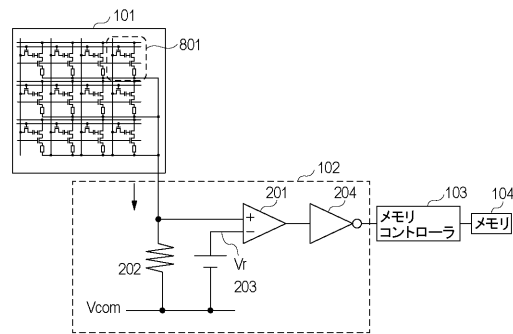
- 101 表示部
- 102 ショート検出部
- 103 メモリコントローラ
- 104 メモリ
- 105 パネル制御部
- 106 信号処理部
- 801 画素回路
- 803 スイッチ
- 805 発光素子
- 808 電圧源

30

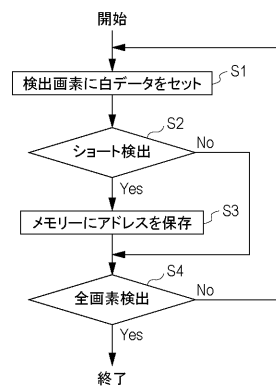
【 図 1 】



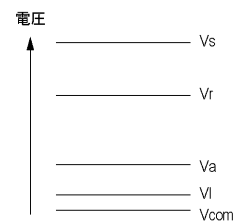
【 図 2 】



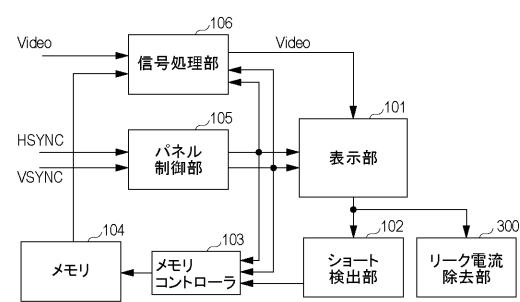
【 図 3 】



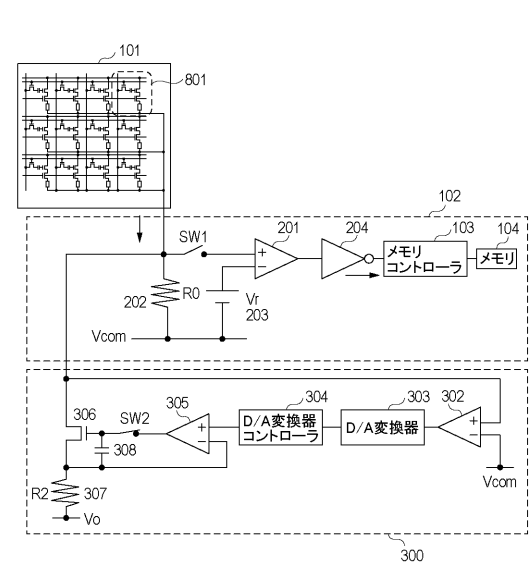
【 図 4 】



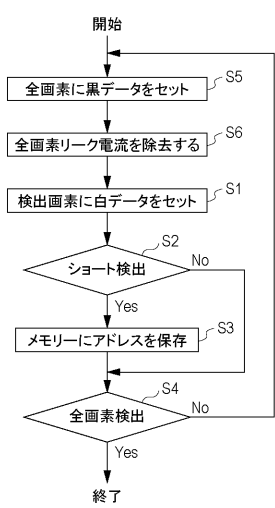
【 図 5 】



【 図 6 】

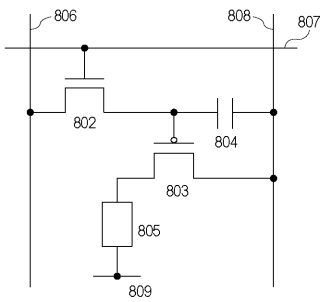


【 図 7 】

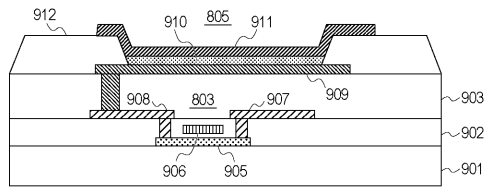


【 図 8 】

801 画素回路



【図 9】



フロントページの続き

(72)発明者 井関 正己

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

Fターム(参考) 5C080 AA06 AA07 BB05 DD15 DD27 FF11 JJ02 JJ03 JJ06 JJ07
5C380 AA01 AA02 AA03 AB06 BA10 BA28 BD07 CA14 CB17 CC02
CC26 CC29 CC33 CC39 CC63 CD012 CD013 CE04 CF05 CF27
CF41 CF61 DA01 DA07 DA11 EA06 FA03 FA21 GA02 GA09

专利名称(译)	表示装置		
公开(公告)号	JP2012242675A	公开(公告)日	2012-12-10
申请号	JP2011113910	申请日	2011-05-20
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	藪兼剛志 川野藤雄 井関正己		
发明人	藪兼 剛志 川野 藤雄 井関 正己		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.670.A G09G3/20.670.M G09G3/20.623.C G09G3/20.670.Q G09G3/3258 G09G3/3266 G09G3/3275		
F-TERM分类号	5C080/AA06 5C080/AA07 5C080/BB05 5C080/DD15 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/JJ07 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/BA10 5C380/BA28 5C380/BD07 5C380/CA14 5C380/CB17 5C380/CC02 5C380/CC26 5C380/CC29 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CE04 5C380/CF05 5C380/CF27 5C380/CF41 5C380/CF61 5C380/DA01 5C380/DA07 5C380/DA11 5C380/EA06 5C380/FA03 5C380/FA21 5C380/GA02 5C380/GA09		
代理人(译)	佐藤安倍晋三 黑岩Soware		
外部链接	Espacenet		

摘要(译)

解决的问题：当有机EL元件的阳极和阴极短路以引起大的贯通电流流动时，为了加速由电压驱动的有机EL显示装置中的元件的劣化。 布置多个像素电路，每个像素电路包括具有一对电极的发光元件和夹在该对电极之间的发光层，以及用于将发光元件的一个电极连接到电压源的开关。根据提供给像素电路的视频信号将开关设置为开或关，并且当开关导通时，在一对电极之间施加电压源的电压，从而使发光元件是发光的显示设备，在所布置的多个像素电路中，存储器存储像素电路的位置，该像素电路包括其中一对电极被短路的发光元件，信号处理单元，其读取存储器的输出，并向包括短路的发光元件的像素电路提供使开关断开的信号，而与视频信号无关。 一种显示装置，具有： [选型图]图1

