

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2008-158377
(P2008-158377A)

(43) 公開日 平成20年7月10日(2008.7.10)

(51) Int.Cl.	F I	テーマコード (参考)
G O 9 G 3/30 (2006.01)	G O 9 G 3/30 J	3 K 1 0 7
G O 9 G 3/20 (2006.01)	G O 9 G 3/30 K	5 C 0 8 0
H O 1 L 51/50 (2006.01)	G O 9 G 3/20 6 2 1 A	
	G O 9 G 3/20 6 2 4 B	
	G O 9 G 3/20 6 4 1 D	
審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2006-348945 (P2006-348945)	(71) 出願人	000002185
(22) 出願日	平成18年12月26日 (2006.12.26)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100092336
			弁理士 鈴木 晴敏
		(72) 発明者	豊村 直史
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		最終頁に続く	

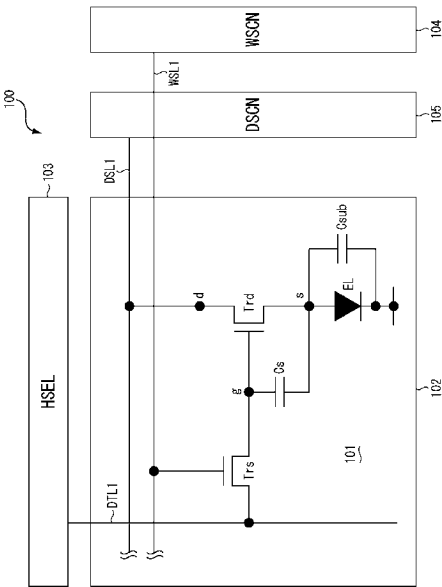
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】画素に対する映像信号書き込み時間のばらつきに起因する画面のシェーディングを抑制する。

【解決手段】駆動用トランジスタTrdは、給電線DSL1から電流の供給を受け保持容量Csに書き込まれた信号電位に応じて駆動電流を発光素子ELに流す。制御用スキナ104は、信号線DTL1が信号電位にある時間帯にサンプリング用トランジスタTrsを書き込み時間だけ導通状態にするため、所定のパルス幅の制御信号を走査線WSL1に出力し、以って保持容量Csに信号電位を書き込むと同時に駆動用トランジスタTrdの移動度μに対する補正を信号電位に加える。補助容量Csubが保持容量Csに接続しており、書き込み時間の誤差に起因する発光素子ELの輝度のバラツキを補正するため、その容量値が調整されている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査する制御用スキャナと、

該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクトとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量と、補助容量とを含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続し、

前記補助容量は、該保持容量に接続している表示装置であって、

前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて所定の書き込み時間だけ導通し、該信号線から供給された信号電位をサンプリングして該保持容量に書き込み、

前記駆動用トランジスタは、該給電線から電流の供給を受け該保持容量に書き込まれた信号電位に応じて駆動電流を該発光素子に流し、

前記発光素子は、該駆動電流に応じた輝度で発光し、

前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを該書き込み時間だけ導通状態にするため、所定のパルス幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を書き込むと同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、

前記補助容量は、該書き込み時間の誤差に起因する該発光素子の輝度のバラツキを補正するため、その容量値が調整されていることを特徴とする表示装置。

【請求項 2】

前記補助容量は、該書き込み時間を延長する方向に誤差が生じる場合、その容量値を上方調整して該発光素子の輝度を規定レベルに補正する一方、該書き込み時間を短縮する方向に誤差が生じる場合、その容量値を下方調整して該発光素子の輝度を規定レベルに補正することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記制御用スキャナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電氣的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持することを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記駆動部は、該線順次走査に合わせて各給電線に第 1 電位と第 2 電位で切り換わる電源電圧を供給する電源スキャナを含み、

前記電源スキャナは、該書き込み時間が到達する前に該給電線を第 1 電位から第 2 電位に切り換え、

前記制御用スキャナは、該信号線が基準電位にある時間帯で該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該給電線から第 2 電位を該駆動用トランジスタのソースにセットし、

前記電源スキャナは、該信号線が基準電位にある時間帯で該給電線を第 2 電位から第 1 電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込むように動作することを特徴とする請求項 1 記載の表示装置。

【請求項 5】

画素アレイ部とこれを駆動する駆動部とからなり、

前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、

前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査する制御用スキャナと、

該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セレクトとを備え、

前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量と、補助容量を含み、

前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、

前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、

前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続し、

前記補助容量は該保持容量に接続している表示装置の駆動方法であって、

前記サンプリング用トランジスタが、該走査線から供給された制御信号に応じて所定の書き込み時間だけ導通し、該信号線から供給された信号電位をサンプリングして該保持容量に書き込み、

前記駆動用トランジスタが、該給電線から電流の供給を受け該保持された信号電位に応じて駆動電流を該発光素子に流し、

前記発光素子が、該駆動電流に応じた輝度で発光し、

前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを該書き込み時間だけ導通状態にするため、所定のパルス幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を書き込むと同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、

該書き込み時間の誤差に起因する該発光素子の輝度のバラツキを補正するため、前記補助容量の容量値をあらかじめ調整しておくことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光素子を画素に用いたアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

発光素子として有機ELデバイスを用いた平面自発光型の表示装置の開発が近年盛んになっている。有機ELデバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ELデバイスは印加電圧が10V以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 μ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型の表示装置の中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型の表示装置の開発が盛んである。アクティブマトリクス型平面自発光表示装置は、例えば以下の特許文献1ないし5に記載されている。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

10

20

30

40

50

【特許文献 5】特開 2 0 0 4 - 0 9 3 6 8 2

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、従来のアクティブマトリクス型平面自発光表示装置は、プロセス変動により発光素子を駆動するトランジスタの閾電圧や移動度がばらついてしまう。また、有機 E L デバイスの特性が経時的に変動する。このような駆動用トランジスタの特性ばらつきや有機 E L デバイスの特性変動は、発光輝度に影響を与えてしまう。表示装置の画面全体にわたって発光輝度を均一に制御するため、各画素回路内で上述したトランジスタや有機 E L デバイスの特性変動を補正する必要がある。従来からかかる補正機能を画素毎に備えた表示装置が提案されている。しかしながら、従来の補正機能を備えた画素回路は、補正用の電位を供給する配線と、スイッチング用のトランジスタと、スイッチング用のパルスが必要であり、画素回路の構成が複雑である。画素回路の構成要素が多いことから、ディスプレイの高精細化の妨げとなっていた。

10

【課題を解決するための手段】

【0 0 0 5】

上述した従来の技術の課題に鑑み、本発明は画素回路の簡素化によりディスプレイの高精細化を可能にした表示装置及びその駆動方法を提供することを一般的な目的とする。特に、画素に対する映像信号書き込み時間のばらつきに起因する画面のシェーディングを抑制することを目的とする。かかる目的を達成するために以下の手段講じた。即ち本発明は、画素アレイ部とこれを駆動する駆動部とからなり、前記画素アレイ部は、行状の走査線と、列状の信号線と、両者が交差する部分に配された行列状の画素と、画素の各行に対応して配された給電線とを備え、前記駆動部は、各走査線に順次制御信号を供給して画素を行単位で線順次走査する制御用スキャナと、該線順次走査に合わせて列状の信号線に映像信号となる信号電位と基準電位を供給する信号セクタとを備え、前記画素は、発光素子と、サンプリング用トランジスタと、駆動用トランジスタと、保持容量と、補助容量とを含み、前記サンプリング用トランジスタは、そのゲートが該走査線に接続し、そのソース及びドレインの一方が該信号線に接続し、他方が該駆動用トランジスタのゲートに接続し、前記駆動用トランジスタは、そのソース及びドレインの一方が該発光素子に接続し、他方が該給電線に接続し、前記保持容量は、該駆動用トランジスタのソースとゲートの間に接続し、前記補助容量は、該保持容量に接続している表示装置であって、前記サンプリング用トランジスタは、該走査線から供給された制御信号に応じて所定の書き込み時間だけ導通し、該信号線から供給された信号電位をサンプリングして該保持容量に書き込み、前記駆動用トランジスタは、該給電線から電流の供給を受け該保持容量に書き込まれた信号電位に応じて駆動電流を該発光素子に流し、前記発光素子は、該駆動電流に応じた輝度で発光し、前記制御用スキャナは、該信号線が信号電位にある時間帯に該サンプリング用トランジスタを該書き込み時間だけ導通状態にするため、所定のパルス幅の制御信号を該走査線に出力し、以って前記保持容量に信号電位を書き込むと同時に該駆動用トランジスタの移動度に対する補正を信号電位に加え、前記補助容量は、該書き込み時間の誤差に起因する該発光素子の輝度のバラツキを補正するため、その容量値が調整されていることを特徴とする。

20

30

40

【0 0 0 6】

一態様によると、前記補助容量は、該書き込み時間を延長する方向に誤差が生じる場合、その容量値を上方調整して該発光素子の輝度を規定レベルに補正する一方、該書き込み時間を短縮する方向に誤差が生じる場合、その容量値を下方調整して該発光素子の輝度を規定レベルに補正する。好ましくは、前記制御用スキャナは、該保持容量に信号電位が保持された時点で、該サンプリング用トランジスタを非導通状態にして該駆動用トランジスタのゲートを該信号線から電氣的に切り離し、以って該駆動用トランジスタのソース電位の変動にゲート電位が連動しゲートとソース間の電圧を一定に維持する。また前記駆動部は、該線順次走査に合わせて各給電線に第 1 電位と第 2 電位で切り換わる電源電圧を供給

50

する電源スキャナを含み、前記電源スキャナは、該書き込み時間が到達する前に該給電線を第１電位から第２電位に切り換え、前記制御用スキャナは、該信号線が基準電位にある時間帯で該サンプリング用トランジスタを導通させて該信号線から基準電位を該駆動用トランジスタのゲートに印加するとともに該給電線から第２電位を該駆動用トランジスタのソースにセットし、続いて前記電源スキャナは、該信号線が基準電位にある時間帯で該給電線を第２電位から第１電位に切り換えて、該駆動用トランジスタの閾電圧に相当する電圧を該保持容量に書き込むように動作する。

【発明の効果】

【０００７】

本発明によれば、有機ＥＬデバイスなどの発光素子を画素に用いたアクティブマトリクス型の表示装置において、各画素が駆動用トランジスタの移動度補正機能を備えており、望ましくは駆動用トランジスタの閾電圧補正機能や有機ＥＬデバイスの経時変動補正機能（ブートストラップ動作）も備えており、高品位の画質を得ることが出来る。従来このような補正機能を備えた画素回路は構成素子数が多いためレイアウト面積が大きくなり、ディスプレイの高精細化には不向きであったが、本発明では構成素子数を２個のトランジスタと２個の容量まで削減し、画素のレイアウト面積を小さくすることが可能である。これにより高品位且つ高精細なフラットディスプレイを提供することが出来る。

【０００８】

各画素は保持容量を備えており、所定の書き込み時間で映像信号をこの保持容量に書き込む。駆動用トランジスタは保持容量に保持された映像信号に従って駆動電流を発光素子に供給する。しかしながら、映像信号の書き込み時間は制御信号の鈍りなどによってばらつき、これが原因となって発光素子の輝度にばらつきが現れる。本発明では保持容量に補助容量を接続して、この発光輝度のばらつきに対処している。即ち、サンプリング用トランジスタの開閉制御を行う制御信号の波形鈍りにより発生する書き込み時間のばらつきに合わせて、画素毎に設けた補助容量の容量値を調整することで、各画素の発光輝度が均一になるようにしている。これにより画面のシェーディングを抑制することが出来る。

【発明を実施するための最良の形態】

【０００９】

以下図面を参照して本発明の実施の形態を詳細に説明する。図１は、本発明にかかる表示装置の全体構成を示すブロック図である。図示するように本表示装置１００は画素アレイ部１０２とこれを駆動する駆動部（１０３，１０４，１０５）とからなる。画素アレイ部１０２は、行状の走査線 $W S L 1 \sim W S L m$ と、列状の信号線 $D T L 1 \sim D T L n$ と、両者が交差する部分に配された行列状の画素（ $P X L C$ ）１０１と、各画素１０１の各行に対応して配された給電線 $D S L 1 \sim D S L m$ とを備えている。駆動部（１０３，１０４，１０５）は、各走査線 $W S L 1 \sim W S L m$ に順次制御信号を供給して画素１０１を行単位で線順次走査する制御用スキャナ（ライトスキャナ $W S C N$ ）１０４と、この線順次走査に合わせて各給電線 $D S L 1 \sim D S L m$ に第１電位（高電位）と第２電位（低電位）で切換る電源電圧を供給する電源スキャナ（ $D S C N$ ）１０５と、この線順次走査に合わせて列状の信号線 $D T L 1 \sim D T L 1 n$ に映像信号となる信号電位と基準電位を供給する信号セクタ（水平セクタ $H S E L$ ）１０３とを備えている。制御用スキャナ１０４は、画素アレイ部１０２の左右両側に配され、走査線 $W S L 1 \sim W S L m$ を左右両側から同時に駆動する。同様に電源スキャナ１０５も、画素アレイ部１０２の左右両側に配され、給電線 $D S L 1 \sim D S L m$ を左右両側から同時に駆動する。

【００１０】

図２は、図１に示した表示装置１００に含まれる画素１０１の具体的な構成及び結線関係を示す回路図である。理解を容易にするため、画素アレイ部１０２の１行目で且つ１列目に位置する画素１０１を１個のみ代表して描いてある。この画素１０１は、有機ＥＬデバイスなどで代表される発光素子 $E L$ と、サンプリング用トランジスタ $T r s$ と、駆動用トランジスタ $T r d$ と、保持容量 $C s$ と、補助容量 $C s u b$ とを含む。サンプリング用トランジスタ $T r s$ は、そのゲートが対応する走査線 $W S L 1$ に接続し、そのソース及びド

10

20

30

40

50

レインの一方が対応する信号線 D T L 1 に接続し、他方が駆動用トランジスタ T r d のゲート g に接続する。駆動用トランジスタ T r d は、そのソース s 及びドレイン d の一方が発光素子 E L に接続し、他方が対応する給電線 D S L 1 に接続している。本実施形態では、駆動用トランジスタ T r d が N チャンネル型からなり、そのドレイン d が給電線 D S L 1 に接続する一方、ソース s が発光素子 E L のアノードに接続している。発光素子 E L のカソードは接地配線に接続している。なおこの接地配線は全ての画素 1 0 1 に対して共通に配線されている。保持容量 C s は、駆動用トランジスタ T r d のソース s とゲート g の間に接続している。補助容量 C s u b はその一端が保持容量 C s に接続し、他端が所定の電位に接続されている。本実施形態では、補助容量 C s u b の他端は、カソード電位に接続されている。

10

【 0 0 1 1 】

かかる構成において、サンプリング用トランジスタ T r s は、走査線 W S L 1 から供給された制御信号に応じて所定の書き込み時間だけ導通し、信号線 D T L 1 から供給された信号電位をサンプリングして保持容量 C s に書き込む。駆動用トランジスタ T r d は、第 1 電位（高電位）にある給電線 D S L 1 から電流の供給を受け保持容量 C s に書き込まれた信号電位に応じて駆動電流を発光素子 E L に流す。発光素子 E L はこの駆動電流に応じた輝度で発光する。

【 0 0 1 2 】

制御用スキャナ 1 0 4 は、信号線 D T L 1 が信号電位にある時間帯にサンプリング用トランジスタ T r s を書き込み時間だけ導通状態にするため、所定のパルス幅の制御信号を走査線 W S L 1 に出力し、以って保持容量 C s に信号電位を書き込むと同時に駆動用トランジスタ T r d の移動度に対する補正を信号電位に加える。補助容量 C s u b は、書き込み時間の誤差に起因する発光素子 E L の輝度のばらつきを補正するため、その容量値が調整されている。具体的には書き込み時間を延長する方向に誤差が生じる場合、補助容量 C s u b はその容量値を上方調整して発光素子 E L の輝度を規定レベルに補正する一方、書き込み時間を短縮する方向に誤差が生じる場合補助容量 C s u b はその容量値を下方調整して発光素子 E L の輝度を同じ規定レベルに補正する。書き込み時間の誤差は、例えば走査線 W S L を伝播する制御信号の波形の鈍りにより生じる。したがって書き込み時間のばらつきは走査線 W S L の方向に沿って水平に現れる。水平方向に沿った各画素の書き込み時間のばらつきを吸収するため、各画素ごとに設けた補助容量 C s u b の容量値を調整する。これにより書き込み時間がばらついても各画素の輝度レベルが均一となり、画面の水平方向に沿って現れるシェーディングを抑制することが可能である。

20

30

【 0 0 1 3 】

図 2 に示した画素回路 1 0 1 は、映像信号の書き込みと同時に行われる移動度補正機能に加え、閾電圧補正機能も備えている。即ち電源スキャナ 1 0 5 は、書き込み時間が到達する前に給電線 D S L 1 を第 1 電位（高電位）から第 2 電位（低電位）に切換え、ライトスキャナ 1 0 4 は、信号線 W S L 1 が基準電位にある時間帯でサンプリング用トランジスタ T r s を導通させて信号線 D T L 1 から基準電位を駆動用トランジスタ T r d のゲート g に印加する共に給電線 D S L 1 から第 2 電位を駆動用トランジスタ T r d のソース s にセットする。ここで電源スキャナ 1 0 5 は、信号線 D T L 1 が基準電位にある時間帯で給電線 D S L 1 を第 2 電位から第 1 電位に切換えて、駆動用トランジスタ T r d の閾電圧 V t h に相当する電圧を保持容量 C s に書き込むように動作する。

40

【 0 0 1 4 】

図 2 に示した画素回路 1 0 1 はさらにブートストラップ機能も備えている。即ちライトスキャナ 1 0 4 は、保持容量 C s に信号電位が保持された時点でサンプリング用トランジスタ T r s を非導通状態にして駆動用トランジスタ T r d のゲート g を信号線 D T L 1 から電氣的に切り離し、以って駆動用トランジスタ T r d のソース電位の変動にゲート電位が連動しゲート g とソース s 間の電圧 V g s を一定に維持する。

【 0 0 1 5 】

図 3 は、図 2 に示した画素回路の動作説明に供するタイミングチャートである。時間軸

50

を共通にして、走査線 $WSL1$ の電位変化、給電線 $DSL1$ の電位変化及び信号線 $DTL1$ の電位変化を表してある。走査線 $WSL1$ の電位変化は、サンプリング用トランジスタ Trs のゲートに印加される制御信号 WS を表している。図示するようにこの制御信号 WS は3個のパルス列からなり、各パルスがNチャネル型のサンプリング用トランジスタ Trs のゲートに入力するごとに、サンプリング用トランジスタ Trs が導通する。給電線 $DSL1$ は高電位側の第1電位 Vcc と低電位側の第2電位 $Vini$ との間で切換る。また信号線 $DTL1$ の電位は、1水平周期 (1H) ごとに信号電位 $Vsig$ と基準電位 $Vofs$ との間で切換る。図では信号電位 $Vsig$ と基準電位 $Vofs$ との間の電位差を Vin で表してある。

【0016】

10

図3のタイミングチャートは上述した走査線 $WSL1$ 、給電線 $DSL1$ 及び信号線 $DTL1$ の電位変化と並行に、駆動用トランジスタ Trd のゲート電位及びソース電位の変化も表してある。なお、ゲート電位とソース電位の差を表すゲート電圧 Vgs は、丁度保持容量 Cs の両端に印加される電圧である。

【0017】

まずタイミング $T0$ で給電線 $DSL1$ の電位を高電位 Vcc から低電位 $Vini$ に切換える。これにより駆動用トランジスタ Trd のソース電位は低電位 $Vini$ まで落とされる。この低電位 $Vini$ は発光素子 EL のカソード電位よりも低く設定されている。したがって発光素子 EL はこの時点でアノード側 (即ち駆動用トランジスタ Trd のソース側) の方がカソード側よりも低くなるため、発光素子 EL に逆バイアスがかかる状態になる。

20

【0018】

次にタイミング $T1$ で走査線 $WSL1$ をハイレベルにし、サンプリング用トランジスタ Trs をオンする。このとき信号線 $DTL1$ は基準電位 $Vofs$ となる。この様に信号線 $DTL1$ が基準電位 $Vofs$ となっているときにサンプリング用トランジスタ Trs をオンすることで、駆動用トランジスタ Trd のゲート g は $Vofs$ が書き込まれる。ここで $Vgs = Vofs - Vini$ は、駆動トランジスタ Trd の閾電圧 Vth よりも十分大きく設定されている。したがってこの時点で駆動用トランジスタ Trd はオン状態に置かれる。

【0019】

30

引き続き信号線 $DTL1$ が基準電位 $Vofs$ にある時間のとき、タイミング $T2$ で給電線 $DSL1$ を低電位 $Vini$ から高電位 Vcc に切換える。このときサンプリング用トランジスタ Trs は依然としてオン状態であり、駆動用トランジスタ Trd のゲート g は $Vofs$ に固定されている。給電線 $DSL1$ がタイミング $T2$ で $Vini$ から Vcc に切換ると、駆動用トランジスタ Trd のゲート g が $Vofs$ に抑えられた状態で駆動用トランジスタ Trd のソース s / ドレイン d 間に駆動電流が流れる。しかしながらこの駆動電流は逆バイアス状態にある発光素子 EL には流れ込まず、もっぱら保持容量 Cs やその他の容量の充電に使われる。これにより駆動用トランジスタ Trd のソース s の電位が上昇する。

【0020】

40

この後タイミング $T3$ で制御信号 WS がローレベルになりサンプリング用トランジスタ Trs がオフすると共に、信号線 $DTL1$ が基準電位 $Vofs$ から信号電位 $Vsig$ に切換る。この様にして約 $H/2$ の $Vofs$ の期間が終了し信号線 $DTL1$ が $Vsig$ に立上がる前にサンプリング用トランジスタ Trs をオフして、信号電位 $Vsig$ が保持容量 Cs に書き込まれるのを防ぐ。以上に説明したタイミング $T2$ から $T3$ まだが1回目の閾電圧補正期間である。

【0021】

タイミング $T3$ から再び $H/2$ だけ経過すると、タイミング $T4$ で再び制御信号 WS がハイレベルとなってサンプリング用トランジスタ Trs がオンする。このタイミング $T3$ から $T4$ までの間は駆動用トランジスタ Trd のゲート g が信号線 $DTL1$ から切り離さ

50

れているため、駆動用トランジスタ T_{rd} はブートストラップ動作を行い、ゲート g 及びソース s の電位がそれぞれ上方にシフトする。タイミング T_4 では信号線 DTL_1 が V_{ofs} の時間帯でサンプリング用トランジスタ T_{rs} がオンするため、2回目の閾電圧補正期間に入り、駆動用トランジスタ T_{rd} のゲート g が V_{ofs} で抑えられている一方、ソース電位が上昇していく。やがて V_{gs} が V_{th} となった所で駆動用トランジスタ T_{rd} はカットオフする。カットオフしたときの V_{gs} の値は保持容量 C_s の両端に書き込まれる。即ち、閾電圧補正動作により、駆動用トランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧が、保持容量 C_s に書き込まれることになる。図示の例では閾電圧補正動作を2回繰り返すことで閾電圧 V_{th} の書き込みを完了している。2回で足りない場合はさらに繰り返すことも出来る。逆に最初の閾電圧補正動作で十分 V_{th} を保持容量に書き込める場合は、さらに閾電圧補正動作を行う必要はない。

10

【0022】

タイミング T_5 で再び信号線 DTL_1 が V_{ofs} から V_{sig} に切換る一方、制御信号 WS がローレベルになってサンプリング用トランジスタ T_{rs} がオフする。タイミング T_4 からタイミング T_5 までの期間が、上述した2回目の閾電圧補正期間である。

【0023】

続いてタイミング T_6 から T_7 の期間で制御信号 WS が再びハイレベルとなり、サンプリング用トランジスタ T_{rs} がオンする。この時点で、信号線 DTL_1 は V_{ofs} から V_{sig} に切換っている。したがって導通状態にあるサンプリング用トランジスタ T_{rs} を通して V_{sig} が駆動用トランジスタ T_{rd} のゲート g に書き込まれる。よってこのタイミング $T_6 - T_7$ が、信号電位の書き込み時間を規定している。この期間 $T_6 - T_7$ では、信号電位 V_{sig} と基準電位 V_{ofs} の差 V_{in} が V_{th} に足し込まれる形で保持容量 C_s に書き込まれると共に、移動度補正用の電圧 ΔV が保持容量 C_s に保持された電圧から差し引かれる。

20

【0024】

上述したようにこのサンプリング期間 $T_6 - T_7$ では、走査線 WSL_1 がハイレベルに遷移してサンプリング用トランジスタ T_{rs} がオン状態となる。したがって駆動用トランジスタ T_{rd} のゲート電位は信号電位 V_{sig} となる。ここで発光素子 EL は依然として逆バイアス状態にあるため、駆動用トランジスタ T_{rd} のドレイン d とソース s の間に流れる電流は、保持容量 C_s に流れ込み充電を開始する。したがって期間 $T_6 - T_7$ では、駆動用トランジスタ T_{rd} のソース電位も上昇を開始し、やがて駆動用トランジスタ T_{rd} のゲート電圧 V_{gs} は、 $V_{in} + V_{th} - \Delta V$ となる。この様にして V_{in} のサンプリングと補正量 ΔV の調整が同時に行われる。 V_{in} が高いほど駆動用トランジスタに流れる電流は大きくなり、 ΔV の絶対値も大きくなる。したがって信号電位のレベルに応じた移動度補正が行われる。また V_{in} を一定とした場合、駆動用トランジスタ T_{rd} の移動度 μ が大きいほど ΔV の絶対値が大きくなる。換言すると移動度 μ が大きいほど負帰還量 ΔV が大きくなるので、画素毎の移動度 μ のばらつきを取り除くことが出来る。

30

【0025】

タイミング T_7 では走査線 WSL_1 がローレベルに戻り、サンプリング用トランジスタ T_{rs} はオフ状態となる。これにより駆動用トランジスタ T_{rd} のゲート g は信号線 DTL_1 から切り離される。同時に駆動電流が発光素子 EL を流れ始める。これにより発光素子 EL のアノード電位（即ち駆動用トランジスタ T_{rd} のソース電位）は上昇する。発光素子 EL のアノード電位の上昇は、即ち駆動用トランジスタ T_{rd} のソース電位の上昇に他ならない。駆動用トランジスタ T_{rd} のソース電位が上昇すると、保持容量 C_s のブートストラップ動作により、駆動用トランジスタ T_{rd} のゲート電位も連動して上昇する。ゲート電位の上昇量はソース電位の上昇量に等しくなる。ゆえに発光期間中駆動用トランジスタ T_{rd} のゲート電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ で一定に保持される。この V_{gs} のうち、 V_{in} は映像信号の信号電位に応じた分であり、 V_{th} は駆動用トランジスタ T_{rd} の閾電圧をキャンセルするための分であり、 ΔV は同じく駆動用トランジスタ T_{rd} の移動度に対する補正項である。

40

50

【 0 0 2 6 】

図 4 は、制御信号 $W S$ と画面輝度の関係を示す模式図である。前述したように、信号電位の書き込み時間 $T 6 - T 7$ は制御信号 $W S$ のパルス幅によって決まる。しかしながら、この制御信号のパルス幅は、走査線を伝播する過程で生じる波形鈍りにより、ばらつきが生じる。図 1 に示した実施形態では、制御信号 $W S$ をパネルの左右両側に配置されているライトスキャナ 104 から同時に入力している。入力側に近いパネルの左右両端では、制御信号 $W S$ は矩形波を保っており、所定の書き込み時間を確保できる。しかしながら制御信号 $W S$ は走査線を伝播中に配線容量や配線抵抗の影響を受けて立上りや立下りのトランジェントが鈍り、パルス幅が変化している。

【 0 0 2 7 】

10

図示の例では波形鈍りにより、パネルの左右両端側で書き込み時間が相対的に長く、パネルの中央で書き込み時間が相対的に短くなっている。この書き込み時間のばらつきにより、個々の画素で発光輝度に差が生じる。図示の例では、パネルの中央で比較的輝度が高く、パネルの左右両端で輝度が低い状態となっている。この様に、制御信号パルスの鈍りに起因する書き込み時間の誤差もしくはばらつきにより、画面に横方向の輝度ムラ（シェーディング）が現れてしまう。

【 0 0 2 8 】

図 5 は、信号書き込み時間の前後で生じる $V g s$ の変化を表した模式的なグラフである。（A）はパネル端に位置する画素で観測される駆動用トランジスタのゲート電位及びソース電位の変化を表している。（B）はパネル中央にある画素に含まれる駆動用トランジスタのゲート電位及びソース電位の変化を表している。まず（A）に示すように、駆動用トランジスタのゲート電圧 $V g s$ は、一連の $V t h$ キャンセル動作、信号書き込み動作及び発光動作によって図示のように変化していく。なおグラフでは、理解を容易にし且つ図示を簡略化するため、 $V t h$ キャンセル動作は 1 回のみとし、続けて信号書き込み動作に入る例を表している。まず $V t h$ キャンセル動作では、ゲート g とソース s との間にある保持容量 $C s$ に、駆動用トランジスタの閾電圧 $V t h$ 相当の電圧が書き込まれる。これは駆動用トランジスタ $T r d$ の閾電圧 $V t h$ のばらつきをキャンセルするために使われる。

20

【 0 0 2 9 】

続いて信号書き込み期間に入ると、ゲート g の電位が $V o f s$ から $V s i g$ に向かって上昇する。このとき同時に駆動用トランジスタ $T r d$ に流れる電流が保持容量 $C s$ に負帰還されるため、ソースの電位も ΔV だけ上昇する。この ΔV は駆動用トランジスタ $T r d$ の移動度 μ の補正項となる。パネル端に位置する画素は、図 4 で説明したように信号書き込み時間が相対的に長くなる。したがってソース電位の上昇分 ΔV が比較的大きく、結果的に信号書き込み動作が終わった時点でゲート電位とソース電位の差が小さくなり、 $V g s$ は圧縮されてしまう。このため、駆動用トランジスタ $T r d$ が $V g s$ にしたがって発光素子 $E L$ に供給する駆動電流は小さくなり、発光輝度が低い。何ら対策を施さないと、パネル端に位置する画素の発光輝度は書き込み時間が長い分発光輝度が低くなってしまふ。

30

【 0 0 3 0 】

一方（B）に示すようにパネル中央に位置する画素は相対的に制御信号パルスの鈍りなどの影響を受けて、信号書き込み時間が短い。そのため駆動用トランジスタのソース電位の上昇分 ΔV が比較的小さく、 $V g s$ は余り圧縮されない。よって何ら対策を施さないと、パネル中央に位置する画素はその発光輝度がパネル端に位置する画素の発光輝度よりも高くなってしまい、シェーディングとなって現れる。

40

【 0 0 3 1 】

図 6 は、本発明の特徴を端的に示した模式図である。本発明にかかる表示装置は、パネルに形成されている全ての画素にそれぞれ補助容量 $C s u b$ を付加している。この補助容量 $C s u b$ は、前述した書き込み時間のばらつき（誤差）に起因する発光素子の輝度のばらつきを補正するため、その容量値が調整されている。

【 0 0 3 2 】

この調整原理につき詳細に説明する。図 6 の左下に示したグラフは、書き込み時間と発

50

光輝度との関係を示しており、補助容量 C_{sub} の容量値をパラメータに取ってある。 C_{sub} の容量値が大きい場合の輝度曲線を実線で示し、 C_{sub} の容量値の小さい場合の輝度曲線を点線で表してある。いずれの場合も凸曲線となっており、最適な書き込み時間で輝度がピークになる。この書き込み時間が短すぎても輝度は低くなり、長すぎても輝度はピークから落ちる。但し輝度ピークに対応する最適書き込み時間は、 C_{sub} 大で長くなり、 C_{sub} 小では短くなる。

【0033】

一般に書き込み時間が短すぎると駆動用トランジスタ T_{rd} のゲート g に信号電位を十分に書き込むことが出来ず、輝度が低くなる。逆に書き込み時間が長すぎると駆動用トランジスタのソース電位が大幅に上昇して、 V_{gs} を圧縮するためやはり輝度は低くなる。丁度バランスの取れた最適書き込み時間で輝度がピークになる。補助容量 C_{sub} が大きいと、その充電に時間が長くかかるため、最適書き込み時間も長くなる。逆に C_{sub} の容量値が小さいとその充電も短時間で行えるため、最適書き込み時間は短くなる。

10

【0034】

このような現象を利用して、本発明は書き込み時間のばらつきによる輝度の相違を補正するように、 C_{sub} の容量値を調整している。前述したように、パネルの左右端は制御信号パルスが急峻なままなので書き込み時間は長い。逆にパネル中央では制御信号パルスが鈍るため書き込み時間は短い。よって書き込み時間が長いパネル端では、その書き込み時間で丁度ピーク輝度を得られるように、 C_{sub} の容量値を大きくする。逆にパネル中央では短くなった書き込み時間が丁度最適書き込み時間となるように C_{sub} の容量値を小さくして、ピーク輝度を得られるようにしている。この様にパネルの左右両端と中央で実質的な書き込み時間に差が出て、これに応じて C_{sub} の容量値を調整することで、パネルのどの部分でも規定の輝度（ピーク輝度）が得られるようにしている。

20

【0035】

以上のように本発明では駆動用トランジスタ T_{rd} のソース s と所定の固定電位との間に接続する補助容量 C_{sub} を最適化することで、シェーディングを解決している。 C_{sub} が大の時には充電時間は遅くなる。つまり輝度のピークも長時間側にシフトする。同様に C_{sub} が小のとき、輝度ピークは短時間側にある。この特性を利用して、図6の上半分に示した回路構成でシェーディング対策とする。つまり信号書き込み用の制御信号パルス波形が急峻で書き込み時間が長い画素には大きな容量の C_{sub} を付加してピーク輝度を遅らせ、長い書き込み時間に対して丁度ピーク輝度が取れるようにする。パネル中央では制御信号パルス波形が鈍るため書き込み時間が短くなる。この書き込み時間に対応してパネル中央になるほど C_{sub} のサイズを小さくする。この様にパネル内の画素の位置と波形の鈍り具合によって輝度のピークを合わせるように補助容量 C_{sub} のサイズを最適化することで、シェーディングの発生を防ぐことが可能になる。補助容量 C_{sub} の容量値をパラメータとした書き込み時間と発光輝度ピークの関係を利用して、書き込み時間の長いパネル端から書き込み時間の短いパネル中央に向かって徐々に C_{sub} サイズを小さくしていくことで、パネル面内で輝度を均一化し、シェーディングの発生を防ぐことが出来る。

30

【0036】

なお画素回路の具体的な設計によっては、波形鈍りによって逆にパネル端で書き込み時間が短く、パネル中央で書き込み時間が長くなることも有り得る。この時には、 C_{sub} 容量をパネル中央で大きくし、パネル両端で小さくなるように調節すればよい。また一つの制御用スキャナでパネルの片側から走査線を駆動する場合には、片側と反対側とで生じる書き込み時間の違いに合わせて、各画素の補助容量を調節すればよい。

40

【図面の簡単な説明】

【0037】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】本発明にかかる表示装置に組み込まれる画素回路を示す回路図である。

【図3】本発明にかかる表示装置の動作説明に供するタイミングチャートである。

50

【図４】同じく動作説明に供する模式図である。

【図５】同じく動作説明に供する波形図である。

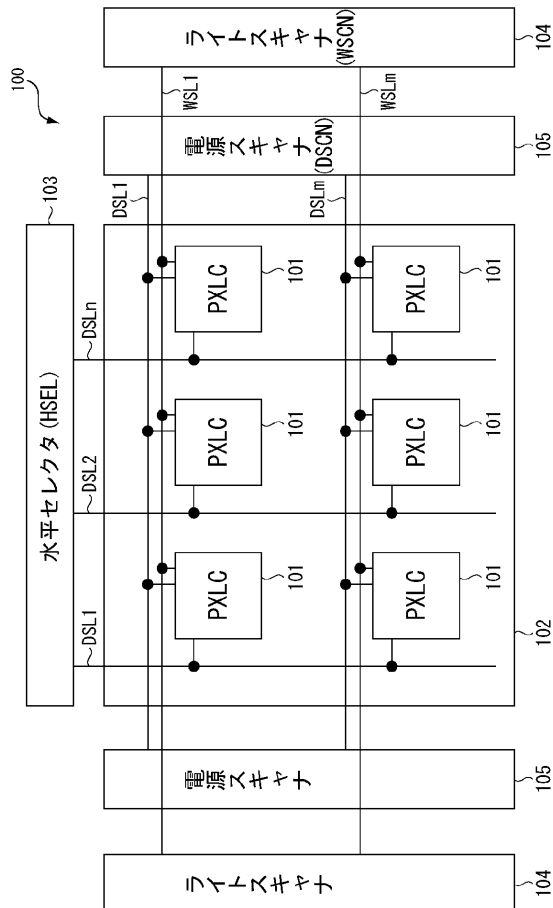
【図６】本発明にかかる表示装置の好適な実施例を示す模式図である。

【符号の説明】

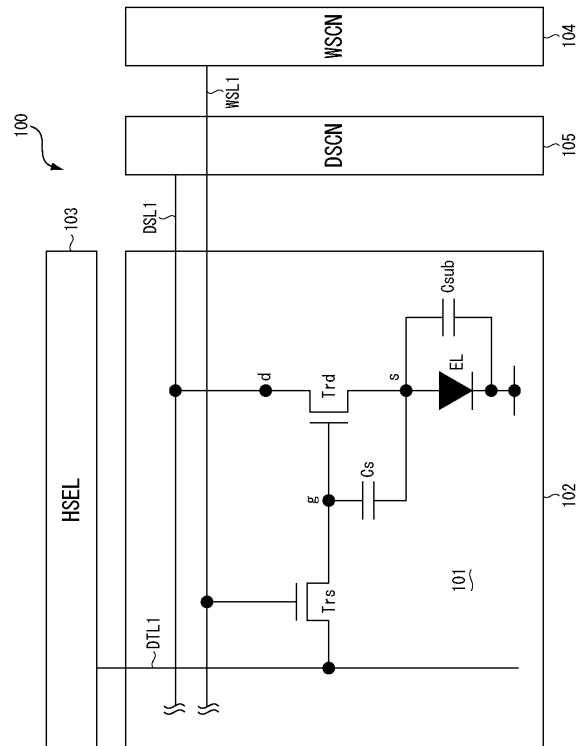
【００３８】

１００・・・表示装置、１０１・・・画素、１０２・・・画素アレイ部、１０３・・・信号セクタ、１０４・・・制御用スキャナ、１０５・・・電源スキャナ、WSL・・・走査線、DSL・・・給電線、DTL・・・信号線、Trs・・・サンプリング用トランジスタ、Trd・・・駆動用トランジスタ、EL・・・発光素子、Cs・・・保持容量、Csub・・・補助容量

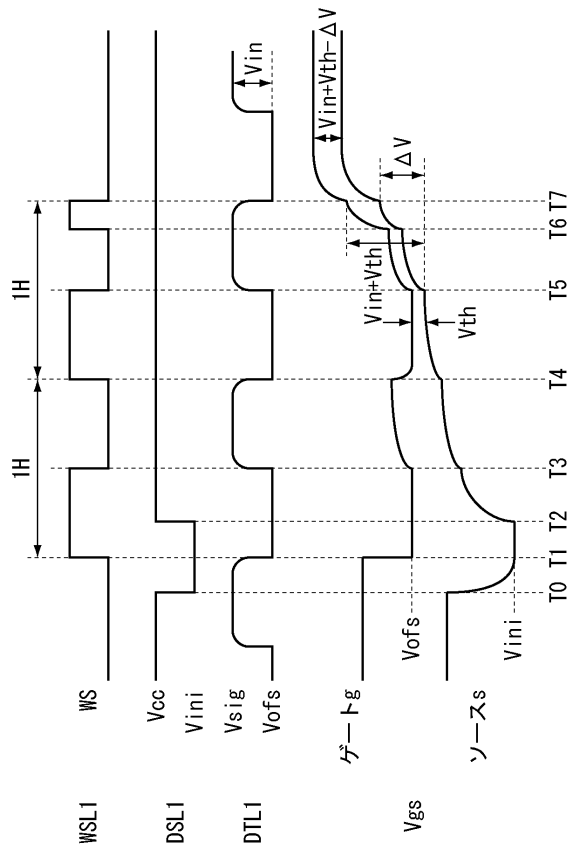
【図１】



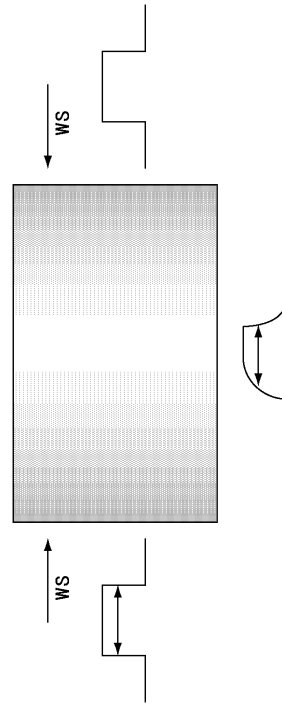
【図２】



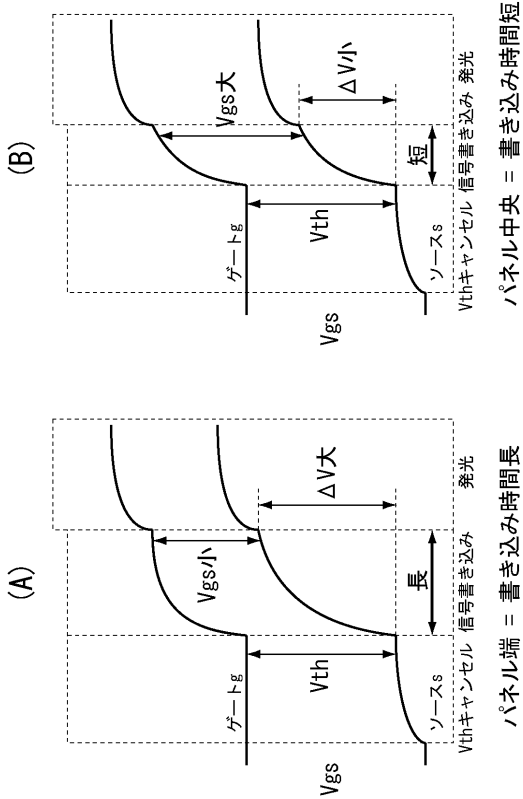
【図 3】



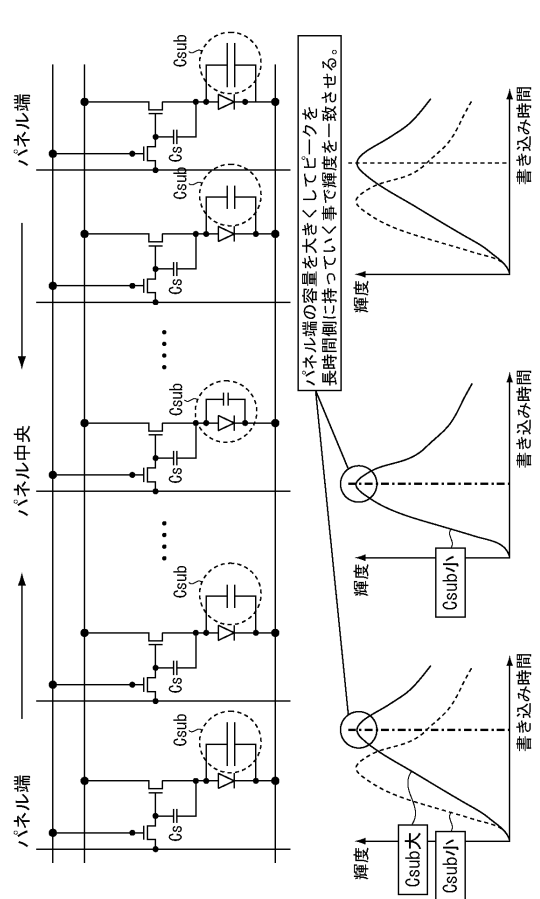
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 3 B
	H 0 5 B 33/14	A

F ターム(参考) 3K107 AA01 BB01 CC02 CC33 CC35 EE03 HH04 HH05
5C080 AA06 BB05 DD05 EE28 FF11 JJ01 JJ02 JJ03 JJ04 JJ05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2008158377A	公开(公告)日	2008-07-10
申请号	JP2006348945	申请日	2006-12-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 内野勝秀 山本哲郎		
发明人	豊村 直史 内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H G09G3/20.622.C G09G3/20.623.B H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA13 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD022 5C380/CE01 5C380/CF43 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47 5C380/GA17		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由像素的图像信号写入时间的变化引起的图像的阴影。
 Σ SOLUTION：驱动晶体管Trd接收来自电源线DSL1的电流供应，并根据写入保持电容器Cs的信号电位使驱动电流流到发光元件EL。用于控制的扫描器104将预定脉冲宽度的控制信号输出到扫描线WSL1，以便在写入周期期间，在信号线DTL1接通的时间带内使采样晶体管Trs处于导通状态。信号电位，并且将信号电位写入保持电容器，同时将驱动晶体管Trd的迁移率 μ 的校正加到信号电位。辅助电容Csub连接到保持电容Cs，并且调节其电容值以校正由写入时间的误差引起的发光元件EL的亮度的变化。 $\dot{Z}$

