

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-286582
(P2007-286582A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 622D	
	G09G 3/20 622E	
	G09G 3/20 622A	
審査請求 有 請求項の数 22 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2006-288816 (P2006-288816)	(71) 出願人 590002817 三星エスディアイ株式会社 大韓民国京畿道水原市靈通区▲しん▼洞 5 7 5 番地
(22) 出願日 平成18年10月24日 (2006.10.24)	
(31) 優先権主張番号 10-2006-0034959	(74) 代理人 100095957 弁理士 亀谷 美明
(32) 優先日 平成18年4月18日 (2006.4.18)	(74) 代理人 100096389 弁理士 金本 哲男
(33) 優先権主張国 韓国 (KR)	(72) 発明者 申 東蒼 大韓民国ソウル市冠岳区奉天 1 洞 9 6 9 - 3 7
	F ターム (参考) 3K107 AA01 BB01 CC14 CC33 EE04 HH04 HH05 5C080 AA06 BB05 DD09 EE28 FF11 JJ02 JJ03 JJ04

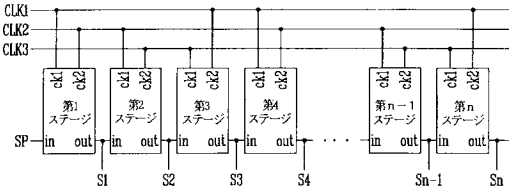
(54) 【発明の名称】 走査駆動回路及びこれを利用した有機発光表示装置

(57) 【要約】

【課題】クロックが誤動作をする場合が発生しても走査信号の波形の変化を小さくすることが可能な走査駆動回路及びこれを利用した有機発光表示装置を提供する。

【解決手段】順次発生する3個のクロックのうち2個のクロックの伝達を受けて動作して、入力信号を受けて所定の時間遅延して、出力信号を出力し、入力端に以前段のステージの出力端が連結される複数のステージを備え、ステージは、第1クロック端子からの入力に対応して入力端との連結をオンオフするスイッチと、第1クロック端子から入力されるクロックに対応して第1電圧が出力端に伝達され、スイッチのオンオフ動作によって上記入力端からの上記入力信号の伝達を受けて、上記入力信号に対応して第1電圧が出力端に伝達されないようにするスイッチ部と、出力端の電圧を所定の時間維持して、入力信号に対応して第2クロック端子からのクロックの電圧を出力端に伝達する保存部と、を含む。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

順次発生する 3 個のクロックのうち 2 個のクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第 1 クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフするスイッチと；

前記第 1 クロック端子から入力されるクロックに対応して第 1 電圧が前記出力端に伝達されるようにして、前記スイッチのオンオフ動作によって前記入力端から前記入力信号の伝達を受け、前記入力信号に対応して前記第 1 電圧が前記出力端に伝達されないようにするスイッチ部と；

前記出力端の電圧を所定時間の間維持して、前記入力信号に対応して第 2 クロック端子から伝達されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする走査駆動回路。

【請求項 2】

前記保存部は、

前記スイッチに連結されて前記入力信号の伝達を受ける第 1 ノードの電圧に対応して、前記第 2 クロック端子から入力されるクロックを第 2 ノードに伝達する第 2 トランジスタと；

前記第 1 ノードと前記第 2 ノードの電圧を維持するキャパシタと；

を含むことを特徴とする、請求項 1 に記載の走査駆動回路。

【請求項 3】

前記スイッチ部は、

前記第 1 クロック端子から入力されるクロックの電圧に対応して第 2 電圧を第 3 ノードに伝達する第 3 トランジスタと；

前記入力信号に対応して前記第 1 クロック端子から入力されるクロックの電圧を前記第 3 ノードに伝達する第 4 トランジスタと；

ゲートが前記第 3 ノードに連結され、前記第 3 ノードの電圧に対応して前記第 1 電圧を前記出力端に伝達する第 5 トランジスタと；

を含むことを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

【請求項 4】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースは前記第 2 電圧に連結され、ドレインは前記第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 1 または 2 に記載の走査駆動回路。

【請求項 5】

前記複数のステージは、

順次発生する三つのクロックのうち一番目のクロックに対応して前記入力信号の伝達を受けるフリーチャージ期間と；

二番目のクロックに対応した電圧を前記出力端に出力する評価期間と；

三番目のクロックが発生する間、前記保存部に保存されている信号を出力する休息期間と；

の段階に区分されて動作することを特徴とする、請求項 1 ～ 4 のいずれかに記載の走査駆動回路。

【請求項 6】

前記複数のステージのうち一つのステージは、以前段のステージから走査信号が出力される時、入力期間として動作されることを特徴とする請求項 5 に記載の走査駆動回路。

【請求項 7】

前記第 1 電圧は、駆動電源の電圧であることを特徴とする、請求項 1 ～ 6 のいずれかに記載の走査駆動回路。

【請求項 8】

前記第 2 電圧は、接地電圧であることを特徴とする、請求項 3 ～ 7 のいずれかに記載の走査駆動回路。

【請求項 9】

順次パルス波を形成する 3 個のクロックのうち 2 個のクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第 1 クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第 1 トランジスタと；

第 1 クロック端子から入力されるクロックに対応して第 1 電圧が印加される端と前記出力端がオンまたはオフ状態になるようにするスイッチ部と；

前記出力端の電圧を所定時間の間維持して、前記入力信号に対応して第 2 クロック端子から入力されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする走査駆動回路。

【請求項 10】

前記保存部は、

前記第 1 トランジスタから前記入力信号の伝達を受ける第 1 ノードに連結され、前記第 1 ノードの電圧に対応して前記第 2 クロックを第 2 ノードに伝達する第 2 トランジスタと；

前記第 1 ノードと前記第 2 ノードの電圧を維持するキャパシタと；

を含むことを特徴とする、請求項 9 に記載の走査駆動回路。

【請求項 11】

前記スイッチ部は、

ゲートは前記第 1 クロック端子に連結され、ソースは前記第 2 電圧に連結され、ドレインは第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは前記出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 9 または 10 に記載の走査駆動回路。

【請求項 12】

前記スイッチ部は、

ゲートとソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 3 トランジスタと；

ゲートは前記出力端に連結され、ソースは前記第 1 クロック端子に連結され、ドレインは前記第 3 ノードに連結される第 4 トランジスタと；

ゲートは前記第 3 ノードに連結され、ソースは前記第 1 電圧に連結され、ドレインは前記出力端に連結される第 5 トランジスタと；

を含むことを特徴とする、請求項 9 または 10 に記載の走査駆動回路。

【請求項 13】

前記複数のステージは、

順次発生する三つのクロックのうち一番目のクロックに対応して前記入力信号の伝達を受けるフリーチャージ期間と；

二番目のクロックに対応した電圧を前記出力端に出力する評価期間と；

10

20

30

40

50

三番目のクロックが発生する間、前記保存部に保存されている信号を出力する休息期間と；

の段階に区分されて動作することを特徴とする、請求項 9 ～ 12 のいずれかに記載の走査駆動回路。

【請求項 14】

前記複数のステージのうち一つのステージは、

以前段のステージから走査信号が出力される時、入力期間として動作することを特徴とする、請求項 13 に記載の走査駆動回路。

【請求項 15】

前記複数のステージのうち一つのステージは、

以前段のステージからロー信号が出力される時、入力期間として動作することを特徴とする、請求項 12 に記載の走査駆動回路。

【請求項 16】

前記第 1 電圧は、駆動電源の電圧であることを特徴とする、請求項 9 ～ 15 のいずれかに記載の走査駆動回路。

【請求項 17】

前記第 2 電圧は、接地電圧であることを特徴とする、請求項 11 ～ 16 のいずれかに記載の走査駆動回路。

【請求項 18】

複数の画素によって画像を表現する画素部と；

前記画素部に走査信号を伝達する走査駆動回路と。

前記画素部にデータ信号を伝達するデータ駆動回路と；を備え、

前記走査駆動回路は、

順次パルス波を形成する 3 個のクロックのうち 2 個のクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第 1 クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第 1 トランジスタと；

前記第 1 クロック端子から入力されるクロックに対応して第 1 電圧が前記出力端に伝達されるようにして、前記第 1 トランジスタのオンオフ動作によって前記入力端から前記入力信号の伝達を受け、前記入力信号に対応して前記第 1 電圧が前記出力端に伝達されないようにするスイッチ部と；

前記出力端の電圧を所定時間の間維持して、前記入力信号に対応して第 2 クロック端子から伝達されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする有機発光表示装置。

【請求項 19】

前記複数のステージは、

順次発生する三つのクロックのうち一番目のクロックに対応して前記入力信号の伝達を受けるフリーチャージ期間と；

二番目のクロックに対応した電圧を前記出力端に出力する評価期間と；

三番目クロックが発生する間前記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作することを特徴とする、請求項 18 に記載の走査駆動回路。

【請求項 20】

複数の画素によって画像を表現する画素部と；

前記画素部に走査信号を伝達する走査駆動回路と；

前記画素部にデータ信号を伝達するデータ駆動部と；

を備え、

前記走査駆動回路は、

順次パルス波を形成する 3 個のクロックのうち 2 個のクロックの伝達を受けて動作して

10

20

30

40

50

、入力端から入力された入力信号の入力を受けて所定の時間遅延して出力端から出力信号として出力し、前記入力端に以前段のステージの出力端が連結される複数のステージを備え、

前記ステージは、

第1クロック端子から入力されるクロックに対応して前記入力端との連結をオンオフする第1トランジスタと；

第1クロック端子から入力されるクロックに対応して第1電圧と前記出力端がオンまたはオフ状態になるようにするスイッチ部と；

前記出力端の電圧を所定時間維持して、前記入力信号に対応して第2クロック端子から入力されるクロックの電圧を前記出力端に伝達する保存部と；

を含むことを特徴とする有機発光表示装置。

10

【請求項21】

前記複数のステージは、

順次発生する三つのクロックのうち一番目のクロックに対応して前記入力信号の伝達を受けるフリーチャージ期間と；

二番目のクロックに対応した電圧を前記出力端に出力する評価期間と；

三番目クロックが発生する間、前記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作することを特徴とする、請求項20に記載の走査駆動回路。

【請求項22】

前記複数のステージのうち一つのステージは、以前段のステージから走査信号が出力される時入力期間として動作されることを特徴とする、請求項20または21に記載の走査駆動回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査駆動回路及びこれを利用した有機発光表示装置に関する。

【背景技術】

【0002】

一般に、有機電界発光装置のようなアクティブマトリックス表示装置は、データ線と走査線との交差部にマトリックス形態に配列された画素アレイ (a r r a y) を具備する。

30

【0003】

ここで、上記走査線は、上記マトリックス画素部の水平ライン (ローライン) を構成して、これは走査駆動回路によって順次所定の信号、すなわち、走査信号を上記マトリックス画素アレイに提供する。

【0004】

図1は、一般的な走査駆動回路の構成を示すブロック図である。

【0005】

図1を参照すれば、一般的な走査駆動回路はスタートパルス S P 入力ラインに従属的に接続された複数のステージ S T 1 ~ S T n で構成され、上記複数のステージ S T 1 ~ S T n は、スタートパルス S P をクロック信号 C によって順次シフトさせて出力信号 S O 1 ~ S O n を発生する。この場合、第2 ~ 第nステージ S T 2 ~ S T n それぞれは、前段出力信号がスタートパルスに inputs され、これをシフトさせる。

40

【0006】

これによって、上記ステージは上記スタートパルスが順次シフトされる形態の出力信号 S O 1 ~ S O n を発生してこれを上記マトリックス画素アレイに提供するのである。

【0007】

図2は、図1に示された走査駆動回路で任意ステージの回路図で、図3は図2に示されたステージの入 / 出力信号波形図である。

【0008】

図2及び図3を参照すれば、従来の場合走査駆動回路を構成する各ステージは、マスタ

50

スレーブ (Master Slave) 形態のフリップフロップ (flip / flop) を使用する。このようなフリップフロップは、クロック CLK がローレベルである時入力を継続受けて、出力は以前の出力を維持する。

【0009】

反面、上記クロック CLK がハイレベルの場合には上記クロック CLK がローレベルである時受けた入力 IN を維持し、これを出力とし、これ以上の入力を受けない。

【0010】

このような回路において、上記フリップフロップ内部に具備されるインバータの場合、その入力 in がローレベルである時、静電流 (static current) が流れるという問題がある。また、上記フリップフロップ内部でハイレベルの入力 in を受けたインバータとローレベル入力 in を受けるインバータの数が同じなので、上記フリップフロップ内部のインバータの中で半分では上記静電流が発生されて消費電力が大きくなるという短所がある。

10

【0011】

そして、図2の回路で出力電圧 OUT のハイレベルは供給電圧 VDD と接地 GND の間を連結する抵抗の比による電圧値で決定されて、出力電圧 OUT のローレベルは接地 GND よりトランジスタの閾値電圧ほど高くなる。すなわち、トランジスタの特性偏差によって各ステージごとにハイレベルで受け入れる入力電圧レベルが異なるからこのような回路を採用する場合、出力電圧のハイレベルにも偏差が生じて回路が誤動作することがあるという短所がある。

20

【0012】

また、上記出力電圧のローレベル偏差は、図2の回路に具備されたインバータの入力トランジスタ T1 のオン (on) 抵抗の偏差で反映されて出力電圧のハイレベル偏差を加重させることがあり得る。特に、有機電界発光装置パネルでは特性偏差の大きいトランジスタを使用するので、このような問題がさらに深刻になる。

【0013】

また、上記インバータは、入力トランジスタ T1 から電流が流れて出力端 out を充電し、ロードトランジスタ T2 から電流が流れて出力端 out を放電するが、上記出力端を充電する場合、上記ロードトランジスタ T2 のソースゲート電圧がますます減って放電電流が急激に減少して放電効率が落ちるという問題がある。

30

【0014】

【特許文献1】特開2005-166139号公報

【特許文献2】特開2004-185684号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

このように、従来の走査駆動回路によれば、消費電力が大きい、誤動作しやすい、ハイレベル、ローレベルに偏差がある、放電効率が落ちるという問題がある。

【0016】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的は、走査駆動回路に伝達されるクロックが誤動作をする場合が発生しても走査信号の波形の変化が大きくないようにすることにある。

40

【課題を解決するための手段】

【0017】

上記課題を解決するために、本発明のある観点によれば、順次発生する3個のクロックのうち2個のクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、上記入力端には以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第1クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフするスイッチと；上記第1クロック端子から入力されるクロックに対応して第1電圧が上記出力端に伝達されるようにして

50

、上記スイッチのオンオフ動作によって上記入力端から上記入力信号の伝達を受け、上記入力信号に対応して上記第 1 電圧が上記出力端に伝達されないようにするスイッチ部と；上記出力端の電圧を所定時間の間維持して、上記入力信号に対応して第 2 クロック端子から伝達されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする走査駆動回路が提供される。

【0018】

また、上記保存部は、上記スイッチに連結されて上記入力信号の伝達を受ける第 1 ノードの電圧に対応して、上記第 2 クロック端子から入力されるクロックを第 2 ノードに伝達する第 2 トランジスタと；上記第 1 ノードと上記第 2 ノードの電圧を維持するキャパシタと；を含んでもよい。

10

【0019】

また、上記スイッチ部は、上記第 1 クロック端子から入力されるクロックの電圧に対応して第 2 電圧を第 3 ノードに伝達する第 3 トランジスタと；上記入力信号に対応して上記第 1 クロック端子から入力されるクロックの電圧を上記第 3 ノードに伝達する第 4 トランジスタと；ゲートが上記第 3 ノードに連結されて上記第 3 ノードの電圧に対応して上記第 1 電圧を上記出力端に伝達する第 5 トランジスタと；を含んでもよい。

【0020】

また、上記スイッチ部は、ゲートは上記第 1 クロック端子に連結され、ソースは上記第 2 電圧に連結され、ドレインは上記第 3 ノードに連結される第 3 トランジスタと；ゲートは上記出力端に連結され、ソースは上記第 1 クロック端子に連結され、ドレインは上記第 3 ノードに連結される第 4 トランジスタと；ゲートは上記第 3 ノードに連結され、ソースは上記第 1 電圧に連結され、ドレインは出力端に連結される第 5 トランジスタと；を含んでもよい。

20

【0021】

また、上記複数のステージは、順次発生する三つのクロックのうち一番目のクロックに対応して上記入力信号の伝達を受けるフリーチャージ期間と；二番目のクロックに対応した電圧を上記出力端に出力する評価期間と；三番目のクロックが発生する間、上記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作してもよい。

【0022】

また、上記複数のステージのうち一つのステージは、以前段のステージから走査信号が出力される時入力期間として動作してもよい。

30

【0023】

また、上記第 1 電圧は、駆動電源の電圧であってもよい。

【0024】

また、上記第 2 電圧は、接地電圧であってもよい。

【0025】

上記課題を解決するために、本発明の別の観点によれば、順次パルス波を形成する 3 個のクロックのうち 2 個のクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、上記入力端には以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第 1 クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第 1 トランジスタと；第 1 クロック端子から入力されるクロックに対応して第 1 電圧が印加される端と上記出力端がオンまたはオフ状態になるようにするスイッチ部と；上記出力端の電圧を所定時間の間維持して、上記入力信号に対応して第 2 クロック端子から入力されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする走査駆動回路が提供される。

40

【0026】

また、上記保存部は、上記第 1 トランジスタから上記入力信号の伝達を受ける第 1 ノードに連結され、上記第 1 ノードの電圧に対応して上記第 2 クロックを第 2 ノードに伝達する第 2 トランジスタと；上記第 1 ノードと上記第 2 ノードの電圧を維持するキャパシタと

50

；を含んでもよい。

【0027】

また、上記スイッチ部は、ゲートは上記第1クロック端子に連結され、ソースは上記第2電圧に連結され、ドレインは第3ノードに連結される第3トランジスタと；ゲートは上記出力端に連結され、ソースは上記第1クロック端子に連結され、ドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは上記出力端に連結される第5トランジスタと；を含んでもよい。

【0028】

また、上記スイッチ部は、ゲートとソースは上記第1クロック端子に連結され、ドレインは上記第3ノードに連結される第3トランジスタと；ゲートは上記出力端に連結され、ソースは上記第1クロック端子に連結され、ドレインは上記第3ノードに連結される第4トランジスタと；ゲートは上記第3ノードに連結され、ソースは上記第1電圧に連結され、ドレインは上記出力端に連結される第5トランジスタと；を含んでもよい。

10

【0029】

また、上記複数のステージは、順次発生する三つのクロックのうち一番目のクロックに対応して上記入力信号の伝達を受けるフリーチャージ期間と；二番目のクロックに対応した電圧を上記出力端に出力する評価期間と；三番目のクロックが発生する間、上記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作してもよい。

【0030】

上記複数のステージのうち一つのステージは、以前段のステージから走査信号が出力される時、入力期間として動作してもよい。

20

【0031】

また、上記複数のステージのうち一つのステージは、以前段のステージからロー信号が出力される時、入力期間として動作してもよい。

【0032】

また、上記第1電圧は、駆動電源の電圧であってもよい。

【0033】

また、上記第2電圧は、接地電圧であってもよい。

【0034】

上記課題を解決するために、本発明の別の観点によれば、複数の画素によって画像を表現する画素部と；上記画素部に走査信号を伝達する走査駆動回路と、上記画素部にデータ信号を伝達するデータ駆動回路と；を備え、上記走査駆動回路は、順次パルス波を形成する3つのクロックのうち2つのクロックの伝達を受けて動作して、入力端から入力された入力信号を所定の時間遅延して、出力端から出力信号として出力し、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第1クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；上記第1クロック端子から入力されるクロックに対応して第1電圧が上記出力端に伝達されるようにして、上記第1トランジスタのオンオフ動作によって上記入力端から上記入力信号の伝達を受け、上記入力信号に対応して上記第1電圧が上記出力端に伝達されないようにするスイッチ部と；上記出力端の電圧を所定時間の間維持して、上記入力信号に対応して第2クロック端子から伝達されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする有機発光表示装置が提供される。

30

40

【0035】

上記複数のステージは、順次発生する三つのクロックのうち一番目のクロックに対応して上記入力信号の伝達を受けるフリーチャージ期間と；二番目のクロックに対応した電圧を上記出力端に出力する評価期間と；三番目クロックが発生する間上記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作してもよい。

【0036】

上記課題を解決するために、本発明の別の観点によれば、複数の画素によって画像を表

50

現する画素部と；上記画素部に走査信号を伝達する走査駆動回路と；上記画素部にデータ信号を伝達するデータ駆動部と；を備え、上記走査駆動回路は、順次パルス波を形成する3個のクロックのうち2個のクロックの伝達を受けて動作して、入力端から入力された入力信号の入力を受けて所定の時間遅延して出力端から出力信号として出力し、上記入力端に以前段のステージの出力端が連結される複数のステージを備え、上記ステージは、第1クロック端子から入力されるクロックに対応して上記入力端との連結をオンオフする第1トランジスタと；第1クロック端子から入力されるクロックに対応して第1電圧と上記出力端がオンまたはオフ状態になるようにするスイッチ部と；上記出力端の電圧を所定時間維持して、上記入力信号に対応して第2クロック端子から入力されるクロックの電圧を上記出力端に伝達する保存部と；を含むことを特徴とする有機発光表示装置が提供される。 10

【0037】

上記複数のステージは、順次発生する三つのクロックのうち一番目のクロックに対応して上記入力信号の伝達を受けるフリーチャージ期間と；二番目のクロックに対応した電圧を上記出力端に出力する評価期間と；三番目クロックが発生する間、上記保存部に保存されている信号を出力する休息期間と；の段階に区分されて動作してもよい。

【0038】

また、上記複数のステージのうち一つのステージは、以前段のステージから走査信号が出力される時入力期間として動作されてもよい。

【発明の効果】

【0039】

20

以上説明したように、本発明によれば、走査駆動回路に伝達されるクロックが誤動作をする場合が発生しても走査信号の波形の変化が大きくないようにすることができる。

【発明を実施するための最良の形態】

【0040】

以下に、添付した図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する発明特定事項については、同一の符号を付することにより重複説明を省略する。

【0041】

図4は、本発明の第1の実施形態にかかる有機発光表示装置の構造を示す構造図である。図4を参照して説明すれば、有機発光表示装置は走査線S1～Sn及びデータ線D1～Dmと接続された複数の画素40を含む画素部30と、走査線S1～Snを駆動するための走査駆動回路10と、データ線D1～Dmを駆動するためのデータ駆動回路20と、走査駆動回路10及びデータ駆動回路20を制御するためのタイミング制御部50を具備する。 30

【0042】

タイミング制御部50は、外部から供給される同期信号に対応してデータ駆動制御信号DCS及び走査駆動制御信号SCSを生成する。タイミング制御部50から生成されたデータ駆動制御信号DCSは、データ駆動回路20に供給されて、走査駆動制御信号SCSは走査駆動回路10に供給される。そして、タイミング制御部50は外部から供給されるデータをデータ駆動回路20に供給する。 40

【0043】

データ駆動回路20は、タイミング制御部50からデータ駆動制御信号DCSの供給を受ける。データ駆動制御信号DCSの供給を受けたデータ駆動回路20は、データ信号を生成して、生成されたデータ信号を走査信号と同期されるようにデータ線D1～Dmに供給する。

【0044】

画素部30は、外部から第1電源ELVDD及び第2電源ELVSSの供給を受けてそれぞれの画素40に供給する。第1電源ELVDD及び第2電源ELVSSの供給を受けた画素40の各々は、データ信号に対応して第1電源ELVDDから発光素子を經由して 50

第2電源ELVSSへ流れる電流を制御することでデータ信号に対応される光を生成する。

【0045】

また、走査駆動回路10は、タイミング制御部50から走査駆動制御信号SCSの供給を受ける。走査駆動制御信号SCSの供給を受けた走査駆動回路10は、走査信号を生成して、生成された走査信号を走査線S1～Snに順次供給する。すなわち、上記走査駆動回路10は上記複数の画素を駆動するために順次上記走査信号を生成してこれを画素部30に提供する役目を遂行する。

【0046】

図5は、本発明の第1実施形態にかかる走査駆動回路の構造を示す構造図である。

10

【0047】

図5を参照して説明すれば、走査駆動回路は $m \times n$ 画素アレイ(Pixel Array)を駆動するためにスタートパルス入力ラインに従属接続された n 個のステージを具備する。

【0048】

これらの n 個のステージの出力ラインは、上記画素アレイに含まれた n 本のローラインROW1～ROW n にそれぞれ接続される。第1ステージにはスタートパルスSPが供給されて第1～第 $n-1$ ステージの出力信号はそれぞれ後段のステージにスタートパルスとして供給される。そして、上記各ステージは第1クロック信号CLK1と第2クロック信号CLK2または第2クロック信号と第3クロック信号CLK3または第1クロック信号CLK1と第3クロック信号CLK3の入力を受けて動作し、各ステージは第1クロック端子ck1と第2クロック端子ck2を具備する。

20

【0049】

ここで、上記ステージが $3k-2$ 番目の場合には示されたように上記第1クロック端子ck1に第1クロックCLK1が供給されて、第2クロック端子ck2に第2クロックCLK2が供給される。そして、上記ステージが $3k-1$ 番目の場合には上記第1クロック端子ck1には第2クロック信号CLK2が供給されて第2クロック端子ck2には第3クロックCLK3が供給される。

【0050】

そして、上記ステージが $3k$ 番目の場合には上記第1クロック端子ck1には第3クロックCLK3が伝達されて第2クロック端子ck2には第1クロックCLK1が伝達される。ここで、 k は自然数である。すなわち、各ステージは、第1～第3クロックCLK1～CLK3のうち二つのクロックの伝達を受けて動作する。各ステージは、残り一つのクロックの伝達を受けない。つまり、残り一つのクロックに対しては動作しないようになっている。

30

【0051】

そして、第1ステージが第1クロックと第2クロックによって信号を出力する時、第2ステージは第2クロックと第3クロックの伝達を受けて動作をし、第2ステージが第2クロックと第3クロックによって信号を出力する時第、3ステージは第3クロックと第1クロックの伝達を受けて動作をする。すなわち、第1ステージと第2ステージと第3ステージは順次信号を出力し、有機発光表示装置の画素部をライン別に順次駆動する。このような走査駆動回路における入力信号、すなわちスタートパルスSP、第1～第3クロックCLK1～CLK3と、供給電圧VDDなどは外部制御回路から供給される。

40

【0052】

図6は、本発明による走査駆動回路内の任意ステージの第1実施形態を示す回路図であり、図7は図6に示されたステージの入/出力信号波形の第1実施形態を示すタイミング図である。

【0053】

図6に示されたように本発明の第1実施形態の場合、ステージに含まれたトランジスタがすべてPMOSトランジスタで構成されており、走査駆動回路から順次ローレベルの出

50

力を送り出す。すなわち、本発明による走査駆動回路では有機電界発光装置のようなアクティブマトリックス表示装置の画素部に、図 6 に示されたように大部分の時間の間ハイレベルの信号を出力し、多くのステージから順次ローレベルのパルスを出力する。

【 0 0 5 4 】

図 6 を参照すれば、各ステージは、以前段出力電圧 s_i または最初スタートパルス SP の入力 i_n を受け、第 1 クロック端子 ck_1 にゲートが接続されて選択的に以前段出力電圧 s_i または最初スタートパルス SP を第 1 ノード N_1 に伝達する第 1 PMOS トランジスタ M_1 と、ゲートが第 1 ノード N_1 に連結されて第 2 クロック端子 ck_2 と第 2 ノード N_2 の間に接続される第 2 PMOS トランジスタ M_2 と、ゲートに第 1 クロック端子 ck_1 が連結されて基底電圧源 V_{SS} (第 2 電圧) と第 3 ノード N_3 の間に連結される第 3 PMOS トランジスタ M_3 と、ゲートに第 1 ノード N_1 が連結されて第 1 クロック端子 ck_1 と第 3 ノード N_3 の間に連結される第 4 PMOS トランジスタ M_4 と、ゲートが第 3 ノード N_3 に連結されて電源供給線 V_{DD} (第 1 電圧) 及び出力ライン OUT の間に接続された第 5 PMOS トランジスタ M_5 と、第 1 ノード N_1 と第 2 ノード N_2 の間に連結されて所定の電圧を維持するキャパシタ C_1 と、を含む。これらの素子を機能的に分類すると、第 1 トランジスタ M_1 はスイッチ、第 2 トランジスタ M_2 は保存部、第 3 トランジスタ M_3 、第 4 トランジスタ M_4 はスイッチ部とすることができる。また、本実施形態における以前段のステージの出力端とは以前段出力電圧 s_i または最初スタートパルス SP の入力 i_n を含む。

10

【 0 0 5 5 】

上記基底電圧源 V_{SS} には別途の負の電源または接地 GND されて構成されることも可能である。本実施形態では、上記基底電圧源が接地 GND に具現されることが示されている。

20

【 0 0 5 6 】

以下、図 6 に示されたステージのうち $3k - 2$ 番目ステージの回路構成からより具体的にステージの動作を説明する。

【 0 0 5 7 】

図 7 を参照すれば、上記走査駆動回路の各ステージは第 1 クロック CLK_1 、第 2 クロック CLK_2 及び第 3 クロック CLK_3 によって一周期をフリーチャージ期間、入力期間及び休息期間に区分することができる。

30

【 0 0 5 8 】

フリーチャージ期間において、ステージの第 1 クロック端子 ck_1 にロー信号である第 1 クロック CLK_1 が入力されて第 2 クロック端子 ck_2 にハイ信号である第 2 クロック ck_2 が入力されて、入力端 i_n からスタートパルス SP または以前段の走査信号 S_i が入力される。この時、第 1 PMOS トランジスタ M_1 と第 3 PMOS トランジスタ M_3 が第 1 クロックによってオン状態になって、第 1 ノード N_1 と第 3 ノード N_3 はロー状態の電圧を維持する。

【 0 0 5 9 】

第 1 ノード N_1 がロー状態になれば、第 2 PMOS トランジスタ M_2 と第 4 PMOS トランジスタ M_4 がオン状態になる。第 2 PMOS トランジスタ M_2 がオン状態になれば、キャパシタ C_1 には第 1 ノード N_1 と第 2 ノード N_2 の電圧の差にあたる電圧が充電される。そして、第 4 PMOS トランジスタ M_4 がオン状態になれば第 1 クロック CLK_1 の電圧が第 3 ノード N_3 に伝達される。したがって、第 5 PMOS トランジスタ M_5 がオン状態になって出力端 out に駆動電圧が出力される。

40

【 0 0 6 0 】

そして、入力期間において、第 1 クロック端子 ck_1 にハイ信号である第 1 クロック CLK_1 が入力されて第 2 クロック端子 ck_2 にロー信号である第 2 クロック CLK_2 が入力される。この時、第 1 PMOS トランジスタ M_1 はオフ状態になってフローティング状態になり、キャパシタ C_1 によって第 1 ノード N_1 は以前の電圧を維持する。したがって、第 2 PMOS トランジスタと第 4 PMOS トランジスタ M_4 はオン状態を維持する。

50

【 0 0 6 1 】

まず、第 4 P M O S トランジスタ M 4 がオン状態を維持すると、第 1 クロック端子 c k 1 に伝達される第 1 クロック C L K 1 はハイ状態を維持し、第 5 P M O S トランジスタ M 5 がオフ状態になる。そして、第 2 P M O S トランジスタ M 2 がオン状態になれば、第 2 ノード N 2 の電圧は第 2 クロックの電圧によって変化するようになり、出力端の電圧は第 2 クロック C L K 2 の波形と同じ波形になる。そして、出力端 o u t の電圧は第 5 P M O S トランジスタ M 5 によって電源供給線 V D D から駆動電圧が伝達されなくて第 2 ノード N 2 の電圧に対応して変化する。

【 0 0 6 2 】

最後に、休息期間は、第 3 クロック C L K 3 がロー信号である期間を示し、第 1 クロック C L K 1 と第 2 クロック C L K 2 はハイ信号がステージに伝達されて、第 3 クロック C L K 3 はステージに伝達されない。この時、出力端 o u t の電圧はハイ状態を維持する。

10

【 0 0 6 3 】

そして、第 2 クロックが再度ロー信号になれば第 1 ノード N 1 はキャパシタによってハイ状態の電圧を持ち、出力端 o u t の電圧はハイ状態の電圧を持つ。そして、入力端からスタートパルス S P または以前段の走査信号 s i が伝達されない状態で再度第 1 クロック C L K 1 と第 2 クロック C L K 2 がロー状態で伝達されれば、第 1 ノード N 1 の電圧がハイ状態を維持し、第 5 P M O S トランジスタ M 5 と第 2 P M O S トランジスタ M 2 はオフ状態になる。したがって、出力端 o u t の電圧は第 2 ノード N 2 の電圧によって決定されて第 2 P M O S トランジスタ M 2 がオフ状態になって第 2 ノード N 2 の電圧は変化がなくてハイ状態を維持する。

20

【 0 0 6 4 】

したがって、それぞれのステージは入力端 i n からロー信号が入力されなければ出力端 o u t はハイ信号を維持し、それぞれのステージは以前段のステージから出力されたロー信号の入力を受けてロー信号を出力し、走査信号を順次出力することができるようになる。

【 0 0 6 5 】

図 8 は、本発明による走査駆動回路内の任意ステージの第 2 実施形態を示す回路図である。図 8 を参照して説明すれば、任意ステージは第 1 P M O S トランジスタ M 1、第 2 P M O S トランジスタ M 2、第 3 P M O S トランジスタ M 3、第 4 P M O S トランジスタ M 4、第 5 P M O S トランジスタ M 5 及びキャパシタ C 1 を具備する。

30

【 0 0 6 6 】

第 1 P M O S トランジスタ M 1 は、第 1 クロック C L K 1 (第 1 クロック端子 c k 1 からの入力)によって入力信号を第 1 ノード N 1 に伝達して、第 2 P M O S トランジスタ M 2 は第 1 ノード N 1 の電圧に対応して第 2 クロック C L K 2 (第 2 クロック端子 c k 2 からの入力)を第 2 ノード N 2 に伝達する。

【 0 0 6 7 】

第 3 P M O S トランジスタ M 3 は第 1 クロック C L K 1 によって接地電圧を第 5 P M O S トランジスタ M 5 のゲートに伝達して、第 4 P M O S トランジスタ M 4 はゲートが出力端 o u t に連結されて出力端 o u t の電圧に対応して第 1 クロック C L K 1 を第 5 P M O S トランジスタ M 5 のゲートに伝達する。そして、第 5 P M O S トランジスタ M 5 はゲートの電圧に対応して電源供給線 V D D の電圧を出力端 o u t に伝達する。そして、キャパシタ C 1 は第 1 ノード N 1 と第 2 ノード N 2 の間に連結されて所定の電圧を維持する。

40

【 0 0 6 8 】

上記のように構成されたステージは図 7 に示されたタイミング図のような第 1 ~ 第 3 クロック C L K 1 ~ C L K 3 の中、第 1 クロック C L K 1 と第 2 クロック C L K 2 の伝達を受けて動作し、第 1 クロック C L K 1 がロー状態である時はフリーチャージ期間として動作し、第 2 クロック C L K 2 がロー状態である時は評価期間として動作して、第 3 クロック C L K 3 がロー状態である時には休息期間として動作する。

【 0 0 6 9 】

50

図 9 は、本発明による走査駆動回路内の任意ステージの第 3 実施形態を示す回路図である。図 9 を参照して説明すれば、図 8 に示されたステージと類似な構成をし、差異は第 3 P M O S トランジスタ M 3 のソースとゲートが第 1 クロック C L K 1 (第 1 クロック端子 c k 1 からの入力)の伝達を受けることである。したがって、第 1 クロック C L K 1 がローレベルである時、第 5 P M O S トランジスタ M 5 がオン状態になる。残りの動作は図 8 に示されたステージと同じ動作をする。

【 0 0 7 0 】

図 1 0 a は、図 6 に示されたステージの入 / 出力信号波形の第 2 実施形態を、図 1 0 b は図 6 に示されたステージの入 / 出力信号波形の第 3 実施形態を示すタイミング図である。図 1 0 a と図 1 0 b の波形は、図 8 と図 9 に示されたステージにも適用される。そして、第 1 クロック、第 2 クロック及び第 3 クロックが外部の影響などによって一定部分重なるようになった場合の動作を示し、図 1 0 a の場合、第 1 クロック C L K 1、第 2 クロック C L K 2 及び第 3 クロック C L K 3 のうち、第 1 クロック C L K 1 と第 2 クロック C L K 2 が重なることを示し、図 1 0 b の場合は第 1 クロック C L K 1 と第 2 クロック C L K 2 及び第 2 クロック C L K 2 と第 3 クロック C L K 3 が重なることを示す。

10

【 0 0 7 1 】

図 1 0 a の場合を参照すれば、第 2 クロック C L K 2 の誤動作によって第 1 クロック C L K 1 と第 2 クロック C L K 2 が重なっている場合であり、正常な動作をする第 3 クロック C L K 3 とは重ならない。したがって、一番目ステージから出力される走査信号は第 1 クロック C L K 1 と第 2 クロック C L K 2 が重なるようになって走査信号の開始部分が潰れるようになる。しかし、第 2 クロック C L K 2 と第 3 クロック C L K 3 は重なることなく、二番目ステージから出力される走査信号は潰れなくなる。また、第 3 クロック C L K 3 と二番目第 1 クロック C L K 1 は重ならなくて、三番目ステージから出力される走査信号も潰れなくなる。

20

【 0 0 7 2 】

そして、図 1 0 b の場合を参照すれば、第 1 クロック C L K 1 と第 2 クロック C L K 2 が重なり、第 2 クロック C L K 2 と第 3 クロック C L K 3 が重なっている場合であり、第 3 クロック C L K 3 と二番目に発生した第 1 クロック C L K 1 は重ならなくなっている。したがって、一番目ステージと二番目ステージから出力される走査信号の開始部分が潰れるようになって三番目ステージから出力される走査信号は潰れなくなる。

30

【 0 0 7 3 】

したがって、周期的に走査信号の波形が再度正常な波形を示すようになり、一番目走査線に入力される走査信号と最後の走査線に入力される走査信号の波形が大きく変化されなくなる。

【 0 0 7 4 】

図 1 1 は、図 5 に示された走査駆動回路で採用されたステージの第 4 実施形態を示す回路図で、図 1 2 は図 1 1 に示されたステージのタイミングの第 1 実施形態を示す図である。

【 0 0 7 5 】

図 1 1 と図 1 2 を参照して説明すれば、ステージは N M O S トランジスタで構成されており、図 6 に示されたステージと類似な構成をしており、ステージはフリーチャージ期間、評価期間及び休息期間にわけられて動作するようになる。

40

【 0 0 7 6 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【 0 0 7 7 】

本発明は、走査駆動回路及びこれを利用した有機発光表示装置に適用可能である。

50

【図面の簡単な説明】

【 0 0 7 8 】

【図 1】一般的な走査駆動回路の構造を示す構造図である。

【図 2】図 1 に示された走査駆動回路のステージを示す回路図である。

【図 3】図 2 に示されたステージのタイミング図である。

【図 4】本発明の第 1 の実施形態にかかる有機発光表示装置の構造図である。

【図 5】同実施形態にかかる走査駆動回路の構造を示す構造図である。

【図 6】図 5 に示された走査駆動回路で採用されたステージの第 1 実施形態を示す回路図である。

【図 7】図 6 に示されたステージの入 / 出力信号波形の第 1 実施形態を示すタイミング図である。 10

【図 8】図 5 に示された走査駆動回路で採用されたステージの第 2 実施形態を示す回路図である。

【図 9】図 5 に示された走査駆動回路で採用されたステージの第 3 実施形態を示す回路図である。

【図 10 a】図 6 に示されたステージの入 / 出力信号波形の第 2 実施形態を示すタイミング図である。

【図 10 b】図 6 に示されたステージの入 / 出力信号波形の第 3 実施形態を示すタイミング図である。

【図 11】図 5 に示された走査駆動回路で採用されたステージの第 4 実施形態を示す回路図である。 20

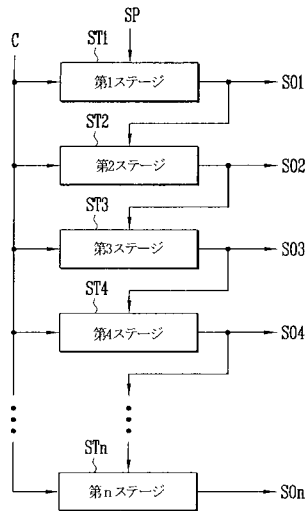
【図 12】図 11 に示されたステージのタイミングの第 1 実施形態を示す図である。

【符号の説明】

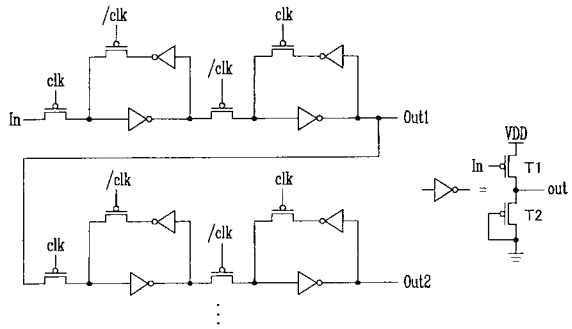
【 0 0 7 9 】

- | | |
|-----|----------|
| 1 0 | 走査駆動回路 |
| 2 0 | データ駆動回路 |
| 3 0 | 画素部 |
| 4 0 | 画素 |
| 5 0 | タイミング制御部 |

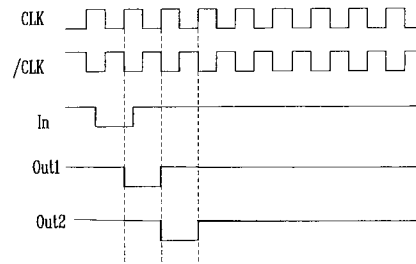
【図 1】



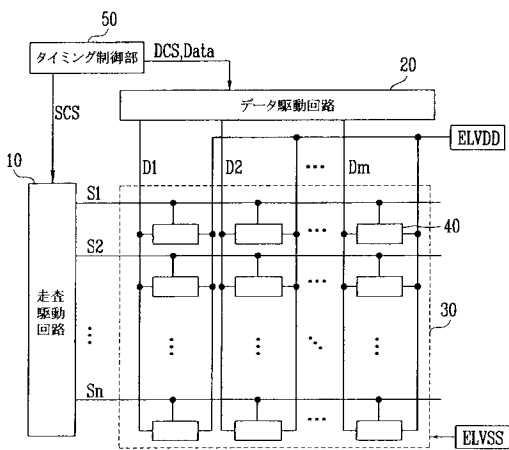
【図 2】



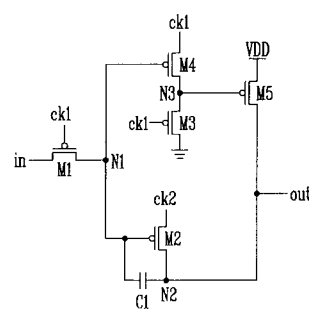
【図 3】



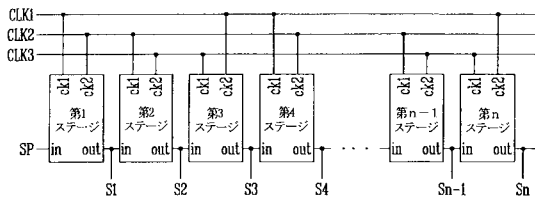
【図 4】



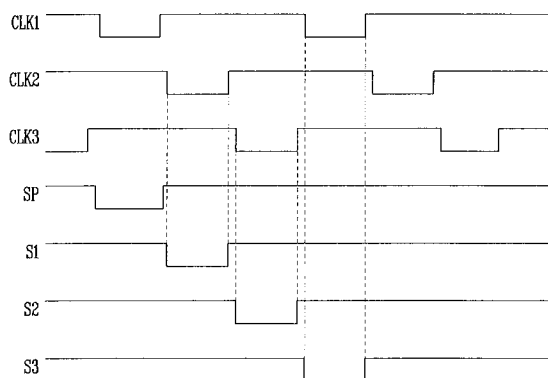
【図 6】



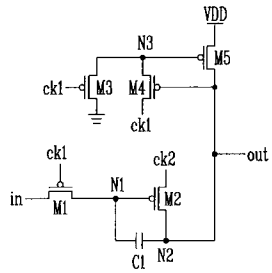
【図 5】



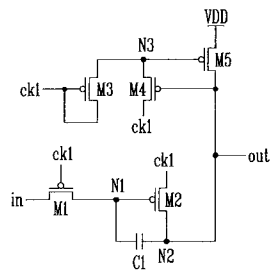
【図 7】



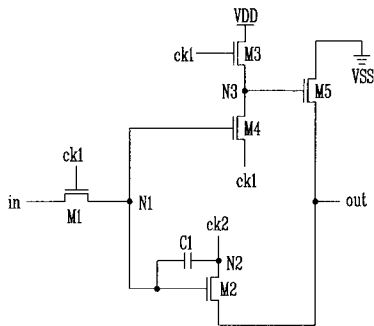
【図 8】



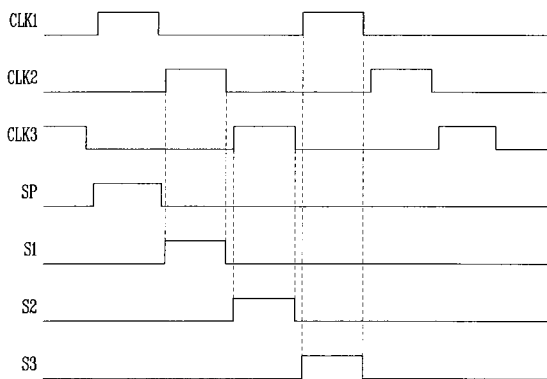
【図 9】



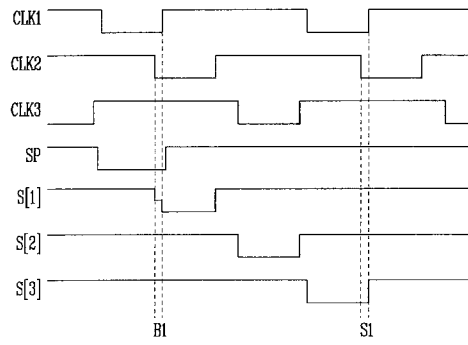
【図 11】



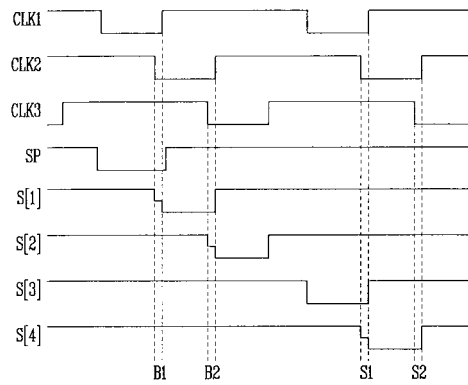
【図 12】



【図 10 a】



【図 10 b】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 7 0 E

H 0 5 B 33/14 A

专利名称(译)	扫描驱动电路和使用其的有机发光显示装置		
公开(公告)号	JP2007286582A	公开(公告)日	2007-11-01
申请号	JP2006288816	申请日	2006-10-24
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉		
发明人	申 東蓉		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G11C19/184 G09G3/20 G09G3/3208 G09G3/3266 G09G2310/0286 G09G2330/021		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.622.D G09G3/20.622.E G09G3/20.622.A G09G3/20.622.G G09G3/20.670.E H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G11C19/00 G11C19/00.J G11C19/00.K G11C19/28.B G11C19/28.210		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD09 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5B074/DA01 5B074/DB01 5B074/DB02 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA37 5C380/BA39 5C380/CA08 5C380/CB01 5C380/CB31 5C380/CE19 5C380/CF07 5C380/CF10 5C380/CF23 5C380/CF43		
优先权	1020060034959 2006-04-18 KR		
外部链接	Espacenet		

摘要(译)

本发明提供一种扫描驱动电路和使用该扫描驱动电路的有机发光显示器，所述扫描驱动电路可以使扫描信号的波形的变化小，即使时钟发生故障。解决方案：扫描驱动电路包括多个级，每个级被配置为在接收一个接一个产生的三个时钟中的两个时操作，接收和延迟输入信号预定时间，并输出输出信号，其中输入端所述多个级中的每一级的输出端子连接到所述级中的前一级的输出端子。多个级中的每一个包括：开关，用于根据来自第一时钟端子的输入来接通/断开输入端子的连接;开关部分，用于根据来自第一时钟端子的时钟在输出端子处接收第一电压，用于通过开关的接通/断开操作接收来自输入端子的输入信号，并用于防止第一电压被传送到所述输出端根据所述输入信号;以及存储部分，用于将输出端子的电压保持预定时间，并且用于根据输入信号从第二时钟端子传送时钟的电压。

