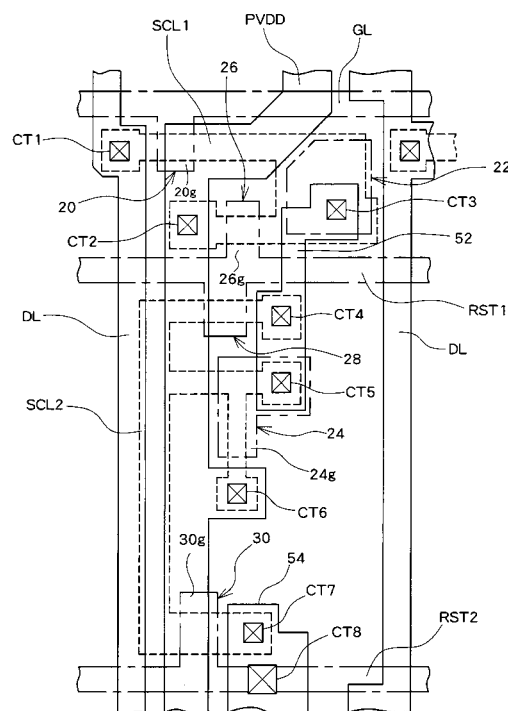




【特許請求の範囲】

【請求項 1】

各画素に複数のトランジスタを含む画素回路を有し、その画素をマトリクス状に配置した有機 E L 表示パネルであって、

各画素には、

1 つの有機 E L 素子と、

電源ラインから有機 E L 素子へ供給する電流量を制御する駆動トランジスタと、

データラインからのデータ信号を容量を介し前記駆動トランジスタのゲートに供給するか否かを制御する選択トランジスタと、

駆動トランジスタのゲートドレイン間を短絡するか否かを制御する短絡トランジスタと 10

、
駆動トランジスタと有機 E L 素子の間に配置された駆動トランジスタからの電流を有機 E L 素子に供給するか否かを制御する駆動制御トランジスタと、

を含み、

偶数行と、奇数行とで、各画素におけるトランジスタの配置が異なるが、

偶数行の画素と、奇数行の画素であって、同色の画素において、前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積がほぼ同一であり、ここに生じる寄生容量が各行の同一色画素間において同一になるように設定してあることを特徴とする有機 E L 表示パネル。

【請求項 2】

20

各画素に複数のトランジスタを含む画素回路を有し、その画素をマトリクス状に配置した有機 E L 表示パネルであって、

垂直走査方向には、電源ラインと、データラインを各列に対応して配置し、

各画素には、

一对の電極間に有機発光層を含む有機 E L 素子と、

電源ラインから有機 E L 素子へ供給する電流量を制御する駆動トランジスタと、

データラインからのデータ信号を容量を介し前記駆動トランジスタのゲートに供給するか否かを制御する選択トランジスタと、

駆動トランジスタのゲートドレイン間を短絡するか否かを制御する短絡トランジスタと 30

、
駆動トランジスタと有機 E L 素子の間に配置された駆動トランジスタからの電流を有機 E L 素子に供給するか否かを制御する駆動制御トランジスタと、

を設け、

水平走査方向には、

前記選択トランジスタのオンオフを制御するゲートラインと、

前記短絡トランジスタのオンオフを制御する第 1 制御ラインと、

前記駆動制御トランジスタのオンオフを制御する第 2 制御ラインと、

を各行に対応して配置し、

偶数行と、奇数行とで、各画素におけるトランジスタの配置が異なるが、

偶数行の画素と、奇数行の画素であって、同色の画素において、前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積がほぼ同一であり、ここに生じる寄生容量が各行の同一色画素間において同一になるように設定するとともに、 40

前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積は、データラインと、第 1 制御ラインが交差する部分の面積と同等あるいはそれ以下に設定してあることを特徴とする有機 E L 表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

各画素に複数のトランジスタを含む画素回路を有し、その画素をマトリクス状に配置し 50

た有機ＥＬ表示パネル、特にトランジスタなどのレイアウトに関する。

【背景技術】

【０００２】

自発光素子であるエレクトロルミネッセンス（Electroluminescence：以下ＥＬ）素子を各画素に発光素子として用いたＥＬ表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置（ＬＣＤ）やＣＲＴなどの表示装置に代わる表示装置として注目されている。

【０００３】

特に、ＥＬ素子を個別に制御する薄膜トランジスタ（ＴＦＴ）などのスイッチ素子を各画素に設け、画素毎にＥＬ素子を制御するアクティブマトリクス型ＥＬ表示装置では、高精細な表示が可能である。 10

【０００４】

このアクティブマトリクス型ＥＬ表示装置では、基板上に複数本のゲートラインが行（水平）方向に延び、複数本のデータライン及び電源ラインが列（垂直）方向に延びており、各画素は有機ＥＬ素子と、選択ＴＦＴ、駆動ＴＦＴ及び保持容量を備えている。ゲートラインを選択することで選択ＴＦＴをオンし、データライン上のデータ電圧（電圧ビデオ信号）を保持容量に充電し、この電圧で駆動ＴＦＴをオンして電源ラインからの電力を有機ＥＬ素子に供給している。

【０００５】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動ＴＦＴのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するＴＦＴについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。 20

【０００６】

そこで、駆動ＴＦＴにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【０００７】

ここで、ＴＦＴのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、下記特許文献１）。 30

【０００８】

【特許文献１】特表２００２－５１４３２０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

しかし、この提案では、しきい値変動の補償をするための回路を必要とし、データライン上のデータ電圧は、容量を介し、駆動ＴＦＴのゲートに印加される。従って、駆動ＴＦＴのゲートに設定される電圧は、データ電圧を印加する経路に寄生する容量などの影響を受けやすい。 40

【００１０】

また、ディスプレイには、各画素を垂直走査方向において、直線状に並べたストライプ型と、垂直走査方向においては、各画素が水平走査方向に若干シフトしているデルタ型があり、自然画などの表示には、デルタ型の方が好ましいといわれている。

【００１１】

一方、このデルタ型の場合、垂直走査方向に伸びるデータラインや、電源ラインは、直線にはできず、各行毎に水平走査方向にシフトする。このため、詳細なレイアウトは、各行、特に偶数行と、奇数行とでは異なる可能性があり、データ電圧の駆動ＴＦＴのゲートに至る経路についての寄生容量が偶数行と奇数行とで異なり、これによって表示むらが発生するという問題があった。

【課題を解決するための手段】

【 0 0 1 2 】

本発明は、各画素に複数のトランジスタを含む画素回路を有し、その画素をマトリクス状に配置した有機ＥＬ表示パネルであって、各画素には、１つの有機ＥＬ素子と、電源ラインから有機ＥＬ素子へ供給する電流量を制御する駆動トランジスタと、データラインからのデータ信号を容量を介し前記駆動トランジスタのゲートに供給するか否かを制御する選択トランジスタと、駆動トランジスタのゲートドレイン間を短絡するか否かを制御する短絡トランジスタと、駆動トランジスタと有機ＥＬ素子の間に配置された駆動トランジスタからの電流を有機ＥＬ素子に供給するか否かを制御する駆動制御トランジスタと、を含み、偶数行と、奇数行とで、各画素におけるトランジスタの配置が異なるが、偶数行の画素と、奇数行の画素であって、同色の画素において、前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積がほぼ同一であり、ここに生じる寄生容量が各行の同一色画素間において同一になるように設定してあることを特徴とする。

10

【 0 0 1 3 】

また、本発明は、各画素に複数のトランジスタを含む画素回路を有し、その画素をマトリクス状に配置した有機ＥＬ表示パネルであって、垂直走査方向には、電源ラインと、データラインを各列に対応して配置し、各画素には、一対の電極間に有機発光層を含む有機ＥＬ素子と、電源ラインから有機ＥＬ素子へ供給する電流量を制御する駆動トランジスタと、データラインからのデータ信号を容量を介し前記駆動トランジスタのゲートに供給するか否かを制御する選択トランジスタと、駆動トランジスタのゲートドレイン間を短絡するか否かを制御する短絡トランジスタと、駆動トランジスタと有機ＥＬ素子の間に配置された駆動トランジスタからの電流を有機ＥＬ素子に供給するか否かを制御する駆動制御トランジスタと、を設け、水平走査方向には、前記選択トランジスタのオンオフを制御するゲートラインと、前記短絡トランジスタのオンオフを制御する第１制御ラインと、前記駆動制御トランジスタのオンオフを制御する第２制御ラインと、を各行に対応して配置し、偶数行と、奇数行とで、各画素におけるトランジスタの配置が異なるが、偶数行の画素と、奇数行の画素であって、同色の画素において、前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積がほぼ同一であり、ここに生じる寄生容量が各行の同一色画素間において同一になるように設定するとともに、前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積は、データラインと、第１制御ラインが交差する部分の面積と同等あるいはそれ以下に設定してあることを特徴とする。

20

30

【 発明の効果 】

【 0 0 1 4 】

本発明では、データラインからのデータ電圧の駆動ＴＦＴのゲートに至る経路の一部である容量から駆動ＴＦＴゲートと至る配線の第２制御ラインとの重なり面積について偶数行と奇数行とで同一色については同一とする。従って、ここにおいて発生する寄生容量を偶数行と奇数行とで同一として、偶数行と、奇数行とで表示が異なることを防止することができる。

40

【 0 0 1 5 】

前記容量から前記駆動トランジスタのゲートに接続する配線が前記電源ラインと交差する場所の面積を、データラインと、第１制御ラインが交差する部分の面積と同等あるいはそれ以下に設定することで、寄生容量を十分小さくすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 1 7 】

図１は、実施形態に係る１画素の画素回路の構成を示す図である。垂直走査方向に伸びるデータラインＤＬには、ｎチャネルの選択ＴＦＴ２０のドレインが接続されている。この選択ＴＦＴ２０のゲートは水平走査方向に伸びるゲートラインＧＬに接続され、ソース

50

は容量 22 の一端に接続されている。容量 22 の他端は p チャンネルの駆動 T F T 24 のゲートに接続されている。さらに、選択 T F T 20 のソースと、容量 22 の接続部には、n チャンネルのリセット制御 T F T 26 のドレインが接続されており、このリセット制御 T F T 26 のソースは垂直走査方向に伸びる電源ライン P V D D に接続されている。さらに、駆動 T F T 24 のゲートには、n チャンネルの短絡 T F T 28 のソースが接続されている。また、この短絡 T F T 28 のドレインには、駆動 T F T 24 のドレインがダイオード 40 を介して接続されている。そして、リセット制御 T F T 26 と短絡 T F T 28 のゲートは、制御ライン R S T 1 に接続されている。

【0018】

また、駆動 T F T 24 のソースは、電源ライン P V D D に接続され、ドレインはダイオード 40 を介し n チャンネルの駆動制御 T F T 30 のドレインに接続されている。ここで、駆動 T F T 24 と、駆動制御 T F T 30 は、1 つの連続する半導体層を用いて構成されており、駆動 T F T 24 のドレインは、p 型不純物がドーピングされており、一方駆動制御 T F T 30 のドレインは、n 型不純物がドーピングされている。ダイオード 40 は、この連続する半導体層における p n 接合によって生じるものである。ここで、図のように、ダイオード 40 を短絡 T F T 28 との接続部より、駆動 T F T 24 側に配置することで、短絡 T F T 28 から駆動制御 T F T 30 への電流が阻止されることがなくなり、駆動 T F T 24 のゲート電圧のリセットが問題なく行える。なお、駆動 T F T 24 と、駆動制御 T F T 30 を別個の半導体層を用いて構成し、その接続はメタル層を利用すれば、ダイオード 40 を省略できるが、この場合メタル層とのコンタクトが必要となる。これについては、後述の図 10、11 に示してある。

【0019】

駆動制御 T F T 30 のソースは、有機 E L 素子 32 のアノードに接続され、ゲートは水平走査方向に伸びる制御ライン R S T 2 に接続されている。有機 E L 素子 32 のカソードは、カソード電源 C V に接続されている。ここで、通常の場合、有機 E L 素子 32 のカソードは全画素共通になっており、このカソードが所定の電位のカソード電源 C V に接続されている。

【0020】

次に、この画素回路の動作について、図 2 に基づいて説明する。ゲートライン G L が該当水平ライン（行）の画素が選択される 1 H（水平期間）の選択期間だけ H i g h レベルになる。図において、ゲートライン G L（-1）は、該当水平ラインの 1 つ上の水平ラインについてのゲートラインであり、1 H 前のタイミングで H i g h レベルになる。そして、G L（-1）が H i g h レベルになるとこれと同時に制御ライン R S T 1 が H i g h レベルになる。この制御ライン R S T 1 の H i g h レベルによって、選択 T F T 20 がオフ、駆動制御 T F T 30 がオンの状態で、リセット制御 T F T 26 および短絡 T F T 28 がオンし、有機 E L 素子 32 に所定の電流が流れる。これによって、容量 22 の選択 T F T 20 側が電源電圧 P V D D の状態で、駆動 T F T 24 のドレインソース間が短絡され、駆動 T F T 24 のゲートから電荷が引き抜かれ、リセットされる。

【0021】

次に、所定の短期間 Δ だけ遅れて制御ライン R S T 2 が L o w レベルになり、駆動制御 T F T 30 がオフする。一方、リセット制御 T F T 26 と短絡 T F T 28 はオンしているため、容量 22 の駆動 T F T 24 のゲートに接続されているのと反対側が P V D D の電位に保たれている状態で、駆動 T F T 24 のゲートドレイン間は短絡 T F T 28 によって短絡され、駆動 T F T 24 はダイオード接続される。そこで、駆動 T F T 24 のゲート電位は、P V D D よりしきい値電圧 V F だけ低い電圧になり、このしきい値電圧 V F の電圧が、容量 22 に保持される。

【0022】

このように、1 H 前の水平期間において、容量 22 に駆動 T F T 24 のしきい値電圧 V F が充電される。次に、制御ライン R S T 1 が L o w レベルとなり、リセット制御 T F T 26 と短絡 T F T 28 がオフされる。ここで、制御ライン R S T 2 は、L o w レベルに維

持され、駆動制御 T F T 3 0 はオフのままにする。

【 0 0 2 3 】

次に、該当水平ラインの選択期間に入り、ゲートライン G L が H i g h レベルになり、これによって選択 T F T 2 0 がオンになる。この状態で、水平ドライバは、データライン D L から供給される各画素のビデオ信号を各データライン D L に順次供給する。従って、データライン D L には、対応する画素についてビデオ信号が設定される。そして、このデータライン D L は、ゲートライン G L が L o w レベルになるまで、ビデオ信号の電位を維持する。このために、データライン D L に、コンデンサなどを接続して、電位を維持できるようにするとよい。

【 0 0 2 4 】

データライン D L がビデオ信号の電位に設定されると、容量 2 2 の他端である駆動 T F T 2 4 のゲート電位は、ビデオ信号の電圧（データ電圧）によりシフトされる。そして、制御ライン R S T 2 が H i g h レベルとなり、駆動制御 T F T 3 0 がオンとなり、駆動 T F T 2 4 にそのゲート電位に応じた電流が流れ、これが駆動制御 T F T 3 0 を介し、有機 E L 素子 3 2 に流れる。ゲートライン G L が L o w レベルに復帰して選択 T F T 2 0 がオフした後も、駆動 T F T 2 4 のゲート電位はそのときの電圧のまま保たれ、有機 E L 素子 3 2 にはビデオ信号の電圧に応じた電流が流れ、発光する。

【 0 0 2 5 】

そして、ゲートライン G L を L o w レベルに戻した後、一旦データライン D L を一定電位（例えば、P V D D）に戻す。これによって、次のビデオ信号についてのデータライン D L へのセットに問題がなくなる。

【 0 0 2 6 】

このように、本実施形態では、最初に駆動 T F T 2 4 のゲートに、P V D D より駆動 T F T 2 4 のしきい値電圧 V F 分だけ低い電圧を設定し、これを容量 2 2 に保持する。従って、各画素の駆動 T F T 2 4 の間でしきい値電圧 V F にバラツキがあっても、これを補償して、ビデオ信号に応じた電流を有機 E L 素子 3 2 に供給することができる。

【 0 0 2 7 】

特に、リセット制御 T F T 2 6 により、容量 2 2 の選択 T F T 2 0 側の電圧を一定電位（この例では P V D D）に設定している。このため、前フレームでの書き込みデータの影響を排除して、短絡 T F T 2 8 をオンしたときに、容量 2 2 に駆動 T F T 2 4 のしきい値電圧 V F に応じた電圧を確実に保持することができる。また、しきい値電圧 V F のセットの際には、データライン D L の電圧を変更する必要はなく、水平ドライバの動作が簡略化される。また、該当するゲートライン G L が L o w レベルの期間であれば、駆動 T F T 2 4 のゲート電圧のリセットをいずれのタイミングでも行うこともでき、リセットの時間を長くして、確実なしきい値電圧のセットが行える。

【 0 0 2 8 】

さらに、駆動制御 T F T 3 0 がオンしている状態で、リセット制御 T F T 2 6 と短絡 T F T 2 8 を同時にオンする。このため、駆動 T F T 2 4 のゲート電圧のリセットが確実に行える。

【 0 0 2 9 】

そして、本実施形態では、ゲートライン G L が H i g h レベルで選択 T F T 2 0 がオンしている状態で、制御ライン R S T 2 を H i g h レベルとして、駆動制御 T F T 3 0 をオンする。駆動制御 T F T 3 0 がオンすると、有機 E L 素子 3 2 に電流が流れ始め、駆動 T F T 2 4 のドレイン電圧が下がり、この影響でそのゲート電圧も下がりやすい。本実施形態では、この駆動制御 T F T 3 0 がオンするときに、選択 T F T 2 0 がオンであり、容量 2 2 の一端がデータライン D L に接続されている。従って、駆動制御 T F T 3 0 がオンすることで、駆動 T F T 2 4 のゲート電圧が変動したとしても、ゲート電圧は、データ電圧より駆動 T F T 2 4 のしきい値電圧 V F だけ低い電圧にセットされ、データ電圧に応じた有機 E L 素子 3 2 の発光が達成できる。

【 0 0 3 0 】

また、駆動制御 T F T 3 0 を p チャンネルにすると、リーク電流が生じやすく、駆動 T F T 2 4 のゲートドレイン間を短絡 T F T 2 8 をオンして駆動 T F T 2 4 のゲート電圧を P V D D - V F にセットする際に、ゲート電圧が低くなる傾向がある。駆動制御 T F T 3 0 を n チャンネルにすることによって、リーク電流を減少して、駆動 T F T 2 4 の正確なゲート電圧セットが行える。

【 0 0 3 1 】

また、本実施形態において、P V D D は 5 V 未満、データライン D L にセットされるデータ電圧の黒レベル電圧は P V D D より 2 V 程度高い電圧に設定される。これによって、黒レベルの際に駆動 T F T 2 4 のゲートをソースの電圧である P V D D に対し、十分高い電圧として、電流が流れるのを防止して、黒レベルを達成することができる。

10

【 0 0 3 2 】

「レイアウト」

このように、本実施形態の画素回路においては、垂直走査方向の各列に対し、電源ライン P V D D と、データライン D L を配置することは、しきい値補償を行わないものと同様である。一方、水平走査方向の各行に対しては、ゲートライン G L の他に制御ライン R S T 1 , R S T 2 と 2 本の制御ラインを有している。そこで、これら制御ライン R S T 1 , R S T 2 を、他の素子に対し、どのような位置に配置するかが問題になる。

【 0 0 3 3 】

図 3 に、このような画素回路を採用したパネルにおけるレイアウト（平面構成）の一例を示す。この例は、各画素を水平走査方向で所定距離ずらしたデルタ配列になっている。電源ライン P V D D は、各画素の上部において若干水平走査方向（右または左方向）にシフトし、その後画素内の右または左側を垂直走査方向に伸びる。従って、電源ライン P V D D は、垂直走査方向にクランク形に折れ曲がりながら伸びている。

20

【 0 0 3 4 】

また、データライン D L は、画素の垂直走査方向の上部（上の行の画素の下部）において、若干水平走査方向にシフト（左または右方向）にシフトし、その後画素内の左または右側を垂直走査方向に伸びる。データライン D L は、電源ライン P V D D とは、常に水平走査方向において逆方向にシフトし、従って、データライン D L は、1 つの電源ライン P V D D と隣接した 1 つの画素内を垂直走査方向に伸びた後に、次の行の画素では、左右反対側の電源ライン P V D D に沿って画素内を垂直走査方向に伸びる。1 つの画素を見れば、左右の一方にデータライン D L および電源ライン P V D D が配置され、他方に隣接画素用のデータライン D L が配置されている。

30

【 0 0 3 5 】

そして、ゲートライン G L は、各行の画素の上端部に位置し、制御ライン R S T 1 は、垂直走査方向の上から 1 / 3 程度の位置、制御ライン R S T 2 は画素の最下部で、下の行のゲートライン G L のすぐ上に位置している。また、水平走査方向に位置する 3 本のラインは、すべて直線である。

【 0 0 3 6 】

また、画素は、その発光色に応じて、大きさが異なっており、各色において詳細なレイアウトが異なっている。この例では、ブルー（B）、レッド（R）、グリーン（G）の順で、順次面積が小さくなっている。これは、この例では、ブルーの発光効率が最も低く、グリーンの発光効率が最も高いからである。さらに、奇数行と偶数行では、水平方向に配置が反対になっている。

40

【 0 0 3 7 】

図 4 は、発光色グリーンの 1 画素分のレイアウトを示しており、画素の左上のデータライン D L には、コンタクト C T 1 が設けられ、このコンタクト C T 1 の部分に半導体層 S C L 1 の一端が位置している。この半導体層 S C L 1 は、ゲートライン G L に沿って水平走査方向に伸びる。また、ゲートライン G L からは半導体層 S C L 1 と交差するように伸びるゲート電極 2 0 g が突出形成されている。このゲート電極 2 0 g が交差している半導体層 S C L 1 の部分が選択 T F T 2 0 のチャンネル領域となり、その両側がドレイン、ソー

50

ス領域となる。

【0038】

この選択TF T 2 0の水平走査方向の隣接部分であって、隣接画素のデータラインDLに近い部分において、半導体層SCL 1は、ほぼ垂直走査方向に四角形状に広がっている。この四角形状の部分には、ゲートラインGLと同じ深さのコンデンサ電極22 aがゲート絶縁膜14を介し、対向配置されており、ここに容量22が形成されている。

【0039】

図5には、この部分の断面図が示されている。ガラス基板10の表面には、バッファ層12が形成され、その上に半導体層SCL 1が形成されている。そして、この半導体層SCL 1の上には、ゲート絶縁膜14が形成され、選択TF T 2 0の部分のゲート絶縁膜14上にゲート電極20 gが形成されている。また、容量22の部分では、半導体層SCL 1と、コンデンサ電極22 aがゲート絶縁膜14を介し対向することで、容量22が形成されている。また、ゲート電極20 g、コンデンサ電極22 aを覆って層間絶縁膜16が形成され、この層間絶縁膜16の上面にデータラインDL、電源ラインPVDDなどのメタル配線が形成されている。

10

【0040】

容量22の電極となった半導体層SCL 1は、その後水平走査方向に元きた方向に戻るようにして伸びる。すなわち、半導体層SCL 1は全体としてコ字形となっている。そして、水平走査方向に伸びる半導体層SCL 1に制御ラインRST 1の突出部が交差され、これがリセット制御TF T 2 6のゲート電極26 gを構成し、ここにリセット制御TF T 2 6が形成されている。すなわち、半導体層SCL 1のゲート電極26 gとの交差部分がチャネル領域、その両側がドレインおよびソース領域を構成する。また、この半導体層SCL 1の端部は、コンタクトCT 2によって、電源ラインPVDDと接続されている。

20

【0041】

図6には、この部分の断面図が示されている。容量22を形成する半導体層SCL 1が水平走査方向に伸び、ここにリセット制御TF T 2 6が形成され、端部はコンタクトCT 2によって上方の電源ラインPVDDに接続されている。また、容量22のコンデンサ電極22 aには、コンタクトCT 3が設けられ、層間絶縁膜16上のアルミ配線52に接続されている。

【0042】

アルミ配線52は制御ラインRST 1を横切って垂直走査方向に伸び、コンタクトCT 4によって半導体層SCL 2に接続されている。この半導体層SCL 2は、制御ラインRST 1に沿って水平走査方向に伸び、電源ラインPVDDと、データラインDLの間隙にまで至る。そして、水平走査方向に伸びている半導体層SCL 2には、制御ラインRST 2からの突出部がゲート電極28 gとして形成され、ここに短絡TF T 2 8が形成されている。

30

【0043】

図7には、この部分の断面図が示されており、半導体層SCL 2の上方に、ゲート電極28 gが形成され、このゲート電極28 gの下方が短絡TF T 2 8のチャネル領域、その両側がソース領域、ドレイン領域となっている。

40

【0044】

半導体層SCL 2は、データラインDLと、電源ラインPVDDの間を垂直走査方向を下に向かって伸び、制御ラインRST 2の近傍まで至る。そして、その途中で、画素の内側方向（水平走査方向）に分岐し、画素の中央部分まで伸び、さらに垂直走査方向の下方に曲がって電源ラインPVDDに沿って下方へ伸びている。この分岐した半導体層SCL 2の端部には、電源ラインPVDDからの突出部が重畳配置されており、これらがコンタクトCT 5で接続されている。従って、駆動TF T 2 4は、かぎ形に曲がった半導体層SCL 2によって構成される。

【0045】

また、半導体層SCL 2の画素の中央部分において垂直走査方向に曲がっている部分に

50

は、駆動ＴＦＴ２４のゲート電極２４ｇが重畳配置されている。一方、上述したアルミ配線５２は、半導体層ＳＣＬ２の垂直走査方向へ曲がる角の横まで伸びており、このアルミ配線５２にゲート電極２４ｇが接続されている。

【００４６】

図８には、この部分の断面図が示されており、ゲート電極２４ｇは、層間絶縁膜１６上のアルミ配線５２とコンタクトＣＴ５で接続されている。そして、ゲート電極２４ｇの下方の半導体層ＳＣＬ２が駆動ＴＦＴ２４のチャネル領域になっている。なお、この駆動ＴＦＴ２４は、ｐチャネルＴＦＴであり、ドレイン領域には、ｐ形不純物がドーピングされている。一方、半導体層ＳＣＬ２の配線部分は、ｎ形不純物がドーピングされており、両者の境界部分にＰＮ接合によるダイオード４０が形成されている。

10

【００４７】

また、半導体層ＳＣＬ２は、垂直走査方向の、制御ラインＲＳＴ２に至る手前において、画素の内側方向に曲がり、制御ラインＲＳＴ２に沿って伸びている。この制御ラインＲＳＴ２に沿って伸びる半導体層ＳＣＬ２には、制御ラインＲＳＴ２からの突出部が重畳形成されており、これが駆動制御ＴＦＴ３０のゲート電極３０ｇとなっている。

【００４８】

図９には、この部分の断面図が示されている。このように、半導体層ＳＣＬ２の画素の中央側の端部には、コンタクトＣＴ７が設けられ、層間絶縁膜１６上のアルミ配線５４を介し、有機ＥＬ素子３２の陽極３２ａが接続されている。この陽極３２ａは、垂直走査方向において制御ラインＲＳＴ１とＲＳＴ２の間の領域に配置され、水平走査方向においてデータラインＤＬと電源ラインＰＶＤＤの間の比較的広い領域に配置され、この陽極３２ａが配置される領域がほぼ発光エリアになっている。

20

【００４９】

この例では、データラインＤＬ、電源ラインＰＶＤＤなどのメタル（アルミ）配線が層間絶縁膜１６の上に設けられ、これを覆って平坦化膜１８が形成され、その上に陽極３２ａが形成されている。この陽極３２ａは、ＩＴＯなどの透明導電材料からなり、平坦化膜１８を貫通するコンタクトＣＴ８によって、層間絶縁膜１６上のメタルと接続されている。なお、コンタクトＣＴ８は、陽極３２ａと同一材料で形成されている。

【００５０】

このように、本実施形態によれば、水平走査方向に、ゲートラインＧＬ、制御ラインＲＳＴ１と、制御ラインＲＳＴ２の３本のラインが設けられているが、これらラインから直接突出形成する形で、ＴＦＴ２０、２６、２８、３０のゲート電極を形成することができ、配線の引き回しが少なく、発光エリアを比較的大きくとることができる（開口率を比較的大きくすることができる）。

30

【００５１】

特に、制御ラインＲＳＴ１、ＲＳＴ２の間に発光エリアを配置したため、ＴＦＴ２６、２８を制御ラインＲＳＴ１のそばに配置するとともに、駆動制御ＴＦＴ３０を制御ラインＲＳＴ２のそばに配置することができる。また、駆動ＴＦＴ２４は、発光エリアに沿って形成することで、比較的大きなトランジスタを効率的に配置できる。

【００５２】

ゲートラインＧＬと、制御ラインＲＳＴ１の間に、選択ＴＦＴ２０および容量２２を配置した。これによって、両者が近くに配置でき、配線を短くでき、書き込み時間を短くできる。

40

【００５３】

また、駆動ＴＦＴ２４、駆動制御ＴＦＴ３０を制御ラインＲＳＴ１、ＲＳＴ２の間に配置したため、駆動ＴＦＴ２４のゲートを大きくとることができる。また、駆動制御ＴＦＴ３０は、制御ラインＲＳＴ２に隣接して設けられ、そのゲート電極は制御ラインＲＳＴ２から直接突出形成することができる。また、駆動制御ＴＦＴ３０は、発光エリアに隣接して設けられるため、有機ＥＬ素子３２の陽極３２ａとの接続も容易である。

【００５４】

50

また、リセット制御TF T 2 6と、短絡TF T 2 8を制御ラインR S T 1の両側に対向配置したため、両TF Tゲートを制御ラインR S T 1から直接突出形成することができ、配線の効率がよくなっている。

【0055】

なお、本実施形態では、選択TF T 2 0をゲートラインG Lと制御ラインR S T 1の間の領域に配置したが、ゲートラインG Lと隣の行の制御ラインR S T 2との間に配置することも好適である。

【0056】

なお、図5～図9の断面図は、1画素分の回路の要部を部分的に切り出したものであり、かつ各層を見やすく模式的に示したものである。

10

【0057】

「他のレイアウト例」

図10、11は、他のレイアウト例を示している。基本的には、図3、4と同様であるが、駆動TF T 2 4の形状が異なっている。すなわち、駆動TF T 2 4を形成する半導体層S C L 2から水平走査方向への分岐の位置が、画素の垂直走査方向の下の方になっている。そして、半導体層S C L 2は、分岐した後、電源ラインP V D Dに平行にまっすぐ垂直走査方向上方に伸び、この直線状の部分にゲート電極が重畳形成されている。

【0058】

また、この例では、駆動TF T 2 4のドレインを駆動制御TF T 3 0や、短絡TF T 2 8に対し同一の半導体層S C L 2のまま接続するのではなく、コンタクトC T 9を設け、一旦メタル層に持ち上げて接続している。従って、ダイオード40は、存在しない。

20

【0059】

このような配置によっても、上述の実施形態と同様に開口率の高いパネルが得られる。

【0060】

「陽極とのコンタクト」

有機E L素子32の陽極32aとアルミ配線54とのコンタクトC T 8は、制御ラインR S T 2の真上に配置している。

【0061】

発光エリアとして利用できない位置にコンタクトを配置することで、発光エリアを大きくとることができ、開口率が上昇する。また、コンタクトC T 8は、アルミ配線54と陽極32aを接続するだけなので、直接半導体層S C L 2とコンタクトするのに比べ、短くなり、抵抗を小さくできる。また、制御ラインR S T 2上に配置されるアルミ配線54は、平滑な面であり、ここにコンタクトC T 8を接続することで、コンタクト抵抗を小さくすることができる。

30

【0062】

「制御ラインR S T 1の寄生容量」

駆動TF T 2 4のゲート電極24gは、容量22からのアルミ配線52によって構成される。そこで、このアルミ配線52は、制御ラインR S T 1と交差することになり、ここに寄生容量が発生する。すなわち、アルミ配線52と、制御ラインR S T 1は、層間絶縁膜16を介して対向するため、ここに容量が形成される。本実施形態では、アルミ配線52と、制御ラインR S T 1が直交するため、ここに形成される容量が最小限になっており、またこの容量は、すべての画素で基本的に同じ容量になっている。

40

【0063】

なお、この容量が同色で異なると、制御ラインR S T 1の動作時に発生する結合ノイズが異なることになり、同一ビデオ信号にも拘わらず、駆動TF T 2 4のゲート電位に違いが生じ、発光輝度が異なる可能性がある。本実施形態によれば、このような問題の発生を効果的に防止することができる。

【0064】

なお、このためには、この容量は、少なくとも、同色で同一になっており、かつその大きさは、制御ラインR S T 1と、データラインD Lの重なる面積と同一またはそれ以下に

50

することが必要である。

【0065】

「半導体層SCL2」

3つのTF T 24, 28, 30は、半導体層SCL2によって構成され、かつ相互に接続されている。そして、この半導体層SCL2による接続部分は、垂直走査方向に伸びるデータラインDLと、電源ラインPVDDの間に配置されている。

【0066】

このように、半導体層SCL2をデータラインDLと重畳しないように配置したため、データラインDLからのノイズを拾う確率を小さくできる。また、電源ラインPVDDとも重畳していないため、寄生容量を小さくでき、信号の劣化を防げる。

10

【0067】

また、本実施形態では、この半導体層SCL2をn型不純物のドープ層としている。これは、n型の方が、配線抵抗を小さくできるからである。一方、駆動TF T 24は、pチャネルTF Tであり、そのソース、ドレインはp型の不純物がドープされている。従って、駆動TF T 24のドレインと、半導体層SCL2の配線部分の接合部には、PN接合によるダイオード40が形成される。しかし、このダイオード40は、駆動TF T 24からの電流をEL素子32に向けて流す方向が順方向であり、問題はない。

【0068】

なお、PN接合の形成をさけるためには、コンタクトを設けて、メタルでp型の部分とn型の部分を接続すればよい。本実施形態では、PN接合を形成したため、コンタクトを設ける必要がなく、構造が簡単で、歩留まりを向上させることができる。

20

【0069】

「画素回路他の構成例」

図12には、画素回路の他の構成例を示している。この回路では、リセット制御TF T 26を省略し、これに代えて一端が電源ラインPVDDに他端が駆動TF T 24のゲートに接続される容量34が設けられている。また、選択TF T 20、短絡TF T 28、駆動制御TF T 30は、いずれもpチャネルTF Tで形成されている。この画素回路は、特許文献1に記載されているものと同様であり、同様に動作する。

【0070】

ここで、本実施形態においては、短絡TF T 28のオンと、駆動制御TF T 30のオンのタイミングを図2に示したように、若干ずらす。なお、この実施形態では、pチャネルTF Tを利用しているため、各ラインに供給される信号の極性は反対になる。

30

【0071】

そして、本実施形態においては、選択TF T 20がオンしているときに、駆動制御TF T 30をオンさせる。これによって、上述の場合と同様に、駆動制御TF T 30のオンに伴い駆動TF T 24のゲート電圧が低下するのを防止することができる。

【0072】

この図12の回路においても、水平走査方向にゲートラインGL以外に2本の制御ラインが設けられている。従って、上述の実施形態と同様のレイアウトを適用することができる。

40

【0073】

さらに、リセット制御TF T 26を単に省略することもできる。この場合には、データラインに、所定の電圧（例えば、PVDD）をセットして、選択TF T 20をオンすればよい。これによって、容量22の選択TF T 20側は、電圧がPVDDとなり、リセット制御TF T 26をオンしたのと同様の動作が得られる。

【図面の簡単な説明】

【0074】

【図1】実施形態に係る画素回路の構成を示す図である。

【図2】図1の画素回路における各信号の波形図である。

【図3】実施形態にかかるパネルのレイアウト（平面構成）を示す図である。

50

【図 4】 1 画素分のレイアウトを示す図である。

【図 5】 要部の断面を示す図である。

【図 6】 要部の断面を示す図である。

【図 7】 要部の断面を示す図である。

【図 8】 要部の断面を示す図である。

【図 9】 要部の断面を示す図である。

【図 10】 他のレイアウトを示す図である。

【図 11】 1 画素分のレイアウトを示す図である。

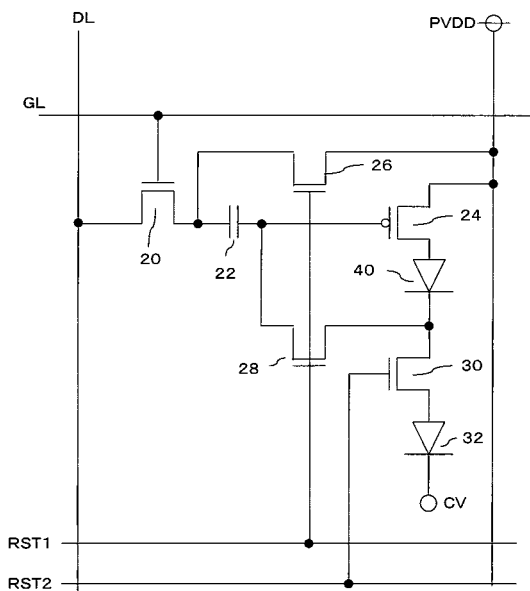
【図 12】 他の画素回路の構成を示す図である。

【符号の説明】

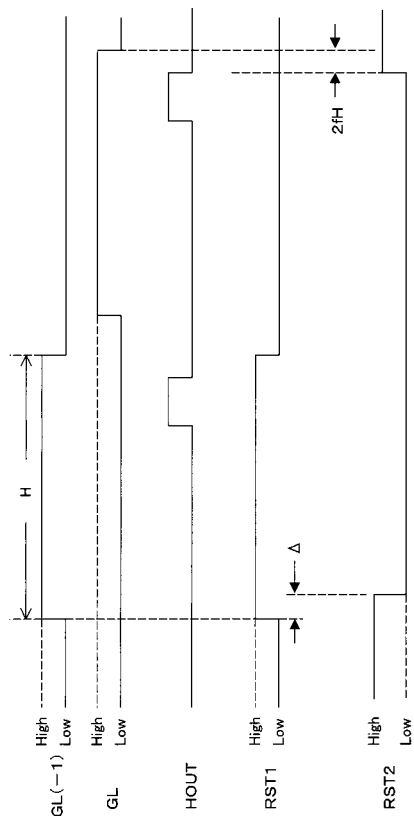
【0075】

10 ガラス基板、12 バッファ層、14 ゲート絶縁膜、16 層間絶縁膜、18 平坦化膜、20 選択TFT、22, 34 容量、24 駆動TFT、26 リセット制御TFT、28 短絡TFT、30 駆動制御TFT、32 有機EL素子、40 ダイオード、52, 54 アルミ配線、CT1~CT9 コンタクト、CV カソード電源、DL データライン、GL ゲートライン、PVDD 電源ライン、RST1, RST2 制御ライン、SCL1, SCL2 半導体層。

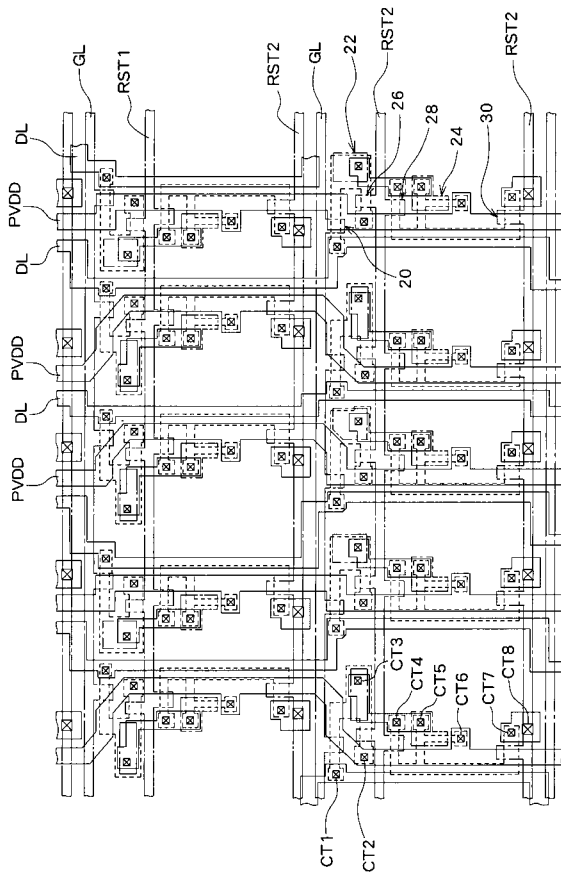
【図 1】



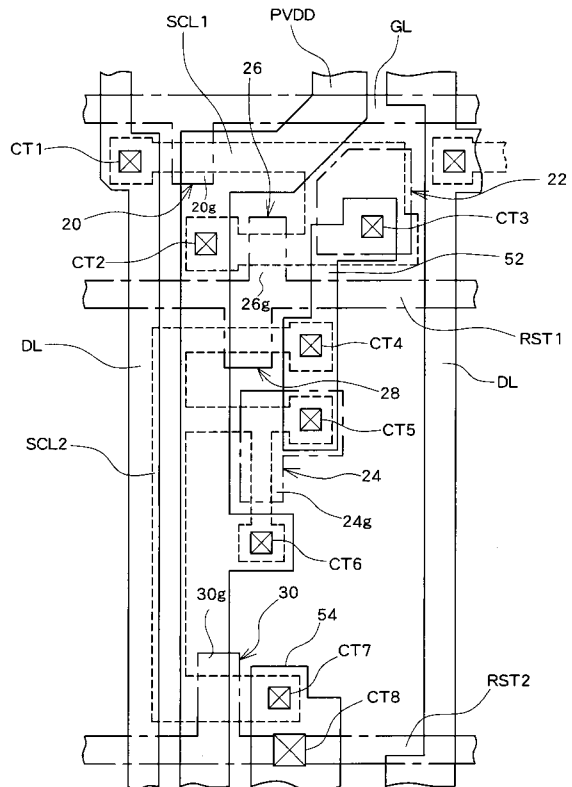
【図 2】



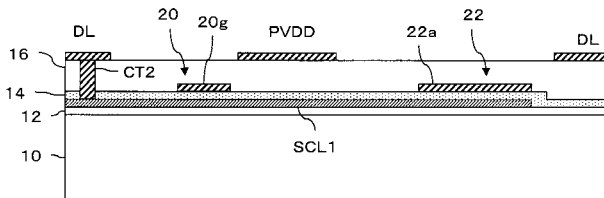
【図 3】



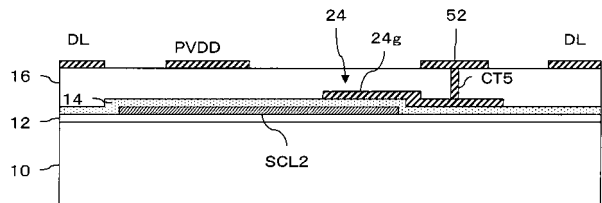
【図 4】



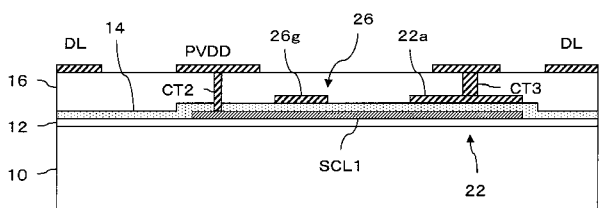
【図 5】



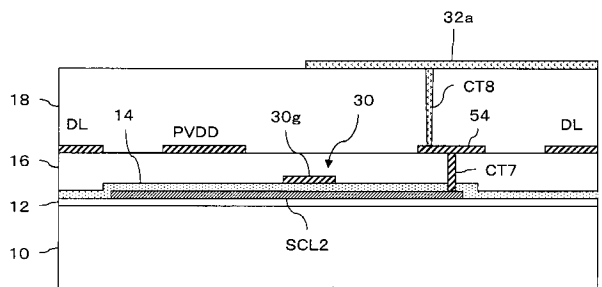
【図 8】



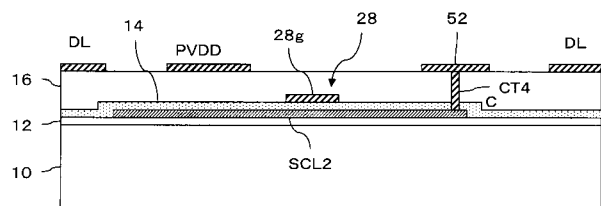
【図 6】



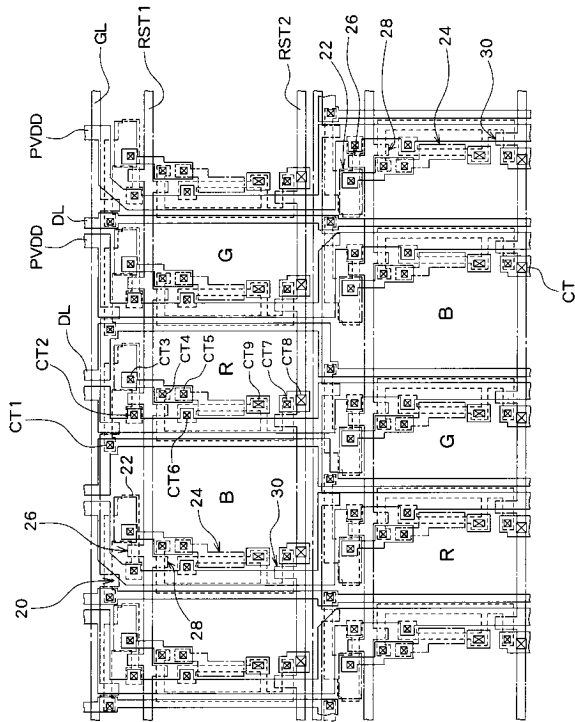
【図 9】



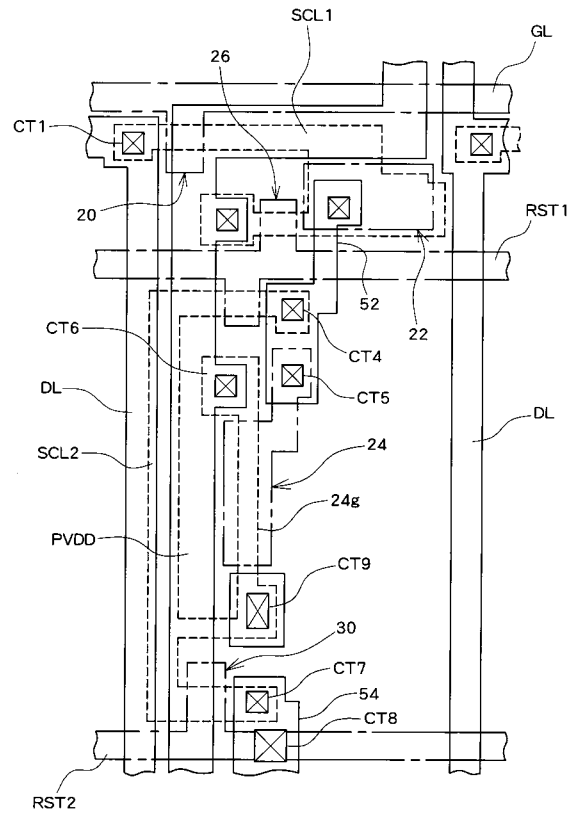
【図 7】



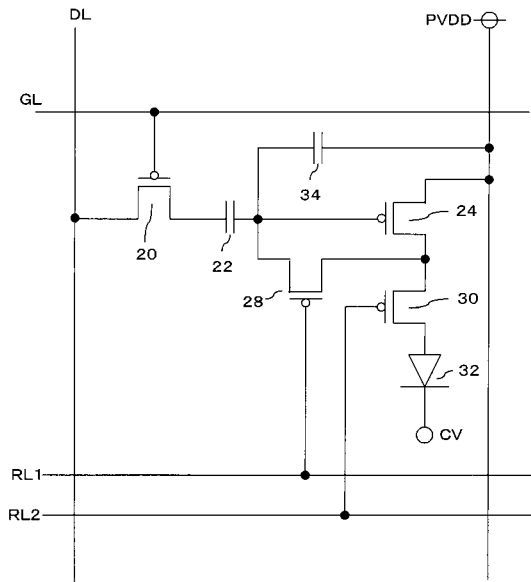
【図 10】



【図 11】



【図 12】



フロントページの続き

(51) Int. Cl.	F I	テーマコード (参考)
H 0 1 L 27/32 (2006.01)	H 0 5 B 33/14 A	
	G 0 9 F 9/30 3 3 8	
	G 0 9 F 9/30 3 6 5 Z	

F ターム(参考)	5C080	AA06	BB05	CC03	DD05	EE29	EE30	FF11	HH09	JJ03	JJ04
		JJ06									
	5C094	AA03	AA31	AA55	BA03	BA27	CA19	CA24	DA13	DB04	GA10

