

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108378

(P2007-108378A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	
	G09G 3/20 611H	
	G09G 3/20 670J	

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号	特願2005-298494 (P2005-298494)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成17年10月13日(2005.10.13)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	山本 哲郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD22 FF10 JJ02 JJ03 JJ04 JJ05

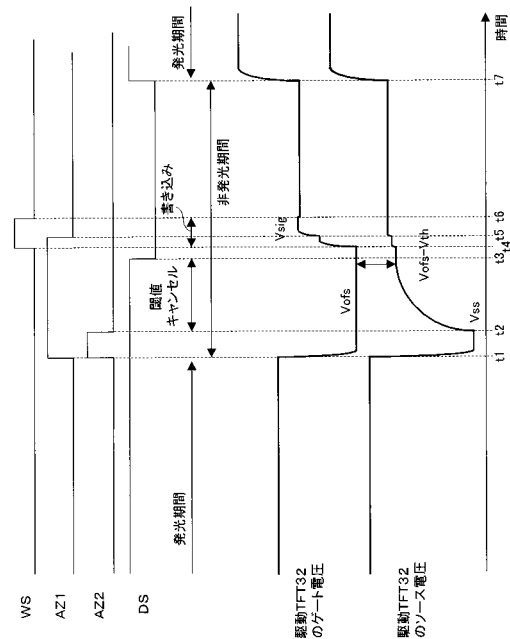
(54) 【発明の名称】 表示装置の駆動方法および表示装置

(57) 【要約】

【課題】リーク電流によって駆動トランジスタのゲート電圧とソース電圧が変動し、有機EL素子の発光輝度がばらつく。

【解決手段】5個のトランジスタと1個のキャパシタからなる画素回路を行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置において、駆動信号DSが“H”レベルから“L”レベルに遷移するタイミングを、書き込み信号WSが“L”レベルから“H”レベルに遷移するタイミングに近づけるとともに、第1オートゼロ信号AZ1と書き込み信号WSとのアクティブ期間をオーバーラップさせることで、有機EL素子の特性変動に対する補償機能と、駆動トランジスタのV_{th}変動に対する補償機能とをより少ない構成素子数で実現しつつ、リーク電流による駆動トランジスタのソース電圧とゲート電圧の変動を抑える。

【選択図】 図 1 1



【特許請求の範囲】

【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、
データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、
前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 1 スイッチングトランジスタと、
前記駆動トランジスタのゲートと所定電位との間に接続された第 2 スイッチングトランジスタと、
前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 スイッチングトランジスタと、
前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと
を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、
前記第 1 スイッチングトランジスタを非導通状態にするタイミングを、前記サンプリングトランジスタを導通状態にするタイミングに対して、前記第 1 スイッチングトランジスタの非導通期間と前記サンプリングトランジスタの非導通期間とがオーバーラップする範囲内において可能な限り近づけたタイミング関係で前記第 1 スイッチングトランジスタと前記サンプリングトランジスタとを順に駆動することを特徴とする表示装置の駆動方法。

10

20

【請求項 2】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、
データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、
前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 1 スイッチングトランジスタと、
前記駆動トランジスタのゲートと所定電位との間に接続された第 2 スイッチングトランジスタと、
前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 スイッチングトランジスタと、
前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと
を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、
前記第 1 スイッチングトランジスタが非導通状態にあり、かつ前記第 2 スイッチングトランジスタが導通状態にあるときに、前記サンプリングトランジスタを導通状態にした後に、前記第 2 スイッチングトランジスタを非導通状態にする
ことを特徴とする表示装置の駆動方法。

30

40

【請求項 3】

一端が第 1 の電源電位に接続された電気光学素子と、
前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、
データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、
前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 1 スイッチングトランジスタと、
前記駆動トランジスタのゲートと所定電位との間に接続された第 2 スイッチングトランジスタと、
前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 スイッチングトランジスタと、

50

トランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる画素アレイ部と、

前記第 1 スイッチングトランジスタを非導通状態にするタイミングを、前記サンプリングトランジスタを導通状態にするタイミングに対して、前記第 1 スイッチングトランジスタの非導通期間と前記サンプリングトランジスタの非導通期間とがオーバーラップする範囲内において可能な限り近づけたタイミング関係で前記第 1 スイッチングトランジスタと前記サンプリングトランジスタとを順に駆動する駆動手段と

を具備することを特徴とする表示装置。

【請求項 4】

一端が第 1 の電源電位に接続された電気光学素子と、

前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、

データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと、

前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 1 スイッチングトランジスタと、

前記駆動トランジスタのゲートと所定電位との間に接続された第 2 スイッチングトランジスタと、

前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 スイッチングトランジスタと、

前記駆動トランジスタのゲートとソースとの間に接続されたキャパシタと

を有する画素回路が行列状に配置されてなる画素アレイ部と、

前記第 1 スイッチングトランジスタが非導通状態にあり、かつ前記第 2 スイッチングトランジスタが導通状態にあるときに、前記サンプリングトランジスタを導通状態にした後に、前記第 2 スイッチングトランジスタを非導通状態にする駆動手段と

を具備することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置の駆動方法および表示装置に関し、特に電気光学素子を含む画素回路が行列状（マトリクス状）に配置されてなる表示装置の駆動方法および表示装置に関する。

【背景技術】

【0002】

近年、電気光学素子として、電流値に応じて発光輝度が変化するいわゆる電流駆動型の発光素子、例えば有機 EL (electro luminescence) 素子を含む画素回路が行列状に多数配置されてなる有機 EL 表示装置が開発され、商品化が進められている。有機 EL 表示装置は、有機 EL 素子が自発光素子であることから、液晶セルを含む画素回路によって光源（バックライト）からの光強度を制御する液晶表示装置に比べて、画像の視認性が高い、バックライトが不要、応答速度が速い等の特長を持っている。

【0003】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、発光素子に流れる電流を、当該発光素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor; TFT)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

【0004】

10

20

30

40

50

能動素子として薄膜トランジスタ（以下、「TF T」と記述する）を用いた画素回路において、当該TF TとしてNチャンネル型のトランジスタを用いることができれば、TF Tの作成に当たって、従来のアモルファスシリコン（a-Si）プロセスを用いることが可能になる。そして、a-Siプロセスを用いることで、TF T基板の低コスト化を図ることができる。

【0005】

ところで、一般的に、有機EL素子の電流-電圧（I-V）特性は、時間が経過すると劣化（経時劣化）する。Nチャンネル型のTF Tを用いた画素回路では、有機EL素子を電流駆動するTF T（以下、「駆動TF T」と記述する）のソースが有機EL素子に接続されることになるために、有機EL素子のI-V特性が経時変化すると、駆動TF Tのゲート・ソース間電圧 V_{gs} が変化し、その結果有機EL素子の発光輝度も変化する。

10

【0006】

このことについてより具体的に説明する。駆動TF Tのソース電圧は、当該駆動TF Tと有機EL素子との動作点で決まる。有機EL素子のI-V特性が劣化すると、駆動TF Tと有機EL素子との動作点が変わってしまうために、駆動TF Tに同じゲート電圧を印加したとしても、駆動TF Tのソース電圧が変化する。これにより、駆動TF Tのソース・ゲート間電圧 V_{gs} が変化し、当該駆動TF Tに流れる電流値が変化するために、有機EL素子に流れる電流値も変化し、その結果有機EL素子の発光輝度が変化する。

【0007】

また、Nチャンネル型のTF Tを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動TF Tの閾値電圧 V_{th} が経時的に変化したり、当該閾値電圧 V_{th} が画素ごとに異なったりする。駆動TF Tの閾値電圧 V_{th} が異なると、駆動TF Tに流れる電流値にバラツキが生じるために、駆動TF Tに同じゲート電圧を印加しても、有機EL素子の発光輝度が変化する。

20

【0008】

従来は、有機EL素子のI-V特性が経時劣化したり、駆動TF Tの閾値電圧 V_{th} が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能および駆動TF Tの V_{th} 変動に対する補償機能を画素回路の各々に持たせる構成を採っていた（例えば、特許文献1参照）。この特許文献1に係る従来技術について以下に説明する。

30

【0009】

【特許文献1】特開2004-361640号公報

【0010】

図13は、従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本従来例に係るアクティブマトリクス型表示装置は、電流駆動型の発光素子、例えば有機EL素子を含む画素回路101が行列状に多数配置されてなる画素アレイ部102を有している。ここでは、図面の簡略化のために、ある1つの画素回路101についてその具体的な回路構成を示している。

【0011】

この画素アレイ部102において、画素回路101の各々に対して各行毎に走査線103、第1、第2駆動線104、105およびオートゼロ線106がそれぞれ配線され、また各列毎にデータ線107が配線されている。この画素アレイ部102の周囲には、走査線103を駆動する書き込み走査回路108と、第1、第2駆動線104、105を駆動する第1、第2駆動走査回路109、110と、オートゼロ線106を駆動するオートゼロ回路111と、輝度情報に応じたデータ信号をデータ線107に供給するデータ線駆動回路112とが配置されている。

40

【0012】

画素回路101は、有機EL素子201と、駆動トランジスタ202、キャパシタ（保持容量）203、204、サンプリングトランジスタ205およびスイッチングトランジスタ206～209を構成素子として有している。駆動トランジスタ202、サンプリン

50

ゲトランジスタ205およびスイッチングトランジスタ204～209としては、例えばNチャンネル型の電界効果TFT（薄膜トランジスタ）が用いられている。以下、駆動トランジスタ202、サンプリングトランジスタ205およびスイッチングトランジスタ206～209を、駆動TFT202、サンプリングTFT205およびスイッチングTFT206～209と記述するものとする。

【0013】

有機EL素子201は、カソード電極が接地電位GNDに接続されている。駆動TFT202は、有機EL素子201を発光駆動するトランジスタであり、ソースが有機EL素子201のアノード電極に接続されてソースフォロア回路を形成している。キャパシタ203は保持容量であり、一端がTFT駆動202のゲートに、他端が駆動TFT202の

10

【0014】

サンプリングTFT205は、一端がデータ線107に、他端が駆動TFT202のゲートに、ゲートが走査線103にそれぞれ接続されている。キャパシタ204は、一端がノードN104に、他端が駆動TFT202のゲートとキャパシタ203の一端との接続ノードN102にそれぞれ接続されている。スイッチングTFT206は、ドレインが接続ノードN101に、ソースが電源電位Vssにそれぞれ接続されている。

【0015】

スイッチングTFT207は、ドレインが正側電源電位Vccに、ソースが駆動TFT202のドレインに、ゲートが第2駆動線105にそれぞれ接続されている。スイッチングTFT208は、一端が駆動TFT202のドレインとスイッチングTFT207のソースとの接続ノードN103に、他端が接続ノードN102に、ゲートがオートゼロ線106にそれぞれ接続されている。スイッチングTFT209は、一端が所定電位Vofsに、他端がノードN104に、ゲートがオートゼロ線106にそれぞれ接続されている。

20

【0016】

続いて、上記構成の画素回路101をマトリクス状に2次元配置してなるアクティブマトリクス型有機EL表示装置の回路動作について、図14のタイミングチャートを用いて説明する。

【0017】

図14には、ある行の画素回路101を駆動する際に、書き込み走査回路108から走査線103を介して画素回路101に与えられる書き込み信号WS、第1、第2駆動走査回路109、110から第1、第2駆動線104、105を介して画素回路101に与えられる第1、第2駆動信号DS1、DS2およびオートゼロ回路111からオートゼロ線106を介して画素回路101に与えられるオートゼロ信号AZのタイミング関係を示している。

30

【0018】

通常が発光状態では、書き込み走査回路108から出力される書き込み信号WS、第1駆動走査回路109から出力される駆動信号DS1およびオートゼロ回路111から出力されるオートゼロ信号AZが“L”レベルにあり、第2駆動走査回路110から出力される駆動信号DS2が“H”レベルにあるために、サンプリングTFT205およびスイッチングTFT206、208、209はオフした状態にあり、スイッチングTFT207がオンした状態にある。

40

【0019】

このとき、駆動TFT202は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、有機EL素子201には駆動TFT202から、下記の式(1)で与えられる一定電流Idsが供給される。

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \dots (1)$$

ここで、Vthは駆動TFT202の閾値電圧、μはキャリアの移動度、Wはチャネル幅、Lはチャネル長、Coxは単位面積当たりのゲート容量、Vgsはゲート・ソース間

50

電圧である。

【0020】

次に、スイッチングTFT207がオンした状態で第1駆動走査回路109から出力される駆動信号DS1およびオートゼロ回路111から出力されるオートゼロ信号AZが共に“H”レベルになり、スイッチングTFT206, 208, 209がオン状態となる。これにより、有機EL素子201のアノード電極には電源電位Vssが印加され、駆動TFT202のゲートには電源電位Vccが印加される。

【0021】

この際、電源電位Vssが有機EL素子201のカソード電圧Vcat(本例では、接地電位GND)と有機EL素子201の閾値電圧Vthelとの和($V_{cat} + V_{thel}$)よりも小さいのであれば、有機EL素子201は非発光状態となり、非発光期間に入る。以下、 $V_{ss} < V_{cat} + V_{thel}$ とし、VssはGNDレベルであるとする。このとき、スイッチングTFT206, 208がオンすることで、ゲート・ソース間電圧Vgsに応じた一定電流Idsは、Vcc スwitchingTFT207 駆動TFT202 ノードN101 スwitchingTFT202 Vssの経路を流れる。

10

【0022】

次に、第2駆動走査回路110から出力される駆動信号DS2が“L”レベルになることで、スイッチングTFT207がオフ状態となり、駆動TFT202の閾値電圧Vthをキャンセル(補正)する閾値キャンセル期間に入る。このとき、駆動TFT202は、ゲートとドレインがスイッチングTFT208を介して接続されているために飽和領域で動作する。また、駆動TFT202のゲートには、キャパシタ203, 204が並列に接続されているために、駆動TFT202のゲート・ソース間の電圧Vgsは、時間の経過とともに緩やかに減少してゆく。

20

【0023】

そして、一定期間が経過した後、駆動TFT202のゲート・ソース間電圧Vgsは当該駆動TFT202の閾値電圧Vthとなる。このとき、キャパシタ204には($V_{ofs} - V_{th}$)の電圧が、キャパシタ203にはVthの電圧がそれぞれ充電される。その後、サンプリングTFT205およびスイッチングTFT207がオフし、スイッチングTFT206がオンした状態において、オートゼロ回路111から出力されるオートゼロ信号AZが“H”レベルから“L”レベルに遷移すると、スイッチングTFT208, 209がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ204には($V_{ofs} - V_{th}$)の電圧が、キャパシタ203にはVthの電圧がそれぞれ保持される。

30

【0024】

次に、サンプリングTFT205およびスイッチングTFT208, 209がオフし、スイッチングTFT206がオン、スイッチングTFT207がオフした状態で、書き込み走査回路108から出力される書き込み信号WSが“H”レベルになると、この書き込み期間では、サンプリングTFT205がオン状態となり、データ線107を通して与えられる入力信号電圧Vinの書き込み期間となる。サンプリングTFT205がオンすることで、当該TFT205の一端、キャパシタ204の一端およびTFT209のソースの接続ノードN104に入力信号電圧Vinを取り込み、当該接続ノードN104の電圧変化量Vを、キャパシタ204を介して駆動TFT202のゲートにカップリングさせる。

40

【0025】

このとき、駆動TFT202のゲート電圧Vgは閾値電圧Vthという値であり、カップリング量Vはキャパシタ203の容量値C1、キャパシタ204の容量値C2および駆動TFT202の寄生容量値C3によって下記の式(2)のように決定される。

$$V = \{ C_2 / (C_1 + C_2 + C_3) \} \cdot (V_{in} - V_{ofs}) \dots (2)$$

【0026】

したがって、キャパシタ203, 204の容量値C1, C2を駆動TFT202の寄生

50

容量値 C_3 に比べて十分大きく設定すれば、駆動 T F T 2 0 2 のゲートへのカップリング量 V は、駆動 T F T 2 0 2 の閾値電圧 V_{th} の影響を受けずに、キャパシタ 2 0 3 , 2 0 4 の容量値 C_1 , C_2 のみによって決定される。

【0027】

書き込み走査回路 1 0 8 から出力される書き込み信号 WS が “ H ” レベルから “ L ” レベルに遷移し、サンプリング T F T 2 0 5 がオフすることで、入力信号電圧 V_{in} の書き込み期間が終了する。この書き込み期間の終了後、サンプリング T F T 2 0 5 およびスイッチング T F T 2 0 8 , 2 0 9 がオフした状態で第 1 駆動走査回路 1 0 9 から出力される駆動信号 DS_1 が “ L ” レベルになることで、スイッチング T F T 2 0 6 がオフ状態となり、その後、第 2 駆動走査回路 1 1 0 から出力される駆動信号 DS_2 が “ H ” レベルになることで、スイッチング T F T 2 0 7 がオン状態となる。

10

【0028】

スイッチング T F T 2 0 7 がオンすることで、駆動 T F T 2 0 2 のドレイン電位が電源電位 V_{cc} まで上昇する。駆動 T F T 2 0 2 のゲート・ソース間電圧 V_{gs} が一定であるために、駆動 T F T 2 0 2 は一定電流 I_{ds} を有機 E L 素子 2 0 1 に供給する。このとき、接続ノード N 1 0 1 の電位は、有機 E L 素子 2 0 1 に一定電流 I_{ds} が流れる電圧 V_x まで上昇し、その結果、有機 E L 素子 2 0 1 は発光する。

【0029】

上述した一連の動作を行う画素回路 1 0 1 においても、有機 E L 素子 2 0 1 は発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、接続ノード N 1 0 1 の電位も変化する。

20

【0030】

しかしながら、駆動 T F T 2 0 2 のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機 E L 素子 2 0 1 に流れる電流値は変化しない。したがって、有機 E L 素子 2 0 1 の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機 E L 素子 2 0 1 の発光輝度が変化することはない。また、閾値キャンセル期間におけるスイッチング T F T 2 0 8 の作用により、駆動 T F T 2 0 2 の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を有機 E L 素子 2 0 1 に流すことができるために、高画質の画像を得ることができる。

【発明の開示】

30

【発明が解決しようとする課題】

【0031】

上述したように、従来技術では、画素回路 1 0 1 の各々に、有機 E L 素子 2 0 1 の $I-V$ 特性の変動に対する補償機能および駆動 T F T 2 0 2 の閾値電圧 V_{th} の変動に対する補償機能を持たせたことで、有機 E L 素子 2 0 1 の $I-V$ 特性が経時劣化したり、駆動 T F T 2 0 2 の閾値電圧 V_{th} が経時変化したりしたとしても、それらの影響を受けることなく、有機 E L 素子 2 0 1 の発光輝度を一定に保つことができるが、その反面、画素回路 1 0 1 の各々が 6 個のトランジスタ 2 0 2 , 2 0 5 ~ 2 0 9 と 2 個のキャパシタ 2 0 3 , 2 0 4 とで構成されており、構成素子数が多いという欠点がある。

【0032】

40

そこで、本発明は、有機 E L 素子等の電気光学素子の特性変動に対する補償機能と、当該電気光学素子を駆動する T F T の V_{th} 変動（画素ごとのバラツキ）に対する補償機能とを、より少ない構成素子数で画素回路の各々に持たせた上で、画像ムラの無い均一な画質を得ることが可能な表示装置の駆動方法および表示装置を提供することを目的とする。

【課題を解決するための手段】

【0033】

上記目的を達成するために、本発明では、一端が第 1 の電源電位に接続された電気光学素子と、前記電気光学素子の他端にソースが接続された N チャンネル型の薄膜トランジスタからなる駆動トランジスタと、データ線と前記駆動トランジスタのゲートとの間に接続され、前記データ線から輝度情報に応じた入力信号を取り込むサンプリングトランジスタと

50

、前記駆動トランジスタのドレインと第2の電源電位との間に接続された第1スイッチングトランジスタと、前記駆動トランジスタのゲートと所定電位との間に接続された第2スイッチングトランジスタと、前記駆動トランジスタのソースと第3の電源電位との間に接続された第3スイッチングトランジスタと、前記駆動トランジスタのゲートとソースの間に接続されたキャパシタとを有する画素回路が行列状に配置されてなる画素アレイ部を備えた表示装置において、前記第1スイッチングトランジスタを非導通状態にするタイミングを、前記サンプリングトランジスタを導通状態にするタイミングに対し、前記第1スイッチングトランジスタの非導通期間と前記サンプリングトランジスタの非導通期間とがオーバーラップする範囲内において可能な限り近づけたタイミング関係で前記第1スイッチングトランジスタと前記サンプリングトランジスタとを順に駆動する。また、前記第1スイッチングトランジスタが非導通状態にあり、かつ前記第2スイッチングトランジスタが導通状態にあるときに、前記サンプリングトランジスタを導通状態にした後に、前記第2スイッチングトランジスタを非導通状態にする。

10

【0034】

5個のトランジスタと1個のキャパシタとからなる画素回路が行列状に配置されてなる表示装置において、第1スイッチングトランジスタを非導通状態にするタイミングを、サンプリングトランジスタを導通状態にするタイミングに対して可能な限り近づけたタイミング関係に設定することで、第1スイッチングトランジスタの非導通時のリーク電流がサンプリングトランジスタを通して電気光学素子に流れる時間を短くできる。これにより、当該リーク電流による駆動トランジスタのソース電圧の変動を小さく抑えることができる。また、サンプリングトランジスタを導通状態にした後に、第2スイッチングトランジスタを非導通状態にするすることで、駆動トランジスタのゲート電圧は、入力信号の書き込み動作まで第2スイッチングトランジスタを通して第3の電源電位に維持されたままとなる。これにより、第1スイッチングトランジスタの非導通時のリーク電流、もしくは電気光学素子の逆バイアス時のリーク電流によって駆動トランジスタのゲート電圧が変動することはない。

20

【発明の効果】**【0035】**

本発明によれば、第1スイッチングトランジスタの非導通時のリーク電流がサンプリングトランジスタを通して電気光学素子に流れる時間を短くしたり、電気光学素子の逆バイアス時のリーク電流が当該電気光学素子に流れる時間を短くしたりすることで、駆動トランジスタのソース電圧の変動を小さく抑えることができ、また第1スイッチングトランジスタの非導通時のリーク電流によって駆動トランジスタのゲート電圧が変動しないために、画像ムラのない均一な画質を得ることができる。

30

【発明を実施するための最良の形態】**【0036】**

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0037】

先ず、本願出願人によって特願2004-164681号明細書にて提案済みの先願に係る画素回路、即ち有機EL素子の特性変動に対する補償機能と、駆動TFTの V_{th} 変動(画素ごとのバラツキ)に対する補償機能とを、より少ない構成素子数で実現した画素回路について参考例として説明する。

40

【0038】**[参考例]**

図1は、本参考例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。本参考例に係るアクティブマトリクス型表示装置は、電流値に応じて発光輝度が変化する電気光学素子、例えば有機EL素子31を含む画素回路11が行列状(マトリクス状)に2次元配置されてなる画素アレイ部12を有している。ここでは、図面の簡略化のために、ある1つの画素回路11についてその具体的な回路構成を示している。

50

【 0 0 3 9 】

この画素アレイ部 1 2 において、画素回路 1 1 の各々に対して各行毎に走査線 1 3、駆動線 1 4 および第 1、第 2 オートゼロ線 1 5、1 6 がそれぞれ配線され、また各列毎にデータ線 1 7 が配線されている。この画素アレイ部 1 2 の周囲には、走査線 1 3 を駆動する書き込み走査回路 1 8 と、駆動線 1 4 を駆動する駆動走査回路 1 9 と、第 1、第 2 オートゼロ線 1 5、1 6 を駆動する第 1、第 2 オートゼロ回路 2 0、2 1 と、輝度情報に応じたデータ信号をデータ線 1 7 に供給するデータ線駆動回路 2 2 とが配置されている。

【 0 0 4 0 】

本例では、書き込み走査回路 1 8 および駆動走査回路 1 9 が画素アレイ部 1 2 を挟んで一方側（例えば、図の右側）に配置され、その反対側に第 1、第 2 オートゼロ回路 2 0、2 1 が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路 1 8、駆動走査回路 1 9 および第 1、第 2 オートゼロ回路 2 0、2 1 は、スタートパルス信号 s_p に応答して動作を開始し、クロックパルス clk に同期して書き込み信号 WS 、駆動信号 DS および第 1、第 2 オートゼロ信号 AZ_1 、 AZ_2 を適宜出力する。

10

【 0 0 4 1 】

(画素回路)

画素回路 1 1 は、有機 EL 素子 3 1 に加えて、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3、スイッチングトランジスタ 3 4 ~ 3 6 およびキャパシタ（保持容量）3 7 を回路の構成素子として有する構成となっている。すなわち、本参考例に係る画素回路 1 1 は、5 個のトランジスタ 3 2 ~ 3 6 と 1 個のキャパシタ 3 7 とからなり、図 1 3 の従来例に係る画素回路 1 0 1 に比べて、トランジスタ数およびキャパシタ数が 1 個ずつ少ない回路構成となっている。

20

【 0 0 4 2 】

この画素回路 1 1 において、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 4 ~ 3 6 として、Nチャネル型の T F T（薄膜トランジスタ）が用いられている。以下、駆動トランジスタ 3 2、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 4 ~ 3 6 を、駆動 T F T 3 2、サンプリング T F T 3 3 およびスイッチング T F T 3 4 ~ 3 6 と記述するものとする。

30

【 0 0 4 3 】

有機 EL 素子 3 1 は、カソード電極が第 1 の電源電位（本例では、接地電位 GND ）に接続されている。駆動 T F T 3 2 は、有機 EL 素子 3 1 を電流駆動する駆動トランジスタであり、ソースが有機 EL 素子 3 1 のアノード電極に接続されてソースフォロア回路を形成している。サンプリング T F T 3 3 は、ソースがデータ線 1 7 に、ドレインが駆動 T F T 3 2 のゲートに、ゲートが走査線 1 3 にそれぞれ接続されている。

【 0 0 4 4 】

スイッチング T F T 3 4 は、ドレインが第 2 の電源電位 V_{cc} （本例では、正の電源電位）に、ソースが駆動 T F T 3 2 のドレインに、ゲートが駆動線 1 4 にそれぞれ接続されている。スイッチング T F T 3 5 は、一端が所定の電位 V_{ofs} に、他端がサンプリング T F T 3 3 のドレイン（駆動 T F T 3 2 のゲート）に、ゲートが第 1 オートゼロ線 1 5 にそれぞれ接続されている。

40

【 0 0 4 5 】

スイッチング T F T 3 6 は、ドレインが駆動 T F T 3 2 のソースと有機 EL 素子 3 1 のアノード電極との接続ノード N_{11} に、ソースが第 3 の電源電位 V_{ss} （本例では、 $V_{ss} = GND$ ）に、ゲートが第 2 オートゼロ線 1 6 にそれぞれ接続されている。なお、第 3 の電源電位 V_{ss} として、負の電源電位を用いることも可能である。キャパシタ 3 7 は、一端が駆動 T F T 3 2 のゲートとサンプリング T F T 3 3 のドレインとの接続ノード N_{12} に、他端が駆動トランジスタ T F T 3 2 のソースと有機 EL 素子 3 1 のアノード電極との接続ノード N_{11} にそれぞれ接続されている。

【 0 0 4 6 】

50

上述した接続関係にて各構成素子が接続されてなる画素回路 11 において、各構成素子は次のような作用をなす。すなわち、サンプリング T F T 33 は、オン（導通）状態となることにより、データ線 17 を通して供給される入力信号電圧 V_{sig} をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ 37 に保持される。スイッチング T F T 34 は、オン状態になることにより、電源電位 V_{cc} から駆動 T F T 32 に電流を供給する。

【0047】

駆動 T F T 32 は、キャパシタ 37 に保持された信号電圧 V_{sig} に応じて有機 E L 素子 31 を電流駆動する。スイッチング T F T 35, 36 は、適宜オン状態になることにより、有機 E L 素子 31 の電流駆動に先立って駆動 T F T 32 の閾値電圧 V_{th} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th} をキャパシタ 37 に保持する。

10

【0048】

この画素回路 11 では、正常な動作を保証するための条件として、第 3 の電源電位 V_s は、所定の電位 V_{ofs} から駆動 T F T 32 の閾値電圧 V_{th} を差し引いた電位よりも低く設定されている。すなわち、 $V_s < V_{ofs} - V_{th}$ のレベル関係となっている。また、有機 E L 素子 31 のカソード電圧 V_{cat} （本例では、接地電位 G_{NG} ）に有機 E L 素子 31 の閾値電圧 V_{thel} に加えたレベルは、電源電位 V_s から駆動 T F T 32 の閾値電圧 V_{th} を差し引いたレベルよりも高く設定されている。すなわち、 $V_{cat} + V_{thel} > V_s - V_{th}$ のレベル関係となっている。

20

【0049】

続いて、上記構成の画素回路 11 を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置の回路動作について、図 2 のタイミングチャートおよび図 3 ~ 図 8 の動作説明図を用いて説明する。

【0050】

図 2 には、ある行の画素回路 11 を駆動する際に、書き込み走査回路 18 から走査線 13 を介して画素回路 11 に与えられる書き込み信号 W_S 、駆動走査回路 19 から駆動線 14 を介して画素回路 11 に与えられる駆動信号 D_S および第 1, 第 2 オートゼロ回路 20, 21 から第 1, 第 2 オートゼロ線 15, 16 を介して画素回路 11 に与えられる第 1, 第 2 オートゼロ信号 A_Z1 , A_Z2 のタイミング関係、ならびに駆動 T F T 32 のゲート電圧およびソース電圧の変化をそれぞれ示している。

30

【0051】

ここで、書き込み信号 W_S 、駆動信号 D_S および第 1, 第 2 オートゼロ信号 A_Z1 , A_Z2 は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。また、図 3 ~ 図 8 の動作説明図では、図面の簡略化のために、サンプリング T F T 33 およびスイッチング T F T 34 ~ 36 についてはスイッチのシンボルを用いて図示するものとする。

【0052】

（発光期間）

通常発光状態では、書き込み走査回路 18 から出力される書き込み信号 W_S および第 1, 第 2 オートゼロ回路 20, 21 から出力される第 1, 第 2 オートゼロ信号 A_Z1 , A_Z2 が“L”レベルにあり、駆動走査回路 19 から出力される駆動信号 D_S が“H”レベルにあるために、図 3 に示すように、サンプリング T F T 33 およびスイッチング T F T 35, 36 はオフした状態にあり、スイッチング T F T 34 がオンした状態にある。このとき、駆動 T F T 32 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、スイッチング T F T 34 を通して駆動 T F T 32 から、有機 E L 素子 31 に対して先述した式 (1) で与えられる一定電流 I_{ds} が供給される。

40

【0053】

（非発光期間）

スイッチング T F T 34 がオンした状態において、時刻 t_1 で第 1, 第 2 オートゼロ回

50

路 20, 21 から出力される第 1, 第 2 オートゼロ信号 AZ1, AZ2 が共に “H” レベルになることで、図 4 に示すように、スイッチング T F T 35, 36 がオン状態となる。スイッチング T F T 35, 36 は、どちらが先にオンしても良い。これにより、駆動 T F T 32 のゲートにはスイッチング T F T 35 を介して所定の電位 V_{ofs} が印加され、有機 EL 素子 31 のアノード電極にはスイッチング T F T 36 を介して電源電位 V_{ss} が印加される。

【0054】

このとき、先述したように、 $V_{ss} < V_{cat} + V_{thel}$ の関係にあるために、有機 EL 素子 31 は非発光状態となる。したがって、有機 EL 素子 31 には電流が流れず、非発光状態になる。また、駆動 T F T 32 は、そのゲート・ソース間電圧 V_{gs} が $V_{ofs} - V_{ss}$ という値をとる。これにより、当該値、即ち $V_{ofs} - V_{ss}$ に応じた電流 I_{ds} が、図 4 に点線で示す経路、即ち V_{cc} スwitching T F T 33 駆動 T F T 32 ノード N11 スwitching T F T 34 V_{ss} の経路を流れる。

10

【0055】

(閾値キャンセル期間)

時刻 t_2 で第 2 オートゼロ回路 21 から出力されるオートゼロ信号 AZ2 が “L” レベルになることで、図 5 に示すように、スイッチング T F T 35 がオフ状態となり、駆動 T F T 32 の閾値電圧 V_{th} をキャンセル (補正) する閾値キャンセル期間に入る。

【0056】

スイッチング T F T 35 がオフ状態になることで、駆動 T F T 32 を流れる電流 I_{ds} の電流路が遮断される。ここで、有機 EL 素子 31 は、図 6 に等価回路で示すように、ダイオード 31A とキャパシタ 31B で表される。そして、有機 EL 素子 31 に印加される電圧 V_{el} が、先述したように、 $V_{el} < V_{cat} + V_{thel}$ (有機 EL 素子 31 のリーク電流が駆動 T F T 32 を流れる電流よりもかなり小さい) の関係にある限り、駆動 T F T 32 を流れる電流はキャパシタ 37 とキャパシタ 31B とを充電する。

20

【0057】

このとき、ノード N11 の電位、即ち駆動 T F T 32 のソース電圧 V_{el} は、図 9 に示すように、時間が経過するにつれて徐々に上昇する。一定時間が経過し、ノード N11 とノード N12 との間の電位差、即ち駆動 T F T 32 のゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} になったところで、駆動 T F T 32 はオン状態からオフ状態になる。そして、N11 - N12 間の電位差 V_{th} は、閾値キャンセル (補正) 用の電位としてキャパシタ 37 に保持される。このとき、 $V_{el} = V_{ofs} - V_{th} < V_{cat} + V_{thel}$ となっている。

30

【0058】

その後、スイッチング T F T 34, 35 がオンし、スイッチング T F T 36 がオフした状態で、駆動走査回路 19 から出力される駆動信号 DS が時刻 t_3 で、第 1 オートゼロ回路 20 から出力されるオートゼロ信号 AZ1 が時刻 t_4 で順に “H” レベルから “L” レベルに遷移することで、図 7 に示すように、スイッチング T F T 34, 35 が順にオフ状態となり、閾値キャンセル期間の終了となる。このとき、スイッチング T F T 34 がスイッチング T F T 35 よりも先にオンすることで、駆動 T F T 32 のゲート電圧の変動を抑えることが可能となる。

40

【0059】

(書き込み期間)

次に、スイッチング T F T 34, 35, 36 がオフした状態から、時刻 t_5 で書き込み走査回路 18 から出力される書き込み信号 WS が “H” レベルになることで、サンプリング T F T 33 がオン状態となり、入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、入力信号電圧 V_{sig} がサンプリング T F T 33 によってサンプリングされ、キャパシタ 37 に書き込まれる。

【0060】

このとき、信号電圧 V_{sig} は、キャパシタ 37 に保持されている閾値電圧 V_{th} に足

50

し込まれる形で保持される。その結果、駆動TFT32の閾値電圧 V_{th} のバラツキが常にキャンセルされた形となる。すなわち、キャパシタ37にあらかじめ閾値電圧 V_{th} を保持しておくことで、当該閾値電圧 V_{th} のバラツキのキャンセル(補正)、即ち閾値キャンセルが行われることになる。

【0061】

ここで、キャパシタ37の容量値を C_1 、有機EL素子31のキャパシタ31Bの容量値を C_{el} 、駆動TFT32の寄生容量値を C_2 とすると、駆動TFT32のゲート・ソース間電圧 V_{gs} は下記の式(3)のように決定される。

$$V_{gs} = \{ C_{el} / (C_{el} + C_1 + C_2) \} \cdot (V_{sig} - V_{ofs}) + V_{th} \quad \dots (3)$$

10

【0062】

一般に、有機EL素子31のキャパシタ31Bの容量値 C_{el} は、キャパシタ37の容量値 C_1 および駆動TFT32の寄生容量値 C_2 に比べて大きい。したがって、駆動TFT32のゲート・ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。

【0063】

そして、時刻 t_6 で書き込み走査回路18から出力される書き込み信号 WS が“H”レベルから“L”レベルに遷移し、サンプリングTFT33がオフすることで、入力信号電圧 V_{sig} の書き込み期間が終了する。

【0064】

(発光期間)

この書き込み期間の終了後、サンプリングTFT33およびスイッチングTFT35, 36がオフした状態において、時刻 t_7 で駆動走査回路19から出力される駆動信号 DS が“H”レベルになることで、図8に示すように、スイッチングTFT34がオン状態となり、発光期間に入る。

20

【0065】

スイッチングTFT34がオンすることで、駆動TFT32のドレイン電圧が電源電位 V_{cc} まで上昇する。駆動TFT32のゲート・ソース間電圧 V_{gs} が一定であるので、駆動TFT32は一定電流 I_{ds} を有機EL素子31に供給する。このとき、有機EL素子31のアノード電圧 V_{el} は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇する。その結果、有機EL素子31は発光動作を開始する。

30

【0066】

有機EL素子31に電流が流れると、当該有機EL素子31において電圧降下が生じるために、ノードN11の電位が上昇する。これに連動してノードN12の電位も上昇するために、駆動TFT32のゲート・ソース間電圧 V_{gs} はノードN11の電位上昇に関わらず、常に $V_{sig} + V_{th}$ に維持される。その結果、有機EL素子31は、入力信号電位 V_{sig} に応じた輝度で発光を続けることになる。

【0067】

上述した参考例に係る画素回路11においても、有機EL素子31の発光時間が長くなると、当該有機EL素子31のI-V特性が変化してしまう。そのため、有機EL素子31のアノード電極と駆動TFT32のソースとの接続ノードN11の電位も変化する。しかしながら、駆動TFT32のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31のI-V特性が劣化しても、一定電流 I_{ds} が常に流れ続けるために、有機EL素子31の発光輝度が変化することはない(有機EL素子31の特性変動に対する補償機能)。

40

【0068】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動TFT32の閾値電圧 V_{th} をあらかじめキャパシタ37に保持しておくことで、閾値キャンセル期間におけるスイッチングTFT34~36およびキャパシタ37の作用により、駆動TFT32の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を常に有機EL素子31に流すことができるために、高画質の画像を得ることができる(駆動

50

TFT32のV_{th}変動に対する補償機能)。

【0069】

ここで、本画素回路11において、スイッチングTFT35をオフした時点t₄から書き込みを開始する時点t₅までの時間について考える。

【0070】

スイッチングTFT34のオフ時のリーク電流や有機EL素子31のリーク電流が大きいと、当該リーク電流が駆動TFT32に流れ、さらに有機EL素子31に流れたり、有機EL素子31からのリーク電流で、図10の期間1において駆動TFT32のソース電圧が上昇し、図10の期間2において駆動TFT32のゲート電圧が上昇してしまう。そして、そのリーク電流の大小によって信号電圧V_{sig}を書き込む前に、駆動TFT32のゲート電圧にバラツキが生じ、有機EL素子31の発光輝度がばらつくために、均一な画質を得ることができない。図10において、実線がリーク電流：無しのとときの駆動TFT32のゲート電圧およびソース電圧を、点線がリーク電流：大のとときの駆動TFT32のゲート電圧およびソース電圧をそれぞれ示している。

10

【0071】

[実施形態]

そこで、本発明は、上記構成の画素回路11、即ち有機EL素子31の特性変動に対する補償機能と、駆動TFT32のV_{th}変動に対する補償機能とを、より少ない構成素子数(5個のトランジスタ32~36と1個のキャパシタ37)で実現した画素回路11を行列状に2次元配置してなるアクティブマトリクス型有機EL表示装置において、画素回路11の駆動タイミングを変えることで、スイッチングTFT34のオフ時のリーク電流の大小によって信号電圧V_{sig}の書き込み前に生ずる、駆動TFT32のゲート電圧およびソース電圧の変動(バラツキ)を無くすようにしている。

20

【0072】

なお、上記構成の画素回路(本実施形態に係る画素回路でもある)11において、駆動TFT32、サンプリングTFT33およびスイッチングTFT34~36は、特許請求の範囲における駆動トランジスタ、サンプリングトランジスタおよび第1~第3スイッチングトランジスタに相当する。

【0073】

図11は、本発明の一実施形態に係る駆動タイミング、即ち書き込み信号WS、駆動信号DSおよび第1,第2オートゼロ信号AZ1,AZ2のタイミング関係を示すタイミングチャートである。ここで、書き込み信号WS、駆動信号DSおよび第1,第2オートゼロ信号AZ1,AZ2は、“H”レベルの状態がアクティブ状態、“L”レベルの状態が非アクティブ状態とする。

30

【0074】

図11に示すように、本実施形態に係る駆動タイミングでは、スイッチングTFT(第1スイッチングトランジスタ)34をオフ(非導通)状態にするタイミングを、サンプリングTFT(サンプリングトランジスタ)33をオン(導通)状態にするタイミングに対して、スイッチングTFT34のオフ期間とサンプリングTFT33のオフ期間とがオーバーラップする範囲内において可能な限り近づけたタイミング関係に設定することを第1のポイントとしている。

40

【0075】

具体的には、図2の参考例に係る駆動タイミングに比べて、スイッチングTFT34を駆動する駆動信号DSがアクティブ状態から非アクティブ状態に移行するタイミング(時点t₃)、即ち“H”レベルから“L”レベルに遷移するタイミングを、サンプリングTFT33を駆動する書き込み信号WSが非アクティブ状態からアクティブ状態に移行するタイミング(時点t₄)、即ち“L”レベルから“H”レベルに遷移するタイミングに近づけた駆動タイミングとなっている。

【0076】

さらに、スイッチングTFT(第1スイッチングトランジスタ)34がオフ状態にあり

50

、かつスイッチングT F T (第2スイッチングトランジスタ) 3 5がオン状態にあるときに、サンプリングT F T (サンプリングトランジスタ) 3 3をオン状態にした後に、スイッチングT F T 3 5をオフ状態にすることを第2のポイントとしている。

【0077】

具体的には、スイッチングT F T 3 5を駆動する第1オートゼロ信号A Z 1がアクティブ状態から非アクティブ状態に移行するタイミング(時点t 5)、即ち“H”レベルから“L”レベルに遷移するタイミングを、書き込み信号W Sが“L”レベルから“H”レベルに遷移するタイミング(時点t 4)の後に設定して、第1オートゼロ信号A Z 1のアクティブ期間と書き込み信号W Sのアクティブ期間とをオーバーラップさせた駆動タイミングとなっている。

10

【0078】

(第1のポイント)

先ず、第1のポイントについて説明する。一般に、スイッチングT F T 3 4のオフ時のリーク電流によって駆動T F T 3 2のゲート電圧およびソース電圧が上昇する量は、リーク電流が流れる時間に比例して大きくなる。

【0079】

したがって、駆動信号D Sが“H”レベルから“L”レベルに遷移するタイミングを、書き込み信号W Sが“L”レベルから“H”レベルに遷移するタイミングに対して近づけることで、スイッチングT F T 3 4のリーク電流や有機E L素子3 1のリーク電流が当該有機E L素子3 1に流れる時間を、図2の参考例に係る駆動タイミングの場合に比べて短くすることができる。これにより、リーク電流による駆動T F T 3 2のソース電圧の変動を小さく抑えることができるために、画像ムラの無い均一な画質を得ることができる。

20

【0080】

駆動信号D Sと書き込み信号W Sとのタイミング関係の設定に当たっては、画素アレイ部1 2と共にその周辺の駆動回路1 8 ~ 2 2を同一の基板上に一体形成してなる表示パネル内において、配線抵抗や寄生容量等の影響によって駆動信号D Sに最も遅延が生じる画素回路においても、非アクティブ期間にオーバーラップが生じるタイミング関係に、即ちスイッチングT F T 3 4のオフ期間とサンプリングT F T 3 3のオフ期間とがオーバーラップする範囲内において設定する必要がある。

【0081】

(第2のポイント)

次に、第2のポイントについて説明する。第1オートゼロ信号A Z 1と書き込み信号W Sとのアクティブ状態の期間をオーバーラップさせ、書き込み信号W Sがアクティブ状態になる信号電圧V s i gの書き込み前に、第1オートゼロ信号A Z 1の非アクティブ状態を無くすことで、駆動T F T 3 2のゲート電圧は書き込み動作まで所定の電位V o f sに維持されたままとなる。これにより、スイッチングT F T 3 4のリーク電流によって駆動T F T 3 2のゲート電圧が変動することが無くなるために、画像ムラの無い均一な画質を得ることができる。

30

【0082】

また、第1オートゼロ信号A Z 1と書き込み信号W Sとのアクティブ状態の期間をオーバーラップさせることで、駆動T F T 3 2のゲート電圧は、信号電圧V s i gの書き込み前に、所定の電位V o f sから一旦当該電位V o f sと信号電圧V s i gの中間電位となり、最終的に信号電圧V s i gになる。ここで、信号電圧V s i gの書き込み動作は、先の式(3)から明らかなように、書き込み前の電位V o f sと書き込み後の電位V s i gによって決定される。したがって、第1オートゼロ信号A Z 1と書き込み信号W Sとのアクティブ期間のオーバーラップは、信号電圧V s i gの書き込み動作に何ら影響を与えることは無い。

40

【0083】

上述したように、駆動T F T 3 2、サンプリングT F T 3 3およびスイッチングT F T 3 4 ~ 3 6の5個のトランジスタと1個のキャパシタ3 7とからなる画素回路1 1を行列

50

状に2次元配置してなるアクティブマトリクス型有機EL表示装置において、スイッチングTF T 3 4をオフ状態にするタイミングを、サンプリングTF T 3 3をオン状態にするタイミングに対して、スイッチングTF T 3 4のオフ期間とサンプリングTF T 3 3のオフ期間とがオーバーラップする範囲内において可能な限り近づけた駆動タイミングとすることで、有機EL素子3 1の特性変動に対する補償機能と、駆動TF T 3 2のV t h変動に対する補償機能とをより少ない構成素子数で実現しつつ、スイッチングTF T 3 4や有機EL素子3 1のリーク電流が流れることによる駆動TF T 3 2のソース電圧の変動を抑えることができるために、画像ムラの無い均一な画質を得ることができる。

【0084】

さらに、スイッチングTF T 3 4がオフ状態にあり、かつスイッチングTF T 3 5が導通状態にあるときに、サンプリングTF T 3 3をオン状態にした後に、スイッチングTF T 3 5をオフ状態にする、即ち第1オートゼロ信号AZ 1と書き込み信号WSとのアクティブ期間をオーバーラップさせることで、有機EL素子3 1の特性変動に対する補償機能と、駆動TF T 3 2のV t h変動に対する補償機能とをより少ない構成素子数で実現しつつ、スイッチングTF T 3 4や有機EL素子3 1のリーク電流が流れることによる駆動TF T 3 2のゲート電圧の変動を抑えることができるために、画像ムラの無い均一な画質を得ることができる。

【0085】

ここでは、有機EL素子3 1の特性変動に対する補償機能と、駆動TF T 3 2のV t h変動に対する補償機能とを実現するための回路動作については、基本的に、参考例に係る画素回路1 1の回路動作と同じであるために、その説明については省略している。

【0086】

なお、上記実施形態では、第1のポイントと第2のポイントの両方を同時に実行できる構成としたが、いずれか一方だけを実行できる構成であっても、画像ムラの無い均一な画質を得ることが可能である。

【0087】

また、上記実施形態では、画素回路1 1の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、電流値に応じて発光輝度が変化する電流駆動型の発光素子を用いた表示装置全般に適用可能である。

【0088】

また、上記実施形態においては、画素回路1 1を構成する駆動トランジスタ3 2、サンプリングトランジスタ3 3およびスイッチングトランジスタ3 4～3 6としてNチャネル型のTF Tを用いた場合を例に挙げて説明したが、サンプリングトランジスタ3 3およびスイッチングトランジスタ3 4～3 6については、必ずしもNチャネル型のTF Tである必要はない。

【図面の簡単な説明】

【0089】

【図1】本発明の参考例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図2】参考例に係る画素回路の回路動作を説明するためのタイミングチャートである。

【図3】参考例に係る画素回路の動作説明図(その1)である。

【図4】参考例に係る画素回路の動作説明図(その2)である。

【図5】参考例に係る画素回路の動作説明図(その3)である。

【図6】参考例に係る画素回路の動作説明図(その4)である。

【図7】参考例に係る画素回路の動作説明図(その5)である。

【図8】参考例に係る画素回路の動作説明図(その6)である。

【図9】参考例に係る画素回路の動作説明に供する特性図である。

【図10】参考例に係る画素回路の課題の説明に供するタイミングチャートである。

【図11】本発明の一実施形態に係る駆動タイミングを示すタイミングチャートである。

【図12】本実施形態に係る駆動タイミングの具体例を示す波形図である。

【図13】従来例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図14】従来例に係る画素回路の回路動作を説明するためのタイミングチャートである。

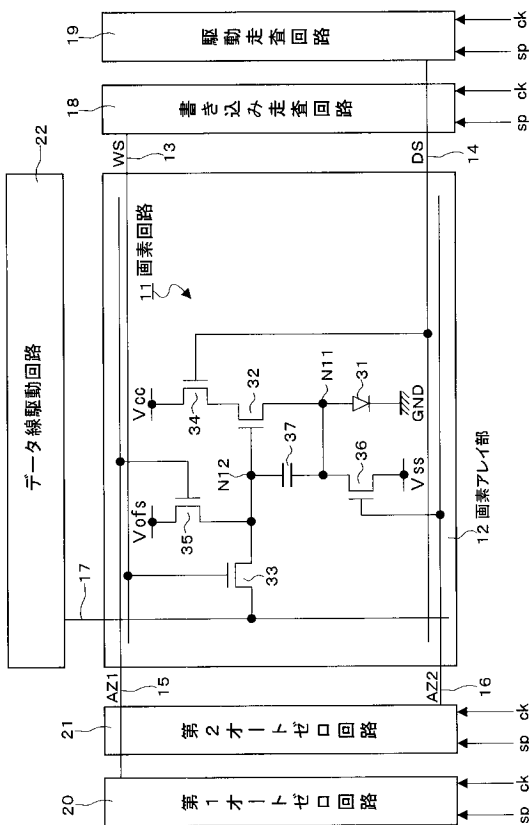
【符号の説明】

【0090】

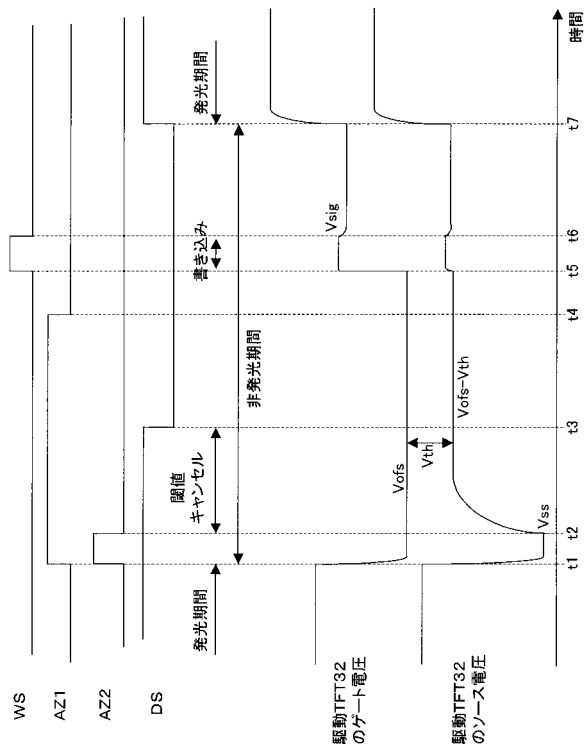
11...画素回路、12...画素アレイ部、13...走査線、14...駆動線、15...第1オートゼロ線、16...第2オートゼロ線、17...データ線、18...書き込み走査回路、19...駆動走査回路、20...第1オートゼロ回路、21...第2オートゼロ回路、22...データ線駆動回路、31...有機EL素子、32...駆動TFT、33...サンプリングTFT、34~36...スイッチングTFT、37...キャパシタ

10

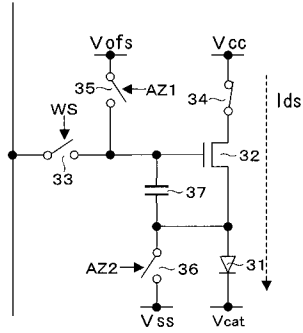
【図1】



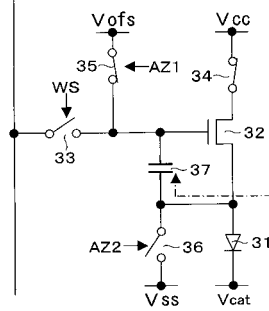
【図2】



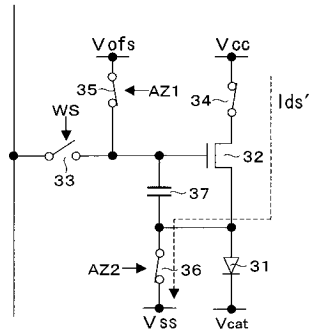
【図3】



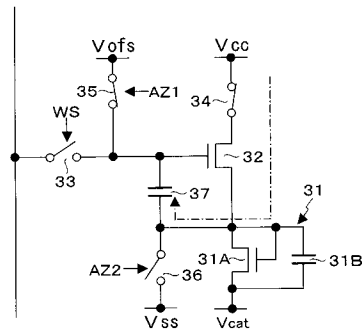
【図5】



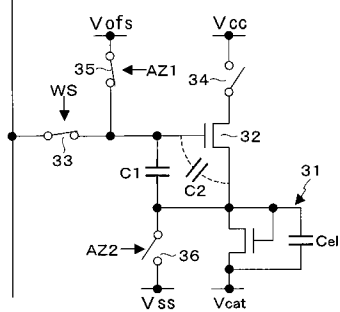
【図4】



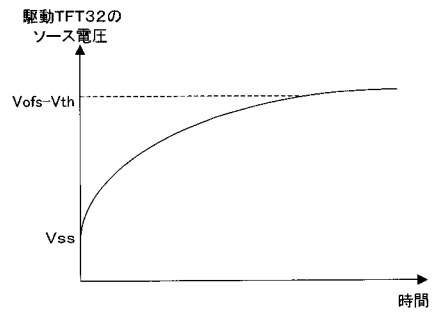
【図6】



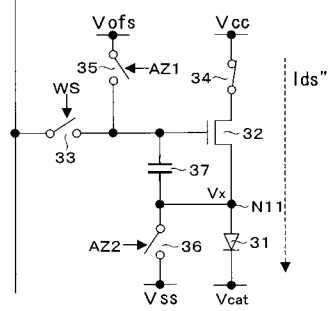
【図7】



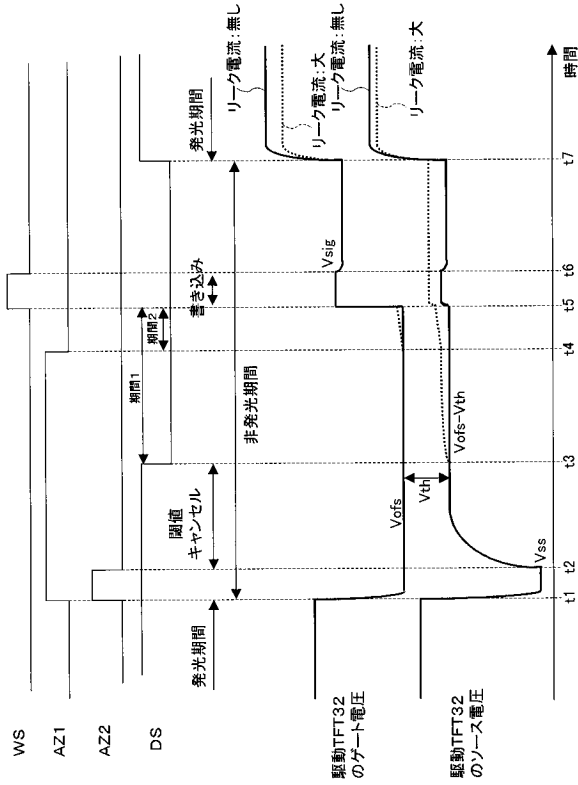
【図9】



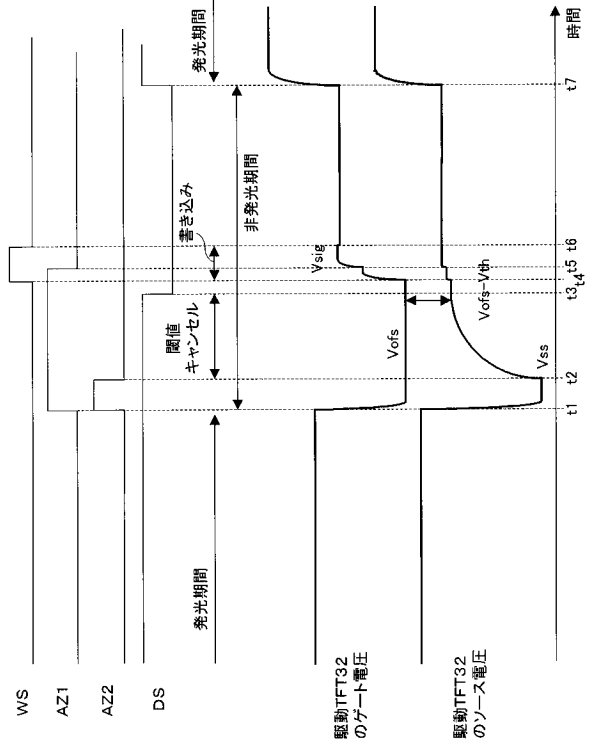
【図8】



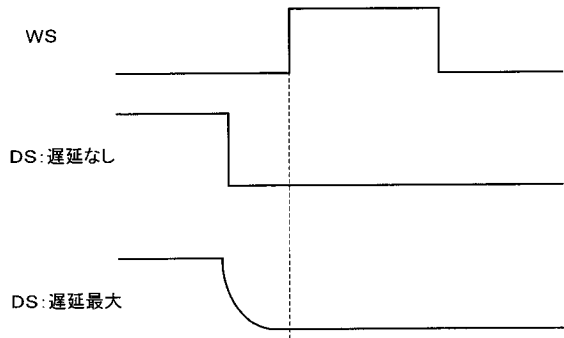
【図10】



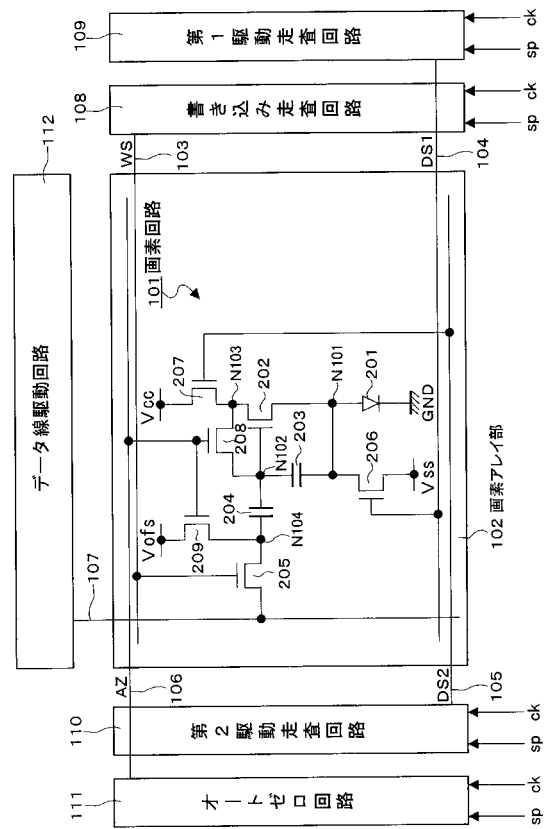
【図11】



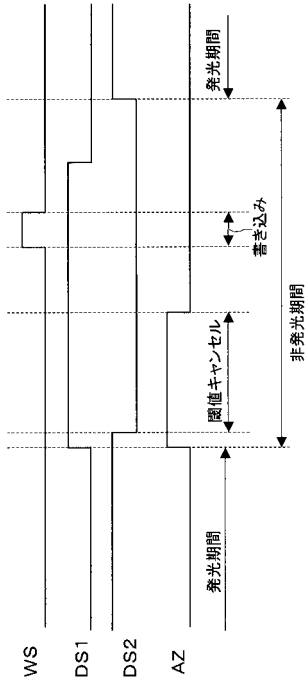
【図12】



【図13】



【 図 1 4 】



专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JP2007108378A	公开(公告)日	2007-04-26
申请号	JP2005298494	申请日	2005-10-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2310/0262 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD22 5C080/FF10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/BA10 5C380/BA13 5C380/BA19 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC57 5C380/CC65 5C380/CC71 5C380/CD015 5C380/CD026 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决由于漏电流导致驱动晶体管的栅极电压和源极电压变化的问题，并且有机EL元件具有发光亮度的变化。解决方案：有源矩阵型有机EL显示装置，其通过在二维矩阵中布置每个包括五个晶体管和一个电容器的像素电路构成，具有补偿有机EL元件的特性变化的功能和补偿 V_{th} 变化的功能。通过将驱动信号DS从“H”电平变化到“L”电平的定时关闭，驱动具有较少数量元件的晶体管并且还抑制由于漏电流引起的驱动晶体管的源极电压和栅极电压的变化在写入信号WS从“L”电平变为“H”电平并且还使第一自动归零信号AZ1和写入信号WS的有效时段彼此重叠的时刻。Z

