

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-313367  
(P2006-313367A)

(43) 公開日 平成18年11月16日(2006.11.16)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/22 (2006.01)</b>	G09G 3/22 G	5C031
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C036
<b>H01J 31/12 (2006.01)</b>	G09G 3/20 611A	5C080
<b>H01J 29/04 (2006.01)</b>	G09G 3/20 642A	
	G09G 3/20 641D	

審査請求 有 請求項の数 18 O L (全 25 頁) 最終頁に続く

(21) 出願番号	特願2006-164767 (P2006-164767)	(71) 出願人	000005108 株式会社日立製作所
(22) 出願日	平成18年6月14日 (2006.6.14)		東京都千代田区丸の内一丁目6番6号
(62) 分割の表示	特願2005-82127 (P2005-82127) の分割	(74) 代理人	100083552 弁理士 秋田 収喜
原出願日	平成11年9月10日 (1999.9.10)	(72) 発明者	鈴木 睦三 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	金子 好之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	楠 敏明 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 画像表示装置

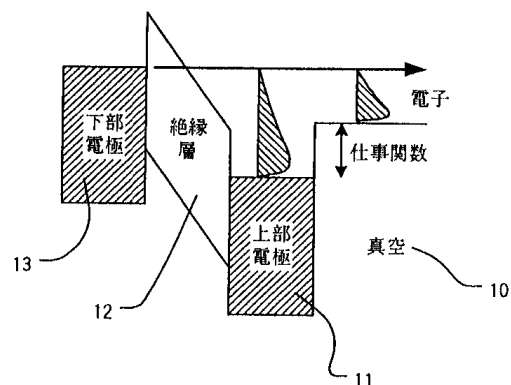
(57) 【要約】

【課題】消費電力を低減した画像表示装置を提供する。

【解決手段】基板上に配置された複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられる電界発光素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2の信号線とを有する第1の基板を備える表示素子と、前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備え、前記各トランジスタ素子の制御電極は、前記複数の第1の信号線の中の1つに電気的に接続され、前記各トランジスタ素子の第1の電極は、前記複数の第2の信号線の中の1つに電気的に接続され、前記各トランジスタ素子の第2の電極は、前記各トランジスタ素子毎に設けられる前記各電界発光素子の第1の電極に電気的に接続され、前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有する。

【選択図】 図18

図 1 8





基板上に配置された複数個のトランジスタ素子と、  
前記各トランジスタ素子毎に設けられる複数個の電子放出素子と、  
第1の方向に設けられる第1の信号線と、  
前記第1方向と直交する第2の方向に設けられる第2の信号線とを有する第1の基板と

、  
枠部材と、

蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気であり、該空間の一部に前記第1の基板の最上部の配線に当接してスペーサが配置された表示素子と、

前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、

10

前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備える画像表示装置であって、

前記各トランジスタ素子の制御電極は、前記複数の第1の信号線の1つに電気的に接続され、

前記各トランジスタ素子の第1の電極は、前記複数の第2の信号線の中の1つに電気的に接続され、

前記各トランジスタ素子の第2の電極は、前記各トランジスタ素子毎に設けられる前記複数個の電子放出素子に電気的に接続され、

前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有することを特徴とする画像表示装置。

20

【請求項8】

前記第1の基板は、前記第1の基板上に形成される前記第2の信号線と、

前記第1の基板上に形成される複数個の第3の電極と、

前記第1の基板上に、前記第2の信号線および前記第3の電極の一部を覆うように形成される複数個の半導体層と、

前記各第3の電極上に、前記各半導体層の一部を覆うように形成される前記電子放出素子と、

前記電子放出素子が形成される領域を除いて、前記第2の信号線および前記半導体層上に形成される第1の絶縁層と、

前記第1の絶縁層上に形成される前記制御電極と、

30

前記第1の絶縁層上に形成され、前記制御電極と電気的に接続される前記第1の信号線とを有し、

前記各トランジスタ素子は、前記半導体層と前記制御電極とで構成されることを特徴とする請求項7に記載の画像表示装置。

【請求項9】

前記各トランジスタ素子は、薄膜トランジスタであり、当該薄膜トランジスタを非飽和領域で動作させることを特徴とする請求項7または8に記載の画像表示装置。

【請求項10】

前記トランジスタ素子は、ポリシリコンで構成されることを特徴とする請求項7ないし請求項9のいずれか1項に記載の画像表示装置。

40

【請求項11】

前記トランジスタ素子は、アモルファスシリコンで構成されることを特徴とする請求項7ないし請求項9のいずれか1項に記載の画像表示装置。

【請求項12】

前記第1の駆動手段および前記第2の駆動手段の少なくとも一方を、前記第1の基板上に形成したことを特徴とする請求項7ないし請求項11のいずれか1項に記載の画像表示装置。

【請求項13】

基板上に配置された複数個のトランジスタ素子と、

前記各トランジスタ素子毎に設けられる複数個の電子放出素子と、

50

第 1 の方向に設けられる第 1 の信号線と、  
前記第 1 方向と直交する第 2 の方向に設けられる第 2 の信号線とを有する第 1 の基板と

、  
枠部材と、

蛍光体とその上に形成されたメタルバック膜を有する第 2 の基板とを備え、前記第 1 の基板、前記枠部材および前記第 2 の基板とで囲まれる真空雰囲気空間に前記メタルバック膜と接触してスペーサが挿入された表示素子と、

前記各第 1 の信号線に駆動電圧を供給する第 1 の駆動手段と、

前記各第 2 の信号線に駆動電圧を供給する第 2 の駆動手段とを備える画像表示装置であって、

前記各トランジスタ素子の制御電極は、前記複数の第 1 の信号線の 1 つに電氣的に接続され、

前記各トランジスタ素子の第 1 の電極は、前記複数の第 2 の信号線の中の 1 つに電氣的に接続され、

前記各トランジスタ素子の第 2 の電極は、前記各トランジスタ素子毎に設けられる前記複数の電子放出素子に電氣的に接続され、

前記第 2 の駆動手段は、前記各第 2 の信号線に定電流を供給する定電流回路を有することを特徴とする画像表示装置。

【請求項 1 4】

前記第 1 の基板は、前記第 1 の基板上に形成される前記第 2 の信号線と、

前記第 1 の基板上に形成される複数の第 3 の電極と、

前記第 1 の基板上に、前記第 2 の信号線および前記第 3 の電極の一部を覆うように形成される複数の半導体層と、

前記各第 3 の電極上に、前記各半導体層の一部を覆うように形成される前記電子放出素子と、

前記電子放出素子が形成される領域を除いて、前記第 2 の信号線および前記半導体層上に形成される第 1 の絶縁層と、

前記第 1 の絶縁層上に形成される前記制御電極と、

前記第 1 の絶縁層上に形成され、前記制御電極と電氣的に接続される前記第 1 の信号線とを有し、

前記各トランジスタ素子は、前記半導体層と前記制御電極とで構成されることを特徴とする請求項 1 3 に記載の画像表示装置。

【請求項 1 5】

前記各トランジスタ素子は、薄膜トランジスタであり、当該薄膜トランジスタを非飽和領域で動作させることを特徴とする請求項 1 3 または 1 4 に記載の画像表示装置。

【請求項 1 6】

前記トランジスタ素子は、ポリシリコンで構成されることを特徴とする請求項 1 3 ないし請求項 1 5 のいずれか 1 項に記載の画像表示装置。

【請求項 1 7】

前記トランジスタ素子は、アモルファスシリコンで構成されることを特徴とする請求項 1 3 ないし請求項 1 5 のいずれか 1 項に記載の画像表示装置。

【請求項 1 8】

前記第 1 の駆動手段および前記第 2 の駆動手段の少なくとも一方を、前記第 1 の基板上に形成したことを特徴とする請求項 1 3 ないし請求項 1 7 のいずれか 1 項に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に係わり、特に、発光素子をマトリクス状に並べ、それらの発光を制御することによって画像を表示する画像表示装置に適用して有効な技術に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

互いに直交する電極群の交点を画素とし、各画素への印加電圧を調整することによって画像を表示するマトリクス型表示装置（マトリクス型ディスプレイ）には、液晶ディスプレイの他、フィールドエミッション・ディスプレイ（以下、FEDと称する。）、エレクトロルミネセンス・ディスプレイ（EL）、発光ダイオード・ディスプレイ（LED）などが知られている。

例えば、FEDは、下記特許文献1（特開平4-289644号公報）に記載されているように、各画素毎に電子放出電子素子を配置し、そこからの放出電子を真空中で加速した後、蛍光体に照射し、照射した部分の蛍光体を発光させるものである。

FED用の電子放出素子の一例として、薄膜型電子源マトリクスがある。薄膜型電子源とは、絶縁体に高電界を印加して生成するホットエレクトロンを利用する電子放出素子である。

以下、代表例として、上部電極 - 絶縁層 - 下部電極の3層構造の薄膜で構成されるMIM（Metal-Insulator-Metal）型電子源について説明する。

## 【0003】

図18は、薄膜型電子源の代表例であるMIM型電子源の動作原理を説明するための図である。

上部電極11と下部電極13との間に駆動電圧を印加して、トンネル絶縁層12内の電界を1~10MV/cm以上にすると、下部電極13中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、トンネル絶縁層12、上部電極11の伝導帯へ注入されホットエレクトロンとなる。

これらのホットエレクトロンの一部は、トンネル絶縁層12中および上部電極11中で、固体との相互作用で散乱を受けエネルギーを失う。

この結果、上部電極11 - 真空10界面に到達した時点では、様々なエネルギーを有したホットエレクトロンがある。

これらのホットエレクトロンのうち、上部電極11の仕事関数（ ）以上のエネルギーを有するものは、真空10中に放出され、それ以外のは上部電極11に流れ込む。なお、MIM型薄膜電子源は、例えば、下記特許文献2に記載されている。

ここで、上部電極11と下部電極13とを複数本設け、これら複数本の上部電極11と下部電極13と直交させて、薄膜型電子源をマトリクス状に形成すると任意の場所から電子線を発生させることができるので、画像表示装置の電子源として使用することができる。

即ち、各画素毎に薄膜型電子源素子を配置し、そこからの放出電子を真空中で加速した後、蛍光体に照射し、照射した部分の蛍光体を発光させることにより所望の画像を表示する画像表示装置を構成することができる。

薄膜型電子源は、放出電子ビームの直進性に優れるため高精細の表示装置を実現できる、表面汚染の影響を受けにくいので扱いやすい、などFED用電子放出素子として優れた特徴を有している。

## 【0004】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開平4-289644号公報

【特許文献2】特開平9-320456号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0005】

薄膜電子源マトリクスを用いた表示装置では、陰極線管（Cathode-ray tube；CRT）のようにシャドウマスクを用いず、またビーム偏向回路もないため、その消費電力はCRTよりもやや小さいかあるいは同程度である。

薄膜電子源マトリクスを用いた画像表示装置における従来の駆動方法による薄膜電子源

10

20

30

40

50

マトリクスでの消費電力を概算する。

図 19 は、従来の薄膜電子源マトリクスの概略構成を示す図である。

行方向に伸びる行電極 310 に薄膜型電子源素子 301 の一方の電極 ( 下部電極 13 ) が結線され、列方向に伸びる列電極 311 に薄膜型電子源素子 301 の他方の電極 ( 上部電極 11 ) が結線されている。

なお、図 19 では 3 行 x 3 列の場合を図示しているが、実際には表示装置を構成する画素、あるいはカラー表示装置の場合はサブ画素 ( sub-pixel ) の個数だけ薄膜型電子源素子 301 が配置されている。

ここで、R2 番目の行電極 310 に負の電圧パルス ( - V1 ) を印加し、同時に C2 番目の列電極 311 に正の電圧パルス ( V2 ) を印加すると、R2 の行電極 310 と、C2 の列電極 311 との交点 ( R2、C2 ) にある薄膜型電子源素子 301 に ( V1 + V2 ) なる電圧が印加されるので、電子が放出される。

10

放出された電子は、加速されたあと蛍光体に照射し、蛍光体を発光させる。

このような線順次駆動では、単位時間にある画素が発光する期間 ( デューティ比 ) が、走査線、即ち、行電極 310 の本数 N に反比例する。即ち、画面の明るさは 1 / N になってしまう。

しかし、1997 SID International Symposium Digest of Technical Papers、pp. 123 ~ 126 ( 1997.5 月 ) で示されているように、薄膜型電子源素子 301 と蛍光体を用いた画像表示装置では、パルス印加時に発光する輝度が十分高いため、線順次駆動でも十分な明るさが得られる。

20

また、印加電圧と輝度との関係も急峻な閾値特性を有するため、N = 1000 程度の場合でも単純マトリクス駆動で十分なコントラストが得られる。

即ち、液晶表示装置の場合と異なり、薄膜電子源を用いたディスプレイの場合、閾値特性を改善する目的や発光期間のデューティ比を増やす目的では、各画素にスイッチング素子を設ける必要はない。

【 0006 】

図 19 の構成で、駆動回路の無効消費電力を求めてみる。

無効消費電力とは、駆動する薄膜型電子源素子 301 の静電容量に電荷を充電・放電させるのに消費する電力であり、発光には寄与しない。

各薄膜型電子源素子 301 の 1 個あたりの静電容量を Ce とし、列電極 311 の本数を M、行電極の本数を N としたときに、行電極 310 に振幅 Vr のパルスを 1 回印加した場合の無効電力は下記 ( 1 ) 式で表される。

30

[ 数 1 ]

$$M \cdot C_e \cdot V_r^2 \quad \dots \dots \dots ( 1 )$$

1 秒間に画面を書き換える回数 ( フィールド周波数 ) を f とすると、N 本の行電極全体での無効電力 ( Pr ) は下記 ( 2 ) で表される。

[ 数 2 ]

$$P_r = f \cdot N \cdot M \cdot C_e \cdot V_r^2 \quad \dots \dots \dots ( 2 )$$

1 本の列電極 311 には N 個の薄膜電子源素子が接続しているから、M 本の列電極全体での無効電力 ( Pc ) は、M 本全ての列電極 311 にパルス電圧を印加する場合は下記 ( 3 ) 式で表される。

40

[ 数 3 ]

$$P_c = f \cdot M \cdot N \cdot ( N \cdot C_e \cdot V_c^2 ) \quad \dots \dots \dots ( 3 )$$

ここで、Vc は、列電極 311 に印加される電圧パルスの振幅である。

【 0007 】

画面を 1 回書き換える期間 ( 1 フィールド期間 ) に列電極 311 には N 回パルスが印加されるので、Pr とくらべて N が余分に乘ぜられている。

なお、M 本の列電極 311 のうち、m 本にパルス電圧を印加する場合は、前記 ( 3 ) 式の M を m に置き換えた形になる。

一例として、代表的な値、f = 60 Hz、N = 480、M = 1920、Ce = 0.1 n

50

F、 $V_r = V_c = 4\text{ V}$ を用いると、 $P_r = 0.09\text{ [W]}$ 、 $P_c = 42\text{ [W]}$ となる。

この場合、薄膜電子源素子自体の消費電力は $1.6\text{ [W]}$ 程度なので、全消費電力は $44\text{ [W]}$ 程度となる。これは実用上問題ない消費電力である。

しかし、更に低消費電力化を図りたい場合は、データパルス印加に伴う無効電力 $P_c$ を削減することが有効であることがわかる。

このように、CRTに対応した画像表示装置として用いる場合は、従来の技術でも消費電力の点からは問題ない。

しかしながら、薄膜電子源マトリクスを用いた表示装置の特徴は、薄型の表示装置が実現できることである。

#### 【0008】

このような薄型表示装置においては、ポータブルな表示装置としての用途があり、この場合、消費電力は一層低減することが望ましい。

また、各薄膜型電子源素子301の実効インピーダンスが小さい、即ち、比較的大きな電流が素子に流れるため、薄膜電子源マトリクスを線順次駆動で動作させる際、1本の電極に多数の素子の電流が流れるため、配線抵抗を十分小さくしないと画面全体で均一な明るさが得られない等の問題もあった。

さらに、電界放射型陰極、有機EL素子等をマトリクス状に配置した画像表示装置でも同じような問題があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、画像表示装置において、その消費電力を低減することが可能となる技術を提供することにある。

また、本発明の他の目的は、画像表示装置において、表示品質を向上させることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

#### 【課題を解決するための手段】

#### 【0009】

初めに、本発明の動作原理について説明する。

図1は、本発明の画像表示装置の薄膜マトリクスの一例の概略成を示す図である。

従来では、行電極310と列電極311とが交差する領域の近傍に、薄膜型電子源素子301のみを接続していたが、図1に示すように、本発明では、行電極(本発明の第1の信号線)310と列電極(本発明の第2の信号線)311とが交差する領域の近傍に、トランジスタ302と薄膜型電子源素子301とを設け、画素トランジスタ302を経由して薄膜型電子源素子301の一方の電極(下部電極13)に駆動電圧を供給する。

即ち、画素トランジスタ302のゲート電極を行電極310に接続し、ソース電極を列電極311に接続し、さらに、ドレイン電極を薄膜型電子源素子301の一方の電極(下部電極)に接続する。

また、薄膜型電子源素子301の他方の電極(上部電極11)は、上部電極駆動回路45に結線する。

なお、トランジスタとして、薄膜トランジスタ(TFT; Thin-Film Transistor)を用いる場合は、ソース電極とドレイン電極は実質的には区別がないが、薄膜トランジスタ(TFT)の場合も含めて、本明細書では便宜的にソース電極、ドレイン電極と呼ぶことにする。

本明細書では、行電極310と列電極311とが交差する領域の近傍を交差領域と称し、また、以下の説明では、行電極310と列電極311とで囲まれる領域を「画素」と呼び、各画素領域に設けられるトランジスタ302を「画素トランジスタ」と呼ぶことにする。

さらに、カラー画像表示の場合は、赤、青、緑の各サブ画素(sub-pixel)の組み合わせで1画素(pixel)を形成するが、ここで定義した「画素」とはカラー画像表示の場合はサブ画素(sub-pixel)に相当する。

10

20

30

40

50

【 0 0 1 0 】

R 2 番目の行電極 3 1 0 と、C 2 番目の列電極 3 1 1 との交差領域 ( R 2 、 C 2 ) の薄膜型電子源素子 3 0 1 は、以下のようにして動作させる。

R 2 番目の行電極 3 1 0 にパルス電圧を印加して、画素トランジスタ 3 0 2 を導通 ( O N ) 状態にする。

同時に、C 2 番目の列電極 3 1 1 に ( V 2 ) の電圧振幅のパルスを印加すると、交差領域 ( R 2 、 C 2 ) の薄膜型電子源素子 3 0 1 には ( V com - V 2 - V ) なる電圧が印加され、電子が放出される。

ここで、V com は上部電極駆動回路 4 5 の出力電圧であり、V は、画素トランジスタ 3 0 2 の抵抗 ( 出力インピーダンス ) による電圧降下量である。

R 1 番目および R 3 番目の行電極 3 1 0 に接続されているドットでは、画素トランジスタ 3 0 2 が O F F 状態なので、対応する薄膜型電子源素子 3 0 1 には電圧が印加されず、電子は放出しない。このように、本発明では、線順次駆動方式により画像表示を行う。

【 0 0 1 1 】

本発明を用いた場合の駆動回路で消費される無効電力を概算する。

行電極駆動回路 4 1 の無効電力 ( P r ) は下記 ( 4 ) 式で表される。

[ 数 4 ]

$$P r = f \cdot N \cdot M \cdot C g s \cdot V r ^ 2 \dots \dots \dots ( 4 )$$

ここで、V r は、行電極 3 1 0 に印加される電圧パルスの振幅であり、C g s は、各ドットの画素トランジスタ 3 0 2 のゲート - ソース間寄生容量である。

通常 C g s = 1 p F 程度であり、薄膜型電子源素子 3 0 1 の 1 個あたりの静電容量 ( C e ) の 1 / 1 0 0 ~ 1 / 1 0 0 0 程度なので、無効電力 ( P r ) も従来の 1 / 1 0 0 ~ 1 / 1 0 0 0 程度になる。

列電極駆動回路 4 2 の無効電力 ( P c ) は下記 ( 5 ) で表される。

[ 数 5 ]

$$P c = f \cdot M \cdot N \cdot C e \cdot V c ^ 2 + f \cdot M \cdot N \cdot ( N - 1 ) \cdot C d s e \cdot V c ^ 2 \dots \dots \dots ( 5 )$$

この ( 5 ) 式で、第 1 項は画素トランジスタ 3 0 2 が導通状態にあるドットの寄与であり、第 2 項はそれ以外のドット、即ち、画素トランジスタ 3 0 2 が O F F 状態にあるドットの寄与である。

【 0 0 1 2 】

ここで、V c は、行電極 3 1 1 に印加される電圧パルスの振幅であり、C d s e は、画素トランジスタのドレイン - ソース間寄生容量 ( C d s ) と、薄膜型電子源の 3 0 1 の 1 個あたりの静電容量 ( C e ) とを直列接続した合成容量であり、下記 ( 6 ) 式で表される。

[ 数 6 ]

$$C d s e = ( 1 / C d s + 1 / C e ) ^ - 1 = C d s / ( C d s / C e + 1 ) \dots \dots \dots ( 6 )$$

通常 C d s は 1 p F 程度以下で、C e の 1 / 1 0 0 ~ 1 / 1 0 0 0 程度なので、C d s e は C d s とほぼ等しく、C e の 1 / 1 0 0 ~ 1 / 1 0 0 0 程度である。

したがって、無効電力 ( P c ) は、従来の方法に比べて約 1 / N に低減させることができる。

このように、本発明によれば、駆動回路の無効電力 ( 即ち、薄膜電子源マトリクスでの消費電力 ) を大幅に低減することができる。

また、駆動回路の負荷容量が小さくなることから、駆動回路に対する要求も緩和されるので、駆動回路の低コスト化にも寄与することができる。

【 0 0 1 3 】

表示装置において、各画素にトランジスタを設けて各画素の動作を制御する方式、即ち、アクティブ・マトリクス方式と呼ばれる方式はいくつか提案・実施されている。

液晶表示装置においては、アクティブ・マトリクス方式が広く用いられているが、これは液晶素子の電圧に対する透過率の閾値特性が急峻でないため、単純マトリクス方式だと

10

20

30

40

50

コントラストが低下してしまうためである。

アクティブ・マトリクス駆動により各画素に電圧が印加される期間を延ばし、換言すればデューティ比を大きくすることによりコントラストを向上させるためのものである。

これに対し、本発明は、各画素の動作モードは線順次駆動方式であり、即ち、発光のデューティ比は1/Nになっており、液晶表示装置でのアクティブ・マトリクス駆動とは本質的に異なる。

エレクトロルミネセンス型表示装置（ELディスプレイ）でのアクティブマトリクス駆動は、例えば、1999 SID International Symposium Digest of Technical Papers、pp.438~441（1999.5月）に述べられているように、各画素に最低限2個のトランジスタと蓄積容量を組み合わせて実現する。

10

これは、蓄積容量への電荷の出し入れを制御するトランジスタと、蓄積容量の電圧に応じて各画素のEL素子の発光を制御するトランジスタの2個を組み込んでいる。

これにより各画素のEL素子の発光期間、即ち、デューティ比を増大させ、高輝度を得るものである。したがって、この方式も、本発明とは本質的に異なる。

フィールドエミッション・ディスプレイ（FED）にアクティブマトリクス駆動を適用する例は、例えば、表面伝導型電子源のマトリクスの各ドットにトランジスタを形成する例が、特開平9-219164号に記されている。

この公知例では、表面伝導型電子源からの放出電流がドット毎にばらつくのを防ぐために、各画素のトランジスタの定電流特性を用いて電流量の均一化を図るものである。

【0014】

20

図2は、MOSトランジスタの、ゲート電圧一定条件でのドレイン電流（ $I_D$ ）対ドレイン・ソース間電圧（ $V_{DS}$ ）の関係を示したものである。

図2にから明らかなように、 $V_{DS}$ がある値以上になると（即ち、飽和領域では） $I_D$ は $V_{DS}$ によらずほぼ一定になる。

前記公知例では、各ドットの画素トランジスタが、この飽和領域で動作するように印加電圧を設定し、画素トランジスタの定電流特性を利用して放出電流を一定にするものである。

電界放射陰極を電子源に用いたFEDについても、各ドットにトランジスタを設ける方式が提案されており、例えば、Proceedings of the 5th International Display Workshops、pp.667~670（1998.12月）に記載されているが、これも前記公知例と同様で、画素トランジスタを飽和領域で動作させ、その定電流特性を用いて電子放出のノイズの低減や放出電流の安定化を図っている。

30

これらの公知例で開示されている、画素トランジスタを飽和領域で動作させその定電流特性を用いる方式は、画素トランジスタの特性バラツキの影響が大きいという問題がある。

【0015】

以下、この点について説明する。

一般に、図2に示すMOSトランジスタの飽和領域でのドレイン電流 $I_D$ （sat）は下記（7）式で表される。

[数7]

40

$$I_D \text{ (sat)} = k \cdot (V_{GS} - V_T)^2 \dots \dots \dots (7)$$

ここで、 $V_{GS}$ はトランジスタのゲート・ソース間電圧、 $V_T$ は閾値電圧である。

$k$ は、トランジスタを構成する半導体の移動度 $\mu_n$ やゲート容量 $C_{ox}$ 、トランジスタの構造パラメータ（ $W, L$ ）で表される量であり、下記（8）式で表される。

[数8]

$$k = (1/2) \mu_n C_{ox} (W/L) \dots \dots \dots (8)$$

実際のトランジスタでは、閾値電圧（ $V_T$ ）にバラツキが発生する。

飽和領域でのドレイン電流（ $I_D$ （sat））は、（ $V_{GS} - V_T$ ）の2乗に比例するので、閾値電圧（ $V_T$ ）のバラツキの影響が極めて大きい。

このため、画素トランジスタを飽和領域で動作させ、その定電流特性を用いる方式は、

50

画素トランジスタの特性バラツキの影響が大きく、画素トランジスタを高い均一性をもって作らなければならないという問題点があった。

特に、画素トランジスタとして、アモルファスシリコン（以下、単に、a - Si と称する。）やポリシリコン（以下、単に、Poly - Si と称する。）などで構成した薄膜トランジスタ（TFT）を用いる場合には、画素TFTの均一性確保が困難になる。

本発明では、画素トランジスタ302の特性バラツキの影響を低減するために、画素トランジスタを非飽和領域、即ち、ソース電極とドレイン電極との間に印加される電圧により、ドレイン電流（ $I_D$ ）が大きく変化する領域で動作させる。

図2の、ドレイン電流（ $I_D$ ）対ドレイン - ソース間電圧（ $V_{DS}$ ）の特性で、非飽和領域の傾きの逆数、即ち、非飽和領域での有効抵抗値（出力インピーダンス） $R$ は、下記（9）式で表される。 10

【0016】

【数9】

$$R = \left( \frac{dI_D}{dV_{DS}} \right)^{-1} = \{2k(V_{GS} - V_T)\}^{-1}$$

【0017】

前記（9）式から分かるように、非飽和領域の特性は、（ $V_{GS} - V_T$ ）の - 1 乗にしか依存しないので、 $I_D$ （sat）と比べて閾値電圧（ $V_T$ ）のバラツキの影響が小さい。 20

次に、図1に示すように、薄膜型電子源素子（MIM型電子源素子）301と画素トランジスタ302とを直列接続し、その全体に外部電圧（ $V_0$ ）を印加する場合を想定し、画素トランジスタ302の出力インピーダンス（ $R$ ）のバラツキが、薄膜型電子源素子302に流れる電流に与える影響を見積もる。

薄膜型電子源素子301のダイオード電流（ $I_d$ ） - 電圧特性（ $V$ ）を、 $I_d = f(V)$ 、画素トランジスタの出力インピーダンスが  $R$ 、 $R + \Delta R$  の時に流れる電流をそれぞれ  $I$ 、 $I + \Delta I$  とすると、下記（10）の関係がある。

【0018】

【数10】

$$\frac{\Delta I}{I} = \left( \frac{\Delta R}{R + \Delta R} \right) / (1 + \alpha)$$

$$\alpha = \frac{r_e}{R + \Delta R}$$

$$r_e = \frac{dV}{dI_d}$$

【0019】

したがって、画素トランジスタ302の出力インピーダンス（ $R + \Delta R$ ）を、薄膜型電子源素子301の（動作点での）微分抵抗  $r_e$  より小さくし、 $\alpha < 1$  とすれば、前記（10）式は下記（11）のように変形できる。 40

【0020】

【数11】

$$\frac{\Delta I}{I} \leq \frac{1}{2} \left( \frac{\Delta R}{R + \Delta R} \right)$$

【0021】

これにより、画素トランジスタ302の特性バラツキ（ $R$ ）が表示画像の均一性に与える影響は更に小さくなる。言い換えると、画素トランジスタ302の特性バラツキの許 50

容量が大きくなり製造しやすくなる。

画素トランジスタ302の特性バラツキの影響を小さくする別の方法は、画素トランジスタ302を非飽和領域で動作させ、列電極駆動回路42を定電流回路で構成することである。この場合、画素トランジスタ302は、オン抵抗(R)のスイッチング素子として使用される。

画素トランジスタ302の有効抵抗(R)が変化しても、薄膜型電子源素子301に流れる電流は、列電極駆動回路42の定電流回路で規定されるので、一定電流が流れる。

この方式は、画素トランジスタとして、a-SiやPoly-Siなどで構成した薄膜トランジスタ(TFT)を用い、列電極駆動回路42に単結晶シリコン(Si)基板を用いた場合に特に有効である。

なぜなら、単結晶シリコン(Si)基板上に形成した場合は、トランジスタの特性バラツキを押さえることが容易だからである。

列電極駆動回路42を定電流回路にする構成は、印加電圧Vと発光強度Bとの関係 $B = g(V)$ に現れるバラツキや変動量と比べて、素子電流(I)との関係 $B = h(I)$ のバラツキが少ない場合に特に有効である。

このような例として、有機EL(有機エレクトロルミネッセンス)素子や発光ダイオード(LED)がある。

#### 【0022】

即ち、本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられるとともに、下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する電子源素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2信号線とを有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、前記各トランジスタ素子と前記各電子源素子とは、前記第1の信号線と前記第2の信号線との交差領域に設けられることを特徴とする。

また、本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられるとともに、下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する電子源素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2信号線とを有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、前記各トランジスタ素子は、前記第1の信号線と前記第2の信号線とで囲まれる領域内に設けられることを特徴とする。

#### 【0023】

また、本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられるとともに、下部電極と、絶縁層と、上部電極とをこの順番に積層した構造を有し、前記上部電極に正極性の電圧を印加した際に、前記上部電極表面から電子を放出する電子源素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2信号線とを有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子を備える画像表示装置であって、前記各トランジスタ素子の制御電極が、前記複数の第1の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第1の電極が、前記複数の第2の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第2の電極が、前記各トランジスタ素子毎に設けられる前記電子源素子の前記下部電極に電氣的に接続されることを特徴とする。

また、本発明は、前記各トランジスタ素子の出力インピーダンスが、前記各電子源の動

10

20

30

40

50

作領域での微分抵抗値よりも小さいことを特徴とする。

また、本発明は、前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備え、前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有することを特徴とする。

【0024】

また、本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられる複数個の電子放出素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2の信号線とを有する第1の基板と、枠部材と、蛍光体を有する第2の基板とを備え、前記第1の基板、前記枠部材および前記第2の基板とで囲まれる空間が真空雰囲気とされる表示素子と、前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備える画像表示装置であって、前記各トランジスタ素子の制御電極は、前記複数の第1の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第1の電極は、前記複数の第2の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第2の電極は、前記各トランジスタ素子毎に設けられる前記複数の電子放出素子に電氣的に接続され、前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有することを特徴とする。

10

また、本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられる電界発光素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2の信号線とを有する第1の基板を備える表示素子と、前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備える画像表示装置であって、前記各トランジスタ素子の制御電極は、前記複数の第1の信号線の中1つに電氣的に接続され、前記各トランジスタ素子の第1の電極は、前記複数の第2の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第2の電極は、前記各トランジスタ素子毎に設けられる前記各電界発光素子の第1の電極に電氣的に接続され、前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有することを特徴とする。

20

【0025】

また、本発明は、複数個のトランジスタ素子と、前記各トランジスタ素子毎に設けられる発光ダイオード素子と、第1の方向に設けられる第1の信号線と、前記第1方向と直交する第2の方向に設けられる第2の信号線とを有する第1の基板を備える表示素子と、前記各第1の信号線に駆動電圧を供給する第1の駆動手段と、前記各第2の信号線に駆動電圧を供給する第2の駆動手段とを備える画像表示装置であって、前記各トランジスタ素子の制御電極は、前記複数の第1の信号線の1つに電氣的に接続され、前記各トランジスタ素子の第1の電極は、前記複数の第2の信号線の中の1つに電氣的に接続され、前記各トランジスタ素子の第2の電極は、前記各トランジスタ素子毎に設けられる前記発光ダイオードの第1の電極に電氣的に接続され、前記第2の駆動手段は、前記各第2の信号線に定電流を供給する定電流回路を有することを特徴とする。

30

また、本発明は、前記各トランジスタ素子が、薄膜トランジスタであり、当該薄膜トランジスタを非飽和領域で動作させることを特徴とする。

40

【発明の効果】

【0026】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明によれば、画像表示装置の消費電力を低減することができる。

(2) 本発明によれば、表示画像の輝度ばらつきを低減し、表示品質を向上させることが可能となる。

【発明を実施するための最良の形態】

【0027】

以下、図面を参照して本発明の実施例を詳細に説明する。

50

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例 1〕

本発明の実施例 1 の画像表示装置は、電子放出電子源である薄膜型電子源マトリクスと蛍光体との組み合わせによって、各ドットの輝度変調素子を形成した表示パネル（本発明の表示素子）を用い、当該表示パネルの行電極及び列電極に駆動回路を接続して構成される。

ここで、表示パネルは、薄膜電子源マトリクスが形成された電子源板と蛍光体パターンが形成された蛍光表示板とから構成される。

まず、図 3 ~ 図 6 を用いて、本実施例における、画素トランジスタ 305 と薄膜電子源マトリクスが形成された電子源板の構造と製造方法について説明する。 10

図 3 は、本実施例の画素トランジスタ 305 の配置を表す平面図である。

図 4 は、本実施例の電子源板の要部断面構造を示す断面図であり、同図 (a) は図 3 の A - B 切断線に沿う断面図、同図 (b) は図 3 の C - D 切断線に沿う断面図である。

図 5 は、本実施例の画素トランジスタ 302 の製造方法を説明するための図であり、図 6 は、本実施例の膜型電子源マトリクスの製造方法を説明するための図である。

【0028】

以下、図 5 を用いて、本実施例の画素トランジスタ 302 の製造方法について説明する。

初めに、図 5 (a) に示すように、基板 14 上にジシラン ( $\text{Si}_2\text{H}_6$ ) を原料ガスとした低圧 CVD 法により a - Si 膜を堆積した後、全面をレーザーアニールにして多結晶シリコン (poly - Si) 膜 600 を形成する。 20

ここで、基板 14 には、無アルカリガラス、または二酸化シリコン ( $\text{SiO}_2$ ; 以下、単に、 $\text{SiO}_2$  と称する。) を被覆した無アルカリガラスあるいはソーダガラスを用いる。

次に、poly - Si 膜 600 をパターン化した後、図 5 (b) に示すように、 $\text{SiO}_2$  で構成されたゲート絶縁膜 604 を CVD 法で形成する。

次に、図 5 (c) に示すように、ゲート電極 601 を形成した後、イオンドーピングにより poly - Si 膜 600 に不純物を注入し、図 5 (d) に示すように、ソース電極 602、ドレイン電極 603 を形成する。 30

その後、図 5 (e) に示すように、層間絶縁膜 606 を形成した後、コンタクトホールを形成する。

ついで、図 5 (f) に示すように、列電極 311 と接触電極 607 を形成する。

続いて、図 5 (g) に示すように、パッシベーション膜 608 を  $\text{SiO}_2$  で形成した後、コンタクトホールを形成する。

最後に、アルミニウム (Al; 以下、単に、Al と称する。) - ネオジム (Nd; 以下、単に、Nd と称する。) 合金膜を形成した後、パターン化して、図 5 (h) に示すように、下部電極 13 を形成する。

ここで、下部電極 13 は、図 3 の点線で記したパターンに形成する。

【0029】

次に、図 6 を用いて、薄膜電子源マトリクスの一薄膜型電子源素子 301 の製造方法について説明する。 40

図 6 の右側の列は平面図であり、図 6 の左側の列は、右の図の中の A - B 線に沿う断面図である。

図 6 (a) は、図 5 (h) と同一である。

まず、図 6 (b) に示すように、下部電極 13 上にレジスト 501 を形成する。

この状態で、陽極酸化を行い、図 6 (c) に示すように、保護絶縁層 15 を形成する。

本実施例では、この陽極酸化において化成電圧 20 V 程度とし、保護絶縁層 15 の膜厚を 30 nm 程度とした。

レジストパターン 501 をアセトンなどの有機溶媒で剥離した後、レジストで被覆され 50

ていた下部電極 1 3 表面を再度陽極酸化して、図 6 ( d ) に示すように、トンネル絶縁層 1 2 を形成する。

本実施例では、この再陽極酸化において化成電圧を 6 V に設定し、絶縁層膜厚を 8 nm とした。

次に、上部電極バスライン用の導電膜を形成し、レジストをパターニングしてエッチングを行い、図 6 ( e ) に示すように、上部電極バスライン 3 2 を形成する。

本実施例では、上部電極バスライン 3 2 として、膜厚が 300 nm 程度の Al 合金と膜厚が 20 nm 程度のタングステン ( W ) 膜との積層膜で形成し、Al 合金とタングステン ( W ) 膜とを 2 段階のエッチングで加工した。

なお、上部電極バスライン 3 2 の材料には金 ( Au ) などを用いても良い。

10

#### 【 0 0 3 0 】

また、上部電極バスライン 3 2 をエッチングする際は端部がテーパ形状になるようにエッチングした。

最後に、図 6 ( f ) に示すように、上部電極 1 1 を全面に形成する。

本実施例では、上部電極 1 1 として、膜厚 1 nm のイリジウム ( Ir )、膜厚 2 nm の白金 ( Pt )、膜厚 3 nm の金 ( Au ) の 3 層をこの順序で形成した 3 層積層膜を用いた。

また、上部電極 1 1 は、画像表示部分には全面に形成するが、基板周辺部の取出電極を形成した領域には形成しない。

このパターン化の精度は極めて緩いので、本実施例では、このパターン化を金属マスクを用いて行った。

20

このようにすると、上部電極形成後にレジストなどが上部電極 1 1 表面に残留することはないので、清浄な上部電極 1 1 を容易に得ることができ、電子放出特性の劣化が発生しない。これが可能なのは、上部電極バスライン 3 2 を形成した後に上部電極 1 1 を形成しているからである。

以上のプロセスにより、基板 1 4 上に薄膜電子源マトリクスが完成する。

#### 【 0 0 3 1 】

本実施例の薄膜電子源マトリクスにおいては、トンネル絶縁層 1 2 で規定された領域 ( 電子放出領域 1 8、図 8 に記載 )、即ち、レジストパターン 5 0 1 で規定した領域から電子が放出される。

30

電子放出領域 1 8 の周辺部には、厚い絶縁膜である保護絶縁層 1 5 を形成してあるため、上部電極 - 下部電極間に印加される電界が下部電極 1 3 の辺または角部に集中しなくなり、長時間にわたって安定な電子放出特性が得られる。

本実施例では、図 4 からわかるように、画素トランジスタ 3 0 2 と薄膜型電子源素子 3 0 1 とは、基板 1 4 上の別の層に形成している。

このため、図 3 からわかるように、薄膜型電子源素子 3 0 1 の大きさを小さくすることなく、画素トランジスタ 3 0 2 の大きさを大きくすることが可能である。

したがって、画素トランジスタ 3 0 2 の出力インピーダンスを容易に小さくすることができる。

本実施例では、薄膜型電子源素子 3 0 1 の動作領域での微分抵抗値 (  $r_e$  ) よりも、画素トランジスタ 3 0 2 の出力インピーダンスが小さくなるように設定した。これにより、前記したように、画素トランジスタ 3 0 2 の特性バラツキが表示画像の輝度ムラに影響しにくくなる。

40

図 3 の平面図から明らかなように、画素トランジスタ部は、下部電極 1 3 の下側に設けている。これにより、下部電極 1 3 が画素トランジスタ 3 0 2 の遮光層としても働く。

#### 【 0 0 3 2 】

以下、図 7 ~ 図 9 を用いて、本実施例の表示パネルの構造を説明する。

図 7 は、本実施例の表示パネルを、蛍光表示板側から見た平面図であり、図 8 は、本実施例の表示パネルから蛍光表示板を取り除き、表示パネルの蛍光表示板側から基板 1 4 を見た平面図である。

50

図9は、本実施例の表示パネルの構成を示す要部断面図であり、同図(a)は、図7、図8中のA-B切断線に沿う要部断面図、同図(b)は、図7、図8中のC-D切断線に沿う断面図である。

但し、図7、図8においては、基板14の図示は省略している。

本実施例の蛍光表示板は、ソーダガラス等の基板110に形成されるブラックマトリクス120と、このブラックマトリクス120の溝内に形成される赤(R)・緑(G)・青(B)の蛍光体(114A~114C)と、これらの上に形成されるメタルバック膜122とで構成される。

以下、本実施例の蛍光表示板の作成方法について説明する。

まず、表示装置のコントラストを上げる目的で、基板110上に、ブラックマトリクス120を形成する(図9(a)参照)。

ブラックマトリクス120は、図7において蛍光体(114A~114C)間に配置されるが、図7では記載を省略した。

次に、赤色蛍光体114A、緑色蛍光体114B、青色蛍光体114Cを形成する。

これら蛍光体のパターン化は、通常陰極線管の蛍光面に用いられるのと同様に、フォトリソグラフィを用いて行った。

蛍光体としては、例えば、赤色に $Y_2O_2S:Eu(P22-R)$ 、緑色に $Zn_2SiO_4:Mn(P1-G1)$ 、青色に $ZnS:Ag(P22-B)$ を用いればよい。

次いで、ニトロセルロースなどの膜でフィルミングした後、基板110全体にAlを、膜厚50~300nm程度蒸着してメタルバック膜122とする。

その後、基板110を400程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、蛍光表示板が完成する。

#### 【0033】

このようにして製作した電子源板と蛍光表示板とを、スペーサ60を挟み込んでフリットガラスを用いて封着する。

基板110に形成された蛍光体(114A~114C)と、基板14との位置関係は図7に示したとおりである。

図9からわかるように、基板14を上部から平面図としてみると、全面が上部電極11に覆われている。

図8には、基板14上に形成した薄膜型電子源素子301のパターンを図7に対応させて示してある。なお、図8では、図7との位置関係を明示するために、電子放出領域18を図示してある。

電子放出領域18は、保護絶縁層15で囲まれた領域であり、実際に電子が放出される領域である。

電子放出領域18の真上に蛍光体114が位置するようにしている。

また、放出された電子ビームが多少広がることを考慮し、電子放出領域18の幅は、蛍光体114の幅より小さくしてある。

基板110-基板14との間の距離は1~3mm程度とする。

#### 【0034】

スペーサ60はパネル内部を真空にしたときに、大気圧の外部からの力によるパネルの破損を防ぐために挿入する。

したがって、基板14、基板110に厚さ3mmのガラスを用いて、幅4cm×長さ9cm程度以下の表示面積の表示装置を製作する場合には、基板110と基板14自体の機械強度で大気圧に耐え得るので、スペーサ60を挿入する必要はない。

スペーサ60の形状は、例えば、図7のような直方体形状とする。

ここでは、3行毎にスペーサ60の支柱を設けているが、機械強度が耐える範囲で、支柱の数(密度)を減らしてかまわない。

スペーサ60としては、ガラス製またはセラミクス製で、板状あるいは柱状の支柱を並べて配置する。

封着したパネルは、 $1 \times 10^{-7}$  Torr程度の真空に排気して、封止する。

表示パネル内の真空度を高真空に維持するために、封止の直前あるいは直後に、パネル内の所定の位置（図示せず）でゲッター膜の形成またはゲッター材の活性化を行う。

例えば、バリウム（Ba）を主成分とするゲッター材の場合、高周波誘導加熱によりゲッター膜を形成できる。このようにして、本実施例の表示パネルが完成する。

このように本実施例では、基板 110 - 基板 14 間の距離は 1 ~ 3 mm 程度と大きいので、メタルバック 122 に印加する加速電圧を 3 ~ 6 KV と高電圧にできる。

したがって、前記したように、蛍光体（114A ~ 114C）には陰極線管（CRT）用の蛍光体を使用できる。

#### 【0035】

図 10 は、本実施例の表示パネルに、駆動回路を接続した状態を示す結線図である。

10

行電極 310 は行電極駆動回路 41 に接続され、列電極 311 は列電極駆動回路 42 に接続される。

また、全画素で共通とされる上部電極バスライン 32 は、上部電極駆動回路 45 に接続される。

ここで、各駆動回路（41, 42）と、電子源板との接続は、例えば、テープキャリアパッケージを異方性導電膜で圧着したものや、各駆動回路（41, 42）を構成する半導体チップを、電子源板の基板 14 上に直接実装するチップオンガラス等によって行う。

なお、図示は省略しているが、メタルバック膜 122 には、加速電圧源から 3 ~ 6 KV 程度の加速電圧が常時印加される。

また、図 10 では、3 行、3 列しか記載していないが、実際の画像表示装置は、数 100 行 × 数 1000 列配列されるものであって、図 11 ではその一部分のみ記載していることはいうまでもない。

20

#### 【0036】

図 11 は、図 10 に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

ここで、n 番目の行電極 310 を  $R_n$ 、m 番目の列電極 311 を  $C_m$ 、n 番目の行電極 310 と、m 番目の列電極 311 との交点のドットを  $(n, m)$  で表すことにする。

時刻  $t_1$  において、 $R_1$  の行電極 310 に、 $V_{R_1}$  なる電圧を印加する。ここでは、 $V_{R_1} = 15V$  とした。

また、 $C_1$  および  $C_2$  の列電極 311 には、 $V_{C_2} = 0V$  なる電圧を印加し、 $C_3$  の列電極 311 には、 $V_{C_1} = 10V$  なる電圧を印加する。

30

上部電極駆動回路 45 の出力電圧は  $V_{U_1} = 10V$  とする。

すると、 $R_1$  の行電極 310 にゲート電極が接続された画素トランジスタ 302 のゲート電圧  $V_g$  は  $15V$  となるので、各画素トランジスタ 302 が導通状態になる。

したがって、ドット  $(1, 1)$ 、 $(1, 2)$  の上部電極 11 と下部電極 13 との間には  $(V_{U_1} - V_{C_2}) = 10V$  なる電圧が印加されるので、 $(V_{U_1} - V_{C_2})$  を電子放出開始電圧以上に設定しておけば、この 2 つのドットの薄膜型電子源素子からは電子が真空 10 中に放出される。

放出された電子は、メタルバック膜 112 に印加された電圧により加速された後、蛍光体  $(114A \sim 114C)$  に衝突し、蛍光体  $(114A \sim 114C)$  を発光させる。

40

一方、ドット  $(1, 3)$  の上部電極 11 と下部電極 13 との間の電圧は  $(V_{U_1} - V_{C_1}) = 0V$  なので電子は放出されない。

時刻  $t_2$  において、 $R_2$  の行電極 310 に  $V_{R_1}$  なる電圧を印加し、 $C_1$  の列電極 311 に  $V_{C_2}$  なる電圧を印加すると、同様にドット  $(2, 1)$  が点灯する。

このようにして、図 11 の電圧波形を印加すると、図 10 の斜線を施したドットのみが点灯する。

このようにして、列電極 311 に印加する信号を変えることにより所望の画像または情報を表示することができる。

また、列電極 311 への印加電圧の大きさを  $V_{C_1} \sim V_{C_2}$  の範囲で画像信号に合わせて適宜変えることにより、階調のある画像を表示することができる。

50

## 【 0 0 3 7 】

時刻  $t_4$  において、全ての行電極 3 0 1 に  $V_{R_1}$  の電圧を印加して全ての画素トランジスタを導通状態にし、全ての列電極 3 1 1 に  $V_{C_2}$  なる電圧を印加する。

この状態で、上部電極駆動回路 4 5 の出力電圧を  $V_{U_2}$  とする。ここでは、 $V_{U_2}$  は -5 V 程度とした。

すると、全てのドットに対して、 $V_{U_2} - V_{C_2} = -5 V$  が印加される。

このように逆極性の電圧（反転パルス）を印加することにより薄膜型電子源素子の寿命特性を向上できる。

また、本実施例のように、上部電極駆動回路 4 5 に反転パルス出力機能を付けることにより、列電極駆動回路 4 2 の構成が単純になる。

回路数が多い列電極駆動回路 4 2 を単純化することは低コスト化に極めて有効である。

反転パルスを印加する期間（図 10 の  $t_4 \sim t_5$ 、 $t_8 \sim t_9$ ）としては、映像信号の垂直帰線期間を用いると、映像信号との整合性が良い。

## 【 0 0 3 8 】

なお、前記説明では、画素トランジスタとして *poly-Si* を用いた薄膜トランジスタを用いた例を示したが、*a-Si* を用いた薄膜トランジスタ（TFET）を用いても同様の効果が得られるのは言うまでもない。

ただし、*a-Si* を用いた TFET を用いる場合は、基板 1 1 0 と基板 1 4 とを封止する際、低温封止プロセスを用いることにより、*a-Si* を用いた TFET の劣化を防止する必要がある。

*poly-Si* を用いた TFET を用いて、駆動回路（行電極駆動回路 4 1、列電極駆動回路 4 2 または上部電極駆動回路 4 5）を基板上に形成することもできる。この場合の基板 1 4 上の構成の一例を図 1 2 に示す。

この図 1 2 に示す構成では、基板 1 4 上に、画像表示領域 1 0 1 と行電極駆動回路ブロック 8 1 0 と列電極駆動回路ブロック 8 1 1 とが形成される。

画像表示領域 1 0 1 には、行電極 3 1 0 と列電極 3 1 1 の各交点に画素トランジスタ 3 0 2 と薄膜型電子源素子 3 0 1 を形成する。

行電極駆動回路ブロック 8 1 0 には、行電極 3 1 0 に接続する行電極駆動回路 4 1 とシフトレジスタを含む論理回路が形成される。

列電極駆動回路ブロック 8 1 1 には、列電極 3 1 1 に接続する列電極駆動回路 4 2 と直並列変換回路を含む論理回路が形成される。

このようにすると、行電極駆動回路ブロック 8 1 0 および列電極駆動回路ブロック 8 1 1 内で直列 - 並列変換が行われるので、基板 1 4 の外部から送る信号線の本数が大幅に削減でき、実装コストを低減できる。

## 【 0 0 3 9 】

## [ 実施例 2 ]

本発明の実施例 2 の画像表示装置において、表示パネルは前記実施例 1 と同じものを用いる。

本実施例の画像表示装置は、列電極駆動回路 4 2 が定電流回路を有する点で、前記実施例 1 と相違する。

図 1 3 は、本実施例の列電極駆動回路 4 2 の一例の概略内部構成を示すブロック図である。

図 1 3 に示すように、本実施例の列電極駆動回路 4 2 は、定電圧回路 5 1、定電流回路 5 2、パルス幅変調（PWM）回路 5 3 および切替回路 5 4 を有する。

図 1 4 は、本発明の実施例 2 の画像表示装置において、各電極駆動回路（4 1、4 2、4 5）から出力される駆動電圧の波形の一例を示すタイミングチャートである。

なお、本実施例においても、図示は省略しているが、メタルバック膜 1 2 2 には加速電圧源から 3 ~ 6 K V 程度の加速電圧が常時印加される。

ここで、前記実施例 1 と同様、 $n$  番目の行電極 3 1 0 を  $R_n$ 、 $m$  番目の列電極 3 1 1 を  $C_m$ 、 $n$  番目の行電極 3 1 0 と、 $m$  番目の列電極 3 1 1 との交点のドットを  $(n, m)$  で

10

20

30

40

50

表すことにする。

なお、図 14 において、駆動波形中の点線部は定電流出力を示す。

#### 【0040】

時刻  $t_1$  において、R1 の行電極 310 への印加電圧を  $V_{R1}$  にして、R1 の行電極 310 にゲート電極が接続される画素トランジスタ 302 を導通状態にしてから、C1 および C2 の列電極 311 に、切替回路 54 により定電圧回路 51 から定電圧  $V_{C3}$  を短期間印加した後、切替回路 54 を定電流回路 52 に切り替え、定電流回路 52 により定電流出力とする。

所定の定電流パルス期間が終了後、抵抗を介して接地電位（アース電位）に接続する。なお、本実施例では、接地電位に接続したが、電子源の電子放出動作が停止する状態であれば他の電位であってもかまわない。 10

定電圧  $V_{C3}$  は、列電極 311 に付帯する浮遊容量を充電するために印加するもので、定電圧印加期間は、浮遊容量を充電できる時間に設定すればよい。本実施例では  $4 \mu s$  とした。

R1 の行電極 310 にゲート電極が接続される導通状態の画素トランジスタ 302 により、列電極駆動回路 42 からの駆動電圧が印加される薄膜型電子源素子 301 は  $t_1 \sim t_2$  の期間電子を放出するが、この期間は本実施例では  $64 \mu s$  に設定している。

したがって、電子放出量は定電流期間の放出電流でほとんど決まる。

蛍光面の発光輝度は電子放出量に比例するので、発光輝度は列電極駆動回路 42 の定電流出力で設定できる。 20

したがって、輝度 - 電圧特性、即ち、放出電流 - 電圧特性にバラツキがある場合に本方法は特に有効である。

#### 【0041】

また、定電圧印加期間の印加電圧  $V_{C3}$  は定電流を印加した時の電圧値とほぼ等しいか、わずかに高い電圧値に設定する。なお、浮遊容量が小さく、定電流出力のみでも充分高速に追従する場合には定電圧印加期間は不要である。

同様にして、R2 の行電極 310 以降の画素についても、列電極駆動回路の出力電流に応じて電子放出、即ち、蛍光体の発光が制御される。

結果的に、図 10 の斜線部の画素が発光する。

このようにして任意の画像を表示できる。 30

さらに、パルス幅変調（PWM）回路 53 により、定電流出力となる期間を制御することにより、階調のある画像を表示することができる。

あるいは、パルス幅変調の代わりに、定電流回路 52 の定電流出力値を階調に応じて変えて階調のある画像を表示するようにしてもよく、さらに、定電流出力値の変調とパルス幅変調を組み合わせる階調のある画像を表示するようにしてもよい。

期間（ $t_4 \sim t_5$ 、 $t_8 \sim t_9$ ）の反転パルス印加期間は、全ての列電極 311 に定電圧出力（電圧値は  $V_{C2}$ ）を印加する。

このように、本実施例では、各画素を薄膜型電子源素子 301 と画素トランジスタ 302 の組み合わせで構成し、かつ列電極駆動回路 42 に定電流回路 52 を用いるようにしたので、画素トランジスタ 302 の特性バラツキが表示画像に与える影響を低減し、表示品質を向上させることができるばかりでなく、画素トランジスタ 302 の特性バラツキの許容範囲を大幅に広げることができ、製造歩留まりを向上させることができる。 40

#### 【0042】

##### [実施例 3]

本発明の実施例 3 として、電界放射型陰極を用いた画像表示装置を、図 15、図 16、図 17 を用いて説明する。

図 15 は、本実施例における、基板上に作成される画素トランジスタと電界放射型電子源の平面図である。

図 16 は、本実施例の電界放射型陰極の要部断面構造を示す断面図であり、図 15 の A - B 切断線の要部断面図である。 50

以下、図15、図16を用いて、本実施例の電界放射型陰極の構造について説明する。

ガラス基板14上に列電極311(画素トランジスタ302のソースを兼ねる)とクロム(Cr)等で形成した下地電極701を形成する。

オーミック・コンタクトを得るための接触層702を $n^+ - a - Si$ で形成した後、 $a - Si : H$ 層703を形成する。

$a - Si : H$ 層703上に、クロム(Cr)層704を介してエミッタ・チップ707を $a - Si$ で形成する。

さらに、 $SiO_2$ 膜により絶縁層705を形成し、最後に、画素トランジスタ・ゲート601(行電極310と一体形成)と電界放射ゲート706とを形成する。

図16の平面図では、電界放射ゲート706のパターンは点線で記してある。

電界放射ゲート706は電子源マトリクス内の全画素に対して共通とする。

したがって、この電子源マトリクスの構成は図1において薄膜型電子源素子301の部分に代わりに電界放射型電子源を配置したものに等しい。

なお、この実施例の構造は、例えば、International Display Workshop'98 Proceedings, pp.667-670(1998)に記された製法で製造できる。

この基板を、図7~図9と同様に、電子源素子と蛍光体とを位置を合わせてパネル封止し、表示パネルとする。

このパネルは、図1に示したように駆動回路に結線する。

ただし、図1において、301を電界放射型電子源と読み換え、32、45をそれぞれ電界放射ゲート706、電界放射ゲート駆動回路45と読み替える。

#### 【0043】

図17は、本実施例3の画像表示装置において、各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

ここで、前記実施例1と同様、 $n$ 番目の行電極310を $R_n$ 、 $m$ 番目の列電極311を $C_m$ で表すことにする。

電界放射ゲート706には常時 $V_{U1} = 100V$ 程度の電圧が印加されている。

したがって、電流を制限している画素トランジスタ302が導通状態になると、電界放射によりエミッタ・チップ707から真空中に電子が放出され、蛍光体を励起・発光させる。

時刻 $t_1$ において、 $R_1$ の行電極310に、 $V_{R1} = 60V$ 程度の電圧が印加されると、 $R_1$ の行電極310にゲート電極が接続された画素トランジスタ302が導通状態になる。

ここで、列電極駆動回路42から定電圧 $V_{C2}$ を $4\mu s$ 程度出力した後、定電流回路に切り替える。

期間 $t_1 \sim t_2$ は $64\mu s$ 程度なので、期間 $t_1 \sim t_2$ に放出される電荷量は定電流設定値でほぼ支配される。

電界放射型電子源からの放出電流にはノイズが発生したり、画素により放出電流量がばらついたりするが、放出電流量は列電極駆動回路内の定電流回路により制限されるので放出電流は安定になる。

また、本実施例においては、画素トランジスタ302は有限な抵抗値を持つスイッチとして働いているが、定電流回路で駆動しているので、画素トランジスタ302の抵抗値のバラツキは放出電流量に影響しない。

#### 【0044】

したがって、画素トランジスタの特性バラツキが表示画像に与える影響を低減し、表示品質を向上させることができるばかりでなく、画素トランジスタの特性バラツキの許容範囲を大幅に広げることができ、製造歩留まりを向上させることができる。

なお、定電流出力に先立って短期間定電圧出力をするのは、列電極311に伴う浮遊容量を高速に充電するためである。したがって、定電流出力のみで高速に応答する場合はこの定電圧出力は不要である。

同様にして、 $R_2$ の行電極310以降の画素についても、列電極駆動回路の出力電流に

10

20

30

40

50

応じて電子放出、即ち、蛍光体の発光が制御される。

結果的に、図10の斜線部の画素が発光する。

このようにして任意の画像を表示できる。

本実施例は、電界放射型電子源を用いた場合を記したが、本実施例において、表面伝導型電子源を用いても同じ効果、即ち、特性バラツキがある画素トランジスタを用いても均一な画像が得られることは明らかである。

表面伝導型電子源の作成方法は、例えば、ジャーナル・オブ・ソサイアティ・フォー・インフォメーション・ディスプレイ誌 (Journal of the Society for Information Display) 第5巻第4号 (1997年発行) 第345頁～第348頁に記載されている。

【図面の簡単な説明】

10

【0045】

【図1】本発明の画像表示装置の薄膜マトリクスの一列の概略成を示す図である。

【図2】MOSトランジスタの特性を説明するための図である。

【図3】本発明の実施例1の画素トランジスタの配置を表す平面図である。

【図4】本発明の実施例1の電子源板の要部断面構造を示す断面図である。

【図5】本発明の実施例1の画素トランジスタの製造方法を説明するための図である。

【図6】本発明の実施例1の膜型電子源マトリクスの製造方法を説明するための図である。

【図7】本発明の実施例1の表示パネルを、蛍光表示板側から見た平面図である。

【図8】本発明の実施例1の表示パネルから蛍光表示板を取り除き、表示パネルの蛍光表示板側から電子源板を見た平面図である。

20

【図9】本発明の実施例1の表示パネルの構成を示す要部断面図である。

【図10】本発明の実施例1の表示パネルに、駆動回路を接続した状態を示す結線図である。

【図11】図10に示す各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

【図12】本発明の実施例1の表示パネルにおいて、各駆動回路を電子源板上に形成した例を示すブロック図である。

【図13】本発明の実施例2の列電極駆動回路の一例の概略内部構成を示すブロック図である。

30

【図14】本発明の実施例2の画像表示装置において、各電極駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

【図15】本発明の実施例3の画像表示装置における、基板上に作成される画素トランジスタと電界放射型電子源の平面図である。

【図16】本発明の実施例3の電界放射型陰極の要部断面構造を示す断面図である。

【図17】本発明の実施例3の画像表示装置において、各駆動回路から出力される駆動電圧の波形の一例を示すタイミングチャートである。

【図18】薄膜型電子源の代表例であるMIM型電子源の動作原理を説明するための図である。

【図19】従来薄膜電子源マトリクスの概略構成を示す図である。

40

【符号の説明】

【0046】

10 真空

11 上部電極

12 トンネル絶縁層

13 下部電極

14, 110 基板

15 保護層

32 上部電極バスライン

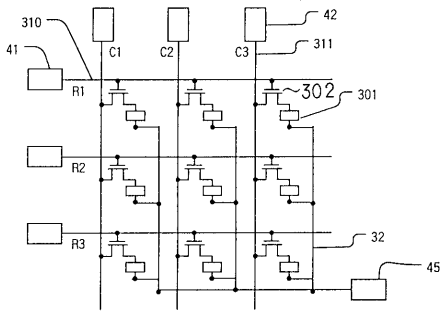
41 行電極駆動回路

50

4 2	列電極駆動回路	
4 5	上部電極駆動回路	
5 1	低電圧回路	
5 2	定電圧回路	
5 3	パルス幅変調回路	
6 0	スペーサ	
5 4	切替回路	
1 1 4 A	赤色蛍光体	
1 1 4 B	緑色蛍光体	
1 1 4 C	青色蛍光体	10
1 2 0	ブラックマトリクス	
1 2 2	メタルバック膜	
3 0 1	薄膜型電子源素子	
3 0 2	画素トランジスタ	
3 1 0	行電極	
3 1 1	列電極	
5 0 1	レジスト	
6 0 0	多結晶シリコン ( S i ) 膜	
6 0 1	ゲート電極	
6 0 2	ソース電極	20
6 0 3	ドレイン電極	
6 0 4	ゲート絶縁膜	
6 0 6	層間絶縁膜	
6 0 7	接触電極	
6 0 8	パッシベーション膜	
7 0 1	下地電極	
7 0 2	接触層	
7 0 3	a - S i : H 膜	
7 0 4	クロム ( C r ) 層	
7 0 5	絶縁膜	30
7 0 6	電界放射ゲート	
7 0 7	エミッタ・チップ	
8 1 0	行電極駆動回路ブロック	
8 1 1	列電極駆動回路ブロック	

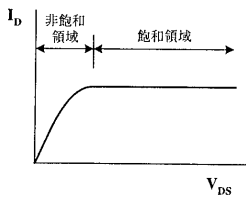
【 图 1 】

图 1



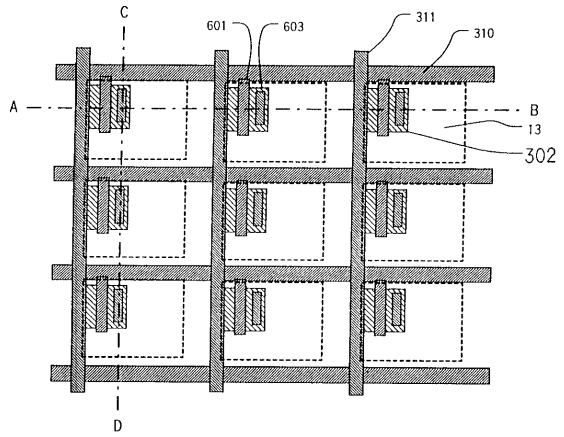
【 图 2 】

图 2



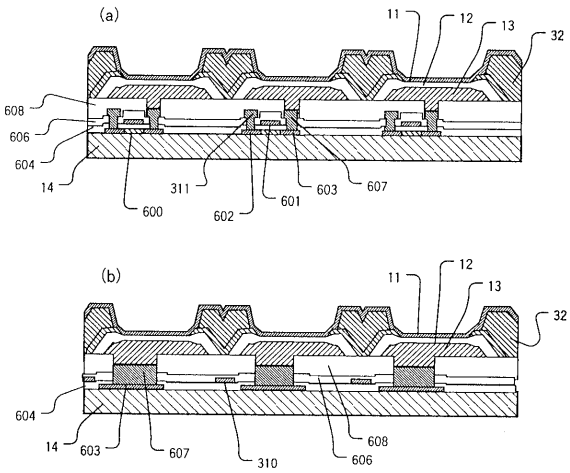
【 图 3 】

图 3



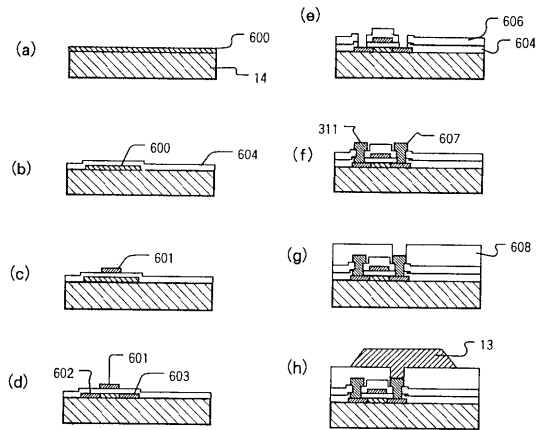
【 图 4 】

图 4

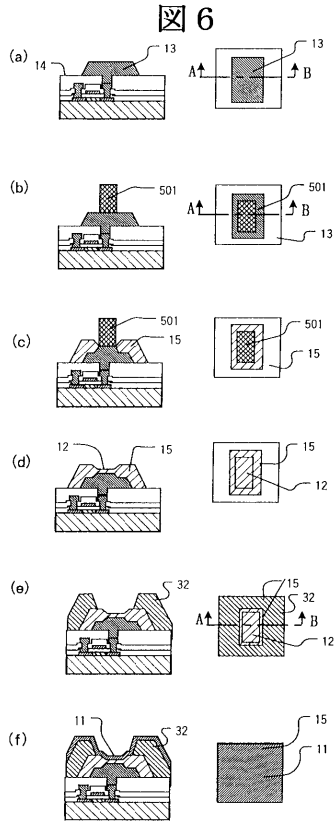


【 图 5 】

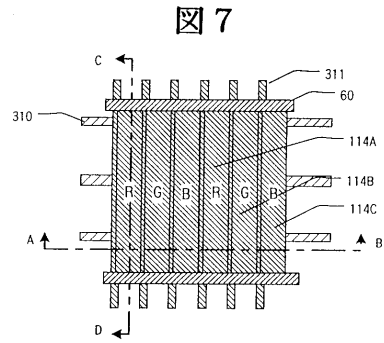
图 5



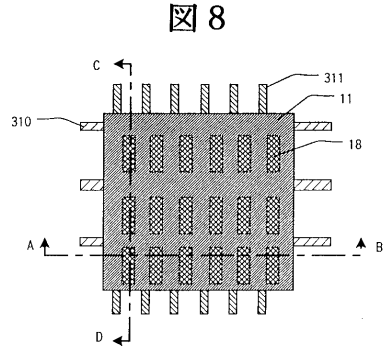
【 図 6 】



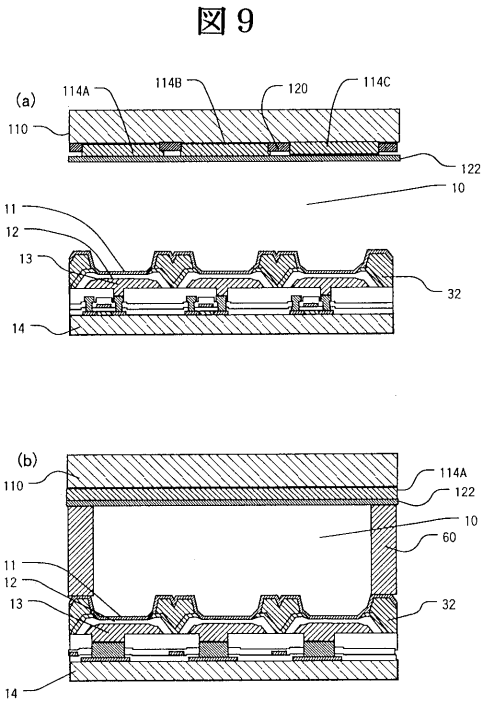
【 図 7 】



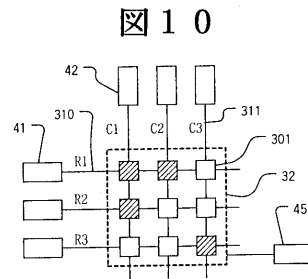
【 図 8 】



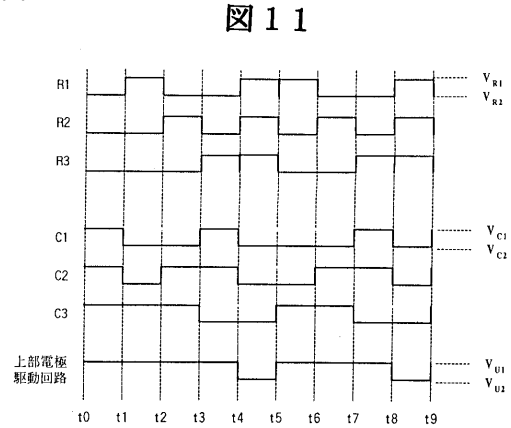
【 図 9 】



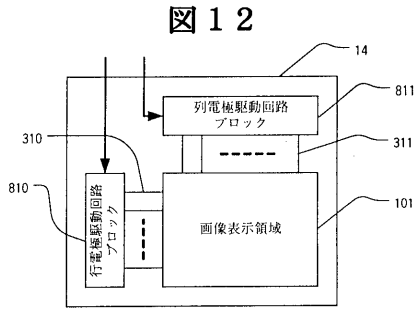
【 図 10 】



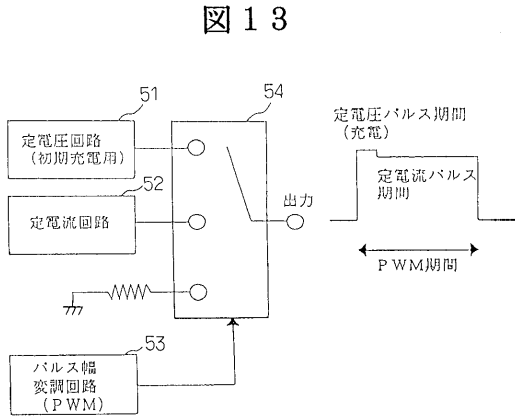
【 図 11 】



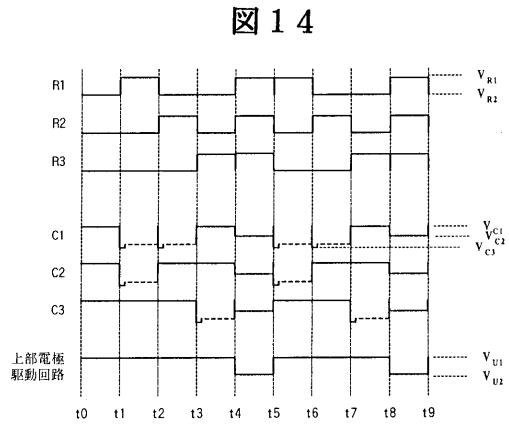
【図12】



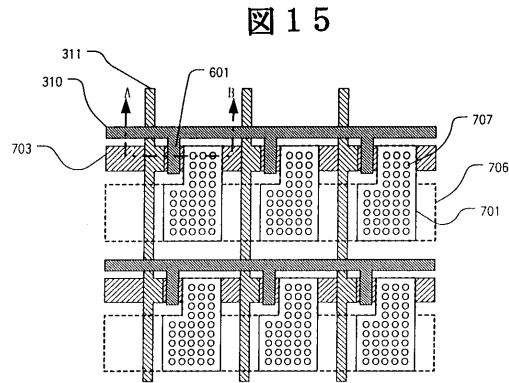
【図13】



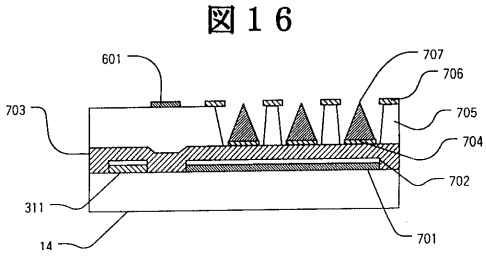
【図14】



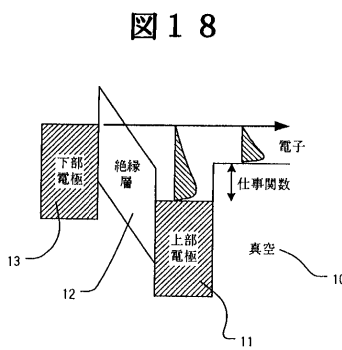
【図15】



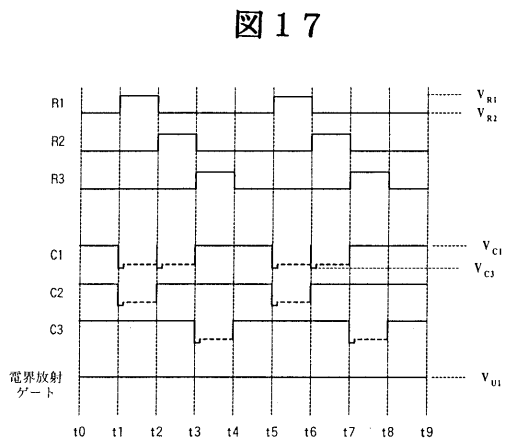
【図16】



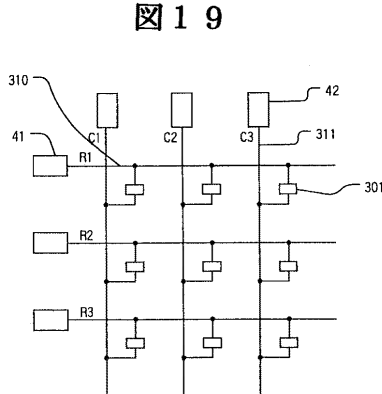
【図18】



【図17】



【図19】





专利名称(译)	画像表示装置		
公开(公告)号	<a href="#">JP2006313367A</a>	公开(公告)日	2006-11-16
申请号	JP2006164767	申请日	2006-06-14
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	鈴木睦三 金子好之 楠敏明 佐川雅一		
发明人	鈴木 睦三 金子 好之 楠 敏明 佐川 雅一		
IPC分类号	G09G3/22 G09G3/20 H01J31/12 H01J29/04		
FI分类号	G09G3/22.G G09G3/20.624.B G09G3/20.611.A G09G3/20.642.A G09G3/20.641.D H01J31/12.C H01J29/04		
F-TERM分类号	5C031/DD17 5C036/EE04 5C036/EE14 5C036/EE19 5C036/EF01 5C036/EF06 5C036/EG48 5C036/EH26 5C080/AA18 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种降低功耗的图像显示装置。ŽSOLUTION：显示装置配备有：显示元件，其配备有第一基板，第一基板具有放置在基板上的多个晶体管元件，设置在每个晶体管元件中的电致发光元件，沿第一方向布置的第一信号线，以及第二信号线沿与第一方向垂直的第二方向放置；第一驱动装置，用于向每个第一信号线提供驱动电压；第二驱动装置，用于向每个第二信号线提供驱动电压。每个晶体管元件的控制电极电连接到第一信号线之一，每个晶体管元件的第一电极电连接到第二信号线之一，并且每个晶体管元件的第二电极电连接到第一信号线每个晶体管元件中提供的每个电致发光元件的电极。第二驱动装置具有固定电流电路，其向每个第二信号线提供固定电流。Ž

