

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-331891  
(P2005-331891A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/30</b>	G09G 3/30 J	3K007
<b>G09G 3/20</b>	G09G 3/30 H	5C080
<b>H05B 33/14</b>	G09G 3/20 622E	
	G09G 3/20 622K	
	G09G 3/20 641E	
審査請求 未請求 請求項の数 13 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2004-152622 (P2004-152622)  
(22) 出願日 平成16年5月21日 (2004.5.21)

(71) 出願人 590000846  
 イーストマン コダック カンパニー  
 アメリカ合衆国, ニューヨーク14650  
 , ロチェスター, ステイト ストリート3  
 43  
 (74) 代理人 100075258  
 弁理士 吉田 研二  
 (74) 代理人 100096976  
 弁理士 石田 純  
 (72) 発明者 川辺 和佳  
 東京都中央区新川2-27-1 コダック  
 株式会社内  
 Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA00  
 GA04

最終頁に続く

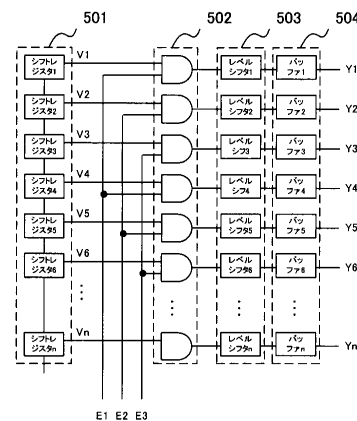
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 デジタル駆動を行う際に、回路規模が増大するのを防止する。

【解決手段】 ゲートドライバのシフトレジスタ501の出力をイネーブルするイネーブル回路502は3ライン毎に同じイネーブル制御線E1~E3のいずれか一つに接続され、同時刻におけるシフトレジスタの複数の同じ出力を時分割で異なる時刻にイネーブルする。また、3つに時分割された第1、第2、第3の期間に、データ線には、第1のデータ、第2のデータ、第3のデータを供給する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

電気光学素子と、前記電気光学素子を制御する複数の薄膜トランジスタを1つの画素回路として、前記画素回路をマトリクス状に配置した表示アレイと、前記表示アレイの画素回路列に対応して配置され、各画素回路にデータ信号を供給するデータ線と、前記データ線を駆動するデータドライバと、各画素回路において前記データ線からのデータ信号の取り込みを制御する選択信号を供給する選択線と、前記選択線を駆動する選択ドライバと、を有する表示装置において、

前記選択ドライバは、行選択信号を順次シフトするシフトレジスタと、前記シフトレジスタ出力をイネーブルするイネーブル回路と、前記イネーブル回路を制御する $n$  ( $2$ 以上の整数)本のイネーブル制御線と、を有しており、

前記イネーブル回路は、 $n$ 行毎に前記イネーブル制御線のいずれか一つの同じ線に接続されていることを特徴とする表示装置。

## 【請求項 2】

請求項 1 に記載の表示装置において、

前記表示アレイと、前記データドライバと、前記選択ドライバが一つのガラス基板上に形成されることを特徴とする表示装置。

## 【請求項 3】

請求項 1 に記載の表示装置において、

前記シフトレジスタの行選択信号が保持されている期間を $n$ 分割し、 $n$ 個のそれぞれの期間において、前記 $n$ 本のイネーブル制御線のうち未だイネーブルされていないいずれか一つを選択して、対応する選択線をアクティブにすることを特徴とする表示装置。

## 【請求項 4】

請求項 1 に記載の表示装置において、

前記シフトレジスタに入力する $n$ 本以下の選択線をアクティブにする行選択信号は、前記行選択信号が存在するシフトレジスタのアドレスを $n$ で割った余りがすべて異なるように入力することを特徴とする表示装置。

## 【請求項 5】

請求項 1 に記載の表示装置において、

前記データドライバは、

各画素のデータがデジタルデータとして送られてくるデータバスと、

データバス上のデータ転送を制御するパルスを順次転送するシフトレジスタと、

前記データバス上のデータを前記シフトレジスタのパルスによって、1ライン分取り込み、1ビットデータを1ライン分蓄積可能な容量を持つ第1のラッチと、

前記第1のラッチに取り込まれた1ライン分のデータを蓄積する、1ビットデータを1ライン蓄積可能な容量を持つ第2のラッチと、

を有し、

前記 $n$ 分割されたそれぞれの期間において、第 $n$ の期間に、前記第 $n$ の期間に選択される選択線に対応する第 $n$ のデータを出力することを特徴とする表示装置。

## 【請求項 6】

請求項 1 に記載の表示装置において、

前記電気光学素子を制御する薄膜トランジスタは、前記選択ドライバとデータドライバにより、1フレーム期間に複数回アクセスされ、一度アクセスされてから、再びアクセスされるまでの期間の比が、 $n$ を自然数として、 $1 : 2 : 2^2 : 2^3 : \dots : 2^n$ となるように前記選択ドライバとデータドライバを制御することを特徴とする表示装置。

## 【請求項 7】

請求項 1 に記載の表示装置において、

前記画素回路は、水平走査方向において隣接する一对の画素回路が同一のデータ線に接続され、前記同一のデータ線に接続された隣接画素回路は互いに異なる選択線に接続され

10

20

30

40

50

前記選択ドライバの前記イネーブル回路は、前記シフトレジスタの出力をイネーブルする 1 水平ラインにつき 2 本一組のペアイネーブル制御線を有し、前記同一のデータ線に接続された隣接画素回路を別々にイネーブルすることを特徴とする表示装置。

【請求項 8】

請求項 7 に記載の表示装置において、

前記画素回路は R、G、B、X の 4 つで任意の色を生成し、X は R、G、B のいずれかであるか、もしくは白色であることを特徴とする表示装置。

【請求項 9】

電気光学素子と、前記電気光学素子を制御する複数の薄膜トランジスタを 1 つの画素回路として、前記画素回路をマトリクス状に配置した表示アレイと、前記表示アレイの画素回路列に対応して配置され、各画素回路にデータ信号を供給するデータ線と、前記データ線を駆動するデータドライバと、各画素回路において前記データ線からのデータ信号の取り込みを制御する選択信号を供給する選択線と、前記選択線を駆動する選択ドライバと、を有する表示装置において、

10

前記選択ドライバは、

行選択信号を順次シフトするシフトレジスタと、前記シフトレジスタ出力をイネーブルするイネーブル回路と、

前記イネーブル回路を制御する 2 本のイネーブル制御線と、  
を有しており、

前記イネーブル回路は、奇数水平ラインと偶数水平ラインの別により、前記 2 本のイネーブル制御線のいずれか一つの同じ線に接続することを特徴とする表示装置。

20

【請求項 10】

請求項 9 に記載の表示装置において、

前記シフトレジスタの行選択信号が保持されている期間を 2 分割し、第 1 の期間で、前記 2 本のイネーブル制御線のうち、いずれか一つを選択し、対応する選択線をアクティブとし、第 2 の期間で、残りの一つを選択して、対応する選択線をアクティブにすることを特徴とする表示装置。

【請求項 11】

請求項 9 に記載の表示装置において、

前記シフトレジスタに入力する 2 本以下の選択線をアクティブにする行選択信号は、前記行選択信号が存在するシフトレジスタのアドレスが互いに奇数、偶数で異なるように入力することを特徴とする表示装置。

30

【請求項 12】

請求項 10 に記載の表示装置において、

前記データドライバは、

各画素のデータがデジタルデータとして送られてくるデータバスと、

データバス上のデータ転送を制御するパルスを順次転送するシフトレジスタと、

前記データバス上のデータを前記シフトレジスタのパルスによって、1 ライン分取り込み、1 ビットデータを 1 ライン分蓄積可能な容量を持つ第 1 のラッチと、

前記第 1 のラッチに取り込まれた 1 ライン分のデータを蓄積する、1 ビットデータを 1 ライン蓄積可能な容量を持つ第 2 のラッチと、

40

を有し、

前記 2 分割された第 1 の期間において、前記第 1 の期間に選択される選択線に対して、第 1 のデータを出力し、第 2 の期間において、前記第 2 の期間に選択される選択線に対して、消灯データを出力することを特徴とする表示装置。

【請求項 13】

請求項 9 に記載の表示装置において、

前記画素回路は、水平走査方向において隣接する一对の画素回路が同一のデータ線に接続され、前記同一のデータ線に接続された隣接画素回路は互いに異なる選択線に接続され

50

前記選択ドライバの前記イネーブル回路は、前記シフトレジスタの出力をイネーブルする1水平ラインにつき2本一組のペアイネーブル制御線を有し、前記同一のデータ線に接続された隣接画素回路を別々にイネーブルすることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子と、この電気光学素子を制御する複数の薄膜トランジスタを1つの画素回路として、これをマトリクス状に配置したアクティブマトリクス型表示装置に関する。

【背景技術】

【0002】

近年、情報化が進展し、携帯情報端末にも、かつてのパーソナルコンピュータに匹敵する処理能力が要求されるようになってきた。これに伴い、映像表示装置にも高精細化、高品質化が要求され、薄型、軽量、高視野角、低消費電力なものが望まれている。

【0003】

この要求に応えるべく、ガラス基板上にマトリクス状に薄膜能動素子（薄膜トランジスタ、Thin Film Transistor、または単にTFT）を形成し、その上に電気光学素子を形成した表示装置（ディスプレイ）の開発がさかんに行われている。

【0004】

能動素子を形成する基板は、アモルファスシリコンやポリシリコンなどの半導体膜を成膜後、パターニングし、メタルで配線接続した形態が主流である。能動素子の電気的特性の違いから、前者は駆動用のIC（Integrated Circuit）を必要とし、後者は駆動用の回路を基板上に形成できるという特徴がある。

【0005】

現在、広く用いられている液晶ディスプレイ（Liquid Crystal Display、または単にLCD）では、大型なものに関しては、前者のアモルファスシリコンタイプが普及しているが、中・小型では後者のポリシリコンタイプが主流になりつつある。

【0006】

自己発光型で、薄型、軽量、高視野角といった特長を有するエレクトロルミネッセンス型（有機EL）ディスプレイは、ポリシリコンタイプのみ量産されている。

【0007】

一般に、有機EL素子は、TFTと組み合わせることによって、その電圧電流制御作用を利用し、電流が制御される。ここで言う電流電圧制御作用とは、TFTのゲート端子に電圧を印加して、ソース・ドレイン間の電流を制御する作用のことを言う。そうすることで、発光強度を調整することができ、所望の階調を表示することが可能となる。

【0008】

しかし、このような構成を採用しているため、有機EL素子の発光強度はTFTの特性に非常に敏感に影響を受ける。特に、ポリシリコンTFT、中でも低温ポリシリコンと呼ばれる低温プロセスで形成されるポリシリコンTFTは、隣接画素間においても比較的大きな電気的特性の違いが生じることが確認されており、有機ELディスプレイの表示品質、特に画面内の表示均一性を劣化させる大きな要因の一つとなっている。

【0009】

それを改善する従来技術が特許文献1に開示されている。この特許文献1では、有機EL素子を駆動するポリシリコンTFTを点灯、消灯の二つの状態でのみ動作させる（デジタル駆動する）ことでその特性のばらつきを抑え、その点灯期間を制御することで多階調化している。すなわち、有機ELの点灯期間を制御するために、複数のスキャンを可能とする複数のドライバ回路を付加している。

【0010】

【特許文献1】特開2002-29709号公報

【発明の開示】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0011】

このように、従来技術は、デジタル駆動するために、例えばポリシリコンTFTで構成する複数のドライバ回路を追加しているため、ポリシリコンTFTの回路数が増え、それに伴って回路の故障率が増加する。特に、高精細ディスプレイパネルでは画素数と駆動回路数が非常に多くなるため、歩留まりの低下を引き起こし、コストが上昇する。

## 【0012】

本発明の目的は、デジタル駆動を、回路数を少なく抑え、かつ表示均一性の高い、高品質な有機ELディスプレイを実現することにある。

## 【課題を解決するための手段】

## 【0013】

本発明は、電気光学素子と、前記電気光学素子を制御する複数の薄膜トランジスタを1つの画素回路として、前記画素回路をマトリクス状に配置した表示アレイと、前記表示アレイの画素回路列に対応して配置され、各画素回路にデータ信号を供給するデータ線と、前記データ線を駆動するデータドライバと、各画素回路において前記データ線からのデータ信号の取り込みを制御する選択信号を供給する選択線と、前記選択線を駆動する選択ドライバと、を有する表示装置において、前記選択ドライバは、行選択信号を順次シフトするシフトレジスタと、前記シフトレジスタ出力をイネーブルするイネーブル回路と、前記イネーブル回路を制御する $n$  ( $2$ 以上の整数)本のイネーブル制御線と、を有しており、前記イネーブル回路は、 $n$ 行毎に前記イネーブル制御線のいずれか一つの同じ線に接続されていることを特徴とする。

## 【0014】

また、前記表示アレイと、前記データドライバと、前記選択ドライバが一つのガラス基板上に形成されることが好適である。

## 【0015】

また、前記シフトレジスタの行選択信号が保持されている期間を $n$ 分割し、 $n$ 個のそれぞれの期間において、前記 $n$ 本のイネーブル制御線のうち未だイネーブルされていないいずれか一つを選択して、対応する選択線をアクティブにすることが好適である。

## 【0016】

また、前記シフトレジスタに入力する $n$ 本以下の選択線をアクティブにする行選択信号は、前記行選択信号が存在するシフトレジスタのアドレスを $n$ で割った余りがすべて異なるように入力することが好適である。

## 【0017】

また、前記データドライバは、各画素のデータがデジタルデータとして送られてくるデータバスと、データバス上のデータ転送を制御するパルスを順次転送するシフトレジスタと、前記データバス上のデータを前記シフトレジスタのパルスによって、1ライン分取り込み、1ビットデータを1ライン分蓄積可能な容量を持つ第1のラッチと、前記第1のラッチに取り込まれた1ライン分のデータを蓄積する、1ビットデータを1ライン蓄積可能な容量を持つ第2のラッチと、を有し、前記 $n$ 分割されたそれぞれの期間において、第 $n$ の期間に、前記第 $n$ の期間に選択される選択線に対応する第 $n$ のデータを出力することが好適である。

## 【0018】

また、前記電気光学素子を制御する薄膜トランジスタは、前記選択ドライバとデータドライバにより、1フレーム期間に複数回アクセスされ、一度アクセスされてから、再びアクセスされるまでの期間の比が、 $n$ を自然数として、 $1 : 2 : 2^2 : 2^3 : \dots : 2^n$ となるように前記選択ドライバとデータドライバを制御することが好適である。

## 【0019】

また、前記画素回路は、水平走査方向において隣接する一对の画素回路が同一のデータ線に接続され、前記同一のデータ線に接続された隣接画素回路は互いに異なる選択線に接続され、前記選択ドライバの前記イネーブル回路は、前記シフトレジスタの出力をイネー

10

20

30

40

50

ブルする 1 水平ラインにつき 2 本一組のペアイネーブル制御線を有し、前記同一のデータ線に接続された隣接画素回路を別々にイネーブルすることが好適である。

【0020】

また、前記画素回路は R、G、B、X の 4 つで任意の色を生成し、X は R、G、B のいずれかであるか、もしくは白色であることが好適である。

【0021】

また、本発明は、電気光学素子と、前記電気光学素子を制御する複数の薄膜トランジスタを 1 つの画素回路として、前記画素回路をマトリクス状に配置した表示アレイと、前記表示アレイの画素回路列に対応して配置され、各画素回路にデータ信号を供給するデータ線と、前記データ線を駆動するデータドライバと、各画素回路において前記データ線からのデータ信号の取り込みを制御する選択信号を供給する選択線と、前記選択線を駆動する選択ドライバと、を有する表示装置において、前記選択ドライバは、行選択信号を順次シフトするシフトレジスタと、前記シフトレジスタ出力をイネーブルするイネーブル回路と、前記イネーブル回路を制御する 2 本のイネーブル制御線と、を有しており、前記イネーブル回路は、奇数水平ラインと偶数水平ラインの別により、前記 2 本のイネーブル制御線のいずれか一つの同じ線に接続することが好適である。

10

【0022】

また、前記シフトレジスタの行選択信号が保持されている期間を 2 分割し、第 1 の期間で、前記 2 本のイネーブル制御線のうち、いずれか一つを選択し、対応する選択線をアクティブとし、第 2 の期間で、残りの一つを選択して、対応する選択線をアクティブにすることが好適である。

20

【0023】

また、前記シフトレジスタに入力する 2 本以下の選択線をアクティブにする行選択信号は、前記行選択信号が存在するシフトレジスタのアドレスが互いに奇数、偶数で異なるように入力することが好適である。

【0024】

また、前記データドライバは、各画素のデータがデジタルデータとして送られてくるデータバスと、データバス上のデータ転送を制御するパルスを順次転送するシフトレジスタと、前記データバス上のデータを前記シフトレジスタのパルスによって、1 ライン分取り込み、1 ビットデータを 1 ライン分蓄積可能な容量を持つ第 1 のラッチと、前記第 1 のラッチに取り込まれた 1 ライン分のデータを蓄積する、1 ビットデータを 1 ライン蓄積可能な容量を持つ第 2 のラッチと、を有し、前記 2 分割された第 1 の期間において、前記第 1 の期間に選択される選択線に対して、第 1 のデータを出力し、第 2 の期間において、前記第 2 の期間に選択される選択線に対して、消灯データを出力することが好適である。

30

【0025】

また、前記画素回路は、水平走査方向において隣接する一对の画素回路が同一のデータ線に接続され、前記同一のデータ線に接続された隣接画素回路は互いに異なる選択線に接続され、前記選択ドライバの前記イネーブル回路は、前記シフトレジスタの出力をイネーブルする 1 水平ラインにつき 2 本一組のペアイネーブル制御線を有し、前記同一のデータ線に接続された隣接画素回路を別々にイネーブルすることが好適である。

40

【発明の効果】

【0026】

本発明によれば、回路規模を増大させることなく、デジタル駆動を行うことを可能とし、表示均一性のよい有機 EL ディスプレイを実現することができる。

【発明を実施するための最良の形態】

【0027】

以下、図面を用いて本発明の実施の形態を詳細に説明する。

【0028】

「実施形態 1」

まず、本発明における第 1 実施形態について、その全体構成について図 1 を用いて説明

50

する。

【0029】

図1は本発明の有機EL表示装置の全体構成図を示す。101は、各画素がマトリクス状に配置されているアクティブマトリクス型表示アレイ、102は表示アレイ101のデータ線107（水平走査方向に画素数に応じて配置されているが、ここでは1ラインのみ図示）を駆動するデータドライバ、103は表示アレイの選択線（以下ゲート線）108（垂直走査方向に画素数に応じて配置されているが、ここでは1ラインのみ図示）を駆動する選択ドライバ（以下ゲートドライバ）で、ポリシリコンTFTで構成されている場合、101～103の回路は、すべてガラス基板上に形成され、表示デバイス104を構成する。

10

【0030】

105は、表示デバイス104内のデータドライバ102及びゲートドライバ103に制御信号やデータを供給する制御回路で、データ信号バス113及びゲート信号バス114を介して制御信号やデータを表示デバイス104に供給する。なお、制御回路105は、必要に応じてレベルシフタ109を介して所定のレベル変換を行い、データ信号バス113、ゲート信号バス114に信号を供給する。

【0031】

106は、デジタル駆動を実現するために用いるフレームメモリで、メモリバス112を介して制御回路105とデータをやりとりする。フレームメモリ106には、基本的に1フレーム分のデータが記憶される。111は外部からの映像データ及び同期信号を伝送する入力信号バスである。

20

【0032】

制御回路105とフレームメモリ106はそれぞれ単体のICで構成してもよいが、メモリバス112のバス幅がある程度必要となるため、制御回路105のピン数が増え、実装面積が増大し、またコスト、消費電力が上昇する。そこで、SoC(System On Chip)として制御回路105内にフレームメモリ106を内蔵し、一つのICとして用いてもよい。あるいはSiP(System In Package)として、制御回路105とフレームメモリ106（さらに109）を一つのパッケージ内に封止し、メモリバス112をパッケージ内に収めて、実装面積を縮小し、外部ピンの増加と消費電力を低減してもよい。

【0033】

現在、液晶ディスプレイ用のICにはRAM内蔵ドライバと呼ばれるRAM（フレームメモリ）をデータドライバ内に組み込まれたICが提供されている。これに倣い、フレームメモリ106をデータドライバ102内に含めてもよい。

30

【0034】

次に、図2を用いてマトリクス状に配置される画素回路について説明する。図2に表示アレイ101に配置されている画素回路を示す。201は有機EL素子で、アノード端子はTFT側へ接続されている。有機EL素子201はRGB塗り分け方式、白色発光素子をカラーフィルターで分光する方式などのフルカラー化する方法や発光をアノード側から取り出すボトムエミッションタイプや、あるいはカソード側から取り出すトップエミッションタイプなど様々有るが、本発明では特に断らない限り限定しない。202は有機EL素子201に流れる電流をデジタル制御するドライブTFTで、図2では2つ並列に配置している。

40

【0035】

図2において、ドライブTFT201について、TFTを2つ並列に配置している理由は、製造上の不良により片方が極端に電気的特性が変化する場合、例えばオン電流が低下した場合等を想定して、もう片方のTFTで、ある程度動作することができるよう冗長な構成としている。もちろん、2つ以上としてもよい。ただし、製造不良でリーク電流が増える場合が多ければ、1つの構成の方が望ましいであろうし、高精細なディスプレイの場合に開口率を大きくする目的であれば、TFTの数は少ないほうが好ましいであろう。

【0036】

50

TFT202のソース端子は電流供給線211に接続され、TFT202のドレイン端子は有機EL素子のアノード端子に接続されている。TFT202のゲート端子は保持容量204の片方の端子に接続されており、保持容量204のもう片方の端子が基準電位線212に接続されているため、保持容量204に書き込まれた電圧レベルにより、TFT202のスイッチ動作が決定される。

【0037】

203はデータ書き込み用のゲートTFTで、そのゲート端子はゲート線108へ、ドレイン端子はデータ線107へ、ソース端子は保持容量204と、TFT202のゲート端子に接続されている。

電流供給線211、有機EL素子のカソード端子、基準電位線212はそれぞれ全画素で共有している。 10

【0038】

なお、図2に示したTFTはすべてpチャンネルで示したが、一部または全部にnチャンネルTFTを用いてもよい。

【0039】

次に、図4を用いて本発明におけるデータドライバ102の内部構成及び動作を説明する。401はデータバス、402はシフトレジスタ、403はデータバス上の1ビットのデータをラッチする第1データラッチ、404は第1データラッチのデータを1ライン一括でラッチする第2データラッチ、405は第2データラッチのデータでデータ線107を駆動するためのバッファである。また、406は、第1データラッチのデータを第2データラッチに一括転送するための制御信号線である。 20

【0040】

デジタル駆動を行う場合、各データ線107は2つの電圧レベルのみで駆動されるため、データバス401の1本で1画素のデータを伝送する。例えば、データバスが24本とすると、フルカラーディスプレイでは、RGBの3色で1画素とすれば、8画素分を1度に転送することができることになる。

【0041】

データバス401上のデータは、シフトレジスタにおいて順次シフトされるクロックで第1データラッチ403に順次転送され、1ライン分のデータを保持する。すなわち、シフトレジスタ402において、選択信号を順次転送することで、データライン401上のデータを第1データラッチ403の対応する箇所にラッチさせる。この間、第1データラッチ403のデータは第2データラッチ404に反映されない。1ライン分のデータラッチ動作が完了した時点でデータ転送信号線406をアクティブにすることで、第1データラッチ403のデータを第2データラッチ404にロードし、第1データラッチを開放する。そして、バッファ405が第2データラッチ404の1ライン分のデータでデータ線107を駆動する。 30

【0042】

その間、開放された第1データラッチ403は再度シフトレジスタのクロックにより、次のラインデータを順次保持し、第2データラッチ404へデータを転送する。これらの動作を垂直走査方向の全表示水平ラインについて繰り返して1画面の表示動作を終える。 40

【0043】

次に、図5を用いて本発明におけるゲートドライバ103の内部構成及び動作を説明する。501はシフトレジスタ、502はイネーブル回路、503はレベルシフタ、504はバッファである。V1～Vnはシフトレジスタ501の出力、E1～3はイネーブル制御線である。

【0044】

イネーブル回路502の1入力はシフトレジスタの出力が入力され、もう1入力は3本のイネーブル制御線E1～E3のいずれかに接続されている。つまり、図5に示すように、シフトレジスタの出力V1、V4、・・・、V3*i*-2(*i*は自然数)に接続するイネーブル回路はイネーブル制御線E1へ、V2、V5、・・・、V3*i*-1に接続する 50

イネーブル回路はイネーブル制御線 E 2 へ、V 3、V 6、・・・、V 3 \* i に接続するイネーブル回路はイネーブル制御線 E 3 へ接続されている。

【0045】

シフトレジスタ 501 は入力パルスをクロックによってシフトし、出力 V i にシフトパルスを出力する。この出力されたシフトパルスは、イネーブル制御線 E 1 ~ E 3 のいずれかで制御されるイネーブル回路 502 によって有効化され、次のレベルシフタ 503 へ反映する。

【0046】

レベルシフタ 503 はシフトレジスタ 501 の信号レベルを、ゲート線を駆動する適切な信号レベルに変換する。バッファ 504 はレベルシフタ 503 の信号レベルをバッファしてゲート線に出力することでゲート線をアクティブにし、画素へのデータ書き込みを制御する。

10

【0047】

本実施形態ではイネーブル制御線は E 1 ~ E 3 の 3 本としたが、それに限定されることはなく、4 本以上でもよい。

【0048】

図 6 を用いてデジタル駆動の階調生成過程を説明する。図 6 はアクティブマトリクス型ディスプレイにおけるデジタル駆動の駆動シーケンスを、横軸を時間、縦軸を水平走査ラインとして示している。図 6 は説明を簡単にするため、4 ビット 16 階調のデジタル駆動の例である。

20

【0049】

デジタル駆動では 1 フレーム期間を複数のサブフレーム S F 0 ~ S F n に分割し、各サブフレーム期間はビットデータに相当する重み付けされた表示期間が割り当てられている。図 6 に示す T 0 ~ T 3 は各サブフレーム期間を示し、それぞれがビットデータ D 0 ~ D 3 に対応している。D 0 ~ D 3 のビットが “ 1 ” の時、それに対応するサブフレーム S F 0 ~ S F 3 が T 0 ~ T 3 の期間点灯し、ビットが “ 0 ” の時、それに対応するサブフレーム S F 0 ~ S F 3 が T 0 ~ T 3 の期間消灯する。

【0050】

点灯及び消灯期間は概ね T 0 : T 1 : T 2 : T 3 = 1 : 2 : 4 : 8 となるように制御する。このように制御することで 4 ビット 16 階調表示が可能となる。さらに 6 ビットや 8 ビットといった多階調化を実現する場合も同様な考え方が適用できることは言うまでもない。

30

【0051】

本発明のデジタル駆動では、図 6 の X - X '、Y - Y ' に代表されるように、2 ライン以上を選択する区間が存在する。具体的な説明は、後述するが、図 5 のゲートドライバを用いて駆動可能とするため、ディスプレイの解像度および階調数に応じて適切なサブフレーム構成を適用する。

【0052】

図 7 は、図 6 の区間 X X ' の部分拡大図である。ここでは、説明を簡単にするため、10 ラインの表示を考える。

40

701 はゲートドライバ 103 のシフトレジスタに入力する入力パルスで、702 はシフトレジスタのデータをシフトするクロックである。図 7 では入力パルス 701 をクロック 702 の立ち上りエッジでシフトレジスタに取り込む場合を示している。703 は初段のシフトレジスタの出力 V 1 で、このパルスがシフトクロック 702 によって各シフトレジスタに順次シフトされ、各出力 V i ( i は 1 ~ 10 ) にパルスを出力する。

【0053】

入力パルス 701 は、パルス間隔を P 0 = 2 \* T c k v、P 1 = 5 \* T c k v、P 2 = 8 \* T c k v、P 3 = 16 \* T c k v としている。ただし、T c k v は 702 のクロック周期である。区間 X X ' に着目すると、この期間、シフトレジスタ出力 V 2、V 7、V 9 が “ H i g h ” となっているが、図 5 のゲートドライバの構成で示したように、V 2 は E

50

2、V7はE1、V9はE3のイネーブル制御線でイネーブルされるため、第2ライン、第7ライン、第9ラインのゲート線は時分割で選択することができる。

【0054】

図8は、図7の区間XX'をさらに部分的に拡大したタイミングチャートである。

801はシフトレジスタ出力で、V2、V7、V9の出力パルスである。802はV3、V8、V10の出力パルスである。803はE1のパルス、804はE2のパルス、805はE3のパルスである。806はデータドライバ102のシフトレジスタ402に入力するデータ転送開始パルスで、データバス401上のデータを第1データラッチ403へ順次ラッチするために用いられる。807は第1データラッチ403のデータ、808は第1データラッチ403のデータを第2データラッチ404へ転送するクロック、809は第2データラッチ404のデータである。

10

【0055】

XX'の3分割された最初の期間で、E1が“Low”、E2が“High”、E3が“Low”であるため、V2の出力がイネーブル回路により有効となり、第2ラインのゲート線がアクティブになる。このタイミングで第2データラッチ404のデータが第2ラインのビット2データであるため、第2ラインの画素にはこのデータが書き込まれ、サブフレーム1の表示が終了し、サブフレーム2の表示を開始する。

第2番目の区間では、E1が“Low”、E2が“Low”、E3が“High”であるため、V9の出力がイネーブル回路により有効となり、第9ラインのゲート線がアクティブになる。このタイミングで第2データラッチ404のデータが第9ラインのビット0データであるため、第9ラインの画素にはこのデータが書き込まれ、サブフレーム3の表示が終了し、サブフレーム0の表示を開始する。

20

【0056】

最後の区間では、E1が“High”、E2が“Low”、E3が“Low”であるため、V7の出力がイネーブル回路により有効となり、第7ラインのゲート線がアクティブになる。このタイミングで第2データラッチ404のデータが第7ラインのビット1データであるため、第7ラインの画素にはこのデータが書き込まれ、サブフレーム0の表示が終了し、サブフレーム1の表示を開始する。

【0057】

図9は図7のYY'区間の部分拡大図で、901はV1、V9の出力パルス、902はV2、V10の出力パルス、903、904、905はそれぞれE1、E2、E3のイネーブル信号、907は第1データラッチ403、909は第2データラッチ404のデータである。

30

【0058】

YY'間の3分割された最初の区間では、E1が“Low”、E2が“Low”、E3が“High”であるため、V9の出力がイネーブル回路により有効となり、第9ラインのゲート線がアクティブになる。このタイミングで第2データラッチ404のデータが第9ラインのビット2データであるため、第9ラインの画素にはこのデータが書き込まれ、サブフレーム1の表示が終了し、サブフレーム2の表示を開始する。

【0059】

次の区間では、E1が“High”、E2が“Low”、E3が“Low”であるため、V1の出力がイネーブル回路により有効となり、第1ラインのゲート線がアクティブになる。このタイミングで第2データラッチ404のデータが第1ラインのビット3データであるため、第1ラインの画素にはこのデータが書き込まれ、サブフレーム2の表示が終了し、サブフレーム3の表示を開始する。

40

次の区間では、E1～E3いずれも“High”でないため、どのゲート線もアクティブにならない。

【0060】

以上述べたパルス間隔P0～P3、及び3分割区間でのデータ書き込み順序を図10に示す。もちろん、パルス間隔P0～P3、データ書き込み順序は図10に示すものに限定

50

する必要はない。

【0061】

ただし、 $T_0 \sim T_3$ の比率が目標値に近いほど連続性がよいのでその考慮は必要である。例えば、図10を参照して、パルス間隔 $P_0$ を“2”、 $P_1$ を“5”と決めた場合、 $T_0 : T_1 = 1 : 2$ のバランスが保てない。そこで $SF_1$ をできる限り遅く開始し、 $SF_1$ をできる限り早く終了させるように順序を決定すればよい。

【0062】

つまり、 $SF_0 \sim SF_2$ を書き込む3分割期間、例えば $XX'$ において、 $SF_1$ のビット1データを最後に、そして $SF_2$ のビット2データを最初に書き込むように決定し、残りの $SF_0$ を2番目に書き込むように決めればよい。これによって、 $T_1(SF_0)$ は3分割期間の最後に表示を開始して、次のサブフレームの最初( $SF_2$ の開始のとき)に表示を終えることから、 $T_1 = (P_1 - 1 + 1/3) * T_{ckv}$ となる。

10

【0063】

こうして決めた結果、サブフレーム期間とその比率は図10のようになり、図10のサブフレーム期間で16階調表示を行うと、図11に示すような入力階調と出力階調の関係が得られる。

【0064】

次に図12を用いて、図8、9で示したタイミングで第2データラッチにデータを保持するため、フレームメモリ106をコントロールし、データ制御回路105が処理するデータ処理タイミングについて説明する。図12は、例えば水平解像度が320のディスプレイを4ビット階調表示で駆動する際のデータ処理タイミングである。

20

【0065】

1201は入力バス111より入力される4ビットの入力階調データ、1202は制御回路105により生成され、フレームメモリ106に書き込むデジタル駆動フォーマットデータ、1203はフレームメモリ106から読み出すデジタル駆動フォーマットデータである。

【0066】

入力バス111より入力される映像データはフルカラーディスプレイの場合、RGBの3チャンネル存在するが、RGBいずれも同じ操作であるため、図12ではそのうちの1つのみ示してある。

30

【0067】

4ビット入力データ1201はデータ処理回路105により、連続する4画素を一つのブロックとし、ビット0からビット3までを順に転送するデジタル駆動フォーマットに変換される。すなわち、画素1から画素4の4ビット入力データは画素1から画素4のビット0のみで構成される4ビットのデータ、ビット1のみで構成されるデータ、ビット2のみで構成されるデータ、ビット3のみで構成されるデータ1202に変換され、フレームメモリ106に書き込まれる。

【0068】

この場合、1ラインを320画素としているため、320クロックで1ラインのデータがフレームメモリに書き込まれる。

40

【0069】

一旦データがフレームメモリに書き込まれると、フレームメモリのアドレスを指定することで、すべてのラインデータにアクセスすることが可能となるため、図8、9に示すように第2ラインのデータをアクセスした後、第9ラインのデータ、第7ラインのデータ、という具合に任意にスキップ読み出しすることができる。

【0070】

もちろん、読み出しを行っている際、次のフレームの映像データを同様な形式に変換して書き込みを行う必要があるため、フレームメモリは2系統備えてある。読み出しデータ1203は、まず第2ラインのビット2から320画素を80クロックで読み出すことで生成され、次に第9ラインのビット0、第7ラインのビット1と言う具合

50

に、順に同様に読み出される。したがって、この場合  $Tckv$  は 240 クロックとなる。

【0071】

図8のタイミングチャートに示すように、データ転送開始パルス806がシフトレジスタ402の初段に入力されると、それと同時に読み出しデータ1203の第2ラインビット2データから、この場合例えば4本のデータバス401上に転送される。シフトレジスタのシフトパルスに応じて、そのパルスがデータ転送制御する第1データラッチにデータバス402上の第2ラインビット2データが順次転送される。

【0072】

最終段までシフトパルスが行き渡り、第1データラッチへ第2ラインビット2データの1ライン分のデータを転送し終わると、データ転送信号線406にデータ転送クロック808を入力し、一括で第1データラッチ403のデータを第2データラッチ404へ転送する。バッファ405は第2データラッチ404のデータでデータ線107を次のデータが第2データラッチへ転送されるまで駆動し続ける。その間、シフトレジスタにはデータ転送開始パルス806が再び入力され、第1データラッチ403に第9ラインビット0データがシフトパルスで順に転送される。シフトパルスが最終段のシフトレジスタまで行き渡り、第1データラッチに第9ラインビット0データを転送し終わると、再びデータ転送信号線406にデータ転送クロック808が入力され、第2データラッチに第1データラッチ上の第9ラインビット0データが第2データラッチへ転送される。第7ラインビット1データも同様な手続きでこれを繰り返すことでデータ線にビットデータを供給していく。

10

20

【0073】

入力データが4ビットであっても、データバス401を4本とする必要は必ずしもなく、任意でよい。例えば8本とすると1クロックで8画素分転送できるため、40クロックで1ライン分を転送でき、転送期間を短縮できる。

【0074】

また、フレームメモリ305に書き込むクロックと読み出すクロックの周期を異ならしめてもよい。例えば読み出しクロックを高速化すると、さらに転送期間を短縮できる。

【0075】

以上、例として4ビット16階調表示例を示したが、実際、携帯情報端末等で用いられているディスプレイでは6~8ビット、すなわち64~256階調表示が求められている。このような多階調表示時でも前述の駆動方法を適用できる。そこで、データドライバ102とゲートドライバ103の構成が同じであるものとして8ビット256階調駆動を例に説明する。

30

【0076】

8ビット256階調表示では、 $T0 : T1 \cdots : T7 = 1 : 2 \cdots : 128$ として設定され、発光期間の短いサブフレームから発光期間の長いサブフレームまで必要となる。図6で示したように、SF0からSF7まで順にサブフレームを表示すると、短いサブフレームはゲートドライバのシフトレジスタに入力する入力パルス701のパルス間隔が密になり、時分割でゲート線を選択するにはより多くのイネーブル制御線を必要とする。また、長いサブフレームは点灯期間が低周波となるため、フリッカの要因となりやすい。

40

【0077】

そこで、パルス間隔  $P0 \sim P7$  を図13のように設定した。ここで  $SF7 - 1$ 、 $SF7 - 2$  は3本のイネーブル制御線でデジタル駆動するために  $SF7$  のパルス区間を例えば均等に分割したそれぞれのパルス区間  $P7 - 1$ 、 $P7 - 2$  である。2つの  $P7$  のパルス区間はビットデータ7に対応しているため、 $P7 - 1$  と  $P7 - 2$  のデータは一致している。

【0078】

図14には、横軸に時間、縦軸にラインをとり、サブフレーム7を2つに分割した8ビット256階調駆動シーケンスを示している。

【0079】

50

例えば、ゲート線が1～240ラインあるパネルを考えると、サブフレーム0のデータを書き込んでいるゲート線が第100ラインである図14の時刻X X'において、図13より、サブフレーム1の書き込みゲート線はパルス4個分前の第96ライン、サブフレーム7-1の書き込みゲート線はパルス4+7=11個分前の89ラインにあり、それ以降の書き込みゲート線は4+7+256=267>240となり、画面内に存在していないことになる。すなわち、画面内に存在する書き込みゲート線数は3本以下に制御されている。

#### 【0080】

図15に区間X X'の部分拡大図を示したので、これを用いて図14の第100ラインの区間X X'における時分割選択シーケンスを説明する。

10

#### 【0081】

1501はシフトレジスタ出力V89、V96、V100の出力パルス、1502はシフトレジスタ出力V90、V97、V101の出力パルス、1503、1504、1505はそれぞれイネーブル制御線E1、E2、E3のイネーブルパルス、1506は第1データラッチ403へのデータ転送開始パルス、1507は第1データラッチ403のデータ、1508は第1データラッチ403のデータを第2データラッチ404に転送するクロック、1509は第2データラッチ404のデータである。

#### 【0082】

シフトレジスタの出力パルスV89、V96、V100の“High”期間を3分割した最初の期間で、E1が“Low”、E2が“Low”、E3が“High”であるため、E3に接続されているイネーブル回路により、V96の信号が有効化され、第96ラインのゲート線がアクティブになる。そのタイミングで第2データラッチ404にはライン96のビット1データが保持されているため、第96ラインの画素にそのデータが書き込まれ、T1の期間その表示を行う。

20

#### 【0083】

2番目の期間では、E1が“High”、E2が“Low”、E3が“Low”であるため、E1に接続されているイネーブル回路により、V100の信号が有効化され、第100ラインのゲート線がアクティブになる。そのタイミングで第2データラッチ404にはライン100のビット0データが格納されているため、第100ラインの画素にそのデータが書き込まれ、T0の期間その表示を行う。

30

#### 【0084】

最後の期間では、E1が“Low”、E2が“High”、E3が“Low”であるため、E2に接続されているイネーブル回路により、V89の信号が有効化され、第89ラインのゲート線がアクティブになる。そのタイミングで第2データラッチ404にはライン89のビット7データが格納されているため、第89ラインの画素にそのデータが書き込まれ、T7-1の期間その表示を行う。

#### 【0085】

図13によれば、連続する3つのサブフレームのパルス間隔の和が常に240ラインを越えているため、X-X'区間以外で時分割選択する場合でも同様に制御可能である。パルス間隔、3分割期間における書き込み順序は図13に限定する必要はないが、T0～T7の比が目標値にできる限り近い方が望ましい。図13は4ビット16階調表示例で示したように、3分割区間の書き込み順序を調整している。図13のサブフレーム期間で256階調表示を行うと、図16のような入力階調と出力階調の特性が得られる。

40

#### 【0086】

このようにパルス間隔と3分割期間の書き込み順序を設定することで、回路規模を増大させることなく、8ビット256階調のデジタル駆動が実現できる。このことは、より高精度な有機ELディスプレイを実現するのに非常に有利である。

#### 【0087】

また、この方法を応用して、図17や図18に示すような制御方法も可能である。図17は6ビット64階調表示の際の、サブフレーム5を2分割して本発明に基づくデジタル

50

駆動を行った例である。図 17 に示すように 8 ビットの場合と比較して、走査回数を減らすことができるため、低消費電力アプリケーションに有利である。

【0088】

また、図 18 は 8 ビット駆動時のビット 7 データを常に“0”とし、このサブフレーム期間有機 EL 素子を消灯させた駆動例を示している。このようにすると、ブラウン管のような発光特性が得られるため、動画視認性が向上する。この場合、点灯期間が減少するため発光輝度が低下するが、有機 EL 素子の駆動電圧を高めることで、発光強度を増加させることができるため、輝度の低下分を補うことができる。このような駆動は、TV などの動画アプリケーションで非常に有利である。

【0089】

「実施形態 2」

図 19、図 20 は実施形態 2 で用いる画素回路の例である。1901、2001 はデータ線、1902、2002 は電源線である。画素内の TFT 回路は機能上図 2 とほぼ同じ構成であるため、説明は省略するが、データ線 1901、2001 と、電源線 1902、2002 を隣接画素間で共有している点が異なる。

【0090】

図 19 は画素として RGB の三原色と、アプリケーション等によく使われる色をさらに追加する画素で 4 サブピクセルの構成例を示している。白色の有機 EL 素子とカラーフィルターでフルカラー化する場合、カラーフィルターを付加せず、白色そのものをサブピクセルとする構成も考えられる。この場合の白色はアプリケーション等で用いられる色座標

10

20

【0091】

図 20 は、図 19 の 4 サブピクセル構成と異なり、通常の 3 サブピクセル構成であるが、データ線の共有の仕方が R と G、B と R、G と B の 3 通り存在する。つまり、奇数の RGB と偶数 RGB とで画素の構成が異なる例である。

【0092】

図 19、図 20 のどちらの例でもデータ線を隣接画素と共有しているため、ゲート線が 1 ラインに 2 本必要となる。1903、1904 は、図 19 の画素に必要な第 n ラインのゲート線 A、ゲート線 B で、2003、2004 は、図 20 の画素に必要な第 n ラインのゲート線 A、ゲート線 B である。

30

【0093】

図 21 は図 19、図 20 の画素のゲート線を駆動するゲートドライバの内部構成図で、2101 はシフトレジスタ、2102 はイネーブル回路、2103 はレベルシフタ、2104 はバッファである。

【0094】

このように、1 ラインにゲート線が 2 本あるため、ゲートドライバの出力は図 5 の場合の 2 倍必要となる。また、イネーブル回路 2102 に接続するイネーブル制御線も 2 倍必要となり、図 21 に示すように、シフトレジスタ出力  $V_1$ 、 $V_4$ 、 $\dots$ 、 $V(3 \cdot i - 2)$  ( $i$  は自然数) に対し、 $E1A$  と  $E1B$ 、 $V_2$ 、 $V_5$ 、 $\dots$ 、 $V(3 \cdot i - 1)$  に対し、 $E2A$  と  $E2B$  を設け、一方  $V_3$ 、 $V_6$ 、 $V_{3 \cdot i}$  に対し、 $E3A$  と  $E3B$  を設け、これらのイネーブル制御線によってイネーブル回路を制御する。

40

【0095】

図 22 は、図 19、図 20 の画素と図 21 のゲートドライバを用いた際の、図 7 の区間  $X \times X'$  における制御タイミングを示している。2201 はシフトレジスタ出力  $V_2$ 、 $V_7$ 、 $V_9$  の出力パルス、2202 は 1 クロック後の  $V_3$ 、 $V_8$ 、 $V_{10}$  における出力パルス、2203、2204 は  $E1A$ 、 $E1B$  の入力パルス、2205、2206 は  $E2A$ 、 $E2B$  の入力パルス、2207、2208 は  $E3A$ 、 $E3B$  の入力パルスである。

【0096】

2209 はデータラッチ 1 ヘデータを転送するための転送開始パルス、2210 はパルス 2209 により転送されたデータラッチ 1 のデータ、2211 は第 1 データラッチ 40

50

3のデータを第2データラッチ404へ転送するクロック、2212はクロック2211により転送された第2データラッチのデータである。

【0097】

時分割シーケンスは図8とほとんど同じであるため、詳細な説明は省略するが、図22の例では、シフトレジスタV2、V7、V9のHigh期間を6分割してデータを書き込んでいる。

【0098】

最初の2つの期間で第2ラインのビット2データを書き込むが、まず、第2ラインのゲート線Aを、E2AをHighにすることで、次いで、第2ラインのゲート線Bを、E2BをHighにすることで順に選択する。この間、第2データラッチには、第2ラインのゲート線Aに接続されている画素へ書き込むビット2データ、第2ラインのゲート線Bに接続されている画素へ書き込むビット2データがそれぞれ順に転送され、データ線に出力されているため、第2ラインのゲート線A、Bの画素にそれぞれのデータが書き込まれる。

10

【0099】

次の2つの期間で、第9ラインのゲート線A、Bを、E3A、E3Bを順にHighにし第2データラッチに第9ラインのゲート線A、Bに接続される画素のビット0データを順に転送することで第9ラインの書き込みを終え、最後の2期間で、同様に第7ラインのビット1データを書き込む。

【0100】

図21のゲートドライバを用いてこのように制御することで、図19、図20の画素を用いて本発明のデジタル駆動を行うことができる。

20

【0101】

データ線を隣接画素間で共有する本実施形態では、パネルに必要なデータ線が、共有しない場合の半分で済む。そのため各データ線を駆動する回路も半分でよいし、データバスも少なく済むため、データドライバ102の回路数を大幅に削減できる。また、電源配線も半分にできるため、配線間隔が共有しない場合と比べると十分確保でき、製造上の配線ショート欠陥等を抑制することができる。特に水平方向の精細度が要求される仕様のパネルには有利である。

【0102】

一方、ゲートドライバの回路数は増加するが、データ線数と電源線が半分に削減され、交差容量が少なくなっているため、バッファ回路の面積を小さくすることができ、回路面積を抑制することができる。

30

「実施形態3」

【0103】

図23は、実施形態3のゲートドライバの内部基本構成である。2301はシフトレジスタ、2302はイネーブル回路、2303はレベルシフタ、2304は出力バッファである。

【0104】

シフトレジスタ2301は入力パルスをクロックに応じてシフトし、シフトレジスタ出力Vi(iは自然数)にシフトパルスを出力する。イネーブル回路2302は、イネーブル信号E1及びE2により、シフトレジスタ出力Viを反映させるか否かを制御する。奇数ラインのイネーブル回路はイネーブル信号E1へ、偶数ラインのイネーブル回路はイネーブル信号E2へ接続されている。

40

【0105】

図24は、横軸に時間、縦軸に表示ラインをとり、本実施形態の8ビット256階調表示駆動シーケンスを示す。T0~T7はサブフレーム期間で、概ねT0:T1:T2:T3:T4:T5:T6:T7=1:2:4:8:16:32:64:128となるように制御される。

【0106】

50

T0～T4では、点灯期間が短いため、点灯期間の比を維持する必要から、消灯期間を挿入している。T5～T7ではその必要がないため、全期間点灯期間としている。図24は一例を示したのみで、消灯期間を挿入するサブフレームをさらに増やすことも、減らすことももちろん可能である。

【0107】

図25は、図24の区間XX'の部分拡大図である。図25では説明を簡単にするため10ラインのディスプレイを例としている。2501、2502はそれぞれシフトレジスタ2301に入力する入力パルスとシフトクロックである。2503はシフトレジスタ出力V1の出力パルスであり、このパルスがクロック2502により順次、時間Tckvだけシフトされ、各Viに出力される。

10

【0108】

入力パルス2501はパルス間隔P0～P7でパルスを入力する。このパルス間隔P0～P7を適切に設定することでサブフレーム間隔T0～T7を前述の比に制御する。

【0109】

図26は、XX'間の部分拡大図である。2601はシフトレジスタ出力V6、V9の出力パルス、2602はシフトレジスタ出力V7、V10の出力パルス、2603、2604はイネーブル信号E1、E2のパルス、2605は第1データラッチ403へのデータ転送開始パルス、2606は第1データラッチ403の保持データ、2607は第1データラッチの保持データ2606を第2データラッチ404へ転送する転送クロック、2608は第2データラッチ404の保持データである。

20

【0110】

区間XX'の前半は、V6、V9の出力パルス2601が“High”で、E1のイネーブルパルス2603が“High”、E2のイネーブルパルス2604が“Low”であるから、奇数ラインであるV9のゲート線がアクティブになり、第2データラッチに保持されている第9ラインのビット0データが画素に書き込まれる。

【0111】

後半は、V6、V9の出力パルス2601が“High”で、E1のイネーブルパルス2603が“Low”、E2のイネーブルパルス2604が“High”であるから、偶数ラインのV6のゲート線がアクティブになり、第2データラッチに保持されている第6ラインの消去データが画素に書き込まれる。

30

【0112】

第6ラインはすでにビット0のデータが書き込まれているため、ここでサブフレーム期間T0は $P0 + 0.5 * Tckv$ である。ただし、 $P0 = (2 * k0 - 1) * Tckv$  ( $k0$ は自然数)でなければならない。

【0113】

図24の駆動シーケンスに示すように、残りT1～T4も同様にパルス間隔P1～P4から算出される。T5以降は第1ラインから全ラインを走査する時間以上にサブフレーム期間が長いため、T0～T4で行っていた消灯用の走査を行う必要がない。したがって、サブフレーム期間T5～T7はP5～P7と一致する。

【0114】

図27に本実施形態の駆動例として、各サブフレームSF0～SF7のパルス間隔P0～P7とサブフレーム期間T0～T7、そしてその比率を示した。

40

【0115】

本実施形態の方法によれば図27から分かる通り、サブフレームの比率を比較的精度良く設定することができるため、入力階調と出力階調の連続性が良く、滑らかな映像が得られる。

【0116】

「実施形態4」

実施形態4では、図19、図20に示す画素を用い、実施形態3の駆動方法を用いて駆動する方法について説明する。

50

## 【 0 1 1 7 】

図 2 8 は本実施形態のゲートドライバの基本構成である。2 8 0 1 はシフトレジスタ、2 8 0 2 はイネーブル回路、2 8 0 3 はレベルシフタ、2 8 0 4 はバッファである。イネーブル回路 2 8 0 2 は 1 ラインにつき 2 つ用意されており、1 つはゲート線 A を、もう 1 つはゲート線 B を制御するために用いられる。

E 1 A、E 1 B、E 2 A、E 2 B はイネーブル制御線で、E 1 A、E 1 B はそれぞれ奇数ラインのイネーブル回路、E 2 A、E 2 B はそれぞれ偶数ラインのイネーブル回路に接続されている。

## 【 0 1 1 8 】

図 2 9 は、図 2 5 における区間 X X ' の部分拡大図で、図 2 9 ( 1 ) は 4 分割型、図 2 9 ( 2 ) は 3 分割型の例を示す。2 9 0 1 はシフトレジスタ出力 V 6、V 9 の出力パルス、2 9 0 2 は V 7、V 1 0 の出力パルス、2 9 0 3、2 9 0 4、2 9 0 5、2 9 0 6 はそれぞれ 4 分割型の E 1 A、E 1 B、E 2 A、E 2 B のイネーブルパルス、2 9 0 7 は第 1 データラッチ 4 0 3 へデータバス上のデータを順次転送する 4 分割型のデータ転送開始パルス、2 9 0 8 は 4 分割型の第 1 データラッチ 4 0 3 のデータ、2 9 0 9 は第 1 データラッチ 4 0 3 のデータを第 2 データラッチ 4 0 4 へ転送する 4 分割型の転送クロック、2 9 1 0 は 4 分割型の第 2 データラッチ 4 0 4 のデータである。

10

## 【 0 1 1 9 】

2 9 1 1、2 9 1 2、2 9 1 3、2 9 1 4 は 3 分割型の E 1 A、E 1 B、E 2 A、E 2 B のイネーブルパルスで、2 9 1 5 は 3 分割型のデータ転送開始パルス、2 9 1 6 は 3 分割型の第 1 データラッチ 4 0 3 のデータ、2 9 1 7 は 3 分割型のデータ転送クロック、2 9 1 8 は 3 分割型の第 2 データラッチ 4 0 4 のデータである。

20

## 【 0 1 2 0 】

4 分割型の図 2 9 ( 1 ) では、前半の 2 期間で第 9 ラインのゲート線 A とゲート線 B をそれぞれ E 1 A、E 1 B の順にアクティブにし、ライン 9 A、9 B のビット 0 データを書き込む。後半の 2 期間では第 6 ラインのゲート線 A とゲート線 B を E 1 A、E 1 B の順にそれぞれアクティブにし、ライン 6 A、6 B のデータを消去する。

## 【 0 1 2 1 】

3 分割型の図 2 9 ( 2 ) では、最初と 2 番目の期間で第 9 ラインのゲート線 A、B を E 1 A、E 1 B の順にアクティブにし、ライン 9 A、9 B のビット 0 データを書き込む。最後の期間では第 6 ラインのゲート線 A、B を、E 1 A、E 1 B を同時に制御してアクティブにし、ライン 6 のデータを同時に消去する。

30

## 【 0 1 2 2 】

図 2 9 ( 1 ) の 4 分割型は制御が複雑になるものの、ゲート線 A、B が均等に制御でき、表示品質が維持できる。一方、図 2 9 ( 2 ) の 3 分割型は消去動作をゲート線 A、B で同時に行うため、制御期間を短縮できる利点があるが、ゲート線 A とゲート線 B で制御周期が異なるため、表示品質に多少影響する可能性がある。

## 【 0 1 2 3 】

本実施形態の方法はデータ線を隣接画素と共有することで、データ線の本数を削減することができ、そのためデータドライバの回路規模も半分に低減できる。

40

## 【 0 1 2 4 】

「実施形態 5」

実施形態 1 ~ 4 では、ポリシリコン T F T など回路をガラス基板上に構成する例を示したが、アモルファスシリコン T F T 基板を用いても同様な駆動が可能である。

## 【 0 1 2 5 】

図 3 を用いて、アモルファスシリコン T F T 基板を用いて本実施形態のデジタル駆動を実現する全体構成を説明する。3 0 1 はアクティブマトリクス型アモルファスシリコン T F T アレイ、3 0 2 はデータドライバ、3 0 3 はゲートドライバ、3 0 4 は制御回路、3 0 5 はフレームメモリである。

## 【 0 1 2 6 】

50

データドライバ302、ゲートドライバ303はLCD等で用いられているような複数のドライバICから成り、TCP (Tape Carrier Package) で301のガラス基板に接続されるか、COG (Chip On Glass) でガラス基板に直接実装されている。

【0127】

例えば画素数がXGA (RGB1024×768) のアモルファスシリコンTFTアレイの場合、データドライバ302には、384出力のデータドライバICが8個、ゲートドライバ303には、256出力のゲートドライバICが3個搭載されている。

【0128】

306はデータ線、307はゲート線であり、データ線306はデータドライバ302の出力と、ゲート線307はゲートドライバ303の出力と接続されている。

313は制御回路304からデータドライバ302に供給される信号を伝送する信号バス、314はゲートドライバ303に供給される信号を伝送する信号バス、312はフレームメモリとの信号バスで、311は入力信号バスである。

制御回路304がフレームメモリへ書き込むデータの形式は実施形態1と同じであるため説明は省略する。

【0129】

図30にアモルファスシリコンTFTアレイ301上の画素回路を示す。アモルファスシリコンでTFTを形成する場合には、通常N型を用いる。そのため、図30の画素回路はすべてN型で構成している。

【0130】

3001は有機EL素子、3002は有機EL素子3001に電流を流すか否かを制御するドライブTFT、3003はTFT3002のオンオフ電圧の書き込み制御を行うゲートTFT、3004は3003によって書き込まれたオンオフ電圧を保持する保持容量である。

【0131】

3011は有機EL素子3001に電流を供給する電源線、3014は基準電圧線である。

【0132】

ドライブTFT3002のドレイン端子は電源線3011へ接続され、ソース端子は有機EL素子3001のアノード端子に接続されている。ドライブTFT3002のゲート端子は保持容量3004とゲートTFT3003のソース端子に、ゲートTFT3003のゲート端子はゲート線307に接続され、ドレイン端子はデータ線306に接続されている。

【0133】

ドライブTFT3002はTFTが並列に2つ並んだ冗長な構成としているのは実施形態1で述べた理由と同じである。

【0134】

駆動ICとして提供されているデータドライバ302、ゲートドライバ303の構成は、例えばCQ出版社トランジスタ技術2004年2月号P139に掲載してあるため説明は省略するが、図4と図5の構成と類似する。

【0135】

データドライバ302に関しては、6ビットあるいは8ビットのデジタル入力階調データをアナログの階調電圧に変換するDA変換器を内蔵しており、データ線306には変換されたアナログ階調電圧が出力される。デジタル駆動では2値の電圧レベルでよいため、データドライバICを図4のような構成とした方がコスト的に有利である。

【0136】

ゲートドライバ303は図5と構成が非常に類似しており、大抵のゲートドライバICはイネーブル制御線を3本有している。

【0137】

したがって、データドライバIC、ゲートドライバICを用いれば、あるいはこれまで

10

20

30

40

50

述べてきた機能を有するICを用いれば、大型のTFTアレイを低コストで製造可能なアモルファスシリコンを用いて、大画面でも高い表示均一性を可能とするデジタル駆動を行うことができ、有機EL素子を用いて大型TVや大型モニターを比較的 low コストで実現することができる。

【図面の簡単な説明】

【0138】

【図1】実施形態1の全体構成図である。

【図2】ポリシリコンTFT画素回路を示す図である。

【図3】実施形態5の全体構成図である。

【図4】データドライバの構成図である。

10

【図5】実施形態1のゲートドライバ構成図である。

【図6】実施形態1の4ビットデジタル駆動走査シーケンスを示す図である。

【図7】実施形態1の4ビットデジタル駆動タイミングチャートを示す図である。

【図8】実施形態1の4ビットデジタル駆動イネーブルタイミングチャート1を示す図である。

【図9】実施形態1の4ビットデジタル駆動イネーブルタイミングチャート2を示す図である。

【図10】実施形態1の4ビットデジタル駆動タイミング設定テーブルを示す図である。

【図11】実施形態1の4ビットデジタル駆動入出力階調特性を示す図である。

【図12】制御回路データ処理説明図である。

20

【図13】実施形態1の8ビットデジタル駆動タイミング設定テーブルを示す図である。

【図14】実施形態1の8ビットデジタル駆動走査シーケンスを示す図である。

【図15】実施形態1の8ビットデジタル駆動イネーブルタイミングチャートを示す図である。

【図16】実施形態1の8ビットデジタル駆動入出力特性を示す図である。

【図17】実施形態1の6ビットデジタル駆動走査シーケンスを示す図である。

【図18】実施形態1の7ビットデジタル駆動走査シーケンスを示す図である。

【図19】実施形態2のポリシリコンTFT画素回路1を示す図である。

【図20】実施形態2のポリシリコンTFT画素回路2を示す図である。

【図21】実施形態2のゲートドライバ構成図である。

30

【図22】実施形態2のデジタル駆動イネーブルタイミングチャートを示す図である。

【図23】実施形態3のゲートドライバ構成図である。

【図24】実施形態3の8ビットデジタル駆動走査シーケンスを示す図である。

【図25】実施形態3のデジタル駆動タイミングチャートを示す図である。

【図26】実施形態3のデジタル駆動イネーブルタイミングチャートを示す図である。

【図27】実施形態3の8ビットデジタル駆動タイミング設定テーブルを示す図である。

【図28】実施形態4のゲートドライバ構成図である。

【図29】実施形態4のデジタル駆動イネーブルタイミングチャートを示す図である。

【図30】実施形態5のアモルファスシリコンTFT画素回路を示す図である。

【符号の説明】

40

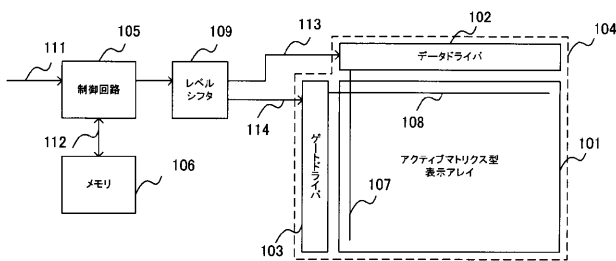
【0139】

101, 301 表示アレイ、102, 302 データドライバ、103, 303 ゲートドライバ、104 表示デバイス、105, 304 制御回路、106, 305 フレームメモリ、107, 306 データ線、108, 307 ゲート線、109 レベルシフト、111, 311 入力バス、112, 312 メモリバス、113, 313 データ信号バス、114, 314 ゲート信号バス、201, 3001 有機EL素子、202, 3002 駆動制御TFT、203, 3003 書き込み制御TFT、204, 3004 保持容量、211, 3011 電流供給線、212, 3014 基準電位線、401 データバス、402 シフトレジスタ、403 第1データラッチ、404 第2データラッチ、405 バッファ、406 データ転送制御線、501, 2101, 23

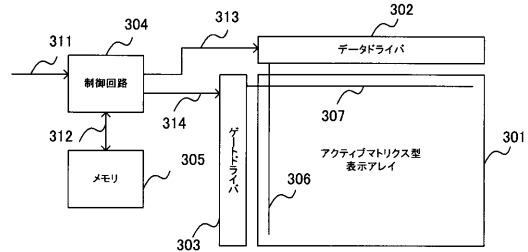
50

01, 2801 シフトレジスタ、502, 2102, 2302, 2802 イネーブル回路、503, 2103, 2303, 2803 レベルシフタ、504, 2104, 2304, 2804 バッファ、1902, 2002 電流供給線、1903, 2003 ゲート線 A、1904, 2004 ゲート線 B。

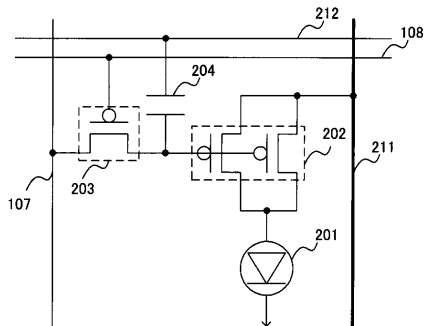
【 図 1 】



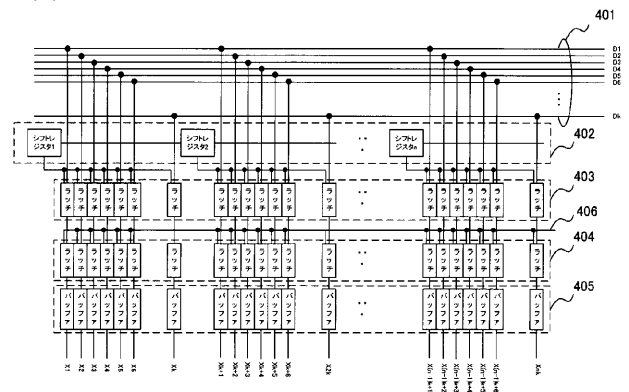
【 図 3 】



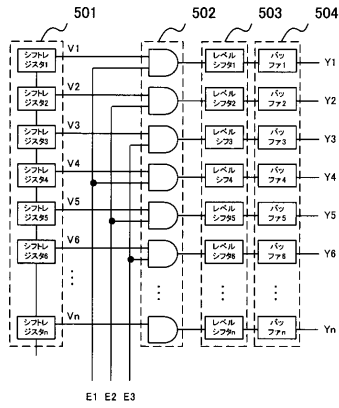
【 図 2 】



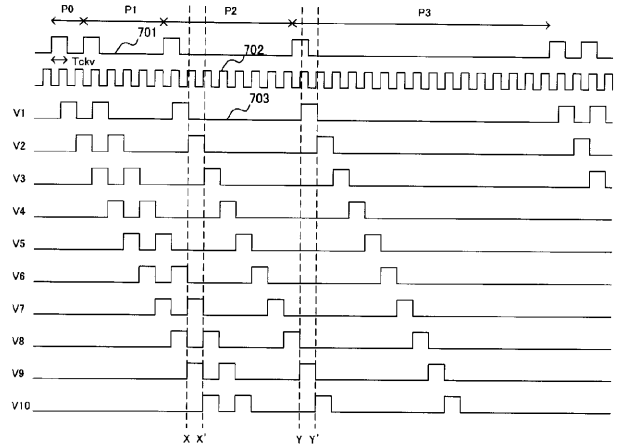
【 図 4 】



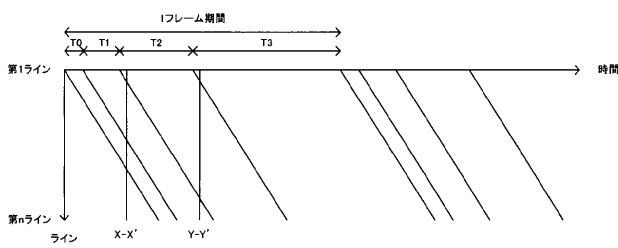
【 図 5 】



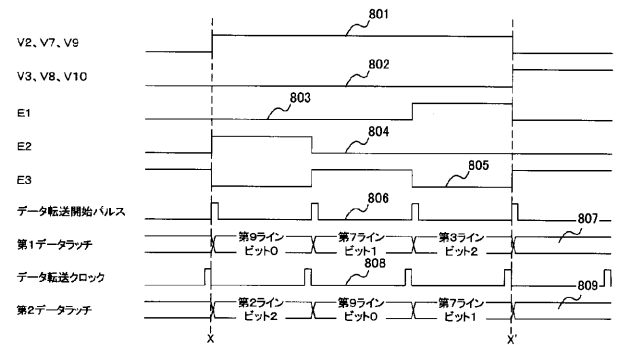
【 図 7 】



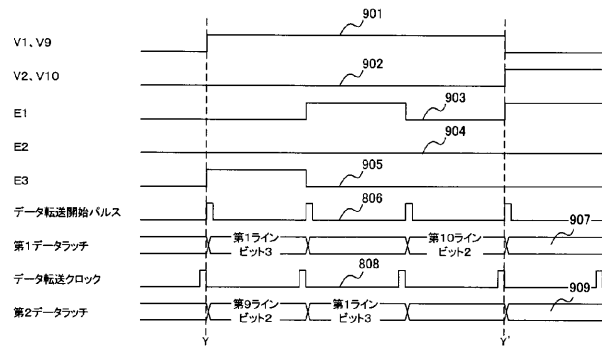
【 図 6 】



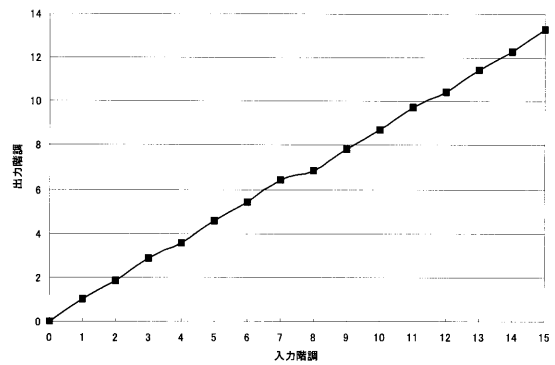
【 図 8 】



【 図 9 】



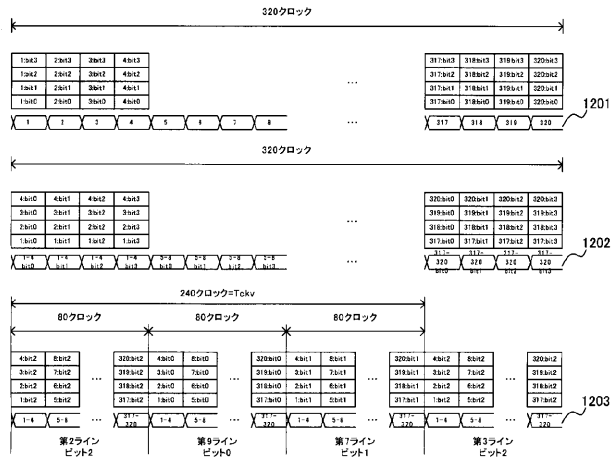
【 図 11 】



【 図 10 】

順序	パルス間隔 P(Tckv)	サブフレーム期間 T'(Tckv)	比率
SF0	2	2+1/3	1
SF1	3	4+1/3	1.86
SF2	1	8+1/3	3.57
SF3	2	16	6.86

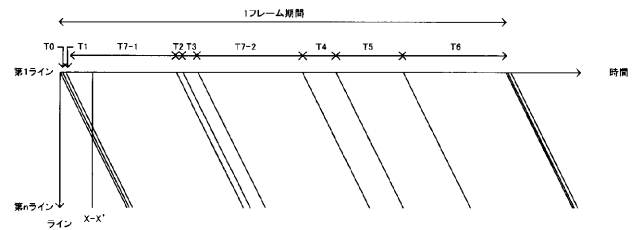
【 図 1 2 】



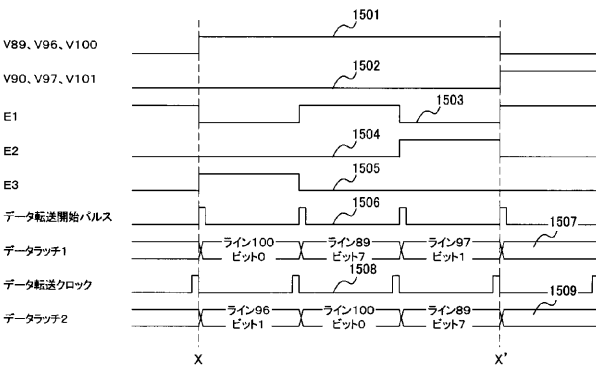
【 図 1 3 】

	順序	パルス間隔 P(Tckv)	サブフレーム期間 T(Tckv)	比率	
	SF0	2	4	3+2/3	1
	SF1	1	7	7+2/3	2.09
	SF7-1	3	256	255+2/3	69.73
	SF2	2	16	15+2/3	4.27
	SF3	1	31	31+2/3	8.64
	SF7-2	3	256	255+2/3	69.73
	SF4	2	64	63+2/3	17.36
	SF5	1	127	127+2/3	34.82
	SF6	3	256	255+2/3	69.73

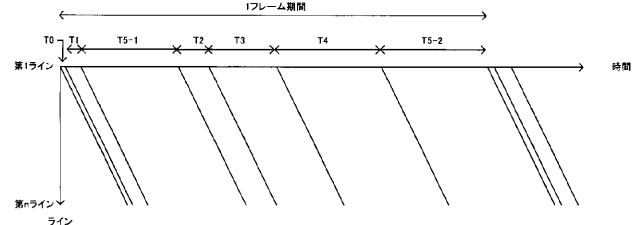
【 図 1 4 】



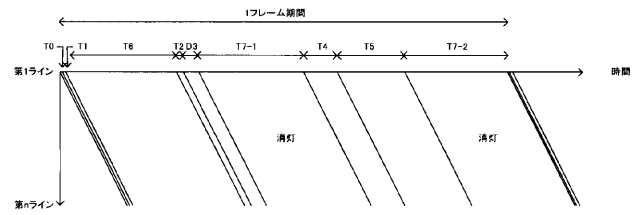
【 図 1 5 】



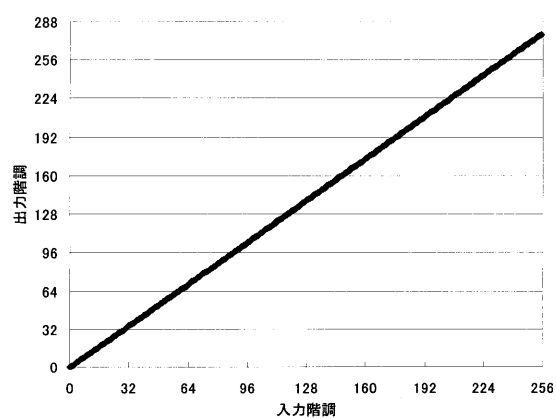
【 図 1 7 】



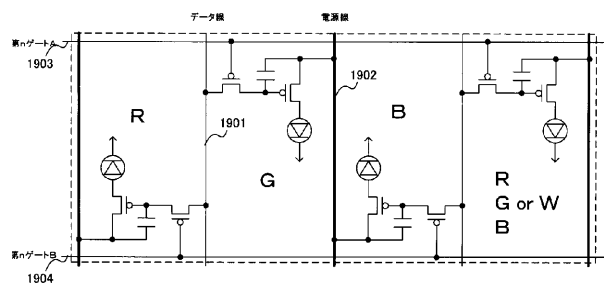
【 図 1 8 】



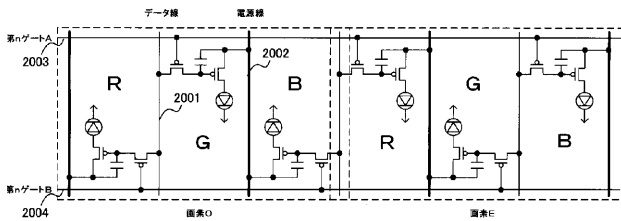
【 図 1 6 】



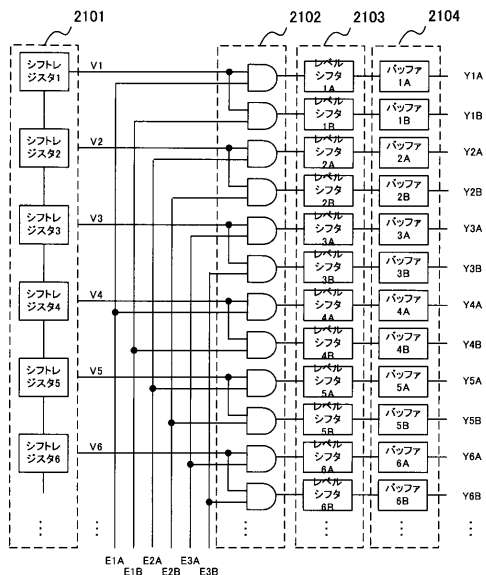
【 図 1 9 】



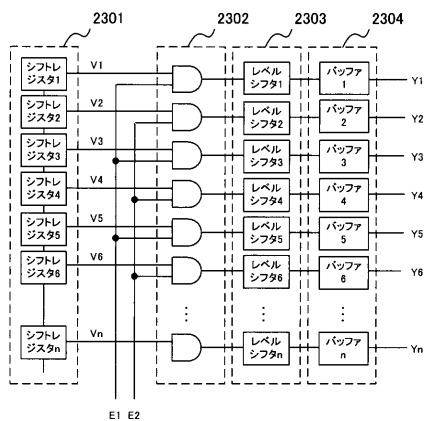
【図20】



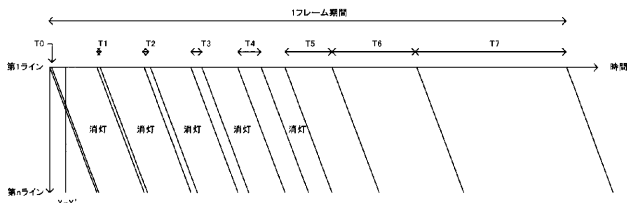
【図21】



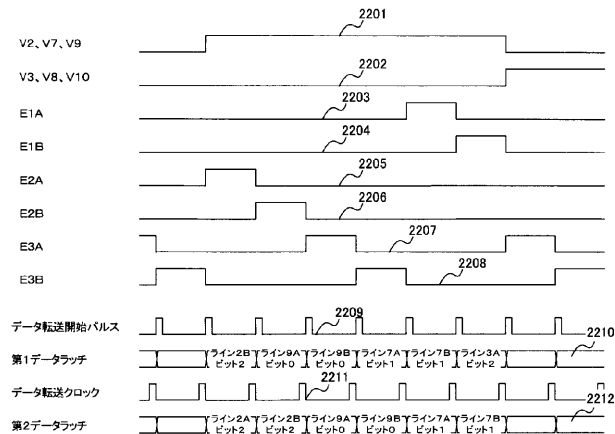
【図23】



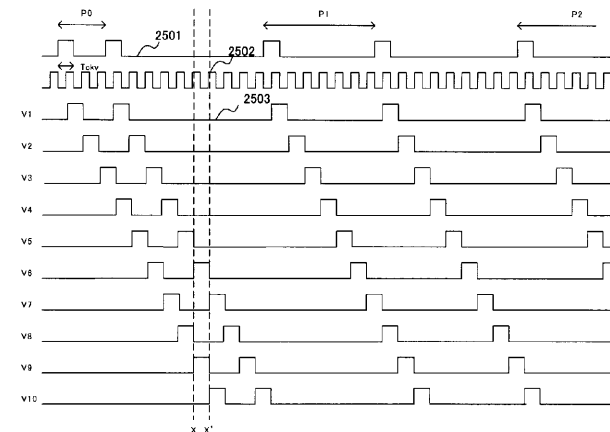
【図24】



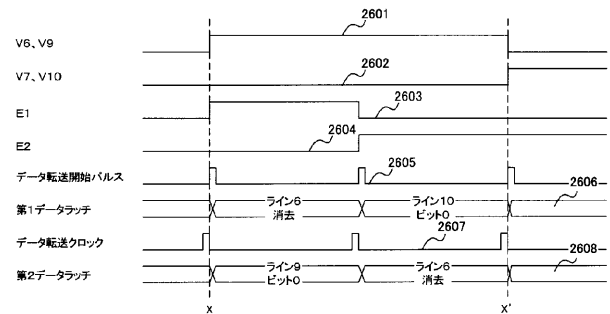
【図22】



【図25】



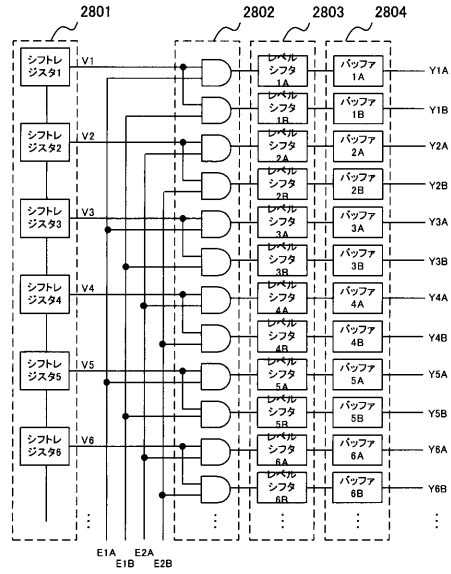
【図26】



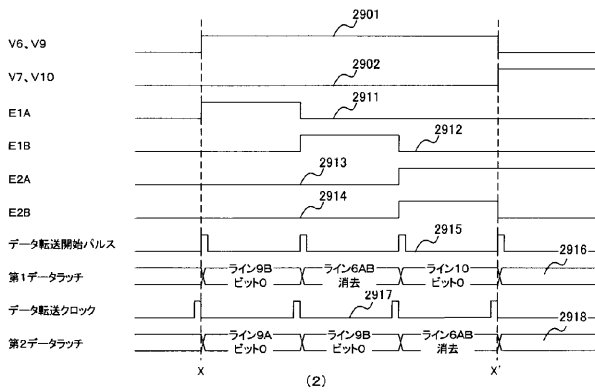
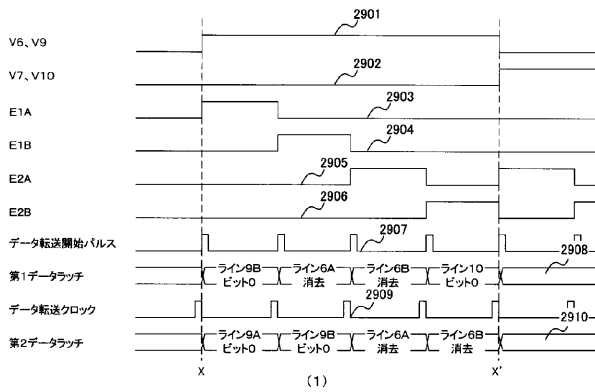
【図 27】

	パルス間隔 P(Tclk)	サブフレーム期間 T(Tclk)	比率
SF0	7	7.5	1
SF1	15	15.5	2.067
SF2	31	31.5	4.2
SF3	63	63.5	8.467
SF4	127	127.5	17
SF5	240	240	32
SF6	480	480	64
SF7	960	960	128

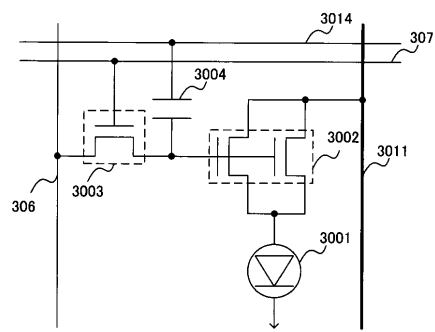
【図 28】



【図 29】



【図 30】



---

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 EE29 FF11 FF12 JJ02 JJ03 JJ04  
JJ05

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2005331891A</a>	公开(公告)日	2005-12-02
申请号	JP2004152622	申请日	2004-05-21
[标]申请(专利权)人(译)	伊斯曼柯达公司		
申请(专利权)人(译)	伊士曼柯达公司		
[标]发明人	川边和佳		
发明人	川边 和佳		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 G09G3/36 H05B33/14		
CPC分类号	G09G3/3233 G09G3/20 G09G3/2029 G09G3/2033 G09G3/3266 G09G3/3291 G09G3/3677 G09G2300/0439 G09G2300/0452 G09G2300/0842 G09G2360/12		
FI分类号	G09G3/30.J G09G3/30.H G09G3/20.622.E G09G3/20.622.K G09G3/20.641.E G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AC04 5C380/AC07 5C380/AC12 5C380/BA01 5C380/BA11 5C380/BA28 5C380/BA29 5C380/BB09 5C380/BB21 5C380/BE03 5C380/CA04 5C380/CA08 5C380/CA17 5C380/CA32 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CD013 5C380/CF01 5C380/CF02 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF24 5C380/CF32 5C380/DA02 5C380/DA09		
代理人(译)	吉田健治 石田 纯		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：防止在执行数字驱动时增加电路规模。用于使能栅极驱动器的移位寄存器的输出的使能电路每三行连接到相同的使能控制线E1至E3中的任何一个，并且同时移位寄存器的相同输出是通过时分在不同时间启用。另外，第一数据，第二数据和第三数据在时分分为三的第一，第二和第三时段期间被提供给数据线。 点域5

