

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-524555
(P2004-524555A)

(43) 公表日 平成16年8月12日(2004.8.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611A	5C058
H04N 5/70	G09G 3/20 611J	5C080
H05B 33/14	G09G 3/20 621A	
	G09G 3/20 622N	
審査請求 未請求 予備審査請求 有 (全40頁) 最終頁に続く		

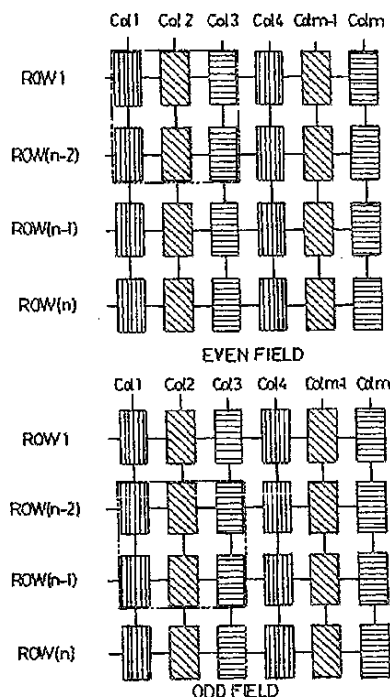
(21) 出願番号	特願2002-553753 (P2002-553753)	(71) 出願人	503224987
(86) (22) 出願日	平成13年12月19日 (2001.12.19)		アイファイアー テクノロジー インコーポレーティッド
(85) 翻訳文提出日	平成15年6月20日 (2003.6.20)		カナダ, アルバータ, ティー8エル 3ダブリュ4, フォート サスカチュワン, 10102-114 ストリート
(86) 国際出願番号	PCT/CA2001/001844	(74) 代理人	100094145
(87) 国際公開番号	W02002/052535		弁理士 小野 由己男
(87) 国際公開日	平成14年7月4日 (2002.7.4)	(74) 代理人	100106367
(31) 優先権主張番号	09/747,464		弁理士 稲積 朋子
(32) 優先日	平成12年12月22日 (2000.12.22)	(72) 発明者	チェン, チョン-ファイ
(33) 優先権主張国	米国 (US)		カナダ, オンタリオ エル3エックス 1エム2, ニューマーケット, 1072 ロックウッド サークル
最終頁に続く			

(54) 【発明の名称】 画素共用型エレクトロルミネセンスディスプレイの駆動システム

(57) 【要約】

エレクトロルミネセンス表示装置およびその駆動方法を提供する。複数画素を含む行を複数の副画素セットに分割し、隣合う副画素を含む上位集合体から幾つか別々の副画素セットをアドレスする。アドレスした副画素向け画像データは、隣合う副画素向け画像データと平均化され、数が少なくなったより大きな副画素に順に適用される。こうすることにより、入力された一連の所与フレームデータセットについて、パネルのいずれの個所においても、副画素の一部に対して1フレームにかかる時間平均は、従来技術によるパネルにおいて従来通りにアドレスされる副画素にかかる時間と実質的に同じになる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

アドレスできる複数の行と、ビデオデータの連続フレームが適用され、前記行と交差して、セットとしてグループ分けされると画素をなす複数の副画素を形成する複数列とを有するパッシブマトリクス表示装置の駆動方法における、前記ビデオデータの 1 フレームに含まれる各サブフレームセット用に、前記画素を取り囲んでいる前記副画素の上位集合体から、前記画素を形成している前記副画素の固定数からなるセットを選択するために、前記行の連続する複数対を同時にアドレスすることと、前記ビデオデータのフレームにかかるビデオデータの平均時間が前記フレームについて表示されるビデオ画像に基づくように、ビデオデータを前記副画素セットのそれぞれに適用することを含む改良。

10

【請求項 2】

固定された隣合う 3 列と、飛越しフォーマットにしたがって選択された隣合う 2 行と、が交差することでそれぞれが形成される副画素を 6 個含むセットを 2 セット有する、請求項 1 に記載の改良。

【請求項 3】

固定された隣合う 3 列と、奇数セットおよび偶数セットに交互にグループ分けする順次フォーマットにしたがって選択された隣合う 2 行と、が交差することでそれぞれが形成される副画素を 6 個含むセットを 2 セット有する、請求項 1 に記載の改良。

【請求項 4】

隣合う副画素を 5 個含む上位集合体から選択されて、2 行にわたる副画素三つ組として組み合わせられた副画素を 3 個含むセットを 3 セット有し、各セットが共通の副画素を有する、請求項 1 に記載の改良。

20

【請求項 5】

副画素の各セットが、フルカラー表示装置用に、赤の副画素 2 個と、緑の副画素 2 個と、青の副画素 2 個とからなる、請求項 2 または 3 に記載の改良。

【請求項 6】

副画素を 3 個含む各セットが、フルカラー表示装置用に、赤の副画素 1 個と、緑の副画素 1 個と、青の副画素 1 個とからなる、請求項 4 に記載の改良。

【請求項 7】

3 行にわたって隣合う副画素を 7 個含む上位集合体から選択されて、2 行にわたる副画素三つ組として組み合わせられた副画素を 3 個含むセットを 6 セット有し、各セットが共通の副画素を有する、請求項 1 に記載の改良。

30

【請求項 8】

副画素を 3 個含む各セットが、フルカラー表示装置用に、赤の副画素 1 個と、緑の副画素 1 個と、青の副画素 1 個とからなる、請求項 7 に記載の改良。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してフラットパネルディスプレイに関し、特に、表示パネルの輝度およびエネルギー効率を向上させる、または、パネルの見かけ上の空間的解像度を向上させることを目的に、フラットパネルディスプレイに形成された行画素を共用しながらアドレスする方法に関する。

40

【背景技術】

【0002】

エレクトロルミネセンスディスプレイは、陰極線管に対して動作電圧が低いこと、液晶ディスプレイに比べて画質が優れ、視野角が広く、応答時間が短いこと、また、プラズマ表示パネルよりもグレースケール性能が高く、プロファイルが薄いことから有利である。

図 1 および図 2 に示すように、エレクトロルミネセンスディスプレイは、2 枚の誘電体フィルムの間封入された蛍光体フィルムの両側に配置された、行（行 1、行 2 など）および列（列 1、列 2 など）と呼ばれる 2 組の交差する平行な導電性アドレス線のセットを有

50

する。画素は、1つの行と1つの列との間の交点として定義されるものである。したがって、図2は、行4と列4との交点に形成された画素を通る断面図である。各画素は、電圧を行と列との交点を横切って印加することにより発光する。

【0003】

行列をアドレスするには、閾値電圧より低い電圧を1行に印加すると同時に、その行を二分する各列に逆極性の変調電圧を印加する必要がある。この行および列に印加された電圧が合わさることで、所望照度に基づいた合計電圧が各副画素に付与され、その画像の1本の線が生成される。もう1つの方式は、その行に最大副画素電圧を印加し、同じ極性の変調電圧をその列に印加するものである。この場合、画素の電圧を所望画像にしたがって設定するように、変調電圧の大きさをその最大電圧と閾値との差に基づいて決定する。いずれの場合も、1行をアドレスしたら次の行を同様にアドレスして、行のすべてをアドレスする。非アドレス行は開回路として残る。

10

【0004】

行すべてを順にアドレスすることにより、完全なフレームが形成される。通常、ヒトの目に見える、フリッカのないビデオ画像が生成されるまでに、新たなフレームは1秒当たり少なくとも約50回の割合でアドレスされる。

通常、各副画素要素の電気容量が比較的高いことから、このようなパネルのエネルギー効率は極めて低い。一定範囲の電圧を、各行のアドレスに相当するように列にも同時に印加すると、アドレスされていないために電氣的に浮遊状態である、残りの行上の画素が部分的に充電される。高解像度ディスプレイの場合などのように列数が多ければ、アドレスされた行上の画素の充電および活性に使用されるエネルギーに比較して、非アドレス画素の部分的充電に使われるエネルギーの比率が、極めて高くなる可能性がある。このため、表示パネルのエネルギー効率全体が著しく低くなりかねず、解像度が高くなるにつれて、エネルギー効率は低くなりがちとなる。

20

【0005】

画素の充電に伴う抵抗損失を最小限に抑えられれば、エレクトロルミネセンスディスプレイのエネルギー効率を高めることができる。この損失は、ピーク充電電流を最小限にし、充電回路における素子抵抗を最小にすることで、最小限に抑えられる。一般に、前者の条件は、画素を定電流で充電することで実現できる。画素内に格納された容量性エネルギーを部分的に回収することでも、エネルギー効率を高めることができるが、これは、有効なパネルの電気容量が、非アドレス行上の画素の部分的充電程度次第で大きく変化するということから、複雑である。

30

【0006】

エレクトロルミネセンスディスプレイの効率を高めるため、これまでにさまざまな手法がとられてきた。特許文献1には、蛍光体膜の厚さとディスプレイに使用する誘電体層の電気容量とを慎重に選択することでエレクトロルミネセンスディスプレイの電力消費を最小限に抑える技術が教示されている。特許文献2には、次のフレームでも同じ列電圧が特定行に必要な場合にはその列電圧をその行上に維持することで電力消費を削減するシステムが教示されている。この方式では、連続フレーム間で画像データを比較するという複雑なフィードバックシステムが必要である。特許文献3には、エレクトロルミネセンスディスプレイに対して3成分型駆動電圧が使用されて、電圧成分の1つが画素すべてに印加されることにより、点灯していない画素への電力散逸を削減することが開示されている。特許文献4には、これより効率のよいディスプレイ駆動装置が記載されている。この駆動装置では、エネルギーの回収が最大限に行われ、抵抗損失が最小限に抑えられる。以上の方法により、エレクトロルミネセンスディスプレイの操作効率はかなり改良されたが、従来のCRTビデオディスプレイに対抗する技術としてエレクトロルミネセンスディスプレイを提供するには、まだ改良の余地がある。そこで、本願発明者らは、非アドレス画素に伴う相対的エネルギー損失を削減すれば、こうした改良が得られることに気付いた。

40

【特許文献1】

米国特許第4,847,609号

50

【特許文献2】

米国特許第5,856,813号

【特許文献3】

米国特許第5,517,207号

【特許文献4】

米国特許出願第09/504,472号

【発明の開示】

【0007】

本発明の一態様における1つの目的は、輝度およびエネルギー効率を高め、アドレス線ドライバの数を削減して、従来技術によるシステムよりビデオデジタル処理回路を簡素化したエレクトロルミネセンスディスプレイと、これを駆動する方法とを提供することである。本発明において、この目的は、複数の画素を含む行を副画素グループまたはセットに分割し、隣接しているより大きなセットの副画素内から幾つかの異なる副画素セットを選択してアドレスすることにより実現される。アドレスした副画素の画像データは、隣接する副画素の画像データと平均化されて、数の少なくなったより大きな副画素に順に適用される。これにより、一連の所与入力フレームデータセットに対して、パネルのいずれの箇所においても、副画素部分に対して1フレームにかかる時間平均は、従来技術によるパネルにおいて従来の方法でアドレスされる副画素の場合と実質的に同じになる。

10

別法として、本発明は、上述した方法を用いて輝度およびエネルギー効率を維持しつつ、所定画素数を有するディスプレイの見掛上の空間的解像度を向上させることができる。

20

以上のみならず、本発明の他の利点および特徴が、添付の図面を参照しながら記載する以下の詳述から当業者には明白になるであろう。

【発明を実施するための最良の形態】

【0008】

以下、本明細書内に本発明の実施形態を幾つか記載する。これらの中から、ディスプレイフォーマットや性能パラメータ、とりわけ、電力消費、光度、表示される画像の種類および画質間のトレードオフに応じて、最良な実施形態を選択することができる。

好ましくは、本発明による画素を共用しながらの複線走査方法を、図1および図2を参照しながら上述したように、厚膜誘電体層を有するカラーエレクトロルミネセンスディスプレイでの使用向けに最適化する。この厚膜エレクトロルミネセンスディスプレイとは、2層の誘電体層(図2参照)のうち一方が誘導率の高い厚膜層を含むという点で従来の薄膜エレクトロルミネセンスディスプレイと異なるものである。図2には示していないが、第2の誘電体層は誘導破壊に耐えられないものでもよい(すなわち、厚い方の層がこの機能を果たす)ことから、この層を、薄膜エレクトロルミネセンスディスプレイで使用されている誘電体層よりさらに実質的に薄くすることができる。Wuら(米国特許第5,432,015号)により、こうしたディスプレイ用の厚膜誘電体層を形成する方法が教示されている。

30

【0009】

厚膜エレクトロルミネセンスディスプレイに用いる誘電体層の性質により、図3に示した等価回路内の値は、薄膜エレクトロルミネセンスディスプレイの場合と実質的に異なるようになる。特に、 C_d 値は、薄膜エレクトロルミネセンスディスプレイの場合より大幅に大きくなる。 C_d 値が上昇することにより、パネル電気容量が、印加された行電圧および列電圧に応じて薄膜ディスプレイの場合の容量を上回るため、これが、非アドレス行に散逸される相対電力を削減するためのより大きな推進力となる。

40

【実施例1】

【0010】

複線走査方式ディスプレイ

本発明の特徴的な事例によれば、2行または複線走査方法が得られる。この方法により、ディスプレイの隣合う2行が同じデータによりアドレスされるため、ビデオの1フレーム内でアドレスすべきビデオデータ量が削減される。この手段により、ディスプレイをアド

50

レスするために必要な、フレーム毎の連続アドレスステップ数を削減できるため、ディスプレイのフレームレートを上げることができる。ディスプレイの光度はフレームレートにほぼ比例するため、このディスプレイでは光度がおよそ2倍となる。

【0011】

複線走査は、順次走査および飛越し走査という2種類の方法の一方で実施可能である。順次走査方法では、各フレームについて同じ行対が用いられる。複線式順次走査の場合、上述したように、各ビデオフレームで表示されるビデオデータ量が減るため、解像度が低下することを理解されたい。一方、複線式飛越し走査の場合、画素は交互に2種類のセットに分けられる。本明細書ではこれを奇数セットおよび偶数セットとする。偶数セットは、図4の左側に示すように、行1および行2から、行3および行4など、最後の2行である (n-1) 行およびn行までの線対を含み、奇数セットは、図4の右側に示すように、行2および行3から、行4および行5など、(n-2) 行および(n-1) 行までの対を含む。行1および行nは、奇数フレームではアドレスされないため、ディスプレイの頂部および底部で画像データが欠けることになるが、このディスプレイに2行を追加すれば、このアーチファクトを克服することができる。

10

【0012】

パッシブマトリクス方式のアドレス用ソフトウェアをわずかに変更するだけで、同じディスプレイで順次走査方法も飛越し走査方法も利用可能である。これに対して、他の表示技術は、順次走査から飛越し走査への変換、およびその逆の変換に、複雑なデジタルエレクトロニクスを用いている。こうした複雑なデジタルエレクトロニクスを不要にすることで、本発明による線走査方法は、従来技術に比べてその回路を簡素化することができ、必要な構成要素数も少なくなっている。したがって、一定のフレームレートで動作してフィールドリフレッシュレートを60Hz以上とする線数480本のディスプレイの場合、ビデオ解像度を低下させることなく(順次走査方式と比較して)、複線走査を用いて標準NTSC飛越し方式ビデオを見ることができ、上述したように、NTSC方式ビデオの各480線フレームは、奇数領域および偶数領域に分けられるが、そのビデオ画像は、視聴者の目により平均化されて、目だったアーチファクトのない滑らかなビデオ画像として認知される。

20

【0013】

ディスプレイのエネルギー効率を向上できることが、本発明による線走査方法の特徴である。この特徴を、以下に、単線走査方法を用いる従来のディスプレイと本発明の複線走査方法を用いる点以外は従来と同じディスプレイとを比較して例示する。エネルギー効率は、表示される画像の性質に依存して変化するため、320×240画素で対角線が22cmであるカラーディスプレイに対する2つの試験パターンを用いて比較を行う。第1のパターンは、白い垂直バーをスクリーンの半分に形成したものであり(赤、緑および青の副画素が等電圧で照明されている)、第2のパターンは、均一に照明された白いスクリーンであった。

30

【0014】

この試験のために、ディスプレイを、米国特許出願第09/540,288号「ELECTROLUMINESCENT LAMINATE WITH PATTERNED PHOSPHOR STRUCTURE AND THICK FILM DIELECTRIC WITH IMPROVED DIELECTRIC PROPERTIES」に記載された方法にしたがって厚膜誘電体を用いて形成し、米国特許出願第09/504,472号「ENERGY EFFICIENT RESONANT SWITCHING ELECTROLUMINESCENT DISPLAY DRIVER」に記載された概念を取り入れた駆動回路を用い、日立製2103行ドライバおよびSuperTex製629列ドライバを用いて操作した。このディスプレイの閾値電圧は150ボルトであった。このディスプレイを、240Hzのリフレッシュレートで動作させた。

40

【0015】

この効率とは、ルーメン単位で測定される光学的出力値を、行および列への入力電力合計

50

で割った比率として表されたものである。行電力のほとんどがアドレスされた行で消費されるが、アドレスされた行およびアドレスされなかった行から列へ移入する電力もあるため、行および列への入力電力を別々に測定した。

試験画像パターンのそれぞれについて、輝度と、列および行への電力入力と、数種類の変調電力を用いた単線走査および複線走査による全体的エネルギー効率とを、表1および表2にまとめる。複線走査によるエネルギー効率の単線走査によるエネルギー効率に対する比率も同時に掲載する。

【0016】

【表1】

スクリーン半分のバーパターンにおけるエネルギー効率の比較

変調電圧 (ボルト)	走査方法	輝度 (cd/m ²)	行電力 (ワット)	列電力 (ワット)	効率	
					(ルーメン/ワット)	効率比
30	単線	12	8.1	10.8	0.62	
30	複線	16	10.1	12.8	0.67	1.1
40	単線	27	9.1	17.2	1.04	
40	複線	38	12.2	18.5	1.24	1.2
50	単線	43	11.0	24.2	1.23	
50	複線	74	16.2	27.0	1.72	1.4
60	単線	56	13.1	33.2	1.22	
60	複線	102	20.0	37.0	1.78	1.5

10

20

【0017】

【表2】

スクリーン全体照明におけるエネルギー効率の比較

変調電圧 (ボルト)	走査方法	輝度 (cd/m ²)	行電力 (ワット)	列電力 (ワット)	効率	
					(ルーメン/ワット)	効率比
30	単線	8	8.9	9.6	0.42	
30	複線	8	11.2	10.6	0.34	0.8
40	単線	25	12.3	12.9	1.00	
40	複線	28	17.0	14.8	0.88	0.9
50	単線	42	16.0	17.8	1.22	
50	複線	56	22.4	20.8	1.29	1.1
60	単線	56	19.9	24.7	1.26	
60	複線	87	29.0	29.5	1.49	1.2

30

40

1行走査に比較した2行走査による相対的エネルギー効率の分析を簡単に説明すると以下のようになる。アドレスされた行に散逸される電力を P_x とし、非アドレス行に散逸される電力を P_y とすると、 n 行を含むディスプレイの単線走査の場合、このディスプレイに対する電気-光総合エネルギー効率 E_s は、

50

【 0 0 1 8 】

【 数 1 】

$$E_s = \eta_p \eta_s P_x / (P_x + n P_y) \quad (1)$$

となる。このとき、 η_p は、アドレスされた行に対する電気 - 光エネルギー変換効率であり、 η_s は、単線走査における負荷条件下でのパネルへの電力移動効率である。複線走査方式を用いる場合、そのエネルギー効率は、

【 0 0 1 9 】

【 数 2 】

$$E_d = 2 \eta_p \eta_d P_x / (2 P_x + n P_y) \quad (2)$$

から得られ、このとき、 η_d は、複線走査における負荷条件下でのパネルへの電力移動効率であり、他のパラメータは、上述した通りである。高解像度ディスプレイに限定した場合、すなわち、 $n P_y \ll P_x$ とすると、上記式は簡略化されて、

【 0 0 2 0 】

【 数 3 】

$$E_s = \eta_p \eta_s P_x / n P_y \quad (3)$$

【 0 0 2 1 】

【 数 4 】

$$E_d = 2 \eta_p \eta_d n P_y / n P_y \quad (4)$$

となる。

上記式から、 $\eta_d = \eta_s / 2$ であれば、複線走査における効率は、単線走査の場合より高くなるのがわかる。無論、複線走査ではドライバの負荷が大きくなるために η_d は一般に η_s を下回る数値であるが、ドライバのインピーダンスが比較的低い場合には特に、多くの環境で上記不等式が成立し得ることに留意されたい。

【 0 0 2 2 】

上記分析を考慮すると、表 1 および表 2 のデータを理解することができる。非アドレス行に対する列電力は、均一に点灯したパネルでは比較的低い(表 2)。この場合、列すべてに印加された電圧は同じであり、列と容量結合しているために非アドレス行に散逸した電力は、最小限に抑えられている。複線走査における光度は、変調電圧が低いほど特に、単線走査に比較してさほど高くないことにも留意されたい。これは、複線走査の場合、負荷増加によってドライバの電圧が低下したために、画素に印加される電圧が大幅に減少したことを示している。したがって、単線走査の場合に比較した複線走査の効率比は 1 に近く、実際、低い調整電圧では 1 をやや下回っている。

【 0 0 2 3 】

これに対して、スクリーン半分のバーパターンの場合(表 1)、非アドレス行への散逸電力が多く、このため、行および列ドライバに対する負荷が全体的に増加して電力移動効率 η_s および η_d が低下しているにもかかわらず、行電力値に比較して列電力値が高くなり、単線走査よりも複線走査の効率比が高くなっている。非アドレス行における相対的電力散逸が最高変調電圧で最大であるため、複線走査での効率ゲインは最高変調電圧で最も高くなっている。

【 0 0 2 4 】

表 2 の試験パターンの方が、通常のビデオ画像に近い構造であるため、本発明による複線走査方法の特徴であるエネルギー効率改良点をより一層理解できるものである。複線走査に

10

20

30

40

50

よる効率ゲインは、インピーダンスがさらに低いドライバを用いれば、上述した場合よりさらに高くなることを理解されたい。

【実施例 2】

【0025】

共用型副画素の設計

図 5 は、本発明の別の実施形態を例示したものである。この実施形態では、フルカラーディスプレイ用の三つ組画素設計が提供されている。この実施形態によれば、複数の個別副画素からなる隣合う 2 行から、赤、緑および青の物理的表示画素が副画素の三角形アレイとして選択またはアドレスされる。例示した実施形態において、副画素セットを選択した上位集合体に含まれる物理的表示画素数は 5 個である。被選択セットに含まれる副画素数は 3 個であるため（赤の副画素 1 個、緑の副画素 1 個、および青の副画素 1 個）、各被選択セットにより図解され得るビデオデータの画素数も 3 個である。当業者であれば、三つ組画素設計に対する他の実施可能な構成を考えられるであろう。

10

【0026】

図 5 の副画素共用構造を、順次走査方式（すなわち、行 R 1 および行 R 2 の中で画素を共用した後、行 R 3 および行 R 4 で同じことを行い、以下これに続く）でアドレスする。別法として、図 6 を参照しながら以下でさらに詳細に説明するように、飛越し走査方式を用いてもよい（すなわち、行 R 1 および行 R 2 の中で画素を共用した後、行 R 2 および行 R 3 で同じことを列い、以下これに続く）。図 5 の実施形態についてフレームレートを 50 ~ 60 Hz とするには、画素リフレッシュレートをその 3 倍にしなければならない。入ってくるビデオフレームは、別々の 3 領域に分割され、これらが連続して表示される。したがって、第 1 の領域では、赤 (R 1 C r 1)、青 (R 2 C b 1)、緑 (R 1 C g 1) ; 赤 (R 1 C r 2)、青 (R 2 C b 3)、緑 (R 1 C g 3) などにより画成される副画素セットが照明される。第 2 の領域では、青 (R 2 C b 1)、緑 (R 1 C g 1)、赤 (R 2 C r 2) ; 青 (R 2 C b 3)、緑 (R 1 C g 3)、赤 (R 2 C r 3) などにより画成される副画素セットが照明され、第 3 の領域では、緑 (R 1 C g 1)、赤 (R 2 C r 2)、青 (R 1 C b 2) などにより画成される副画素セットが照明される。視聴者がこれを見ると、視聴者の目で光学的にビデオフレームを平均化されるため、従来のビデオデータによる 1 フレームのように見える。

20

【0027】

図 5 の実施形態によれば、従来のパッシブマトリクスディスプレイにおける副画素数に比較して、副画素数の 60% 削減が実現される。同様に、見掛上の解像度を変えずに列ドライバ数を削減するため、ディスプレイ、ならびにそのディスプレイを組入れるあらゆる装置（テレビジョン製品など）のコストを実質的に削減することができる。

30

【実施例 3】

【0028】

複数行走査を併用する共用型副画素設計

実施例 1 および実施例 2 に記載した 2 つの技術を図 6 のように組み合わせることにより、フラットパネルディスプレイの輝度およびエネルギー効率を改良できると同時にコストを下げることができる。例示したこの実施形態において、副画素セットを選択した上位集合体の物理的表示画素数は 7 個であり、被選択画素セットに含まれる副画素数は 3 個（赤の副画素 1 個、緑の副画素 1 個、および青の副画素 1 個）である。図 5 の実施形態と同様に、副画素共用設計に複線走査を併用するが、図 6 の実施形態では、順次走査方式ではなく飛越し走査方式を用いている。標準 NTSC ビデオに対する入力ビデオフレームレート 30 Hz は、3 つの偶数領域と 3 つの奇数領域との 6 つの領域に分割され、これらが連続的に表示される。上述したように、これら 6 つの領域は視聴者の目によって光学的に平均化されて、NTSC データの 1 フレームとなる。

40

【0029】

以上、複数の特定実施形態を用いて本発明を説明してきたが、当業者であれば、本発明の趣旨や添付した請求の範囲に定める範囲を逸脱することなく、さまざまな変更を本明細書

50

に加えられることが明白であろう。

【図面の簡単な説明】

【0030】

以下、発明の背景ならびに好適実施形態の詳細な説明を、次の図面を参照しながら本明細書内に記載する。

【図1】従来技術による、エレクトロルミネセンスディスプレイに形成された画素の行列配置を示す平面図。

【図2】図1のエレクトロルミネセンスディスプレイにおける1画素を通る断面図。

【図3】図2の画素に対する等価回路。

【図4】本発明の画素アドレス方法である第1の実施形態によるサブフレーム画素の選択を示す概略図。 10

【図5a】本発明の画素アドレス方法である第2の実施形態によるサブフレーム画素の選択を示す概略図。

【図5b】本発明の画素アドレス方法である第2の実施形態によるサブフレーム画素の選択を示す概略図。

【図5c】本発明の画素アドレス方法である第2の実施形態によるサブフレーム画素の選択を示す概略図。

【図6a】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。

【図6b】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。 20

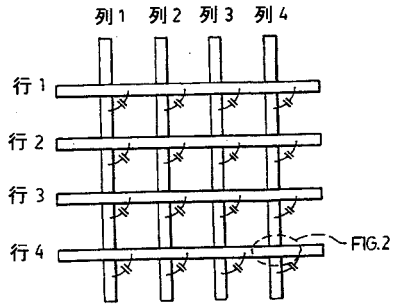
【図6c】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。

【図6d】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。

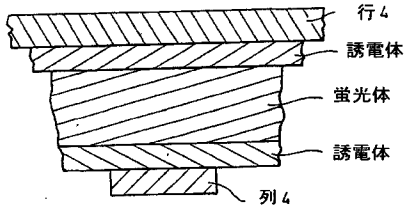
【図6e】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。

【図6f】本発明の画素アドレス方法である第3の実施形態によるサブフレーム画素の選択を示す概略図。

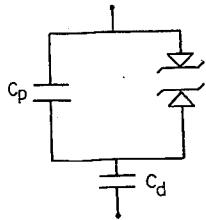
【 図 1 】



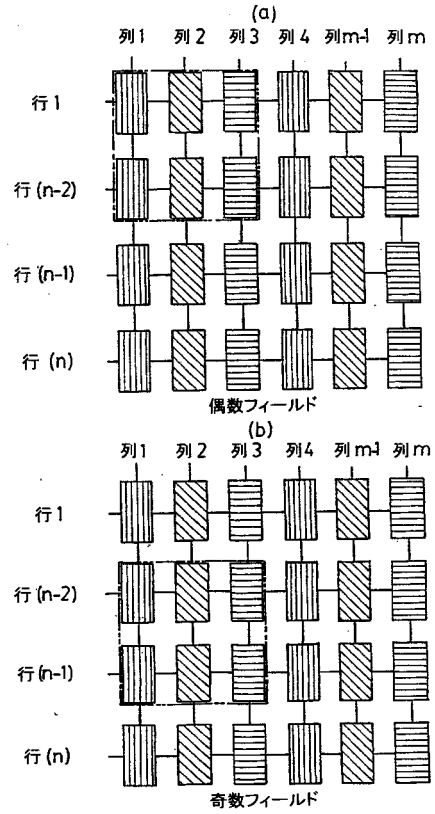
【 図 2 】



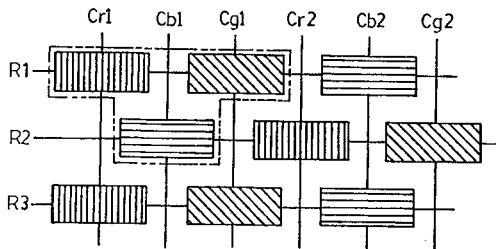
【 図 3 】



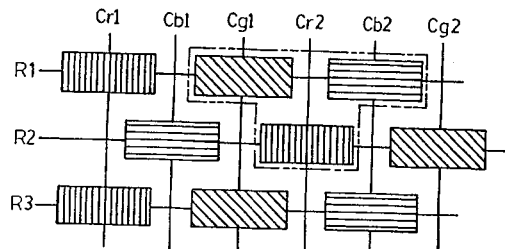
【 図 4 】



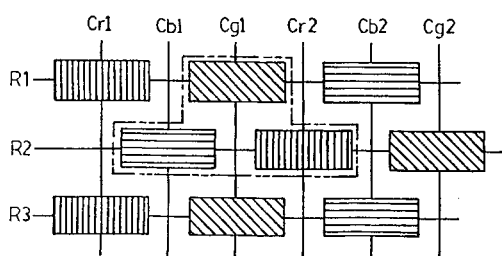
【 図 5 a 】



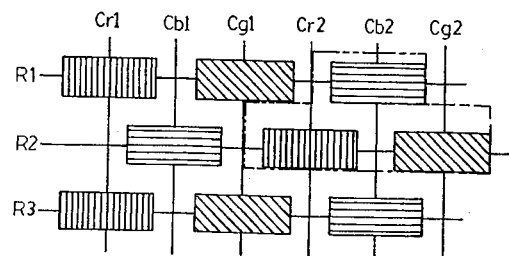
【 図 5 c 】



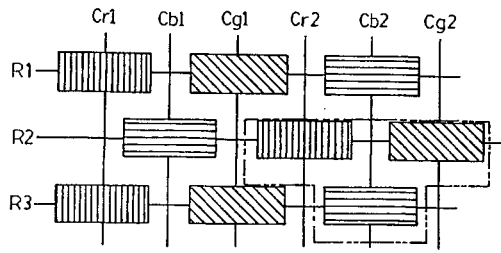
【 図 5 b 】



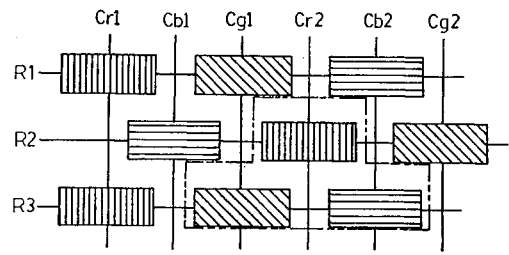
【 図 6 a 】



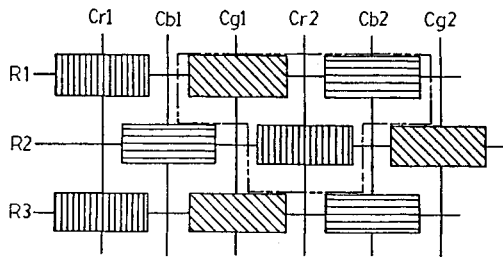
【 図 6 b 】



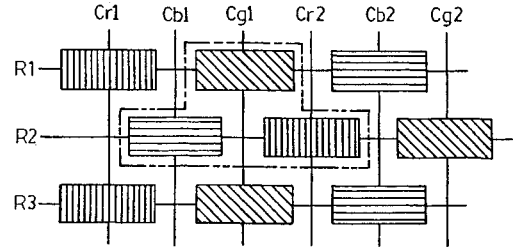
【 図 6 d 】



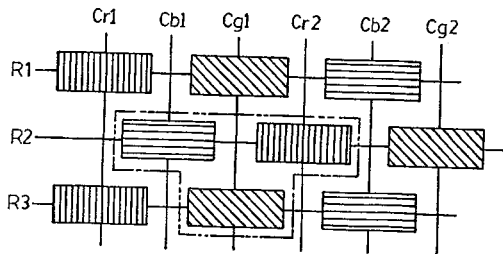
【 図 6 c 】



【 図 6 e 】



【 図 6 f 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
4 July 2002 (04.07.2002)

PCT

(10) International Publication Number
WO 02/052535 A2

(51) International Patent Classification: G09G 3/30, 3/20

(21) International Application Number: PCT/CA01/01844

(22) International Filing Date:
19 December 2001 (19.12.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/747,464 22 December 2000 (22.12.2000) US

(71) Applicant (for all designated States except US): IFIRE
TECHNOLOGY INC. [CA/CA]; 10102 - 114 Street, Fort
Saskatchewan, Alberta T8L 3W4 (CA).

(72) Inventors; and
(75) Inventors/Applicants (for US only): CHENG, Chun-Fai
[CA/CA]; 1072 Lockwood Circle, Newmarket, Ontario
L3X 1M2 (CA). STILES, James [CA/CA]; 37 Brule
Crescent, Toronto, Ontario M6S 4H8 (CA). WU, Ningwei
[CA/CA]; 50 Mount McKinley Lane, Brampton, Ontario
L6R 2C2 (CA). CARKNER, Don [CA/CA]; 781 King
Street West, Apt. 405, Toronto, Ontario M5V 3L6 (CA).
JOHNSTONE, Eiric [CA/CA]; 4069 Clevedon Drive,
Mississauga, Ontario L4Z 1H4 (CA). OUELLETTE, Kirk
[CA/CA]; 56 Newton Avenue, Hamilton, Ontario L8S 1V9
(CA).

(74) Agent: PERRY, Stephen J.; SIM & McBURNIEY, 330
University Avenue, 6th Floor, Toronto, Ontario M5G 1R7
(CA).

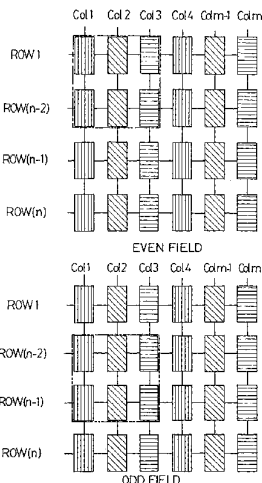
(81) Designated States (national): AE, AG, AL, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,

[Continued on next page]

(54) Title: SHARED PIXEL ELECTROLUMINESCENT DISPLAY DRIVER SYSTEM



WO 02/052535 A2



(57) Abstract: An electroluminescent display and driving method is provided wherein the rows of pixels are divided into sub-pixel sets and several different sets of sub-pixels are then addressed from within a larger super-set of adjacent sub-pixels. The image data for the addressed sub-pixels is averaged with that for adjacent sub-pixels and is applied to the reduced number of larger sub-pixels in sequence. Consequently, for a given sequence of input frame data sets, the time average over one frame for a portion of the sub-pixels at any location of the panel is substantially the same as that for a conventionally addressed sub-pixel in a prior art panel.

WO 02/052535 A2 

CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BI, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

Published:

— without international search report and to be republished upon receipt of that report

(84) Designated States (regional): ARIPO patent (GI, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR,

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/052535

PCT/CA01/01844

SHARED PIXEL ELECTROLUMINESCENT DISPLAY DRIVER SYSTEM**FIELD OF THE INVENTION**

5 The present invention relates generally to flat panel displays, and more particularly to a method of shared addressing of row pixels in a flat panel display for the purpose of increasing the luminance and energy efficiency of the display panel or alternatively increasing the apparent spatial resolution of the panel.

10 BRIEF DESCRIPTION OF THE DRAWINGS

The Background of the Invention and Detailed Description of the Preferred Embodiment are set forth herein below with reference to the following drawings, in which:

15

Fig. 1 is a plan view of an arrangement of rows and columns of pixels on an electroluminescent display, in accordance with the Prior Art;

20

Fig. 2 is a cross section through a single pixel of the electroluminescent display of Figure 1;

25

Fig. 3 is an equivalent circuit for the pixel of Figure 2;

30

Fig. 4 is a schematic illustration of sub-frame pixel selections according to a first embodiment of the inventive pixel addressing method;

Fig. 5 is a schematic illustration of sub-frame pixel selections according to a second embodiment of the inventive pixel addressing method; and

35

Fig. 6 is a schematic illustration of sub-frame pixel selections according to a third embodiment of the inventive pixel addressing method.

WO 02/052535

PCT/CA01/01844

2

BACKGROUND OF THE INVENTION

Electroluminescent displays are advantageous by virtue of their low operating
5 voltage with respect to cathode ray tubes, their superior image quality, wide viewing
angle and fast response time over liquid crystal displays, and their superior gray scale
capability and thinner profile than plasma display panels.

As shown in Figures 1 and 2, an electroluminescent display has two
10 intersecting sets of parallel electrically conductive address lines called rows (ROW 1,
ROW 2, etc.) and columns (COL 1, COL 2, etc.) that are disposed on either side of a
phosphor film encapsulated between two dielectric films. A pixel is defined as the
intersection point between a row and a column. Thus, Figure 2 is a cross-sectional
15 view through the pixel at the intersection of ROW 4 and COL 4, in Figure 1. Each
pixel is illuminated by the application of a voltage across the intersection of row and
column.

Matrix addressing entails applying a voltage below the threshold voltage to a
20 row while simultaneously applying a modulation voltage of the opposite polarity to
each column that bisects that row in two. The voltages on the row and the column are
summed to give a total voltage in accordance with the illumination desired on the
respective sub-pixels, thereby generating one line of the image. An alternate scheme is
to apply the maximum sub-pixel voltage to the row and apply a modulation voltage of
25 the same polarity to the columns. The magnitude of the modulation voltage is up to
the difference between the maximum voltage and the threshold voltage to set the pixel
voltages in accordance with the desired image. In either case, once each row is
addressed, another row is addressed in a similar manner until all of the rows have
been addressed. Rows which are not addressed are left at open circuit.

30 The sequential addressing of all rows constitutes a complete frame. Typically

WO 02/052535

PCT/CA01/01844

3

a new frame is addressed at least about 50 times per second to generate what appears to the human eye a flicker-free video image.

Typically the energy efficiency of such panels is fairly low as a result of the fact that each sub-pixel element has a relatively high electrical capacitance. When a range of voltages are simultaneously applied to the columns appropriate to address each row, the pixels on the remaining rows, which are electrically floating when they are not addressed, become partially charged. If there is a large number of rows, such as on a high resolution display, the ratio of energy expended in partially charging the non-addressed pixel as compared to the energy used to charge and activate the pixels on the addressed row can be quite large. Hence the overall energy efficiency of the display panel can be quite low, with a trend to lower efficiency as the resolution increases.

Minimizing the resistive loss associated with pixel charging can increase the energy efficiency of an electroluminescent display. This loss can be minimized by minimizing the peak charging current, and by minimizing the resistance of elements in the charging circuitry. Generally, the former condition is realized when the pixels are charged at constant current. The energy efficiency can also be improved by a partial recovery of the stored capacitive energy in the pixels, but this is complicated by the fact the effective panel capacitance is strongly dependent on the extent of partial charging of the pixels on the non-addressed rows.

A variety of approaches have been used for improving the efficiency of electroluminescent displays. U.S. Patent 4,847,609 teaches a technique for minimizing the power consumption of an electroluminescent display by a judicious choice of the thickness of the phosphor films and the capacitance of the dielectric layers used for the display. U.S. Patent 5,856,813 teaches a system for reducing power consumption by maintaining the column voltage on certain rows in the event that the same column voltage is required on that row during successive frames. This

WO 02/052535

PCT/CA01/01844

4

scheme requires a complex feedback system that compares the image data for successive frames. U.S. Patent 5,517,207 discloses the use of a three component driving voltage for an electroluminescent display whereby one of the voltage components is applied to all pixels to reduce the power dissipation in non-illuminated pixels. A more efficient display driver is set forth in US Patent Application serial number 09/504,472 wherein energy recovery is optimized and resistive losses are minimized. Although the above methods result in measurable improvement in operational efficiency of electroluminescent displays, further improvement is required before such displays are able to provide a competitive alternative to traditional CRT video display technology. The inventors have recognized that one area for deriving such an improvement is to reduce the relative energy loss associated with the non-addressed pixels.

SUMMARY OF THE INVENTION

An object of an aspect of the present invention is to provide an electroluminescent display and driving method therefor with increased luminance and energy efficiency and with a reduced number of address line drivers and simpler video digital processing circuitry relative to conventional prior art systems. This objective is accomplished in the present invention by dividing the rows of pixels into sub-pixel groups or sets and addressing several different sets of sub-pixels from within a larger set of adjacent sub-pixels. The image data for the addressed sub-pixels is averaged with that for adjacent sub-pixels and is applied to the reduced number of larger sub-pixels in sequence. Consequently, for a given sequence of input frame data sets the time average over one frame for a portion of the sub-pixels at any location of the panel is substantially the same as that for a conventionally addressed sub-pixel in a prior art panel.

Alternatively, the present invention facilitates an increase in the apparent spatial resolution of a display having a defined number of pixels while maintaining its luminosity and energy efficiency using the method described above.

WO 02/052535

PCT/CA01/01844

5

Other and further advantages and features of the invention will be apparent to those skilled in the art from the following detailed description thereof, taken in conjunction with the accompanying drawings introduced herein above.

5

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Several embodiments of the invention are described herein, with the optimum choice of embodiment dependent upon display format and performance parameters, and in particular the trade off between power consumption, luminosity, the type of image to be displayed and image quality.

Preferably, the pixel sharing and multiple line scanning method of the present invention is optimized for use with a colour electroluminescent display having a thick film dielectric layer, as discussed above with reference to Figures 1 and 2. Thick film electroluminescent displays differ from conventional thin film electroluminescent displays in that one of the two dielectric layers (see Figure 2) comprises a thick film layer having a high dielectric constant. Although not shown in Figure 2, the second dielectric layer can be made substantially thinner than the dielectric layers employed in thin film electroluminescent displays since the second dielectric layer is not required to withstand a dielectric breakdown (i.e. the thick layer provides this function). Wu et al (U.S. Patent 5,432,015) teaches a method of constructing thick film dielectric layers for such displays.

As a result of the nature of the dielectric layers in thick film electroluminescent displays, the values in the equivalent circuit shown in Figure 3 are substantially different than those for thin film electroluminescent displays. In particular, the values for C_0 can be significantly larger than they are for thin film electroluminescent displays. This makes the panel capacitance greater than it is for thin film displays as a function of the applied row and column voltages, and provides

WO 02/052535

PCT/CA01/01844

6

a greater impetus for the reduction of the relative power dissipated in non-addressed rows.

Example 1 - Double Line Scanning Display

5

According to a special case of the present invention a double row or double line scanning method is provided whereby two adjacent rows of a display are addressed with the same data, thereby reducing the volume of video data needed to be addressed in one frame of video. By this means, the number of sequential addressing steps per frame required to address the display can be reduced and consequently the frame rate of the display can be increased. Since the luminosity of the display is approximately proportional to the frame rate, the luminosity of the display is approximately doubled.

15

Double line scanning can be effected using one of two methods: progressive scanning and interlaced scanning. The progressive scanning method utilizes the same row pairs for every frame. It will be understood that double line progressive scanning results in a loss of resolution since, as indicated above, the volume of video data displayed with each frame of video is reduced. On the other hand, with interlaced double line scanning the pixels are alternately grouped into two different sets, referred to herein as odd sets and even sets. Even sets comprise line pairs starting from row 1 and row 2, row 3 and row 4, etc., until the final two rows (n-1) and n, as shown in the left hand portion of Figure 4. Odd sets comprise pairs starting from row 2 and row 3, row 4 and row 5, etc., until (n-2) and (n-1), as shown in the right hand portion of Figure 4. Row 1 and row n are not addressed in the odd frame which results in a loss of image data at the top and bottom of the display. However, this artifact can be overcome by adding two extra rows to the display.

20

25

Both progressive and interlaced scanning methods can be used on the same display with a simple change in the software addressing of the passive matrix. By

30

WO 02/052535

PCT/CA01/01844

7

way of contrast, other display technologies utilize complex digital electronics to convert from progressive line scanning to interlaced scanning, and vice-versa. By eliminating the need for such complex electronics, the line scanning methodology of the present invention results in simpler circuitry requiring fewer components than in
5 the prior art. Thus, for a 480 line display operating at a frame rate which results in a field refresh rate of no less than 60 Hz, standard NTSC interlaced video can be viewed using double line scanning with no loss in video resolution (as compared to progressive line scanning). As indicated above, each 480 line frame of NTSC video is divided into an odd field and an even field. The video image is averaged by the
10 viewer's eye for perception as a smooth looking video image with no apparent artifacts.

The increase in display energy efficiency inherent in the line scanning method of the present invention is illustrated by the following comparison between a
15 conventional display using single line scanning and an otherwise identical display using the double line scanning method of the present invention. Because the energy efficiency is dependent on the nature of the displayed image, the comparison is made with two test patterns on a 320 by 240 pixel, 22 centimeter diagonal colour display. The first pattern was a white (red, green and blue sub-pixels illuminated with equal
20 voltage) vertical bar occupying half of the screen, and the second pattern was a uniformly illuminated white screen.

For the purposes of this test, the display was constructed using a thick film dielectric according to the methods described in U.S. Patent Application 09/540,288
25 entitled EEELECTROLUMINESCENT LAMINATE WITH PATTERNED PHOSPHOR STRUCTURE AND THICK FILM DIELECTRIC WITH IMPROVED DIELECTRIC PROPERTIESoperated using a drive circuit incorporating the concepts described in U.S. Patent Application No. 09/504,472 entitled ENERGY EFFICIENT RESONANT SWITCHING ELECTROLUMINESCENT DISPLAY DRIVER and
30 using Hitachi 2103 row and Supertex 623 column drivers. The threshold voltage for

WO 02/052535

PCT/CA01/01844

8

this display was 150 volts. The display was operated using a refresh rate of 240 Hz.

The efficiency is stated in terms of the ratio of the optical output measured in Lumens divided by the sum of the input electrical power to the rows and columns.

5 The input power to the rows and columns was separately measured because the row power is dominated by the power consumed in the addressed rows, whereas there is a power draw on the columns from both the addressed rows and the non-addressed rows.

10 The luminance, electrical power input into the columns and into the rows, and the overall energy efficiency for single line and for double line scanning with several different modulation voltages are set forth below in Tables 1 and 2 for each of the test image patterns. Also tabulated is the ratio of the energy efficiency for double line scanning to that for single line scanning.

15

Table 1

Comparative Energy Efficiency for Half Screen Bar Pattern

20

Efficiency	Modulation Voltage (volts)	Scan Method	Luminance (cd/m ²)	Row Power (watts)	Column Power (watts)	Efficiency	
						(lumens/watt)	Ratio
25	30	single	12	8.1	10.8	0.62	
	30	double	16	10.1	12.8	0.67	1.1
30	40	single	27	9.1	17.2	1.04	
	40	double	38	12.2	18.5	1.24	1.2
	50	single	43	11.0	24.2	1.23	
	50	double	74	16.2	27.0	1.72	1.4
35	60	single	56	13.1	33.2	1.22	
	60	double	102	20.0	37.0	1.78	1.5

40

Table 2

WO 02/052535

PCT/CA01/01844

9

Comparative Energy Efficiency for Full Screen Illumination

Modulation Efficiency Voltage (volts)	Scan Method	Luminance (cd/m ²)	Row Power	Column Power	Efficiency	
			(watts)	(watts)	(lumens/watt)	Ratio
10	30 single	8	8.9	9.6	0.42	
	30 double	8	11.2	10.6	0.34	0.8
	40 single	25	12.3	12.9	1.00	
	40 double	28	17.0	14.8	0.88	0.9
15	50 single	42	16.0	17.8	1.22	
	50 double	56	22.4	20.8	1.29	1.1
	60 single	56	19.9	24.7	1.26	
	60 double	87	29.0	29.5	1.49	1.2

20

A simplified analysis of the relative energy efficiency for double row scanning as compared to single row scanning is as follows. If P_x is the power dissipated in an addressed row, and P_y is the power dissipated in a non-addressed row, then for single line scanning of a display with n rows the overall electrical to optical energy efficiency, E_s , for the display is given by

$$E_s = \eta_p \eta_s P_x / (P_x + n P_y) \quad (1)$$

where η_p is the electrical to optical energy conversion efficiency for an addressed row and η_s is the efficiency of electrical power transfer to the panel under the load conditions for single line scanning. If double line scanning is used, the energy efficiency is given by

$$E_d = 2\eta_p \eta_d P_x / (2 P_x + n P_y) \quad (2)$$

where η_d is the efficiency of electrical power transfer to the panel under the load conditions for double line scanning and the other parameters are as previously defined.

In the limit for high resolution displays, i.e. where $n P_y \gg P_x$, these expressions

WO 02/052535

PCT/CA01/01844

10

simplify to

$$E_s = \eta_p \eta_b P_x / n P_y \quad (3)$$

and

5

$$E_d = 2\eta_p \eta_d n P_y / n P_y \quad (4)$$

10 In view of the above equations, it can be seen that if $\eta_d > \eta_b/2$, the efficiency for double line scanning will be higher than for single line scanning. Of course, it should be noted that although η_d will generally be less than η_b due to higher loading of the drivers for double line scanning, the inequality above can be satisfied under many circumstances, particularly if the driver impedances are relatively low.

15 The data in Tables 1 and 2 can be understood in terms of the analysis above. The column power to the non-addressed rows is relatively low for the uniformly illuminated panel (Table 2). In this case, the voltage on all columns is the same, and the power dissipated in the non-addressed rows due to capacitive coupling with the columns is minimal. It should also be noted that the luminosity is not significantly
20 higher for double line scanning, particularly for lower modulation voltages. This indicates a significant voltage reduction at the pixels resulting from a voltage drop in the drivers due to an increased load for double line scanning. Correspondingly, the ratio of efficiencies for double line scanning as compared to single line scanning is close to unity, and in fact is somewhat less than unity for the lower modulation
25 voltages.

By contrast, for the half screen bar pattern (Table 1), the power dissipation in the non-addressed rows is higher and this is reflected in the higher measured column power relative to the row power and in the higher ratio of the measured efficiency for
30 double line scanning over single line scanning, despite an overall higher load on the

row and column drivers and a corresponding reduction in the electrical power transfer efficiencies η_1 and η_4 . The efficiency gains with double line scanning are greatest for the highest modulation voltage, since the relative power dissipation in non-addressed rows is largest in this case.

5

The test pattern of Table 2 is more representative of a typical video image and is therefore more illustrative of the energy efficiency improvements inherent in the double line scanning method of the present invention. It should be noted that the efficiency gains with double line scanning will be even higher than indicated above if

10 lower impedance drivers are used.

Example 2 Shared Sub-pixel Design

Figure 5 illustrates a further embodiment of the invention wherein a triad pixel design is provided for a full colour display. According to this embodiment red, green and blue physical display pixels are selected or addressed as a triangular array of sub-pixels chosen from two adjacent rows of individual sub-pixels. In the illustrated embodiment, the number of physical display pixels in the superset from which sub-pixel sets are selected is five. The number of sub-pixels in a selected set is three (one red, one green and one blue sub-pixel), and the number of pixels of video data capable of being illustrated by each selected set is also three. A person of ordinary skill in the art may conceive of other operable configurations of triad pixel design.

The shared sub-pixel configuration of Figure 5 is addressed using progressive scanning (i.e. pixel sharing among rows R1 and R2, followed by rows R3 and R4, etc.). Alternatively, as discussed in greater detail below with reference to Figure 6, interlaced scanning may be used (i.e. pixel sharing among rows R1 and R2, followed by rows R2 and R3, etc.). In order to achieve a frame rate of 50 to 60 Hz for the embodiment of Figure 5, the pixel refresh rate must be three times that rate. The incoming video frame is split into three separate fields that are displayed sequentially.

30

WO 02/052535

PCT/CA01/01844

12

Thus, in the first field the sub-pixel sets defined by red (R1 Cr1), blue (R2 Cb1), green (R1 Cg1); red (R1 Cr2), blue (R2 Cb3), green (R1 Cg3), etc. are illuminated. In the second field the sub-pixel sets defined by blue (R2 Cb1), green (R1 Cg1), red (R2 Cr2); blue (R2 Cb3), green (R1 Cg3), red (R2 Cr3), etc. are illuminated, and in the third fields the sub-pixel sets defined by green (R1 Cg1), red (R2 Cr2), blue (R1 Cb2), etc. are illuminated. When seen by the viewer, the eye optically averages the video frame that it appears to look like one frame of conventional video data.

According to the embodiment of Figure 5, a reduction in the number of sub-pixels of 60% is achieved relative to the number of sub-pixels in a conventional passive matrix display. A similar reduction is achieved in the number of column drivers with the same apparent resolution, providing a substantial reduction in the cost of the display and any device in which the display is incorporated (e.g. a television product).

Example 3 Shared Sub Pixel Design with Double row Scanning

The two techniques described in Examples 1 and 2 can be combined as shown in Figure 6 to yield improvements in luminance and energy efficiency of a flat panel display, as well as reduced cost. In this illustrated embodiment, the number of physical display pixels in the superset from which sub-pixel sets are selected is seven. The number of sub-pixels in a selected pixel set is three (one red, one green and one blue sub-pixel). As in the embodiment of Figure 5, a shared triad pixel design is used with double line scanning. However, in the embodiment of Figure 6, interlaced scanning is used instead of progressive scanning. The input video frame rate of 30 Hz for Standard NTSC video is split into six different fields: three even fields and three odd fields, which are sequentially displayed. As discussed above, these six fields are optically averaged by the viewer's eye to form one frame of NTSC data.

Although multiple specific embodiments of the invention have been described

WO 02/052535

PCT/CA01/01844

13

herein, it will be understood by those skilled in the art that variations may be made thereto without departing from the spirit of the invention or the scope of the appended claims.

WO 02/052535

PCT/CA01/01844

14

CLAIMS:

1. In a method of driving a passive matrix display having a plurality of addressable rows and a plurality of columns to which successive frames of video data is applied
5 and which intersect said rows to form a plurality of sub-pixels which when grouped together into sets form a pixel, the improvement comprising simultaneously addressing successive pairs of said rows for selecting distinct sets of a fixed number of said sub-pixels forming said pixel from a superset of said sub-pixels surrounding said pixel for each of a set of sub-frames within a frame of said video data, and
10 applying video data to each of said sets of sub-pixels in such a manner that the time average of the video data over said frame of video data is in accordance with a video image to be displayed for said frame.
2. The improvement of claim 1 having two sets of six sub-pixels, each defined by
15 the intersection of three fixed adjacent columns and two selected adjacent rows and wherein said rows are selected according to a progressive format.
3. The improvement of claim 1 having two sets of six sub-pixels, each defined by the intersection of three fixed adjacent columns and two selected adjacent rows and
20 wherein said rows are selected according to an interlaced format such that said rows are alternately grouped into odd and even sets.
4. The improvement of claim 1 having three sets of three sub-pixels arranged as sub-pixel triads spanning two rows selected from a superset of five adjacent sub-
25 pixels wherein each set has a common sub-pixel.
5. The improvement of claim 2 or claim 3 wherein each set of sub-pixels consists of two red, two green and two blue sub-pixels for a full colour display
- 30 6. The improvement of claim 4 wherein each set of three sub-pixels consists of a

WO 02/052535

PCT/CA01/01844

15

red, green and blue sub-pixel for a full colour display

7. The improvement of claim 1 having six sets of three sub-pixels arranged as
sub-pixel triads spanning two rows selected from a superset of seven adjacent sub-
5 pixels spanning three rows wherein each set has a common sub-pixel

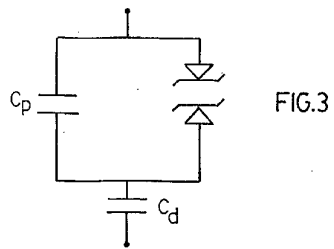
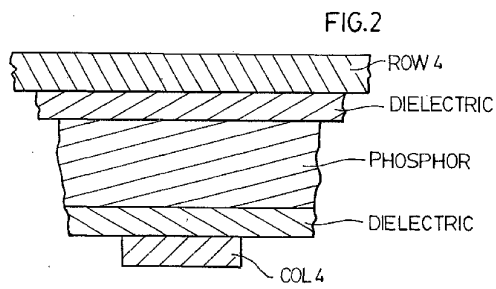
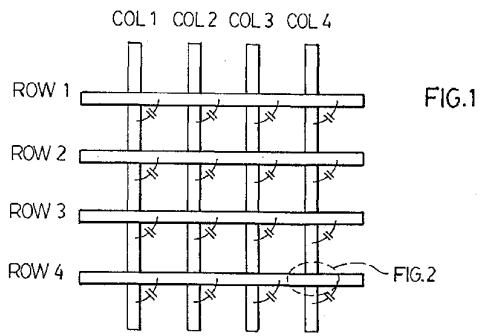
8. The improvement of claim 7 wherein each set of three sub-pixels consists of a
red, green and blue sub-pixel for a full colour display

10

WO 02/052535

PCT/CA01/01844

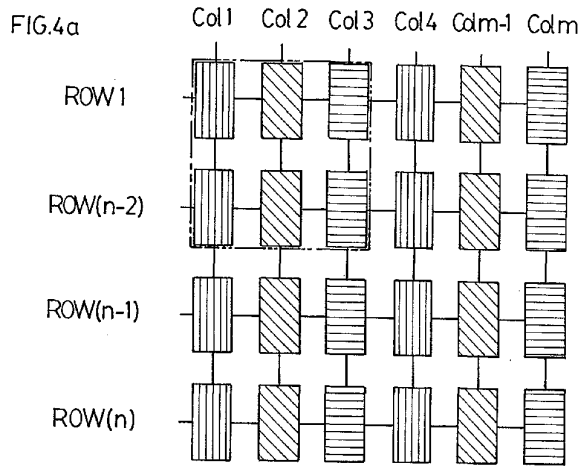
1/7



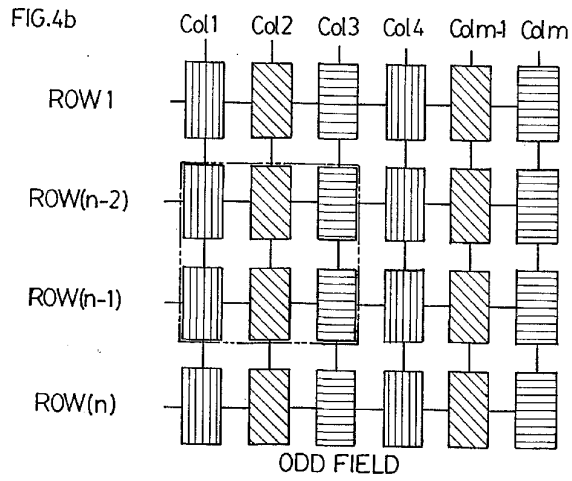
WO 02/052535

PCT/CA01/01844

2/7



EVEN FIELD



WO 02/052535

PCT/CA01/01844

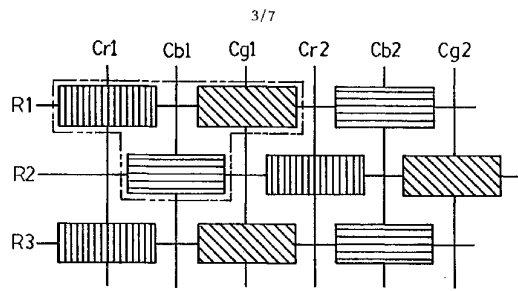


FIG.5a

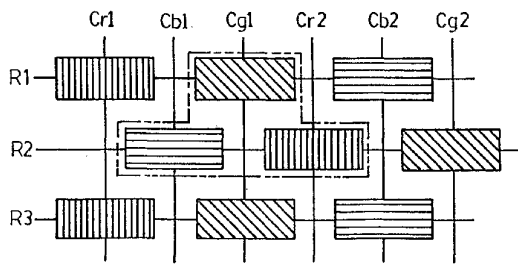


FIG.5b

WO 02/052535

PCT/CA01/01844

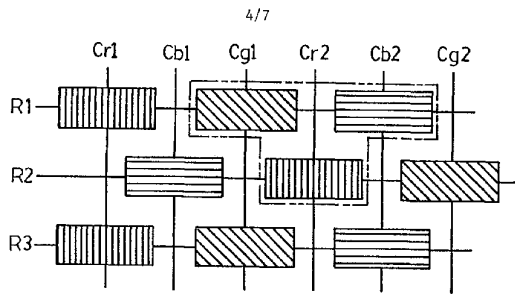


FIG.5c

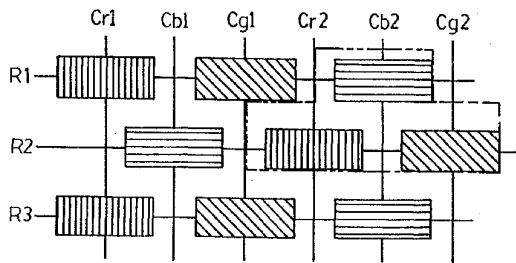


FIG.6a

WO 02/052535

PCT/CA01/01844

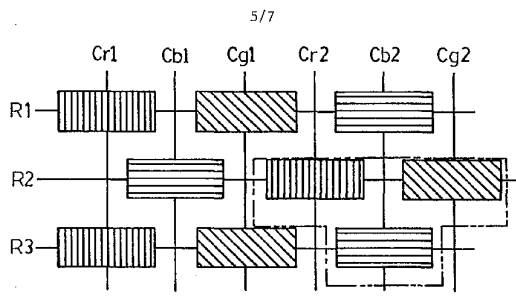


FIG.6b

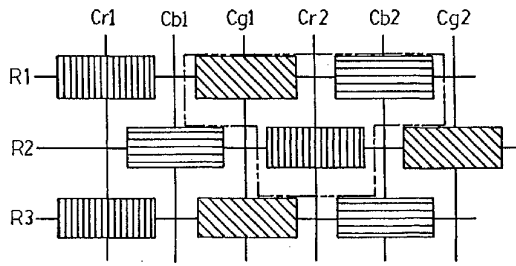


FIG.6c

WO 02/052535

PCT/CA01/01844

6/7

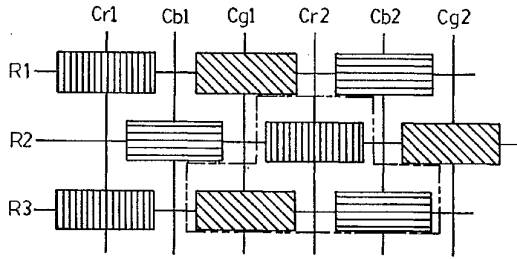


FIG.6d

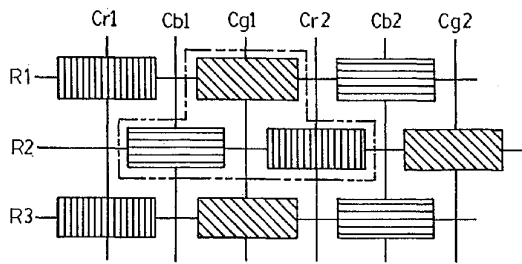


FIG.6e

WO 02/052535

PCT/CA01/01844

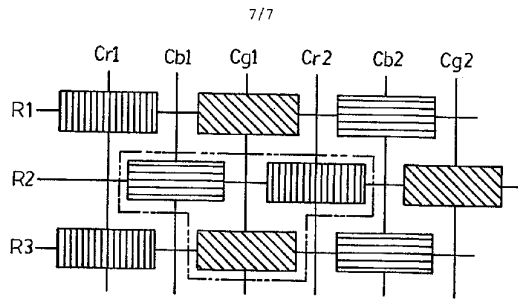


FIG.6f

【 国際公開パンフレット (コレクティブバージョン) 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
4 July 2002 (04.07.2002)

PCT

(10) International Publication Number
WO 02/052535 A3

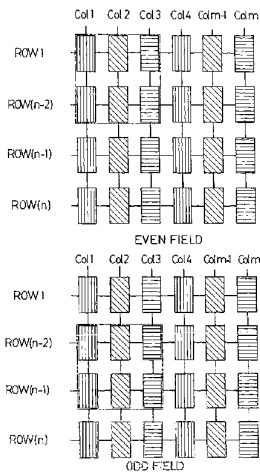
- (51) International Patent Classification: G09G 3/30, 3/20
- (21) International Application Number: PCT/CA01/01844
- (22) International Filing Date: 19 December 2001 (19.12.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/747,464 22 December 2000 (22.12.2000) US
- (71) Applicant (for all designated States except US): IFIRE TECHNOLOGY INC. [CA/CA]; 10102 - 114 Street, Fort Saskatchewan, Alberta T8L 3W4 (CA).
- (72) Inventors and Inventors/Applicants (for US only): CHENG, Chun-Fai [CA/CA]; 1072 Lockwood Circle, Newmarket, Ontario L3X 1M2 (CA).
- (74) Agent: PERRY, Stephen J.; SIM & McBURNEY, 350 University Avenue, 6th Floor, Toronto, Ontario M5G 1R7 (CA).
- (81) Designated States (national): AI, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG,

[Continued on next page]

(54) Title: SHARED PIXEL ELECTROLUMINESCENT DISPLAY DRIVER SYSTEM



WO 02/052535 A3



(57) Abstract: An electro-luminescent display and driving method is provided wherein the rows of pixels are divided into sub-pixel sets and several different sets of sub-pixels are then addressed from within a larger super-set of adjacent sub-pixels. The image data for the addressed sub-pixels is averaged with that for adjacent sub-pixels and is applied to the reduced number of larger sub-pixels in sequence. Consequently, for a given sequence of input frame data sets, the time average over one frame for a portion of the sub-pixels at any location of the panel is substantially the same as that for a conventionally addressed sub-pixel in a prior art panel.

WO 02/052535 A3 

SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VN, YU, ZA, ZM, ZW.

Published:
— with international search report

(84) Designated States (regional): ARIPO patent (GI, GM, KI, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BI, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

(88) Date of publication of the international search report:
20 November 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCI Gazette.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/CA 01/01844
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30 G09G3/20		
According to International Patent Classification (IPC) or to both national classification and IPC:		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 034 481 A (HAYNES) 7 March 2000 (2000-03-07) column 8; figures 13C,,14A	1,4,6-8
X	WO 97 23861 A (THOMSON MULTIMEDIA) 3 July 1997 (1997-07-03) page 11 -page 13; figures 4-8	1,3
X	US 4 822 142 A (YASUI) 18 April 1989 (1989-04-18) column 6, line 53 -column 7; figure 13	1,3
A	EP 0 428 324 A (DELCO ELECTRONICS) 22 May 1991 (1991-05-22) column 3, line 39 -column 4, line 13; figure 2	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, each combination being obvious to a person skilled in the art. *A* document member of the same patent family		
Date of the actual completion of the international search 7 May 2003		Date of mailing of the international search report 14/05/2003
Name and mailing address of the ISA European Patent Office, P.B. 6816 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer Lange, J

Form PCT/ISA210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
CONTAINING INFORMATION ON PATENT FAMILY MEMBERSInternational Application No.
PCT/CA 01/01844

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6034481	A	07-03-2000	US 6054809 A 25-04-2000
			AU 4955099 A 01-02-2000
			BR 9912057 A 03-04-2001
			CA 2336915 A1 20-01-2000
			CN 1317131 T 10-10-2001
			EP 1095367 A1 02-05-2001
			JP 2002520662 T 09-07-2002
			NZ 509370 A 26-07-2002
			WO 0003378 A1 20-01-2000
			AU 4071297 A 06-03-1998
			BR 9711964 A 05-10-1999
			CN 1233344 A 27-10-1999
			EP 0950343 A2 20-10-1999
			JP 2002502540 T 22-01-2002
			KR 2000029963 A 25-05-2000
			NZ 334542 A 22-12-2000
			WO 9807136 A2 19-02-1998
WO 9723861	A	03-07-1997	FR 2742910 A1 27-06-1997
			EP 0976122 A1 02-02-2000
			WO 9723861 A1 03-07-1997
			JP 2000502813 T 07-03-2000
			US 6252613 B1 26-06-2001
US 4822142	A	18-04-1989	NONE
EP 0428324	A	22-05-1991	EP 0428324 A2 22-05-1991
			JP 3174581 A 29-07-1991

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 Q
	G 0 9 G 3/20	6 2 3 W
	G 0 9 G 3/20	6 2 3 Y
	G 0 9 G 3/20	6 4 2 J
	H 0 4 N 5/70	A
	H 0 5 B 33/14	A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW

- (72) 発明者 スタイルズ, ジェームス
カナダ, オンタリオ エム6エス 4エイチ8, トロント, 37 ブリュレ クレセント
- (72) 発明者 ウー, シンウェイ
カナダ, オンタリオ エル6アール 2シー2, ブランプトン, 50 マウント マッキンリー
レイン
- (72) 発明者 カークナー, ドン
カナダ, オンタリオ エム5ヴィ 3エル6, トロント, 781 キング ストリート ウェスト
, アパート 405
- (72) 発明者 ジョンストーン, エリック
カナダ, オンタリオ エル4ゼット 1ジェー4, ミシサーガ, 4069 クレベドン ドライブ
- (72) 発明者 ウェレット, カーク
カナダ, オンタリオ エル8エス 1ヴィ9, ハミルトン, 56 ニュートン アベニュー
- F ターム(参考) 3K007 AB02 AB03 AB17 BA06 DB03 GA00
5C058 AA12 BA01 BB15 BB16
5C080 AA06 BB05 CC03 DD26 DD28 EE28 JJ05 JJ06

专利名称(译)	像素共享型电致发光显示器的驱动系统		
公开(公告)号	JP2004524555A	公开(公告)日	2004-08-12
申请号	JP2002553753	申请日	2001-12-19
[标]申请(专利权)人(译)	眼消防科技股份有限公司Retiddo		
申请(专利权)人(译)	眼消防科技股份有限公司Retiddo		
[标]发明人	チェンヨンファイ スタイルズジェームス ウーシンウェイ カークナードン ジョンストーンエリック ウェレットカーク		
发明人	チェン, チョン-ファイ スタイルズ, ジェームス ウー, シンウェイ カークナー, ドン ジョンストーン, エリック ウェレット, カーク		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/36 H04N5/70 H05B33/14		
CPC分类号	G09G3/2003 G09G3/20 G09G3/30 G09G2300/0452 G09G2310/021 G09G2310/0224 G09G2330/021 G09G2340/0457		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.611.J G09G3/20.621.A G09G3/20.622.N G09G3/20.622.Q G09G3/20.623.W G09G3/20.623.Y G09G3/20.642.J H04N5/70.A H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C058/AA12 5C058/BA01 5C058/BB15 5C058/BB16 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD28 5C080/EE28 5C080/JJ05 5C080/JJ06		
优先权	09/747464 2000-12-22 US		
外部链接	Espacenet		

摘要(译)

提供了一种电致发光显示装置及其驱动方法。包含多个像素的行被分成多个子像素集，并且从包含相邻子像素的超集寻址几个单独的子像素集。将寻址的子像素图像数据与相邻的子像素图像数据平均，并且将平均后的子像素图像数据顺序地应用于较小的子像素。这样，对于任何给定的一系列输入帧数据集，在面板上的任何点，某些子像素的一帧时间平均将为这与显示子像素所需的时间基本相同。[选择图]图4

