

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6167374号
(P6167374)

(45) 発行日 平成29年7月26日 (2017. 7. 26)

(24) 登録日 平成29年7月7日 (2017. 7. 7)

(51) Int. Cl.

F I

G 0 9 G 3/3233 (2016. 01)

G 0 9 G 3/3233

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/20 6 2 4 B

H 0 1 L 51/50 (2006. 01)

G 0 9 G 3/20 6 7 0 Q

H 0 5 B 33/10 (2006. 01)

H 0 5 B 33/14 A

H 0 5 B 33/12 (2006. 01)

H 0 5 B 33/10

請求項の数 10 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2016-527621 (P2016-527621)
 (86) (22) 出願日 平成27年5月22日 (2015. 5. 22)
 (86) 国際出願番号 PCT/JP2015/002587
 (87) 国際公開番号 W02015/190043
 (87) 国際公開日 平成27年12月17日 (2015. 12. 17)
 審査請求日 平成28年2月25日 (2016. 2. 25)
 (31) 優先権主張番号 特願2014-122873 (P2014-122873)
 (32) 優先日 平成26年6月13日 (2014. 6. 13)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 辻田 芳樹
 日本国東京都港区東新橋2-12-7 住
 友東新橋ビル2号館 パナソニックソリュ
 ーションテクノロジー株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示パネルの検査方法及び表示パネルの製造方法

(57) 【特許請求の範囲】

【請求項 1】

映像信号を反映した信号電圧がゲートに印加されることにより前記信号電圧に対応した駆動電流を流す駆動トランジスタと、前記駆動電流が流れることにより前記駆動電流に対応した輝度で発光する発光素子と、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続されたスイッチトランジスタとを含む画素が行列状に配置された表示パネルの検査方法であって、

前記駆動トランジスタのゲート - ソース間に、当該駆動トランジスタの閾値電圧以下の初期電圧を印加する初期電圧印加ステップと、

(1) ゲート - ソース間に前記初期電圧が印加された状態の前記駆動トランジスタのソース及びドレインの一方に、前記駆動電流を発生させるための電源電圧を印加する、または、(2) 前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した状態で、前記駆動トランジスタのゲートに印加されたなら当該駆動トランジスタのゲート - ソース間電圧が前記閾値電圧以上となる電圧と同じ電圧値を有する検査電圧を、前記スイッチトランジスタのソース及びドレインの他方またはゲートに印加する検査電圧印加ステップと、

前記検査電圧印加ステップが実行された時点では発光せず、前記時点から所定の期間経過後に発光した発光素子を有する画素を電流リーク不良画素であると判定する判定ステップとを含む

表示パネルの検査方法。

10

20

【請求項 2】

前記所定の期間は、全ての前記画素を走査する期間である 1 フレーム期間より長い期間である

請求項 1 に記載の表示パネルの検査方法。

【請求項 3】

前記スイッチトランジスタは、前記ソース及びドレインの他方が前記信号電圧を伝達するデータ線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された選択トランジスタ、及び、前記ソース及びドレインの他方が閾値電圧を検出するための参照電源線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された参照トランジスタであり、

10

前記検査電圧印加ステップでは、前記選択トランジスタと、前記参照トランジスタとを非導通状態にし、前記データ線電圧を前記発光素子が発光しない電圧に設定した状態で、前記駆動トランジスタのソース及びドレインの一方に、前記電源電圧を印加し、

前記判定ステップでは、前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した時には発光せず、前記電源電圧を印加した時から所定の期間経過後に発光した発光素子を有する画素の前記駆動トランジスタを電流リーク不良であると判定する

請求項 1 または 2 に記載の表示パネルの検査方法。

【請求項 4】

前記スイッチトランジスタは、前記ソース及びドレインの他方が前記信号電圧を伝達するデータ線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された選択トランジスタであり、

20

前記検査電圧印加ステップでは、前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した状態、かつ、前記データ線電圧を前記発光素子が発光しない電圧に設定した状態で、前記検査電圧を前記選択トランジスタのゲートに印加して前記選択トランジスタを導通状態にし、

前記判定ステップでは、前記選択トランジスタのゲートに前記検査電圧を印加した時には発光せず、前記検査電圧を印加した時から所定の期間経過後に発光した発光素子を有する画素の前記選択トランジスタを、ソースまたはドレインとゲートとの間において電流リークが発生した不良であると判定する

請求項 1 または 2 に記載の表示パネルの検査方法。

30

【請求項 5】

前記検査電圧印加ステップでは、前記選択トランジスタのゲートに、行順次走査における 1 水平走査期間の 2 倍以上の期間をパルス幅とするパルス信号を前記検査電圧として連続印加することにより、前記選択トランジスタを間欠的に導通状態にする

請求項 4 に記載の表示パネルの検査方法。

【請求項 6】

前記スイッチトランジスタは、前記ソース及びドレインの他方が前記信号電圧を伝達するデータ線とは異なる参照電源線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された参照トランジスタであり、

40

前記検査電圧印加ステップでは、前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した状態で、前記検査電圧を前記参照トランジスタのゲートに印加して前記参照トランジスタを導通状態にし、

前記判定ステップでは、前記参照トランジスタのゲートに前記検査電圧を印加した時には発光せず、前記検査電圧を印加した時から所定の期間経過後に発光した発光素子を有する画素の前記参照トランジスタを、ソースまたはドレインとゲートとの間において電流リークが発生した不良であると判定する

請求項 1 または 2 に記載の表示パネルの検査方法。

【請求項 7】

前記検査電圧印加ステップでは、前記参照トランジスタのゲートに、行順次走査における 1 水平走査期間の 2 倍以上の期間をパルス幅とするパルス信号を前記検査電圧として連

50

続印加することにより、前記参照トランジスタを間欠的に導通状態にする

請求項 6 に記載の表示パネルの検査方法。

【請求項 8】

前記スイッチトランジスタは、前記ソース及びドレインの他方が前記信号電圧を伝達するデータ線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された選択トランジスタ、及び、前記ソース及びドレインの他方が閾値電圧を検出するための参照電源線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された参照トランジスタであり、

前記検査電圧印加ステップでは、前記選択トランジスタと、前記参照トランジスタとを非導通状態にし、前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した状態で、前記データ線の電圧を前記検査電圧に設定し、

前記判定ステップでは、前記データ線の電圧が前記検査電圧に設定された時点には発光せず、前記時点から所定の期間経過後に発光した発光素子を有する画素の前記選択トランジスタを、ソース及びドレイン間において電流リークが発生した不良であると判定する

請求項 1 または 2 に記載の表示パネルの検査方法。

【請求項 9】

前記スイッチトランジスタは、前記ソース及びドレインの他方が前記信号電圧を伝達するデータ線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された選択トランジスタ、及び、前記ソース及びドレインの他方が閾値電圧を検出するための参照電源線に接続され、前記ソース及びドレインの一方が前記駆動トランジスタのゲートに接続された参照トランジスタであり、

前記検査電圧印加ステップでは、前記選択トランジスタと、前記参照トランジスタとを非導通状態にし、前記駆動トランジスタのソース及びドレインの一方に前記電源電圧を印加した状態で、前記参照電源線の電圧を前記検査電圧に設定し、

前記判定ステップでは、前記参照電源線の電圧が前記検査電圧に設定された時点には発光せず、前記時点から所定の期間経過後に発光した発光素子を有する画素の前記参照トランジスタを、ソース及びドレイン間において電流リークが発生した不良であると判定する

請求項 1 または 2 に記載の表示パネルの検査方法。

【請求項 10】

映像信号を反映した信号電圧がゲートに印加されることにより前記信号電圧に対応した駆動電流をソース及びドレインに流す駆動トランジスタと、前記駆動電流が流れることにより前記駆動電流に対応した輝度で発光する発光素子と、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続されたスイッチトランジスタとを、基板上に形成する工程と、

請求項 1 ～ 9 のいずれか 1 項に記載された表示パネルの検査方法とを含む

表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示パネルの検査方法及び表示パネルの製造方法に関し、特に画素回路を構成するトランジスタのリーク不良を検査する方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示パネルとして、有機 EL 素子を用いた有機 EL ディスプレイパネルが知られている。この有機 EL ディスプレイパネルは、視野角特性が良好で、消費電力が少ないという利点を有するため、次世代の FPD (Flat Panel Display) 候補として注目されている。

【0003】

アクティブマトリクス型の有機 EL ディスプレイパネルでは、有機 EL 素子を含む画素が 2 次元状に配置される。この画素を構成する画素回路は、例えば、複数の走査線と複数

10

20

30

40

50

のデータ線との交点に、薄膜トランジスタ (TFT: Thin Film Transistor) を有する。この TFT に駆動トランジスタのゲートが接続され、選択された走査線を通じてこの TFT がオン状態となることでデータ線からデータ信号が駆動トランジスタに入力され、有機 EL 素子が発光する。

【0004】

上記画素構成では、表示パネルの大画面化及び高精細化に対応して回路素子の微細化が進行する。回路素子の微細化が進行するほど、上記各トランジスタ及び有機 EL 素子の性能を確保するための回路素子の検査技術が重要となる。

【0005】

特許文献 1 では、表示装置の TFT 基板を短時間かつ高精度にて検査する方法が開示されている。具体的には、ソースまたはドレインの一方が駆動用 TFT のドレインと電氣的に接続され、他方が隣接する列の信号線と電氣的に接続され、ゲートが次行の走査線に接続された検査用 TFT により、駆動用 TFT の出力電流を隣接列の信号線を介して検査する。これにより、駆動用 TFT により流れる画素電流の検出と次行または次列の画素回路への信号書き込みとを並行して行えるので、検査時間を短縮することが可能となる。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2008 - 52111 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献 1 に開示された表示装置の検査方法では、出荷前の検査工程にて、書き込み動作及び発光動作を行う行順次走査に対応させて、フレーム期間 (60 Hz または 120 Hz) のうちの 1 水平期間内に画素電流を計測する。このため、微小なリーク電流により経時的に変化する欠陥回路素子を検出することは困難であり、出荷後に輝点不良または滅点不良へと転化する可能性のある画素を有する表示パネルを流出させてしまう。

【0008】

本発明は、上記の課題に鑑みてなされたものであり、微小なリーク電流により経時的に変化する回路素子を高精度に検査する表示パネルの検査方法及び表示パネルの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、本発明の一態様に係る表示パネル検査方法は、映像信号を反映した信号電圧がゲートに印加されることにより前記信号電圧に対応した駆動電流を流す駆動トランジスタと、前記駆動電流が流れることにより前記駆動電流に対応した輝度で発光する発光素子と、ソース及びドレインの一方が前記駆動トランジスタのゲートに接続されたスイッチトランジスタとを含む画素が行列状に配置された表示パネルの検査方法であって、前記駆動トランジスタのゲート - ソース間に、当該駆動トランジスタの閾値電圧以下の初期電圧を印加する初期電圧印加ステップと、ゲート - ソース間に前記初期電圧が印加された状態の前記駆動トランジスタのソース及びドレインの一方に、前記駆動電流を発生させるための電源電圧を印加する、または、前記スイッチトランジスタのソース及びドレインの他方またはゲートに、前記駆動トランジスタのゲートに印加されたなら当該駆動トランジスタのゲート - ソース間電圧が前記閾値電圧以上となる電圧である検査電圧を印加する検査電圧印加ステップと、前記検査電圧印加ステップが実行された時点では発光せず、前記時点から所定の期間経過後に発光した発光素子を有する画素を電流リーク不良画素であると判定する判定ステップとを含むことを特徴とする。

【発明の効果】

【0010】

10

20

30

40

50

本発明に係る表示パネルの検査方法によれば、微小なリーク電流により経時的に変化する回路素子を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素を有する表示パネルを流出させることを防止できる。

【図面の簡単な説明】

【0011】

【図1】図1は、実施の形態1に係る表示パネル検査装置を含む検査システムの構成を示すブロック図である。

【図2】図2は、表示パネルの構成を示すブロック図である。

【図3】図3は、画素の回路構成の一例及びその周辺回路との接続を表す図である。

【図4】図4は、本開示の表示パネルの製造方法を示す動作フローチャートである。

【図5】図5は、本開示の表示パネルの検査方法を説明する動作フローチャートである。

【図6A】図6Aは、実施の形態1に係る画素回路の動作状態を表す回路図である。

【図6B】図6Bは、実施の形態1に係る画素回路の動作状態を表す等価回路図である。

【図7】図7は、実施の形態1に係る表示パネルの検査方法を説明する動作フローチャートである。

【図8】図8は、実施の形態1に係る表示パネルの検査方法を説明するタイミングチャートである。

【図9A】図9Aは、実施の形態2に係る画素回路の動作状態を表す回路図である。

【図9B】図9Bは、実施の形態2に係る画素回路の動作状態を表す等価回路図である。

【図10】図10は、実施の形態2に係る表示パネルの検査方法を説明する動作フローチャートである。

【図11】図11は、実施の形態2に係る表示パネルの検査方法を説明するタイミングチャートである。

【図12】図12は、実施の形態2の変形例1に係る画素回路の動作状態を表す等価回路図である。

【図13】図13は、実施の形態2の変形例1に係る表示パネルの検査方法を説明する動作フローチャートである。

【図14】図14は、実施の形態2の変形例1に係る表示パネルの検査方法を説明するタイミングチャートである。

【図15A】図15Aは、実施の形態2の変形例2に係る画素回路の動作状態を表す回路図である。

【図15B】図15Bは、実施の形態2の変形例2に係る画素回路の動作状態を表す等価回路図である。

【図16】図16は、実施の形態2の変形例2に係る表示パネルの検査方法を説明する動作フローチャートである。

【図17】図17は、実施の形態2の変形例2に係る表示パネルの検査方法を説明するタイミングチャートである。

【図18A】図18Aは、実施の形態3に係る画素回路の動作状態を表す回路図である。

【図18B】図18Bは、実施の形態3に係る画素回路の動作状態を表す等価回路図である。

【図19】図19は、実施の形態3に係る表示パネルの検査方法を説明する動作フローチャートである。

【図20】図20は、実施の形態3に係る表示パネルの検査方法を説明するタイミングチャートである。

【図21】図21は、実施の形態3の変形例1に係る画素回路の動作状態を表す等価回路図である。

【図22】図22は、実施の形態3の変形例1に係る表示パネルの検査方法を説明する動作フローチャートである。

【図23】図23は、実施の形態3の変形例1に係る表示パネルの検査方法を説明するタイミングチャートである。

10

20

30

40

50

【図 2 4 A】図 2 4 A は、実施の形態 3 の変形例 2 に係る画素回路の動作状態を表す回路図である。

【図 2 4 B】図 2 4 B は、実施の形態 3 の変形例 2 に係る画素回路の動作状態を表す等価回路図である。

【図 2 5】図 2 5 は、実施の形態 3 の変形例 2 に係る表示パネルの検査方法を説明する動作フローチャートである。

【図 2 6】図 2 6 は、実施の形態 3 の変形例 2 に係る表示パネルの検査方法を説明するタイミングチャートである。

【図 2 7】図 2 7 は、実施の形態に係る表示パネルの検査方法を用いて製造された薄型フラット TV の外観図である。

10

【発明を実施するための形態】

【0012】

以下、表示パネルの検査方法及び表示パネルの製造方法の実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0013】

20

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【0014】

(実施の形態 1)

以下、実施の形態 1 に係る表示パネルの検査装置、表示パネル検査方法及び表示パネルの製造方法について、図面を参照しながら説明する。

【0015】

[1. 表示パネル検査装置の構成]

図 1 は、実施の形態 1 に係る表示パネル検査装置を含む検査システムの構成を示すブロック図である。同図における検査システムは、検査対象である表示パネル 4 と、表示パネル検査装置 1 とで構成される。表示パネル検査装置 1 は、表示パネル 4 に行列状に配置された画素の電流リーク不良を検査する装置であり、制御部 10 と、カメラ 20 と、記憶部 30 とを備える。制御部 10 は、カメラ制御回路 11 と、表示パネル制御回路 12 と、演算部 13 とを備える。

30

【0016】

カメラ 20 は、例えば CCD (Charge Coupled Device) カメラであり、表示パネル 4 を撮像する撮像装置である。カメラ 20 は、行列状に配置された複数の撮像素子が配置された撮像領域を含み、当該複数の撮像素子に入射光を集光させる撮像レンズと、当該撮像レンズへの入射光の採光及び遮光を決定するシャッタとを有している。上記構成により、カメラ 20 は、表示パネル 4 に行列状に配置された画素から出射される光を、撮像レンズを介して撮像領域に入射する。複数の撮像素子のそれぞれは、入射光を当該入射光の光量に対応した電荷量に変換する。なお、表示パネル 4 の中心軸と撮像レンズの中心軸とが一致するように、表示パネル 4 とカメラ 20 とが位置調整されている。これにより、例えば、撮像領域の中央部に配置された撮像素子は、表示パネル 4 の中央部に配置された画素からの出射光を受光し当該出射光に対応した電荷量を生成する。撮像領域の外周部に配置された撮像素子は、表示パネル 4 の外周部に配置された画素からの出射光を受光し当該出射光に対応した電荷量を生成する。

40

【0017】

カメラ制御回路 11 は、カメラ 20 のシャッタの開閉をさせるカメラ制御部である。

50

【 0 0 1 8 】

表示パネル制御回路 1 2 は、表示パネル 4 が有する走査線駆動回路 4 2 及びデータ線駆動回路 4 3 を駆動し、画素が有する回路素子の動作制御を実行する。

【 0 0 1 9 】

演算部 1 3 は、カメラ 2 0 で撮像された撮像データから、所定の時刻における各画素の輝度値を求める。

【 0 0 2 0 】

記憶部 3 0 は、演算部 1 3 で求められた各画素の輝度データを記憶するメモリである。なお、記憶部 3 0 は、制御部 1 0 に内蔵されたメモリであってもよい。

【 0 0 2 1 】

なお、本実施の形態では、各画素の点消灯を検出するためカメラ 2 0 を用いているが、カメラ以外の輝度計による輝度計測、または、視認により、各画素の点消灯を確認してもよい。

【 0 0 2 2 】

[2 . 表示パネルの構成]

ここで、検査対象である表示パネル 4 の構成について説明する。

【 0 0 2 3 】

図 2 は、表示パネルの構成を示すブロック図である。表示パネル 4 は、表示部 4 1 と、走査線駆動回路 4 2 と、データ線駆動回路 4 3 とを備える。

【 0 0 2 4 】

表示部 4 1 は、有機 E L 素子と当該有機 E L 素子を駆動する駆動素子とを含む画素が行列状に配置された表示領域である。

【 0 0 2 5 】

走査線駆動回路 4 2 は、画素行ごとに配置された走査線を介して、階調データに対応した信号電圧の書き込みを行う画素行を選択する。

【 0 0 2 6 】

データ線駆動回路 4 3 は、画素列ごとに配置されたデータ線を介して、選択された画素行に属する画素にデータ電圧を出力する。

【 0 0 2 7 】

図 3 は、画素の回路構成の一例及びその周辺回路との接続を表す図である。同図における画素 4 0 0 は、走査線 4 2 4 - 4 2 7 と、データ線 4 3 4 と、駆動トランジスタ 4 0 1 と、有機 E L 素子 4 0 2 と、保持容量素子 4 0 3 と、選択トランジスタ 4 0 4 と、イネーブルトランジスタ 4 0 5 と、参照トランジスタ 4 0 6 と、初期化トランジスタ 4 0 7 とを備える。また、周辺回路は、走査線駆動回路 4 2 と、データ線駆動回路 4 3 とで構成されている。

【 0 0 2 8 】

走査線駆動回路 4 2 は、走査線 4 2 4 - 4 2 7 に接続されており、選択トランジスタ 4 0 4、イネーブルトランジスタ 4 0 5、参照トランジスタ 4 0 6、及び初期化トランジスタ 4 0 7 の導通及び非導通を制御する。

【 0 0 2 9 】

データ線駆動回路 4 3 は、データ線 4 3 4 に接続されており、映像信号を反映した信号電圧を出力して、駆動トランジスタ 4 0 1 に流れる駆動電流を決定する。

【 0 0 3 0 】

駆動トランジスタ 4 0 1 は、ゲートが選択トランジスタ 4 0 4 を介してデータ線 4 3 4 に接続され、ソースが有機 E L 素子 4 0 2 のアノードに接続され、ドレインがイネーブルトランジスタ 4 0 5 を介して正電源線 (V_{TF1}) に接続されている。これにより、駆動トランジスタ 4 0 1 は、信号電圧を、当該信号電圧に対応した駆動電流に変換し、変換された駆動電流を有機 E L 素子 4 0 2 に供給する。

【 0 0 3 1 】

有機 E L 素子 4 0 2 は、電流駆動型の発光素子として機能し、有機 E L 素子 4 0 2 のカ

10

20

30

40

50

ソードは、負電源線 (V_{EL}) に接続されている。

【 0 0 3 2 】

保持容量素子 4 0 3 は、駆動トランジスタ 4 0 1 のゲート - ソース間に接続されている。保持容量素子 4 0 3 は、例えば、選択トランジスタ 4 0 4 がオフ状態となった後も、直前のゲート - ソース間電圧を維持し、継続して駆動トランジスタ 4 0 1 から有機 EL 素子 4 0 2 へ駆動電流を供給させる機能を有する。

【 0 0 3 3 】

選択トランジスタ 4 0 4 は、ゲートが走査線 4 2 4 に接続されており、データ線 4 3 4 の信号電圧を駆動トランジスタ 4 0 1 のゲートに供給するタイミングを制御するスイッチトランジスタである。

10

【 0 0 3 4 】

イネーブルトランジスタ 4 0 5 は、ゲートが走査線 4 2 5 に接続されており、正電源線の電源電圧 V_{TF} を駆動トランジスタ 4 0 1 のドレインに供給するタイミングを制御する発光トランジスタである。

【 0 0 3 5 】

参照トランジスタ 4 0 6 は、ゲートが走査線 4 2 6 に接続されており、閾値電圧を検出するために設けられた参照電源線の参照電圧 V_{REF} を駆動トランジスタ 4 0 1 のゲートに供給するタイミングを制御するスイッチトランジスタである。

【 0 0 3 6 】

初期化トランジスタ 4 0 7 は、ゲートが走査線 4 2 7 に接続されており、初期化電源線の初期化電圧 V_{INI} を駆動トランジスタ 4 0 1 のソースに供給するタイミングを制御する。

20

【 0 0 3 7 】

なお、図 3 には記載されていないが、正電源線は電源に接続されている。また、負電源線は、別の電源に接続、または接地されている。

【 0 0 3 8 】

次に、図 3 に示された画素回路の駆動シーケンスについて説明する。

【 0 0 3 9 】

[2 - 1 . 初期化期間]

初期化トランジスタ 4 0 7 のみを導通状態として、駆動トランジスタ 4 0 1 のソース電位を初期化電圧 V_{INI} に設定する。なお、初期化電圧 V_{INI} は、例えば、 $-3V$ である。

30

【 0 0 4 0 】

[2 - 2 . 閾値電圧検出期間]

参照トランジスタ 4 0 6 を導通状態とする。これにより、参照電圧 V_{REF} と初期化電圧 V_{INI} との差分電圧が、保持容量素子 4 0 3 に充電される。なお、参照電圧 V_{REF} は、例えば、 $3V$ である。

【 0 0 4 1 】

次に、初期化トランジスタ 4 0 7 を非導通状態とし、参照トランジスタ 4 0 6 を導通状態に維持し、イネーブルトランジスタ 4 0 5 を導通状態とする。このとき、初期化期間での電圧設定により有機 EL 素子 4 0 2 には電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 4 0 1 のソース電位が変化する。そして、保持容量素子 4 0 3 の両電極の電位差 (駆動トランジスタ 4 0 1 のゲート - ソース間電圧) は、駆動トランジスタ 4 0 1 の閾値電圧 V_{th} に相当する電位差となる。

40

【 0 0 4 2 】

次に、イネーブルトランジスタ 4 0 5 を非導通状態にする。これにより、ドレイン電流の供給が停止され、閾値電圧検出動作が完了する。なお、電源電圧 V_{TF} は、例えば、 $17.7V$ であり、有機 EL 素子のカソード電圧 V_{EL} は、例えば、 $1.3V$ である。

【 0 0 4 3 】

[2 - 3 . 書き込み期間]

50

参照トランジスタ406を非導通状態とし、選択トランジスタ404を導通状態とすることで、書込み動作の準備がなされる。

【0044】

この状態で、データ線434を介して信号電圧であるデータ線電圧 V_{DA} が保持容量素子403の第1電極に印加される。これにより、保持容量素子403には、閾値電圧検出期間で保持された駆動トランジスタ401の閾値電圧 V_{th} に、データ線電圧 V_{DA} と参照電圧 V_{REF} との電圧差に対応した電圧が加算された電圧が記憶（保持）される。なお、データ線電圧 V_{DA} は、階調データに応じて変化し、有機EL素子402を発光させない黒表示の場合のデータ線電圧 $V_{DA}(L)$ は、例えば、0Vである。

【0045】

[2-4.発光期間]

選択トランジスタ404、参照トランジスタ406、及び初期化トランジスタ407を非導通状態とし、イネーブルトランジスタ405を導通状態にする。これにより、保持容量素子403に蓄えられた電圧に応じて有機EL素子402に駆動電流が流れ、当該駆動電流に対応して有機EL素子402が発光する。

【0046】

[3.表示パネルの製造方法]

図4は、本開示の表示パネルの製造方法を示す動作フローチャートである。本開示の表示パネル4の製造方法は、表示パネル4の形成工程及びリーク不良画素の検出工程を含む。

【0047】

まず、表示パネル基板上に表示パネル4を形成する(S1)。具体的には、例えば、図3に示された駆動トランジスタ401、保持容量素子403、選択トランジスタ404、イネーブルトランジスタ405、参照トランジスタ406、初期化トランジスタ407、データ線434、及び走査線424-427などを適宜配置させた駆動回路層を形成する。次に、上記駆動回路層の上に、当該駆動回路層の平坦化工程を経た後、有機EL素子402を有する発光層を形成する。上記発光層は、例えば、陽極、正孔注入層、正孔輸送層、有機発光層、バンク層、電子注入層、及び透明陰極を有する。

【0048】

次に、リーク不良画素を検出する(S2)。以下、本開示に係る表示パネルの製造方法の要部であるステップS2について、表示パネル4の検査方法として詳細に説明する。

【0049】

[4.表示パネルの検査方法]

上記画素回路を構成する各トランジスタが、ソース、ドレイン、及びゲート間で短絡不良などを有する場合、当該短絡不良のトランジスタを有する画素は、駆動トランジスタのドレインに電源電圧が供給された時点、または、駆動トランジスタのドレインに電源電圧が供給された状態で駆動トランジスタのゲートに接続された周辺のトランジスタに所定の電圧が印加された時点で輝点画素または滅点画素となる。この輝点画素または滅点画素を検出するため、従来の製造工程における点灯検査では、1フレーム期間(60Hzまたは120Hz)、または、1水平期間程度の点灯期間により撮像された画像データにより、各画素の輝度を計測することで不良画素を検出する。しかしながら、上述した画像表示駆動のシーケンスにおいて、微小なリーク電流が流れるトランジスタにより経時的に不良へと転化する画素を検出することは困難である。つまり、製造工程における上記シーケンスでの点灯確認検査では正常画素と判定されるが、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネルを流出させてしまう。

【0050】

これに対して、本実施の形態に係る表示パネルの検査方法では、微小なリーク電流により経時的に変化する各トランジスタを、出荷前の製造段階で高精度に検査することが可能である。

【0051】

10

20

30

40

50

以下、本実施の形態に係る表示パネル検査方法を、図5～図8を用いて説明する。

【0052】

図5は、本開示の表示パネルの検査方法を説明する動作フローチャートである。

【0053】

まず、表示パネル制御回路12は、選択トランジスタ404を導通状態にしてデータ線434から所定の電圧を保持容量素子403の第1電極に印加する。また、表示パネル制御回路12は、初期化トランジスタ407を導通状態にして初期化電源線から初期化電圧 V_{INI} を保持容量素子403の第2電極に印加する。これらにより、駆動トランジスタ401のゲート-ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく(S10)。なお、本ステップにて保持容量素子403の第1電極に印加される上記所定の電圧は、データ線434から供給される代わりに、参照電源線から供給されてもよい。つまり、保持容量素子403の第1電極-第2電極間に保持される電圧が、閾値電圧 V_{th} 以下であるように設定されればよい。

10

【0054】

次に、表示パネル制御回路12は、イネーブルトランジスタ405を導通状態にして正電源線から電源電圧 V_{TF} を駆動トランジスタ401のドレインに印加する(S20)。または、表示パネル制御回路12は、イネーブルトランジスタ405を導通状態にした状態で、選択トランジスタ404または参照トランジスタ406ドレインまたはゲートに、駆動トランジスタ401のゲートに印加されたなら駆動トランジスタ401のゲート-ソース間電圧が閾値電圧 V_{th} 以上となる電圧である検査電圧を印加する(S20)。

20

【0055】

次に、演算部13は、ステップS20が実行された時点には発光せず、当該時点から所定の期間経過後に発光した画素400が存在するか否かを検査する(S30)。具体的には、制御部10が、ステップS20を実行した瞬間(または直後)の表示部41の撮像データ、及び、当該瞬間から所定の期間経過後の表示部41の撮像データを取得する。そして、演算部13が上記2種類の撮像データを比較することにより、ステップS20を実行した瞬間には発光せず、当該瞬間から所定の期間経過後に発光した画素400を検出する。

【0056】

ここで、上記所定の期間とは、例えば、表示部41の最上行から最下行まで、全ての画素行を各1回順次走査する期間である1フレーム期間より長い期間である。より具体的には、上記所定の期間とは、60Hzまたは120Hzで走査される通常の映像表示において1フレーム期間が16.7m秒または8.3m秒であるのに対し、例えば、数十m秒である。

30

【0057】

次に、制御部10は、ステップS20を実行した時点では発光せず、当該時点から上記所定の期間経過後に発光した画素400が検出された場合(S30でY)、当該画素400を、リーク電流が発生しているトランジスタを有する画素、いわゆるリーク不良画素であると判定する(S40)。

【0058】

一方、制御部10は、ステップS20を実行した時点では発光せず、当該時点から所定の期間経過後でも発光しない画素400を(S30でN)、正常画素であると判定する(S50)。

40

【0059】

上記ステップS40において、リーク不良画素と判定された画素400の不良原因としては以下が挙げられる。つまり、上記所定の期間の経過中に、例えば、駆動トランジスタ401、選択トランジスタ404、及び参照トランジスタ406のいずれかのソース、ドレイン及びゲートの間でリーク電流が流れ出す。これにより、駆動トランジスタ401のゲート電位が、経時的に、電源電圧 V_{TF} 、データ線電圧 V_{DA} 、参照電圧 V_{REF} 、走査線424電圧、及び走査線426電圧のいずれかの電位へと上昇する。結果的に、上

50

記所定の期間経過後には、駆動トランジスタ401のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となることで、駆動トランジスタ401が導通状態となり、有機EL素子402が発光する。

【0060】

以上の検査方法により、微小なリーク電流により経時的に変化するトランジスタを高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【0061】

なお、ステップS10において、駆動トランジスタ401のゲート - ソース間に印加される初期電圧は、駆動トランジスタ401の閾値電圧 V_{th} であること、または、できる限り閾値電圧 V_{th} に近い電圧であることが好ましい。これにより、リーク電流を発生しているトランジスタにより駆動トランジスタ401が導通状態となる時期を早くでき、経時後発光する有機EL素子402の発光開始時期を早くすることが可能となる。よって、製造段階における検査工程を短縮化できる。

【0062】

[5. 駆動トランジスタの電流リークを検出する表示パネルの検査方法]

以下、本実施の形態では、画素回路を構成する各トランジスタのうち、特に、駆動トランジスタ401が電流リークを発生させる場合の検査方法を具体的に説明する。

【0063】

図6Aは、実施の形態1に係る画素回路の動作状態を表す回路図である。また、図6Bは、実施の形態1に係る画素回路の動作状態を表す等価回路図である。また、図7は、実施の形態1に係る表示パネルの検査方法を説明する動作フローチャートである。また、図8は、実施の形態1に係る表示パネルの検査方法を説明するタイミングチャートである。図6A及び図6Bには、上記ステップS20における回路状態の一例が示されている。

【0064】

まず、表示パネル制御回路12は、駆動トランジスタ401のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく(S11)。

【0065】

次に、表示パネル制御回路12は、図8に示すように、時刻 t_0 において、走査線425にハイレベルの電圧を供給して、イネーブルトランジスタ405を導通状態にする。これにより、正電源線から電源電圧 V_{TF} を駆動トランジスタ401のドレインに印加する(S21)。また、表示パネル制御回路12は、走査線424、走査線426、及び走査線427にローレベルの電圧を供給して、選択トランジスタ404、参照トランジスタ406、及び初期化トランジスタ407を非導通状態にする。また、データ線434電圧 V_{DA} を、有機EL素子402が発光しない電圧(L)に設定する。

【0066】

次に、演算部13は、ステップS11で電源電圧 V_{TF} が駆動トランジスタ401のドレインに印加された瞬間には発光せず、当該瞬間から所定の期間経過後に発光した画素400が存在するか否かを検査する(S31)。

【0067】

制御部10は、電源電圧 V_{TF} を駆動トランジスタ401のドレインに印加した瞬間には発光せず、当該瞬間から所定の期間経過後に発光した画素400が検出された場合(S31でY)、駆動トランジスタ401にリーク電流が発生している画素400、いわゆるリーク不良画素であると判定する(S41)。

【0068】

本回路動作では、例えば、図6Bに示されたように、駆動トランジスタ401のゲート - ドレイン間に接合不良がある画素400を検出することが可能となる。具体的には、上記所定の期間の経過中に、例えば、駆動トランジスタ401のドレインに電源電圧 V_{TF} が供給されているので、上記接合不良により駆動トランジスタ401のドレインからゲートへとリーク電流が流れ出す。これにより、図8に示すように、駆動トランジスタ40

10

20

30

40

50

1のゲート電圧は、経時的に、電源電圧 V_{TFT} へ向かって上昇する。図8において、時刻 t_{11} には、リーク電流が流れ駆動トランジスタ401のゲート電圧が上昇し始める。そして、時刻 t_{21} には、駆動トランジスタ401のゲート-ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機EL素子402が発光を開始する。そして、時刻 t_{31} 、つまり、上記所定の期間(時刻 $t_0 - t_{31}$)経過後において、制御部10は、リーク不良画素の発光を検出する。

【0069】

一方、制御部10は、電源電圧 V_{TFT} を駆動トランジスタ401のドレインに印加した瞬間には発光せず、時刻 t_{31} (当該瞬間から所定の期間経過後)でも発光しない画素400(S31でN)を、正常画素であると判定する(S51)。

10

【0070】

以上の検査方法により、微小なリーク電流により経時的に変化する駆動トランジスタ401を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【0071】

(実施の形態2)

本実施の形態では、選択トランジスタ404に電流リークが発生する場合の表示パネルの検査方法について説明する。本実施の形態に係る表示パネルの検査方法は、実施の形態1に係る表示パネルの検査方法と比較して、画素400の回路構成が同じで、リーク不良画素の検出手順のみが異なる。以下、実施の形態1と同じ点は説明を省略し、異なる点を中心に説明する。

20

【0072】

[1. 選択トランジスタの電流リークを検出する表示パネルの検査方法1]

図9Aは、実施の形態2に係る画素回路の動作状態を表す回路図である。また、図9Bは、実施の形態2に係る画素回路の動作状態を表す等価回路図である。また、図10は、実施の形態2に係る表示パネルの検査方法を説明する動作フローチャートである。また、図11は、実施の形態2に係る表示パネルの検査方法を説明するタイミングチャートである。

【0073】

まず、表示パネル制御回路12は、駆動トランジスタ401のゲート-ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく(S12)。

30

【0074】

次に、表示パネル制御回路12は、図11に示すように、時刻 t_0 において、走査線424及び走査線425にハイレベルの電圧を供給して、選択トランジスタ404及びインーブルトランジスタ405を導通状態にする(S22)。これにより、正電源線から電源電圧 V_{TFT} を駆動トランジスタ401のドレインに印加する。また、表示パネル制御回路12は、走査線426及び走査線427にローレベルの電圧を供給して、参照トランジスタ406及び初期化トランジスタ407を非導通状態にする。また、データ線434電圧 V_{DA} を、有機EL素子402が発光しない電圧(L)に設定する。ここで、走査線424に供給されるハイレベルの電圧とは、駆動トランジスタ401のゲートに印加されたなら駆動トランジスタ401のゲート-ソース間電圧が閾値電圧 V_{th} 以上となる検査電圧である。

40

【0075】

次に、演算部13は、ステップS22で走査線424に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素400が存在するか否かを検査する(S32)。

【0076】

制御部10は、走査線424に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素400が検出された場合(S32でY)、選択トランジスタ404にリーク電流が発生している画素400、いわゆるリーク不良画素である

50

と判定する（S42）。

【0077】

本回路動作では、例えば、図9Bに示されたように、選択トランジスタ404のゲート-ソース間またはゲート-ドレイン間に接合不良がある画素400を検出することが可能となる。具体的には、上記所定の期間の経過中に、例えば、選択トランジスタ404のゲートに、選択トランジスタ404が導通状態となるハイレベルの走査線電圧 V_{424} が供給されているので、上記接合不良により選択トランジスタ404のゲートからソース、または、ゲートからドレインを経由してソースへとリーク電流が流れ出す。これにより、図11に示すように、駆動トランジスタ401のゲート電圧は、経時的に、走査線電圧 V_{424} へ向かって上昇する。ここで、走査線電圧 V_{424} は、上記検査電圧である。よって、図11において、時刻 t_{12} には、リーク電流が流れ駆動トランジスタ401のゲート電圧が上昇し始める。そして、時刻 t_{22} には、駆動トランジスタ401のゲート-ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機EL素子402が発光を開始する。そして、時刻 t_{32} 、つまり、上記所定の期間（時刻 t_0 - t_{32} ）経過後において、制御部10は、リーク不良画素の発光を検出する。なお、選択トランジスタ404が導通状態となるハイレベルの走査線電圧 V_{424} は、例えば、28Vである。

10

【0078】

一方、制御部10は、走査線424に上記検査電圧が供給された時点には発光せず、時刻 t_{32} （当該瞬間から所定の期間経過後）でも発光しない画素400（S32でN）を、正常画素であると判定する（S52）。

20

【0079】

以上の検査方法により、微小なリーク電流により経時的に変化する選択トランジスタ404を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【0080】

なお、上記ステップS22において、時刻 t_0 に走査線424及び走査線425にハイレベルの電圧を供給して、選択トランジスタ404及びイネーブルトランジスタ405を同時に導通状態としたが、これに限られない。上記ステップS22において、例えば、まず、時刻 t_0 において、走査線425にハイレベルの電圧を供給してイネーブルトランジスタ405を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 t_{01} に、走査線424にハイレベルの電圧を供給して選択トランジスタ404を導通状態としてもよい。これによれば、まず、時刻 t_0 ～時刻 t_{01} において、実施の形態1に係る駆動トランジスタ401の電流リーク検査方法が実現できる。そして、駆動トランジスタ401の検査の実施後、時刻 t_{01} 以降にて、選択トランジスタ404の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

30

【0081】

[2. 選択トランジスタの電流リークを検出する表示パネルの検査方法2]

上記実施の形態2に係る表示パネルの検査方法では、選択トランジスタ404の接合不良の度合い、つまり、ゲート、ソース及びドレイン間の抵抗値により、選択トランジスタ404の電流リーク不良を効果的に検出できない場合がある。例えば、選択トランジスタ404のゲート-ソース間またはゲート-ドレイン間に接合不良などがある場合、ステップS22において走査線424にハイレベルの走査線電圧 V_{424} を印加しても、駆動トランジスタ401のゲート電圧が経時的に上昇しないことが想定される。例えば、走査線424に印加された上記走査線電圧 V_{424} により選択トランジスタ404のゲートからソースまたはドレインに流れ込むリーク電流が、駆動トランジスタ401のゲートに向かって流れずに、データ線434に向かって流れ込む。この場合には、選択トランジスタ404に電流リーク不良があるにもかかわらず、所定の期間経過後であっても、駆動トランジスタ401のゲート-ソース間電圧は上昇せず、有機EL素子402は発光しない。

40

【0082】

50

これに対して、本実施の形態の変形例 1 に係る表示パネルの検査方法によれば、選択トランジスタ 404 で発生したリーク電流を、効果的かつ選択的に保持容量素子 403 へ充電することが可能となる。以下、実施の形態 2 の変形例 1 に係る表示パネルの検査方法について説明する。

【0083】

図 12 は、実施の形態 2 の変形例 1 に係る画素回路の動作状態を表す等価回路図である。また、図 13 は、実施の形態 2 の変形例 1 に係る表示パネルの検査方法を説明する動作フローチャートである。また、図 14 は、実施の形態 2 の変形例 1 に係る表示パネルの検査方法を説明するタイミングチャートである。

【0084】

まず、表示パネル制御回路 12 は、駆動トランジスタ 401 のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく (S13)。

【0085】

次に、表示パネル制御回路 12 は、図 14 に示すように、時刻 t_0 において、走査線 425 にハイレベルの電圧を供給して、イネーブルトランジスタ 405 を導通状態にする。これにより、正電源線から電源電圧 V_{TF} を駆動トランジスタ 401 のドレインに印加する。また、表示パネル制御回路 12 は、走査線 426 及び走査線 427 にローレベルの電圧を供給して、参照トランジスタ 406 及び初期化トランジスタ 407 を非導通状態にする。また、データ線 434 電圧 V_{DA} を、有機 EL 素子 402 が発光しない電圧 (L) に設定する。さらに、表示パネル制御回路 12 は、走査線 424 に、行順次走査における 1 水平走査期間の 2 倍の期間 (2H) をパルス幅とするパルス信号を検査電圧として連続出力することにより、選択トランジスタ 404 のゲートに 2H の期間をパルス幅とするパルス信号を連続印加する (S23)。これにより、選択トランジスタ 404 を間欠的に導通状態にする。なお、本ステップで選択トランジスタ 404 のゲートに印加されるパルス信号のピーク電圧は、例えば、28V である。

【0086】

次に、演算部 13 は、ステップ S23 で電源電圧 V_{TF} が駆動トランジスタ 401 のドレインに印加された瞬間には発光せず、当該瞬間から所定の期間経過後に発光した画素 400 が存在するか否かを検査する (S33)。

【0087】

制御部 10 は、選択トランジスタ 404 のゲートに上記パルス信号の供給が開始された時点には発光せず、当該時点から所定の期間経過後に発光した画素 400 が検出された場合 (S33 で Y)、選択トランジスタ 404 にリーク電流が発生している画素 400、いわゆるリーク不良画素であると判定する (S43)。

【0088】

本回路動作では、例えば、図 12 に示されたように、選択トランジスタ 404 のゲート - ソース間の等価回路がツェナダイオードで表されるような接合不良形態がある画素 400 を検出することが可能となる。具体的には、上記所定の期間の経過中に、選択トランジスタ 404 のゲートに、2H パルス幅を有するパルス信号を供給する。これにより、選択トランジスタ 404 のゲートからデータ線 434 に向かって電流は流れず、選択トランジスタ 404 のゲートからソースを経由して保持容量素子 403 に向かって、いわゆるピーク整流された電流が流れる。これにより、図 14 に示すように、駆動トランジスタ 401 のゲート電圧は、経時的に、走査線電圧 V_{424} のパルス電圧ピーク値に向かって上昇する。図 14 において、時刻 t_{13} には、保持容量素子 403 へ向かってリーク電流が流れ駆動トランジスタ 401 のゲート電圧が上昇し始める。そして、時刻 t_{23} には、駆動トランジスタ 401 のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機 EL 素子 402 が発光を開始する。そして、時刻 t_{33} 、つまり、上記所定の期間 (時刻 $t_0 - t_{33}$) 経過後において、制御部 10 は、リーク不良画素の発光を検出する。

【0089】

一方、制御部 10 は、選択トランジスタ 404 のゲートに上記パルス信号の供給が開始

10

20

30

40

50

された時点には発光せず、時刻 t_{33} （当該瞬間から所定の期間経過後）でも発光しない画素 400（S33でN）を、正常画素であると判定する（S53）。

【0090】

以上の検査方法により、微小なリーク電流により経時的に変化する選択トランジスタ 404 を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネル 4 を流出させることを防止できる。

【0091】

なお、上記変形例 1 では、ステップ S23 において、走査線 424 に、行順次走査における 1 水平走査期間の 2 倍の期間（2H）をパルス幅とするパルス信号を連続出力したが、選択トランジスタ 404 のゲート - ソース間の接合形態及び抵抗値に応じて、2H より

10

【0092】

なお、上記ステップ S23 において、時刻 t_0 に走査線 424 及び走査線 425 にハイレベルの電圧を供給して、選択トランジスタ 404 及びイネーブルトランジスタ 405 を同時に導通状態としたが、これに限られない。上記ステップ S23 において、例えば、まず、時刻 t_0 において、走査線 425 にハイレベルの電圧を供給してイネーブルトランジスタ 405 を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 t_{01} に、走査線 424 にパルス信号を連続供給し始め選択トランジスタ 404 を導通状態としてもよい。これによれば、まず、時刻 t_0 ~ 時刻 t_{01} において、実施の形態 1 に係る駆動トランジスタ 401 の電流リーク検査方法が実現できる。そして、駆動トランジスタ 401 の検査の実施後、時刻 t_{01} 以降にて、選択トランジスタ 404 の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

20

【0093】

〔3．選択トランジスタの電流リークを検出する表示パネルの検査方法 3〕

上記実施の形態 2 及びその変形例 1 に係る表示パネルの検査方法は、選択トランジスタ 404 のゲート - ソース間またはゲート - ドレイン間の電流リーク不良を検出するものである。これに対して、本実施の形態の変形例 2 では、選択トランジスタ 404 のソース - ドレイン間の電流リーク不良を検出するものである。以下、実施の形態 2 の変形例 2 に係る表示パネルの検査方法について説明する。

30

【0094】

図 15A は、実施の形態 2 の変形例 2 に係る画素回路の動作状態を表す回路図である。また、図 15B は、実施の形態 2 の変形例 2 に係る画素回路の動作状態を表す等価回路図である。また、図 16 は、実施の形態 2 の変形例 2 に係る表示パネルの検査方法を説明する動作フローチャートである。また、図 17 は、実施の形態 2 の変形例 2 に係る表示パネルの検査方法を説明するタイミングチャートである。

【0095】

まず、表示パネル制御回路 12 は、駆動トランジスタ 401 のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく（S14）。

【0096】

次に、表示パネル制御回路 12 は、図 17 に示すように、時刻 t_0 において、走査線 425 にハイレベルの電圧を供給して、イネーブルトランジスタ 405 を導通状態にする。これにより、正電源線から電源電圧 V_{TF} を駆動トランジスタ 401 のドレインに印加する。また、表示パネル制御回路 12 は、走査線 424、426 及び 427 にローレベルの電圧を供給して、選択トランジスタ 404、参照トランジスタ 406 及び初期化トランジスタ 407 を非導通状態にする。この状態で、データ線 434 電圧 V_{DA} を、有機 EL 素子 402 が発光する電圧（H）に設定する（S24）。ここで、データ線 434 に供給される、有機 EL 素子 402 が発光する電圧（H）とは、駆動トランジスタ 401 のゲートに印加されたなら駆動トランジスタ 401 のゲート - ソース間電圧が閾値電圧 V_{th} 以上となる検査電圧である。なお、本ステップにおいてデータ線 434 に設定される電圧 V

40

50

V_{DA} は、例えば、12Vである。

【0097】

次に、演算部13は、ステップS24でデータ線434に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素400が存在するか否かを検査する(S34)。

【0098】

制御部10は、データ線434に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素400が検出された場合(S34でY)、選択トランジスタ404にリーク電流が発生している画素400、いわゆるリーク不良画素であると判定する(S44)。

10

【0099】

本回路動作では、例えば、図15Bに示されたように、選択トランジスタ404のソース・ドレイン間に接合不良がある画素400を検出することが可能となる。具体的には、上記所定の期間の経過中に、例えば、データ線434に有機EL素子402が発光する電圧(H)が供給されている。これにより、上記接合不良により選択トランジスタ404のドレインからソースへとリーク電流が流れ出す。これにより、図17に示すように、駆動トランジスタ401のゲート電圧は、経時的に、データ線434電圧 V_{DA} へ向かって上昇する。ここで、データ線434電圧 V_{DA} は、上記検査電圧である。よって、図17において、時刻 t_{14} には、リーク電流が流れ駆動トランジスタ401のゲート電圧が上昇し始める。そして、時刻 t_{24} には、駆動トランジスタ401のゲート・ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機EL素子402が発光を開始する。そして、時刻 t_{34} 、つまり、上記所定の期間(時刻 $t_0 - t_{34}$)経過後において、制御部10は、リーク不良画素の発光を検出する。

20

【0100】

一方、制御部10は、データ線434に上記検査電圧が供給された時点には発光せず、時刻 t_{34} (当該瞬間から所定の期間経過後)でも発光しない画素400(S34でN)を、正常画素であると判定する(S54)。

【0101】

以上の検査方法により、微小なリーク電流により経時的に変化する選択トランジスタ404を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネル4を流出させることを防止できる。

30

【0102】

なお、上記ステップS24において、時刻 t_0 にデータ線434及び走査線425にハイレベルの電圧を供給したが、これに限られない。上記ステップS24において、例えば、まず、時刻 t_0 において、走査線425にハイレベルの電圧を供給してイネーブルトランジスタ405を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 t_{01} に、データ線434に上記検査電圧を供給してもよい。これによれば、まず、時刻 $t_0 \sim$ 時刻 t_{01} において、実施の形態1に係る駆動トランジスタ401の電流リーク検査方法が実現できる。そして、駆動トランジスタ401の検査の実施後、時刻 t_{01} 以降にて、選択トランジスタ404の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

40

【0103】

(実施の形態3)

本実施の形態では、参照トランジスタ406に電流リークが発生する場合の表示パネルの検査方法について説明する。本実施の形態に係る表示パネルの検査方法は、実施の形態1に係る表示パネルの検査方法と比較して、画素400の回路構成が同じで、リーク不良画素の検出手順のみが異なる。以下、実施の形態1と同じ点は説明を省略し、異なる点を中心に説明する。

【0104】

[1. 参照トランジスタの電流リークを検出する表示パネルの検査方法1]

50

図 18 A は、実施の形態 3 に係る画素回路の動作状態を表す回路図である。また、図 18 B は、実施の形態 3 に係る画素回路の動作状態を表す等価回路図である。また、図 19 は、実施の形態 3 に係る表示パネルの検査方法を説明する動作フローチャートである。また、図 20 は、実施の形態 3 に係る表示パネルの検査方法を説明するタイミングチャートである。

【 0 1 0 5 】

まず、表示パネル制御回路 12 は、駆動トランジスタ 401 のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく (S15)。

【 0 1 0 6 】

次に、表示パネル制御回路 12 は、図 20 に示すように、時刻 t_0 において、走査線 426 及び走査線 425 にハイレベルの電圧を供給して、参照トランジスタ 406 及びイネーブルトランジスタ 405 を導通状態にする (S25)。これにより、正電源線から電源電圧 V_{TF} を駆動トランジスタ 401 のドレインに印加する。また、表示パネル制御回路 12 は、走査線 424 及び走査線 427 にローレベルの電圧を供給して、選択トランジスタ 404 及び初期化トランジスタ 407 を非導通状態にする。また、データ線 434 電圧 V_{DA} を、有機 EL 素子 402 が発光しない電圧 (L) に設定する。ここで、走査線 426 に供給されるハイレベルの電圧とは、駆動トランジスタ 401 のゲートに印加されたなら駆動トランジスタ 401 のゲート - ソース間電圧が閾値電圧 V_{th} 以上となる検査電圧である。

【 0 1 0 7 】

次に、演算部 13 は、ステップ S25 で走査線 426 に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素 400 が存在するか否かを検査する (S35)。

【 0 1 0 8 】

制御部 10 は、走査線 426 に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素 400 が検出された場合 (S35 で Y)、参照トランジスタ 406 にリーク電流が発生している画素 400、いわゆるリーク不良画素であると判定する (S44)。

【 0 1 0 9 】

本回路動作では、例えば、図 18 B に示されたように、参照トランジスタ 406 のゲート - ソース間またはゲート - ドレイン間に接合不良がある画素 400 を検出することが可能となる。具体的には、上記所定の期間の経過中に、例えば、参照トランジスタ 406 のゲートに走査線電圧 V_{426} が供給されているので、上記接合不良により参照トランジスタ 406 のゲートからソース、または、ゲートからドレインを経由してソースへとリーク電流が流れ出す。これにより、図 20 に示すように、駆動トランジスタ 401 のゲート電圧は、経時的に、走査線電圧 V_{426} へ向かって上昇する。ここで、走査線電圧 V_{426} は、上記検査電圧である。よって、図 20 において、時刻 t_{15} には、リーク電流が流れ駆動トランジスタ 401 のゲート電圧が上昇し始める。そして、時刻 t_{25} には、駆動トランジスタ 401 のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機 EL 素子 402 が発光を開始する。そして、時刻 t_{35} 、つまり、上記所定の期間 (時刻 t_0 - t_{35}) 経過後において、制御部 10 は、リーク不良画素の発光を検出する。

【 0 1 1 0 】

一方、制御部 10 は、走査線 426 に上記検査電圧が供給された時点には発光せず、時刻 t_{35} (当該瞬間から所定の期間経過後) でも発光しない画素 400 (S35 で N) を、正常画素であると判定する (S55)。

【 0 1 1 1 】

以上の検査方法により、微小なリーク電流により経時的に変化する参照トランジスタ 406 を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネル 4 を流出させることを防止できる。

【 0 1 1 2 】

なお、上記ステップ S 2 5 において、時刻 t_0 に走査線 4 2 6 及び走査線 4 2 5 にハイレベルの電圧を供給して、参照トランジスタ 4 0 6 及びイネーブルトランジスタ 4 0 5 を同時に導通状態としたが、これに限られない。上記ステップ S 2 5 において、例えば、まず、時刻 t_0 において、走査線 4 2 5 にハイレベルの電圧を供給してイネーブルトランジスタ 4 0 5 を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 $t_0 1$ に、走査線 4 2 6 にハイレベルの電圧を供給して参照トランジスタ 4 0 6 を導通状態としてもよい。これによれば、まず、時刻 $t_0 \sim$ 時刻 $t_0 1$ において、実施の形態 1 に係る駆動トランジスタ 4 0 1 の電流リーク検査方法が実現できる。そして、駆動トランジスタ 4 0 1 の検査の実施後、時刻 $t_0 1$ 以降にて、参照トランジスタ 4 0 6 の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

10

【 0 1 1 3 】

[2 . 参照トランジスタの電流リークを検出する表示パネルの検査方法 2]

上記実施の形態 3 に係る表示パネルの検査方法では、参照トランジスタ 4 0 6 の接合不良の度合い、つまり、ゲート、ソース及びドレイン間の抵抗値により、参照トランジスタの電流リーク不良を効果的に検出できない場合がある。例えば、参照トランジスタ 4 0 6 のゲート - ソース間またはゲート - ドレイン間に接合不良などがある場合、ステップ S 2 5 において走査線 4 2 6 にハイレベルの走査線電圧 $V_{4 2 6}$ を印加しても、駆動トランジスタ 4 0 1 のゲート電圧が経時的に上昇しないことが想定される。例えば、走査線 4 2 6 に印加された上記走査線電圧 $V_{4 2 6}$ により参照トランジスタ 4 0 6 のゲートからソースまたはドレインに流れ込むリーク電流が、駆動トランジスタ 4 0 1 のゲートに向かって流れずに、参照電源線に向かって流れ込む。この場合には、参照トランジスタ 4 0 6 に電流リーク不良があるにもかかわらず、所定の期間経過後であっても、駆動トランジスタ 4 0 1 のゲート - ソース間電圧は上昇せず、有機 E L 素子 4 0 2 は発光しない。

20

【 0 1 1 4 】

これに対して、本実施の形態の変形例 1 に係る表示パネルの検査方法によれば、参照トランジスタ 4 0 6 で発生したリーク電流を、効果的かつ選択的に保持容量素子 4 0 3 へ充電することが可能となる。以下、実施の形態 3 の変形例 1 に係る表示パネルの検査方法について説明する。

【 0 1 1 5 】

図 2 1 は、実施の形態 3 の変形例 1 に係る画素回路の動作状態を表す等価回路図である。また、図 2 2 は、実施の形態 3 の変形例 1 に係る表示パネルの検査方法を説明する動作フローチャートである。また、図 2 3 は、実施の形態 3 の変形例 1 に係る表示パネルの検査方法を説明するタイミングチャートである。

30

【 0 1 1 6 】

まず、表示パネル制御回路 1 2 は、駆動トランジスタ 4 0 1 のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく (S 1 6) 。

【 0 1 1 7 】

次に、表示パネル制御回路 1 2 は、図 2 3 に示すように、時刻 t_0 において、走査線 4 2 5 にハイレベルの電圧を供給して、イネーブルトランジスタ 4 0 5 を導通状態にする。これにより、正電源線から電源電圧 V_{TFT} を駆動トランジスタ 4 0 1 のドレインに印加する。また、表示パネル制御回路 1 2 は、走査線 4 2 4 及び走査線 4 2 7 にローレベルの電圧を供給して、選択トランジスタ 4 0 4 及び初期化トランジスタ 4 0 7 を非導通状態にする。また、データ線 4 3 4 電圧 V_{DA} を、有機 E L 素子 4 0 2 が発光しない電圧 (L) に設定する。さらに、表示パネル制御回路 1 2 は、走査線 4 2 6 に、行順次走査における 1 水平走査期間の 2 倍の期間 (2 H) をパルス幅とするパルス信号を検査電圧として連続出力することにより、参照トランジスタ 4 0 6 のゲートに 2 H の期間をパルス幅とするパルス信号を連続印加する (S 2 6) 。これにより、参照トランジスタ 4 0 6 を間欠的に導通状態にする。なお、本ステップで参照トランジスタ 4 0 6 のゲートに印加されるパルス信号のピーク電圧は、例えば、28V である。

40

50

【 0 1 1 8 】

次に、演算部 1 3 は、ステップ S 2 6 で電源電圧 V_{TFT} が駆動トランジスタ 4 0 1 のドレインに印加された瞬間には発光せず、当該瞬間から所定の期間経過後に発光した画素 4 0 0 が存在するか否かを検査する (S 3 6)。

【 0 1 1 9 】

制御部 1 0 は、参照トランジスタ 4 0 6 のゲートに上記パルス信号の供給が開始された時点には発光せず、当該時点から所定の期間経過後に発光した画素 4 0 0 が検出された場合 (S 3 6 で Y)、参照トランジスタ 4 0 6 にリーク電流が発生している画素 4 0 0、いわゆるリーク不良画素であると判定する (S 4 6)。

【 0 1 2 0 】

本回路動作では、例えば、図 2 1 に示されたように、参照トランジスタ 4 0 6 のゲート - ソース間の等価回路がツェナダイオードで表されるような接合不良形態がある画素 4 0 0 を検出することが可能となる。具体的には、上記所定の期間の経過中に、参照トランジスタ 4 0 6 のゲートに、2 H パルス幅を有するパルス信号を供給する。これにより、参照トランジスタ 4 0 6 のゲートから参照電源線に向かって電流は流れず、参照トランジスタ 4 0 6 のゲートからソースを経由して保持容量素子 4 0 3 に向かって、いわゆるピーク整流された電流が流れる。これにより、図 2 3 に示すように、駆動トランジスタ 4 0 1 のゲート電圧は、経時的に、走査線電圧 V_{426} のピーク電圧値に向かって上昇する。図 2 3 において、時刻 t_{16} には、保持容量素子 4 0 3 へ向かってリーク電流が流れ駆動トランジスタ 4 0 1 のゲート電圧が上昇し始める。そして、時刻 t_{26} には、駆動トランジスタ 4 0 1 のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機 EL 素子 4 0 2 が発光を開始する。そして、時刻 t_{36} 、つまり、上記所定の期間 (時刻 $t_0 - t_{36}$) 経過後において、制御部 1 0 は、リーク不良画素の発光を検出する。

【 0 1 2 1 】

一方、制御部 1 0 は、参照トランジスタ 4 0 6 のゲートに上記パルス信号の供給が開始された時点には発光せず、時刻 t_{36} (当該瞬間から所定の期間経過後) でも発光しない画素 4 0 0 (S 3 6 で N) を、正常画素であると判定する (S 5 6)。

【 0 1 2 2 】

以上の検査方法により、微小なリーク電流により経時的に変化する参照トランジスタ 4 0 6 を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素 4 0 0 を有する表示パネル 4 を流出させることを防止できる。

【 0 1 2 3 】

なお、上記変形例 1 では、ステップ S 2 6 において、走査線 4 2 6 に、行順次走査における 1 水平走査期間の 2 倍の期間 (2 H) をパルス幅とするパルス信号を連続出力したが、参照トランジスタ 4 0 6 のゲート - ソース間の接合形態及び抵抗値に応じて、2 H よりも長いパルス幅を有するパルス信号を連続出力してもよい。

【 0 1 2 4 】

なお、上記ステップ S 2 6 において、時刻 t_0 に走査線 4 2 6 及び走査線 4 2 5 にハイレベルの電圧を供給して、参照トランジスタ 4 0 6 及びイネーブルトランジスタ 4 0 5 を同時に導通状態としたが、これに限られない。上記ステップ S 2 6 において、例えば、まず、時刻 t_0 において、走査線 4 2 5 にハイレベルの電圧を供給してイネーブルトランジスタ 4 0 5 を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 t_{01} に、走査線 4 2 6 にパルス信号を連続供給し始め参照トランジスタ 4 0 6 を導通状態としてもよい。これによれば、まず、時刻 $t_0 \sim$ 時刻 t_{01} において、実施の形態 1 に係る駆動トランジスタ 4 0 1 の電流リーク検査方法が実現できる。そして、駆動トランジスタ 4 0 1 の検査の実施後、時刻 t_{01} 以降にて、参照トランジスタ 4 0 6 の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

【 0 1 2 5 】

[3 . 参照トランジスタの電流リークを検出する表示パネルの検査方法 3]

10

20

30

40

50

上記実施の形態 3 及びその変形例 1 に係る表示パネルの検査方法は、参照トランジスタ 406 のゲート - ソース間またはゲート - ドレイン間の電流リーク不良を検出するものである。これに対して、本実施の形態の変形例 2 では、参照トランジスタ 406 のソース - ドレイン間の電流リーク不良を検出するものである。以下、実施の形態 3 の変形例 2 に係る表示パネルの検査方法について説明する。

【0126】

図 24A は、実施の形態 3 の変形例 2 に係る画素回路の動作状態を表す回路図である。また、図 24B は、実施の形態 3 の変形例 2 に係る画素回路の動作状態を表す等価回路図である。また、図 25 は、実施の形態 3 の変形例 2 に係る表示パネルの検査方法を説明する動作フローチャートである。また、図 26 は、実施の形態 3 の変形例 2 に係る表示パネルの検査方法を説明するタイミングチャートである。

10

【0127】

まず、表示パネル制御回路 12 は、駆動トランジスタ 401 のゲート - ソース間に、閾値電圧 V_{th} 以下の初期電圧を印加しておく (S17)。

【0128】

次に、表示パネル制御回路 12 は、図 26 に示すように、時刻 t_0 において、走査線 425 にハイレベルの電圧を供給して、イネーブルトランジスタ 405 を導通状態にする。これにより、正電源線から電源電圧 V_{TFT} を駆動トランジスタ 401 のドレインに印加する。また、表示パネル制御回路 12 は、走査線 424、426 及び 427 にローレベルの電圧を供給して、選択トランジスタ 404、参照トランジスタ 406 及び初期化トランジスタ 407 を非導通状態にする。この状態で、参照電源線の電圧を、参照電圧 V_{REF} よりも大きい電圧に設定する (S27)。ここで、参照電源線に供給される、参照電圧 V_{REF} よりも大きい電圧とは、駆動トランジスタ 401 のゲートに印加されたなら駆動トランジスタ 401 のゲート - ソース間電圧が閾値電圧 V_{th} 以上となる検査電圧である。なお、本ステップにおいて参照電源線に設定される電圧は、例えば、12V である。

20

【0129】

次に、演算部 13 は、ステップ S27 で参照電源線に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素 400 が存在するか否かを検査する (S37)。

【0130】

制御部 10 は、参照電源線に上記検査電圧が供給された時点には発光せず、当該時点から所定の期間経過後に発光した画素 400 が検出された場合 (S37 で Y)、参照トランジスタ 406 にリーク電流が発生している画素 400、いわゆるリーク不良画素であると判定する (S47)。

30

【0131】

本回路動作では、例えば、図 24B に示されたように、参照トランジスタ 406 のソース - ドレイン間に接合不良がある画素 400 を検出することが可能となる。具体的には、上記所定の期間の経過中に、例えば、参照電源線に有機 EL 素子 402 が発光する電圧 ($> V_{REF}$) が供給されている。これにより、上記接合不良により参照トランジスタ 406 のドレインからソースへとリーク電流が流れ出す。これにより、図 26 に示すように、駆動トランジスタ 401 のゲート電圧は、経時的に、参照電源線電圧へ向かって上昇する。ここで、参照電源線の電圧は、上記検査電圧である。よって、図 26 において、時刻 t_{17} には、リーク電流が流れ駆動トランジスタ 401 のゲート電圧が上昇し始める。そして、時刻 t_{27} には、駆動トランジスタ 401 のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機 EL 素子 402 が発光を開始する。そして、時刻 t_{37} 、つまり、上記所定の期間 (時刻 t_0 - t_{37}) 経過後において、制御部 10 は、リーク不良画素の発光を検出する。

40

【0132】

なお、ステップ S27 において、参照電源線に設定される電圧が参照電圧 V_{REF} であると、参照トランジスタ 406 のソース - ドレイン間にリーク不良があっても、駆動トラ

50

ンジスタ401のゲート-ソース間電圧が閾値電圧 V_{th} より大きな電圧へと経時変化しないことが想定される。よって、ステップS27において参照電源線に設定される電圧は、参照電圧 V_{REF} より大きな電圧が設定される。

【0133】

一方、制御部10は、参照電源線に上記検査電圧が供給された時点には発光せず、時刻 t_{37} (当該瞬間から所定の期間経過後)でも発光しない画素400(S37でN)を、正常画素であると判定する(S57)。

【0134】

以上の検査方法により、微小なリーク電流により経時的に変化する参照トランジスタ406を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネル4を流出させることを防止できる。

10

【0135】

なお、上記ステップS27において、時刻 t_0 に参照電源線及び走査線425にハイレベルの電圧を供給したが、これに限られない。上記ステップS27において、例えば、まず、時刻 t_0 において、走査線425にハイレベルの電圧を供給してイネーブルトランジスタ405を導通状態としておく。次に、時刻 t_0 から所定の期間経過後である時刻 t_0 に、参照電源線に上記検査電圧を供給してもよい。これによれば、まず、時刻 t_0 ~時刻 t_0 において、実施の形態1に係る駆動トランジスタ401の電流リーク検査方法が実現できる。そして、駆動トランジスタ401の検査の実施後、時刻 t_0 以降にて、参照トランジスタ406の電流リーク検査が実施される。これによれば、リーク不良画素の原因となるトランジスタを、より高精度に特定することが可能となる。

20

【0136】

(効果など)

以上のように、本実施の形態に係る表示パネルの検査方法の一態様は、映像信号を反映した信号電圧がゲートに印加されることにより当該信号電圧に対応した駆動電流を流す駆動トランジスタ401と、駆動電流が流れることにより当該駆動電流に対応した輝度で発光する有機EL素子402と、ソース及びドレインの一方が駆動トランジスタ401のゲートに接続されたスイッチトランジスタを含む画素400が行列状に配置された表示パネル4の検査方法であって、駆動トランジスタ401のゲート-ソース間に閾値電圧 V_{th} 以下の初期電圧を印加する初期電圧印加ステップ(S10)と、ゲート-ソース間に初期電圧が印加された状態の駆動トランジスタ401のドレインに駆動電流を発生させるための電源電圧 V_{TF} を印加する、または、スイッチトランジスタのソース及びドレインの他方またはゲートに、駆動トランジスタ401のゲートに印加されたなら駆動トランジスタ401のゲート-ソース間電圧が閾値電圧 V_{th} 以上となる電圧である検査電圧を印加する検査電圧印加ステップ(S20)と、ステップS20が実行された時点では発光せず所定の期間経過後に発光した有機EL素子402を有する画素400を電流リーク不良画素であると判定する判定ステップ(S40)とを含む。

30

【0137】

これによれば、駆動トランジスタ401または駆動トランジスタ401のゲートに接続されたトランジスタにおいて電流リークが発生する場合、上記所定の期間の経過中に、上記トランジスタのソース、ドレイン及びゲートの間でリーク電流が流れ出す。これにより、駆動トランジスタ401のゲート電位が経時的に上昇する。結果的に、上記所定の期間経過後には、駆動トランジスタ401のゲート-ソース間電圧は、閾値電圧 V_{th} より大きい電圧となることで、駆動トランジスタ401が導通状態となり、有機EL素子402が発光する。よって、微小なリーク電流により経時的に変化するトランジスタを高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する画素を有する表示パネル4を流出させることを防止できる。

40

【0138】

また、上記所定の期間は、全ての画素400を走査する期間である1フレーム期間より長い期間であってもよい。

50

【 0 1 3 9 】

画素回路を構成する各トランジスタが、ソース、ドレイン、及びゲートの間で短絡不良などを有する場合、当該短絡不良のトランジスタを有する画素は、駆動トランジスタのドレインに電源電圧が供給された時点、または、駆動トランジスタのドレインに電源電圧が供給された状態で駆動トランジスタのゲートに接続された周辺のトランジスタに所定の電圧が印加された時点で輝点画素または滅点画素となる。しかしながら、微小なリーク電流が流れるトランジスタにより経時的に不良へと転化するリーク不良画素を、上記時点で検出することは困難である。これに対して、本態様によれば、上記時点では輝点画素とはならないが、1フレーム以上の期間経過後に輝点画素へと転化する可能性のあるリーク不良画素を高精度に検査することが可能である。

10

【 0 1 4 0 】

また、上記スイッチトランジスタは、ソース及びドレインの他方が信号電圧を伝達するデータ線434に接続され、ソース及びドレインの一方が駆動トランジスタ401のゲートに接続された選択トランジスタ404、及び、ソース及びドレインの他方が閾値電圧を検出するための参照電源線に接続され、ソース及びドレインの一方が駆動トランジスタ401のゲートに接続された参照トランジスタ406であり、検査電圧印加ステップでは、選択トランジスタ404と参照トランジスタ406とを非導通状態にし、データ線電圧 V_{DA} を有機EL素子402が発光しない電圧に設定した状態で、駆動トランジスタ401のドレインに電源電圧 V_{TF_T} を印加し、判定ステップでは、駆動トランジスタ401のドレインに電源電圧 V_{TF_T} を印加した時には発光せず、所定の期間経過後に発光した有機EL素子402を有する画素400の駆動トランジスタ401を電流リーク不良であると判定してもよい。

20

【 0 1 4 1 】

これにより、微小なリーク電流により経時的に変化する駆動トランジスタ401を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【 0 1 4 2 】

また、検査電圧印加ステップでは、駆動トランジスタ401のドレインに電源電圧 V_{TF_T} を印加した状態、かつ、データ線434の電圧を有機EL素子402が発光しない電圧に設定した状態で、検査電圧を選択トランジスタ404のゲートに印加して選択トランジスタ404を導通状態にし、判定ステップでは、選択トランジスタ404のゲートに検査電圧を印加した時には発光せず、当該検査電圧を印加した時から所定の期間経過後に発光した有機EL素子402を有する画素400の選択トランジスタ404を、ソースまたはドレインとゲートとの間において電流リークが発生した不良であると判定してもよい。

30

【 0 1 4 3 】

これにより、微小なリーク電流により経時的に変化する選択トランジスタ404を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【 0 1 4 4 】

また、検査電圧印加ステップでは、選択トランジスタ404のゲートに、行順次走査における1水平走査期間の2倍以上の期間をパルス幅とするパルス信号を検査電圧として連続印加することにより、選択トランジスタ404を間欠的に導通状態にしてもよい。

40

【 0 1 4 5 】

これにより、選択トランジスタ404のゲート-ソース間に接合不良形態がある場合、選択トランジスタ404のゲートからデータ線434に向かって電流は流れず、選択トランジスタ404のゲートからソースを経由して保持容量素子403に向かって、いわゆるピーク整流された電流が流れる。このとき、駆動トランジスタ401のゲート電圧は、経時的に上昇する。そして、所定の期間経過後には、駆動トランジスタ401のゲート-ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機EL素子402が発光を開始する。よって、微小なリーク電流により経時的に変化する選択トランジスタ404を高精

50

度に検査できる。

【0146】

また、検査電圧印加ステップでは、駆動トランジスタ401のドレインに電源電圧 V_{TF} を印加した状態で、検査電圧を参照トランジスタ406のゲートに印加して参照トランジスタ406を導通状態にし、判定ステップでは、参照トランジスタ406のゲートに検査電圧を印加した時には発光せず、当該検査電圧を印加した時から所定の期間経過後に発光した有機EL素子402を有する画素400の参照トランジスタ406を、ソースまたはドレインとゲートとの間において電流リークが発生した不良であると判定してもよい。

【0147】

これにより、微小なリーク電流により経時的に変化する参照トランジスタ406を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素400を有する表示パネル4を流出させることを防止できる。

【0148】

また、検査電圧印加ステップでは、参照トランジスタ406のゲートに、行順次走査における1水平走査期間の2倍以上の期間をパルス幅とするパルス信号を検査電圧として連続印加することにより、参照トランジスタ406を間欠的に導通状態にしてもよい。

【0149】

これにより、参照トランジスタ406のゲート - ソース間に接合不良形態がある場合、参照トランジスタ406のゲートから参照電源線に向かって電流は流れず、参照トランジスタ406のゲートからソースを経由して保持容量素子403に向かって、いわゆるピーク整流された電流が流れる。このとき、駆動トランジスタ401のゲート電圧は、経時的に上昇する。そして、所定の期間経過後には、駆動トランジスタ401のゲート - ソース間電圧は、閾値電圧 V_{th} より大きい電圧となり、有機EL素子402が発光を開始する。よって、微小なリーク電流により経時的に変化する参照トランジスタ406を高精度に検査できる。

【0150】

また、検査電圧印加ステップでは、選択トランジスタ404と参照トランジスタ406とを非導通状態にし、駆動トランジスタ401のドレインに源電圧 V_{TF} を印加した状態で、データ線434の電圧を検査電圧に設定し、判定ステップでは、データ線434の電圧が上記検査電圧に設定された時点には発光せず、当該時点から所定の期間経過後に発光した有機EL素子402を有する画素の選択トランジスタを、ソース - ドレイン間において電流リークが発生した不良であると判定してもよい。

【0151】

これにより、微小なリーク電流により経時的に変化する選択トランジスタ404を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素を有する表示パネル4を流出させることを防止できる。

【0152】

また、検査電圧印加ステップでは、選択トランジスタ404と参照トランジスタ406とを非導通状態にし、駆動トランジスタ401のドレインに電源電圧 V_{TF} を印加した状態で、参照電源線の電圧を検査電圧に設定し、判定ステップでは、参照電源線の電圧が上記検査電圧に設定された時点には発光せず、当該時点から所定の期間経過後に発光した有機EL素子402を有する画素400の参照トランジスタ406を、ソース - ドレイン間において電流リークが発生した不良であると判定してもよい。

【0153】

これにより、微小なリーク電流により経時的に変化する参照トランジスタ406を高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素を有する表示パネル4を流出させることを防止できる。

【0154】

また、本実施の形態に係る表示パネルの製造方法の一態様は、駆動トランジスタ401

10

20

30

40

50

と有機ＥＬ素子４０２とソースが駆動トランジスタ４０１のゲートに接続されたスイッチトランジスタとを基板上に形成する工程と、上述したいずれかの表示パネル４の検査方法を含む。

【０１５５】

これにより、製造工程において、微小なリーク電流により経時的に変化するトランジスタを高精度に検査できる。よって、出荷後に輝点不良または滅点不良へと転化する可能性のある画素を有する表示パネル４を流出させることを防止できる。

【０１５６】

（その他の実施の形態）

以上、実施の形態について述べてきたが、本実施の形態に係る表示パネルの検査方法及び表示パネルの製造方法は、上記実施の形態に限定されるものではない。上記実施の形態に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、実施の形態に係る表示パネルの製造方法を用いて製造した表示パネルも本発明に含まれる。

【０１５７】

また、上記実施の形態では、本開示の表示パネル４が有する画素回路構成の一例を挙げたが、画素４００の回路構成は上記回路構成に限定されない。例えば、上記実施の形態１～３では、正電源線と負電源線との間に、イネーブルトランジスタ４０５、駆動トランジスタ４０１及び有機ＥＬ素子４０２が、この順に配置されている構成を例示したが、これらの３素子が異なる順で配置されていてもよい。つまり、本開示の表示パネル４は、駆動トランジスタがｎ型であってもｐ型であっても、駆動トランジスタ４０１のドレイン及びソース、ならびに有機ＥＬ素子４０２のアノード及びカソードが、正電源線と負電源線との間の電流径路上に配置されていればよく、駆動トランジスタ４０１及び有機ＥＬ素子４０２の配置順には限定されない。

【０１５８】

また、上記実施の形態１～３において、選択トランジスタ４０４、イネーブルトランジスタ４０５、参照トランジスタ４０６、及び初期化トランジスタ４０７は、ｎ型であってもｐ型であっても、両方の組み合わせであってもよい。

【０１５９】

また、上記実施の形態１～３に係る表示パネルの検査方法及び製造方法では、有機ＥＬ素子４０２を用いた表示パネル４を検査する場合を例に述べたが、有機ＥＬ素子以外の発光素子を用いた表示パネル４の検査方法及び製造方法に適用してもよい。

【０１６０】

また、本実施の形態に係る表示パネルの製造方法により製造された表示パネル４は、図２７に記載されたような薄型フラットＴＶに内蔵される。本実施の形態に係る表示パネルの検査方法及び表示パネルの製造方法により、出荷後に輝点不良または滅点不良へと転化する画素の流出が防止された、高品質な薄型フラットＴＶが実現される。

【産業上の利用可能性】

【０１６１】

本発明は、特に、有機ＥＬ表示装置を内蔵する有機ＥＬフラットパネルディスプレイに有用であり、画質の均一性が要求されるディスプレイの検査装置及び検査方法として用いるのに最適である。

【符号の説明】

【０１６２】

- １ 表示パネル検査装置
- ４ 表示パネル
- １０ 制御部
- １１ カメラ制御回路
- １２ 表示パネル制御回路
- １３ 演算部

10

20

30

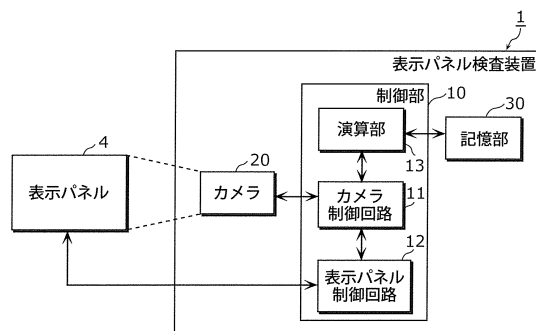
40

50

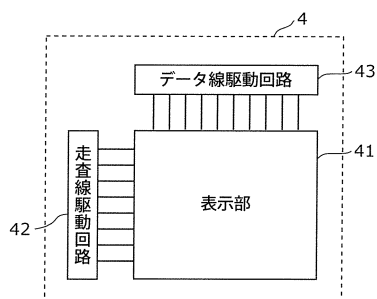
- 2 0 カメラ
- 3 0 記憶部
- 4 1 表示部
- 4 2 走査線駆動回路
- 4 3 データ線駆動回路
- 4 0 0 画素
- 4 0 1 駆動トランジスタ
- 4 0 2 有機 E L 素子
- 4 0 3 保持容量素子
- 4 0 4 選択トランジスタ
- 4 0 5 イネーブルトランジスタ
- 4 0 6 参照トランジスタ
- 4 0 7 初期化トランジスタ
- 4 2 4、4 2 5、4 2 6、4 2 7 走査線
- 4 3 4 データ線

10

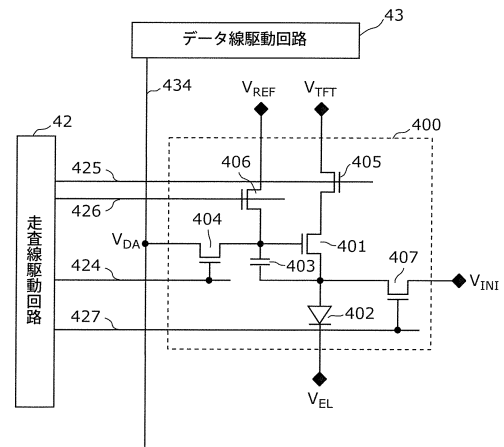
【図 1】



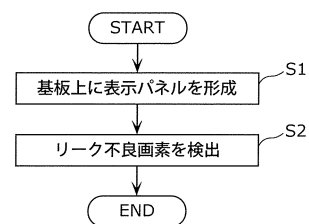
【図 2】



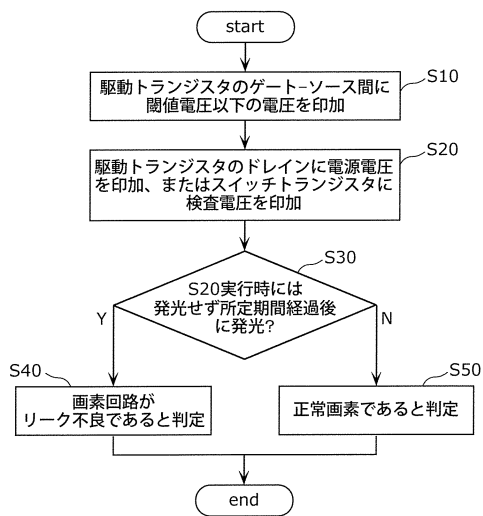
【図 3】



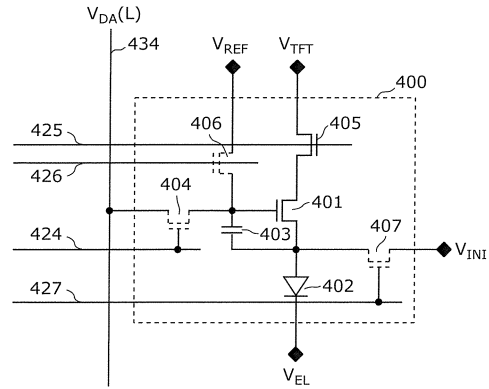
【図 4】



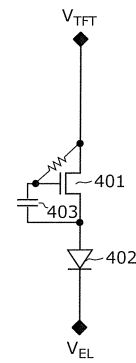
【 図 5 】



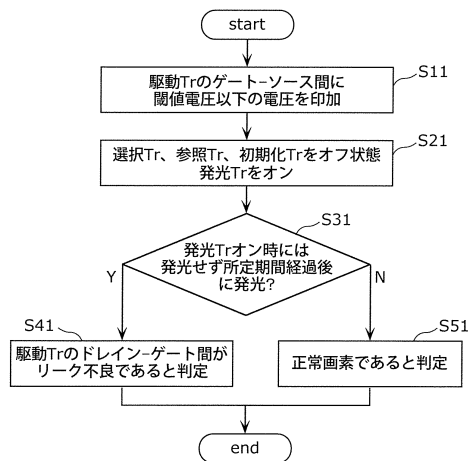
【 図 6 A 】



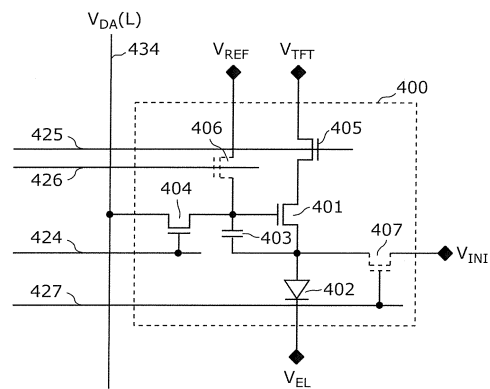
【 図 6 B 】



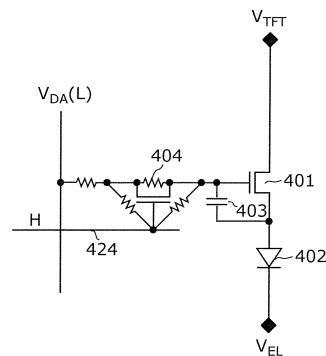
【圖 7】



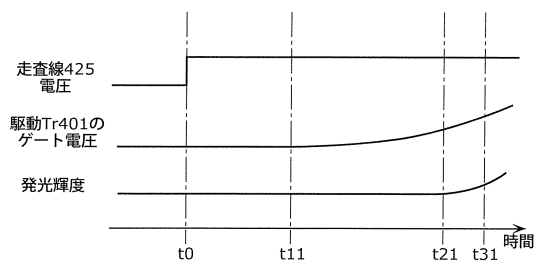
【 図 9 A 】



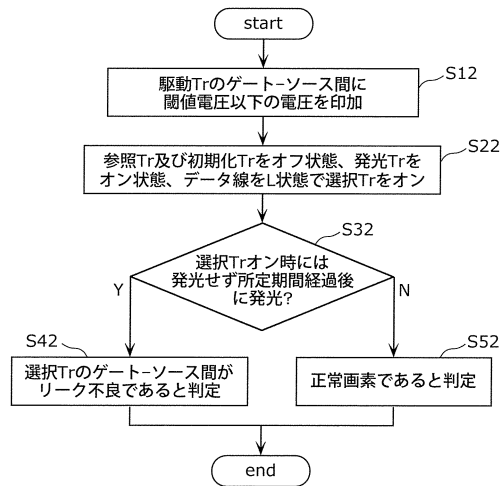
【 図 9 B 】



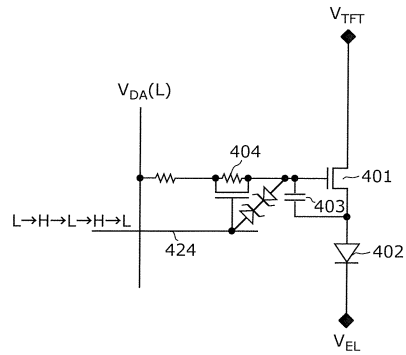
【圖 8】



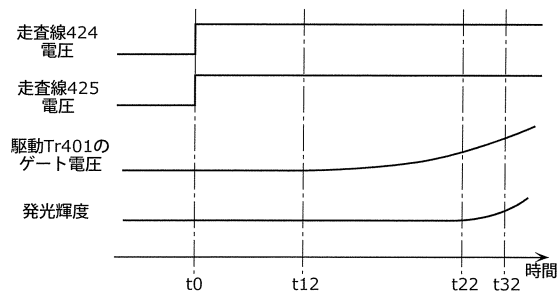
【 ㄨ 1 0 】



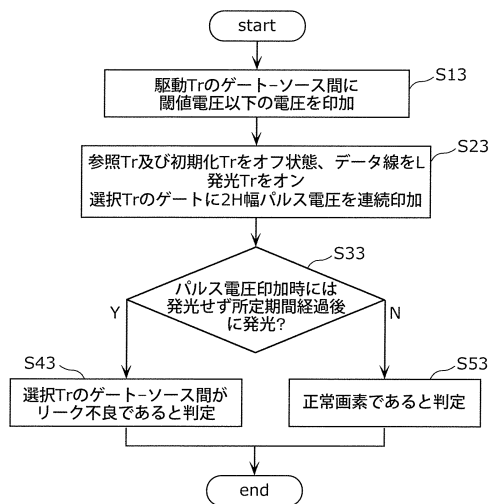
【 図 1 2 】



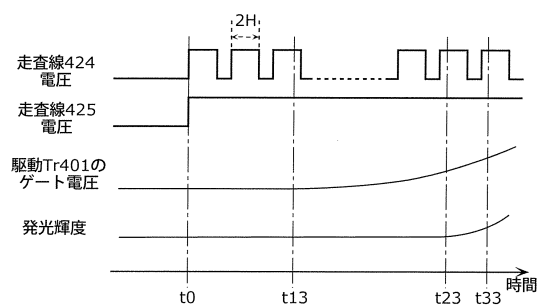
【 図 1 1 】



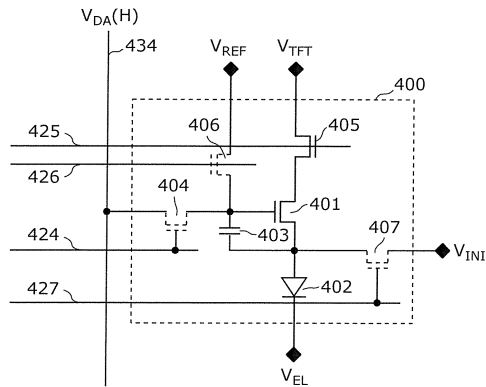
【 図 1 3 】



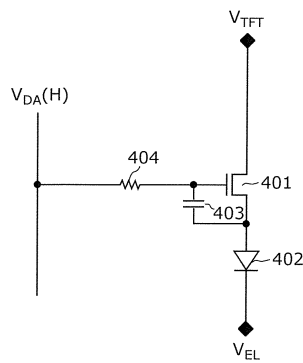
【 図 1 4 】



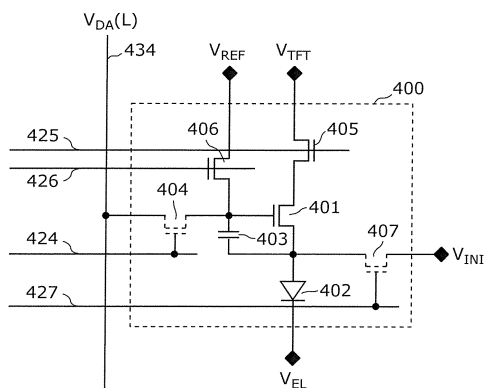
【図15A】



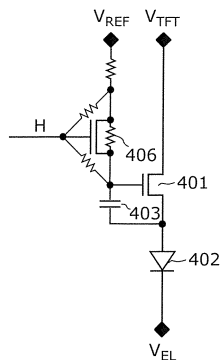
【図15B】



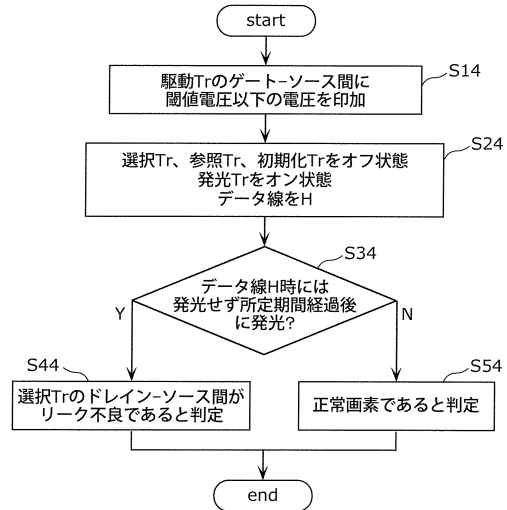
【図18A】



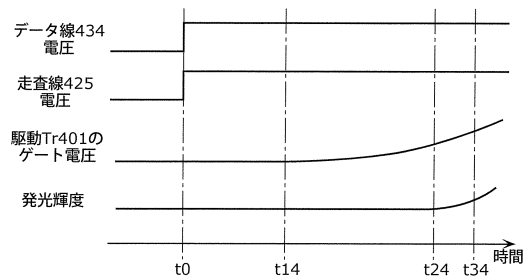
【図18B】



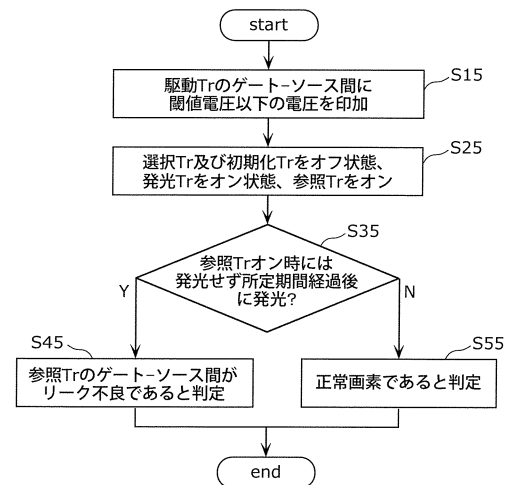
【図16】



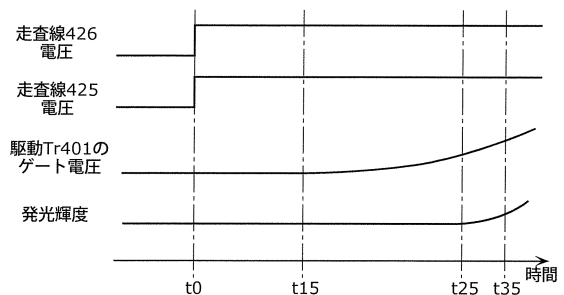
【図17】



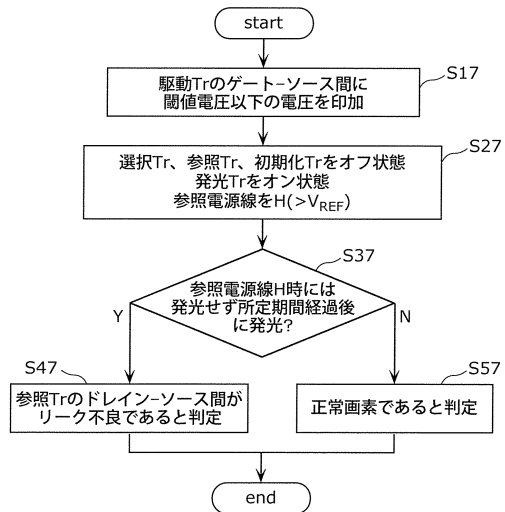
【図19】



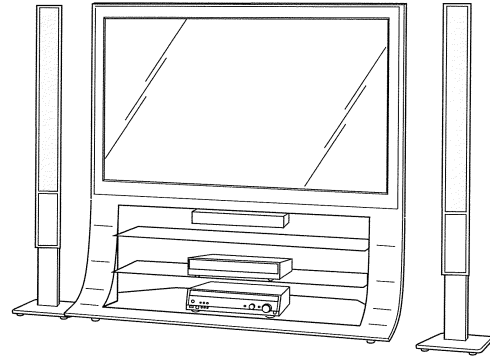
【図20】



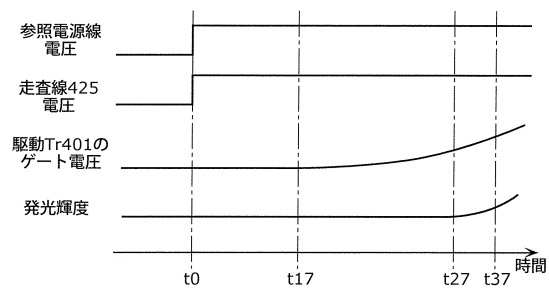
【図 25】



【図 27】



【図 26】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/12 Z

(56)参考文献 特開 2 0 0 8 - 0 6 4 8 0 6 (J P , A)
特開 2 0 0 7 - 0 8 5 7 8 2 (J P , A)
国際公開第 2 0 1 1 / 1 3 5 8 2 3 (W O , A 1)
国際公開第 2 0 1 3 / 1 1 8 2 1 9 (W O , A 1)
米国特許出願公開第 2 0 0 6 / 0 0 1 5 2 7 2 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 2 3 3
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 0
H 0 5 B 3 3 / 1 2

专利名称(译)	检查显示面板的方法和制造显示面板的方法		
公开(公告)号	JP6167374B2	公开(公告)日	2017-07-26
申请号	JP2016527621	申请日	2015-05-22
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	辻田 芳樹		
发明人	辻田 芳樹		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50 H05B33/10 H05B33/12		
CPC分类号	G09G3/006 G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G2310/0262 G09G2320/0214 G09G2320/029 G09G2320/043 H01L27/00 H01L51/50		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.670.Q H05B33/14.A H05B33/10 H05B33/12.Z		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014122873 2014-06-13 JP		
其他公开文献	JPWO2015190043A1		
外部链接	Espacenet		

摘要(译)

摘要：一种显示面板检测方法，用于检查由于微小漏电流而随时间变化的电路元件，具有高精度。一种显示器，其中像素（400）包括用于通过向栅极施加信号电压来驱动驱动电流的驱动晶体管（401）和用于在驱动电流流动时用于发光的有机EL元件（402）以矩阵形式排列在面板（4）的检查方法中，步骤S10，在驱动晶体管（401）的栅极和源极之间施加等于或低于驱动晶体管（401）的阈值电压的初始电压，并在栅极和源极之间施加初始电压步骤S20，当电源电压施加到驱动晶体管（401）的漏极时，将电源电压施加到驱动晶体管（401）的漏极和不发光的有机EL元件（402）并且步骤S40确定具有当前泄漏缺陷像素的像素（400）。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6167374号 (P6167374)
(45) 発行日 平成29年7月26日 (2017. 7. 26)		(24) 登録日 平成29年7月7日 (2017. 7. 7)	
(51) Int. Cl. G09G 3/3233 (2016.01) G09G 3/20 (2006.01) H01L 51/50 (2006.01) H05B 33/10 (2006.01) H05B 33/12 (2006.01)		F I G09G 3/3233 G09G 3/20 624B G09G 3/20 670Q H05B 33/14 A H05B 33/10	
(21) 出願番号 特願2016-527621 (P2016-527621)		(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地	
(86) (22) 出願日 平成27年5月22日 (2015. 5. 22)		(74) 代理人 100189430 弁理士 吉川 修一	
(86) 国際出願番号 PCT/JP2015/002587		(74) 代理人 100190805 弁理士 傍島 正朗	
(87) 国際公開番号 W02015/190043		(72) 発明者 辻田 芳樹 日本国東京都港区東新橋2-12-7 住友東新ビル2号館 パナソニックソリューションテクノロジ株式会社内	
(87) 国際公開日 平成27年12月17日 (2015.12.17)		審査官 西島 篤宏	
(31) 優先権主張番号 特願2014-122873 (P2014-122873)		最終頁に続く	
(32) 優先日 平成26年6月13日 (2014. 6. 13)		(54) 【発明の名称】表示パネルの検査方法及び表示パネルの製造方法	
(33) 優先権主張国 日本国 (JP)			