

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6086336号
(P6086336)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int. Cl.	F I	
G 0 9 G 3/3266 (2016.01)	G 0 9 G 3/3266	
G 0 9 G 3/3225 (2016.01)	G 0 9 G 3/3225	
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20	6 2 2 B
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20	6 1 1 F
H 0 5 B 33/06 (2006.01)	G 0 9 G 3/20	6 4 1 D
請求項の数 10 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2015-552283 (P2015-552283)	(73) 特許権者	514188173
(86) (22) 出願日	平成26年4月10日(2014.4.10)		株式会社 J O L E D
(86) 国際出願番号	PCT/JP2014/002069		東京都千代田区神田錦町三丁目2 3 番地
(87) 国際公開番号	W02015/087460	(74) 代理人	100189430
(87) 国際公開日	平成27年6月18日(2015.6.18)		弁理士 吉川 修一
審査請求日	平成28年4月12日(2016.4.12)	(74) 代理人	100190805
(31) 優先権主張番号	特願2013-254556 (P2013-254556)		弁理士 傍島 正朗
(32) 優先日	平成25年12月9日(2013.12.9)	(72) 発明者	中川 博文
(33) 優先権主張国	日本国(JP)		日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内
		(72) 発明者	高原 博司
			日本国大阪府門真市大字門真1 0 0 6 番地 パナソニック株式会社内
		審査官	西島 篤宏
			最終頁に続く

(54) 【発明の名称】 画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機ELディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

所定の信号が入力または出力される 1 対の信号端子と、
前記 1 対の信号端子の間に配置されたバッファを含む信号方向制御回路であって、前記所定の信号の入出力方向を制御する前記信号方向制御回路と、
接続モード制御信号を受け付ける接続モード制御端子と、
信号方向制御信号を受け付ける 1 対の信号方向制御端子とを備え、
前記信号方向制御回路は、前記接続モード制御信号の論理状態が第一論理状態の場合に、前記所定の信号の入出力方向を一方に固定し、前記接続モード制御信号の論理状態が前記第一論理状態とは異なる第二論理状態の場合に、前記所定の信号の入出力方向を前記信号方向制御信号の論理状態に応じて切り替える、
画像表示装置に用いられるゲート駆動用集積回路。

【請求項 2】

前記信号方向制御回路は、
前記接続モード制御信号の論理状態が前記第二論理状態の場合において、
前記信号方向制御信号の論理状態が第三論理状態のときは、前記所定の信号の入出力方向を第一方向に設定し、
前記信号方向制御信号の論理状態が前記第三論理状態とは異なる第四論理状態のときは、前記所定の信号の入出力方向を前記第一方向とは異なる第二方向に設定する、
請求項 1 に記載の画像表示装置に用いられるゲート駆動用集積回路。

10

20

【請求項 3】

前記 1 対の信号端子の間に、前記 1 対の信号方向制御端子および前記接続モード制御端子が配置される、

請求項 1 または 2 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 4】

前記 1 対の信号方向制御端子の間に、前記接続モード制御端子が配置される、

請求項 3 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 5】

前記所定の信号は、複数の信号を含み、

前記複数の信号には、発光素子を含む画素回路に含まれる複数のトランジスタのゲート端子に出力する複数のゲート信号が含まれ、 10

前記 1 対の信号端子および前記バッファは、前記複数の信号のそれぞれに対して設けられる、

請求項 1 ～ 4 の何れか 1 項に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 6】

前記複数の信号には、クロック信号が含まれる、

請求項 5 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 7】

前記信号方向制御回路の前記バッファは、制御入力付き双方向バッファであり、

前記接続モード制御信号の論理状態が前記第一論理状態の場合は、前記制御入力に固定されたレベルの信号が入力され、 20

前記接続モード制御信号の論理状態が前記第二論理状態の場合は、前記制御入力に前記信号方向制御信号が入力される、

請求項 1 ～ 6 の何れか 1 項に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 8】

発光素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、

請求項 1 に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルと、

プリント基板とを備え、 30

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に 1 列に並んで配置され、

前記複数のフレキシブルケーブルのそれぞれは、一端が前記画像表示装置用基板の一辺に、他端が前記プリント基板に接続され、

前記複数のフレキシブルケーブルでは、前記 1 対の信号端子のうちの一方が、前記プリント基板に形成された配線に接続され、

前記複数のフレキシブルケーブルでは、前記接続モード制御端子に前記第一論理状態の前記接続モード制御信号が入力されている、

画像表示装置。 40

【請求項 9】

発光素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、

請求項 1 に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルとを備え、

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に 1 列に並んで配置され、

前記複数のフレキシブルケーブルのそれぞれは、前記 1 対の信号端子のうちの一方が、隣接するフレキシブルケーブルの前記 1 対の信号端子のうちの他方に接続され、

前記複数のフレキシブルケーブルでは、前記接続モード制御端子に前記第二論理状態の前記接続モード制御信号が入力されている、 50

画像表示装置。

【請求項10】

有機EL (Electro Luminescence) 素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、

請求項1に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルとを備え、

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に1列に並んで接続されている、

有機ELディスプレイ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本開示は、画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機EL (Electro Luminescence) ディスプレイに関する。

【背景技術】

【0002】

近年、EL (Electro Luminescence) 素子を有する画素回路を行列状に配置した画像表示パネル、およびそれを用いた画像表示装置（以下、適宜「有機ELディスプレイ」と称する）が商品化されている。

【0003】

20

EL素子は、アノード電極およびカソード電極間に形成された発光層に電流を流すことにより発光する。画素回路のそれぞれには複数のトランジスタが形成されている。また、画像表示パネルには、画素回路のそれぞれのトランジスタを制御するための複数種類のゲート信号線が形成されている。

【0004】

ゲート信号線は、ゲート信号線を駆動するゲート駆動用集積回路（以下、適宜「ゲートドライバIC」と称する）を含むCOF (Chip On Film) に接続されている。COFは、TCO (タイミングコントローラ) からの指示に応じて、所定の電源からの電圧を用いてゲート信号線用電圧を生成し、ゲート信号線に印加する。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献1】特開2007-188078号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、有機ELディスプレイでは、製造コストの観点から、有機ELディスプレイを構成する部品であるゲート駆動用集積回路の汎用性の向上が望まれている。

【0007】

本開示は上述の課題を解決するためになされたものであり、製造コストを削減可能な画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機ELディスプレイを提供することを目的とする。

40

【課題を解決するための手段】

【0008】

上記目的を達成するために、本開示の一態様に係る画像表示装置に用いられるゲート駆動用集積回路は、所定の信号が入力または出力される1対の信号端子と、前記1対の信号端子の間に配置されたバッファを含む信号方向制御回路であって、前記所定の信号の入出力方向を制御する前記信号方向制御回路と、接続モード制御信号を受け付ける接続モード制御端子と、信号方向制御信号を受け付ける1対の信号方向制御端子とを備え、前記信号方向制御回路は、前記接続モード制御信号の論理状態が第一論理状態の場合に、前記所定

50

の信号の入出力方向を一方に固定し、前記接続モード制御信号の論理状態が前記第一論理状態とは異なる第二論理状態の場合に、前記所定の信号の入出力方向を前記信号方向制御信号の論理状態に応じて切り替える。

【発明の効果】

【0009】

本開示における画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機EL (Electro Luminescence) ディスプレイは、製造コストの低減を図ることができる。

【図面の簡単な説明】

【0010】

10

【図1A】図1Aは、有機ELディスプレイの構成（一部）の一例を示す図である。

【図1B】図1Bは、有機ELディスプレイの構成（一部）の他の一例を示す図である。

【図2A】図2Aは、比較例におけるカスケード接続に対応したゲートドライバICの一例を示す図である。

【図2B】図2Bは、比較例におけるマルチドロップ接続に対応したゲートドライバICの一例を示す図である。

【図3】図3は、実施の形態におけるゲートドライバICの構成の一例を示す回路図である。

【図4】図4は、実施の形態におけるゲートドライバICを構成の一例を示す回路図である。

20

【図5】図5は、実施の形態におけるゲートドライバICの端子の配置例を示す図である。

【図6】図6は、実施の形態におけるゲートドライバICの仕様の一例を示す表である。

【図7】図7は、実施の形態におけるゲートドライバICの仕様の一例を示す表である。

【図8】図8は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図9】図9は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図10】図10は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図11】図11は、実施の形態のゲートドライバICを用いた有機ELディスプレイの外観の一例を示す図である。

30

【発明を実施するための形態】

【0011】

（課題の詳細）

図1Aおよび図1Bは、有機ELディスプレイ10の構成の一例を示す図である。但し、図1Aおよび図1Bでは、筐体あるいはTCO等を除いた所謂表示モジュールの構成を示している。

【0012】

図1Aに示す有機ELディスプレイ10Aは、ガラス基板11と、有機ELパネル12と、複数のゲートドライバIC20Aと、複数のソースドライバ30と、PCB (Printed Circuit Board、プリント回路基板) 41および42を備えている。

40

【0013】

有機ELパネル12は、マトリクス状に配置された複数の画素回路で構成されている。画素回路は、ガラス基板上に形成されている。また、画素回路は、発光素子であるEL素子と複数のトランジスタとを含む。複数のトランジスタには、例えば、EL素子に駆動電流を供給する駆動トランジスタと、EL素子の選択および非選択を切り替える選択トランジスタとが含まれる。

【0014】

ゲートドライバIC20Aは、ここでは、上述した複数のトランジスタのゲート端子に接続された複数のゲート信号線を駆動する集積回路を備えたCOFである。言い換えると

50

、ゲートドライバIC20Aは、ゲート信号線のそれぞれに、ゲート信号線に接続されたトランジスタをON状態またはOFF状態にする電圧を与える集積回路を備えて構成される。ゲートドライバIC20Aは、ガラス基板11上に形成された複数のゲート信号線に接続されている。また、ここでのゲートドライバIC20Aは、有機ELパネルの両側に設けられ、両側から同時に信号線を駆動するように構成されている。

【0015】

ソースドライバ30は、画素回路に接続されたソース信号線に、画素値に応じた電圧を与える集積回路を備えて構成される。ソースドライバ30は、ガラス基板11上に形成された複数のソース信号線に接続されている。PCB41は、TCON（図示せず）からの信号をゲートドライバIC20Aに与える回路を備える。PCB41は、ゲートドライバIC20Aに接続されている。PCB42は、TCON（図示せず）からの信号をソースドライバ30に与える回路を備える。PCB42は、ソースドライバ30に接続されている。また、図1Aでは、2つのPCB42を備えている。

10

【0016】

なお、ゲートドライバIC20およびPCB40の数は、有機ELディスプレイの大きさに応じて設定される。

【0017】

図1Bに示す有機ELディスプレイ10Bは、ガラス基板11と、有機ELパネル12と、複数のゲートドライバIC20Bと、複数のソースドライバ30と、PCB42を備えている。なお、図1Aに示す有機ELディスプレイ10Aとは、PCB41を備えない点で異なっている。

20

【0018】

ここで、ゲートドライバIC20を接続する方法、例えば、クロック信号を供給するクロック信号線の配線方法には、例えば、（1）カスケード接続と、（2）マルチドロップ接続とがある。ゲートドライバICには、カスケード接続に対応したゲートドライバICと（例えば、特許文献1参照）、マルチドロップ接続に対応したゲートドライバICの2種類がある。

【0019】

（1）カスケード接続では、各COFが後段のCOFにクロック信号を受け渡すように構成される。このため、カスケード接続では、クロス配線の数、つまり、配線の交差数を抑えるあるいは無くすることができる。その為、一層での配線が可能である。

30

【0020】

カスケード接続は、例えば、図1Bに示す有機ELディスプレイ10Bのように、PCBを備えない有機ELディスプレイで用いられる。PCBを備えない場合、有機ELディスプレイの薄型化に有利である。より詳細には、PCBを備えない場合、COFに入力するクロック信号を伝達するためのクロック配線は、有機ELパネルを構成するガラス基板上に形成する必要がある。ガラス基板上では、クロス配線は行えないため、COFをカスケード接続にする必要がある。

【0021】

図2Aは、カスケード接続に対応したゲートドライバICの一例を示す図である。図2Aでは、説明のため、クロック端子CLK1AおよびCLK1Bと、クロック信号の方向を指示する信号を入力する1対の信号方向制御端子DIRとを図示しており、その他の端子については省略している。

40

【0022】

図2Aに示すゲートドライバIC20Cas（図2Aでは「ゲートドライバ」と記載）は、双方向バッファBZ1およびBZ2と、内部回路21とを備えている。

【0023】

双方向バッファBZ1は、信号方向制御回路の一例であり、2つの3ステートバッファ（制御入力付きバッファ）を組み合わせて構成されている。より詳細には、双方向バッファBZ1は、2つの3ステートバッファを、入出力方向が逆向きになるように並列に接続

50

して構成されている。なお、2つの3ステートバッファの一方は、入力信号がHレベルの場合に入力信号と同じ論理状態の信号を出力し、Lレベルの場合に出力がH i - Zとなる。2つの3ステートバッファの他方は、入力信号がLレベルの場合に入力信号と同じ論理状態の信号を出力し、Hレベルの場合に出力がH i - Zとなる。また、3ステートバッファは、ここでは、クロックバッファである。クロックバッファは、クロック信号に対して利用可能なバッファである。クロックバッファは、例えば、高速動作に対応している、遅延が少ない等の特性を有するバッファであっても構わない。また、双方向バッファB Z 1は、クロック端子C L K 1 Aと内部回路2 1との間に設けられている。双方向バッファB Z 1は、切り替え端子C 1およびC 2が1対の信号方向制御端子D I Rに、端子I O 1がクロック端子C L K 1 Aに、端子I O 2が双方向バッファB Z 2の端子I O 1および内部回路2 1にそれぞれ接続されている。

10

【0024】

双方向バッファB Z 2は、双方向バッファB Z 1と同様に、2つの3ステートバッファを組み合わせて構成されている。より詳細には、双方向バッファB Z 2は、2つの3ステートバッファを、入出力方向が逆向きになるように並列に接続して構成されている。また、双方向バッファB Z 2は、クロック端子C L K 1 Bと内部回路2 1との間に設けられている。双方向バッファB Z 2は、切り替え端子C 1およびC 2が1対の信号方向制御端子D I Rに、端子I O 1が双方向バッファB Z 1の端子I O 2および内部回路2 1に、端子I O 2がクロック端子C L K 1 Bにそれぞれ接続されている。

20

【0025】

内部回路2 1は、シフトレジスタおよび出力回路等を備えて構成されている。

【0026】

図2 Aに示すゲートドライバI C 2 0 C a sでは、1対の信号方向制御端子D I Rに入力される信号方向制御信号が、Lレベルの場合、クロック信号の入出力方向は、クロック端子C L K 1 Aからクロック端子C L K 1 Bに向かう方向（第一方向）となる。また、信号方向制御信号がHレベルの場合、クロック信号の入出力方向は、クロック端子C L K 1 Bからクロック端子C L K 1 Aに向かう方向（第二方向）となる。

【0027】

(2) マルチドロップ接続では、全C O Fにクロック信号を供給するクロック配線がP C B上に形成され、各C O Fは当該クロック配線から直接クロック信号を受信する。マルチドロップ接続は、クロック信号の遅延が無い場合、有機E Lディスプレイの高精細化に有利である。マルチドロップ接続は、図1 Aに示す有機E Lディスプレイ1 0 Aおよび図1 Bに示す有機E Lディスプレイ1 0 Bの何れにも用いることができる。

30

【0028】

図2 Bは、マルチドロップ接続に対応したゲートドライバI Cの一例を示す図である。図2 Bでは、説明のため、クロック端子C L K 1 AおよびバッファB 1を図示しており、その他の端子については省略している。

【0029】

図2 Bに示すゲートドライバI C 2 0 M u l（図2 Bでは「ゲートドライバ」と記載）は、クロック端子C L K 1 Aから入力された信号を、バッファB 1を介して内部回路2 1に入力している。マルチドロップ接続では、後段への信号の受け渡しおよび信号の方向の制御が必要ないため、クロック端子C L K 1 B、クロックの信号方向を制御する機能としての1対の信号方向制御端子D I Rを備える必要はない。

40

【0030】

有機E Lディスプレイでは、1つの画素回路あたりのゲート信号線数が4本以上と多い。そのため、ゲートドライバI Cの構成は、複雑になる傾向がある。このため、特に、有機E Lディスプレイでは、カスケード接続に専用に対応したI Cおよびマルチドロップ接続に専用に対応したI Cの何れかを、搭載される有機E Lディスプレイの大きさあるいは用途等に応じて、使い分けていた。

【0031】

50

しかしながら、上述したように、製造コストの観点から、カスケード接続およびマルチドロップ接続の何れにも対応可能な、つまり、汎用性を向上させたゲート駆動用集積回路の汎用性の向上が望まれている。

【0032】

(実施の形態)

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【0033】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【0034】

なお、各図は、必ずしも各寸法あるいは各寸法比等を厳密に図示したものではない。

【0035】

また、以下で説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本開示は、請求の範囲によって特定される。よって、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、本開示の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

【0036】

実施の形態のゲートドライバICおよび当該ゲートドライバICを用いた有機ELディスプレイについて、図3～図11を基に説明する。

【0037】

比較例におけるゲートドライバICは、カスケード接続およびマルチドロップ接続の何れか一方にのみ対応していたが、本実施の形態のゲートドライバICは、カスケード接続およびマルチドロップ接続の両方に対応している。このため、本実施の形態のゲートドライバICは、カスケード接続およびマルチドロップ接続を切り替えるための接続モード制御端子CLKSELを備えている。なお、本実施の形態では、接続モード制御端子CLKSELとして、2つの端子が対になるように設けられているが、1つの端子でも構わない。

【0038】

図11は、実施の形態のゲートドライバICを用いた有機ELディスプレイの外観の一例を示す外観図である。なお、有機ELディスプレイは、画像表示装置の一例である。

【0039】

[1. ゲートドライバICの構成]

図3および図4は、ゲートドライバIC20の構成の一例を示す回路図である。なお、図3では、ゲートドライバIC20の全体的なブロック構成を示している。

【0040】

図3では、ゲートドライバIC20が4種類のクロック信号を受け付ける場合を例示している。図3に示すゲートドライバIC20には、4種類のクロック信号のそれぞれに対応して、シフトレジスタSR_j (図3ではj=1~4)、および、出力回路OC_jが設けられている。なお、図3では、ゲートドライバIC20が4つのシフトレジスタSR_jおよび出力回路OC_jを備える場合を示しているが、これに限るものではない。ゲートドライバIC20は、クロック信号の種類数、言い換えると、画素回路を構成するトランジスタの数に応じた数のシフトレジスタおよび出力回路を備えていけばよい。

【0041】

シフトレジスタSR_jは、双方向レジスタであり、接続モード制御信号S_{CLKSEL}

10

20

30

40

50

Lが伝達されるノード、信号方向制御信号S__DIRが伝達されるノード、クロック端子CLKjAおよびCLKjB、端子STVjAおよびSTVjB、端子LSHIFTjAおよびLSHIFTjB、端子OUTCTLj、端子DLIN Ejおよび出力回路OCjに接続されている。接続モード制御信号S__CLKSELが伝達されるノードは、接続モード制御端子CLKSELが接続されるノードである（図4参照）。信号方向制御信号S__DIRが伝達されるノードには、1対の信号方向制御端子DIRが接続されるノードである（図4参照）。

【0042】

出力回路OCjは、端子SELj、端子VONk、端子VOFF1k、端子VOFF2、端子VOUTk1～180、および、端子HZに接続されている。なお、j=1のときk=A、j=2のときK=B、j=3のときK=C、j=4のときK=Dである。

10

【0043】

図4では、比較例との差異を説明するため、ゲートドライバIC20の構成のうち、クロック端子CLK1AまたはCLK1Bに入力される1種類のクロック信号に関する部分について示している。なお、他のクロック信号（クロック端子CLK2AまたはCLK2B～CLKnAまたはCLKnBに入力されるクロック信号）についても、クロック端子CLK1AまたはCLK1Bに入力されるクロック信号に対応する回路と同じ回路が構成されている。

【0044】

また、図5は、ゲートドライバIC20の端子の配置例を示す図である。

20

【0045】

ゲートドライバIC20は、図4に示すように、1対の信号端子と、双方向バッファと、接続モード制御端子と、1対の信号方向制御端子と、制御モード切り替え回路とを備える。なお、本実施の形態では、カスケード接続に対応するため、電源を入力する電源端子を除き、各信号に対し、入力側を構成する端子と出力側を構成する端子の2つが、1対の端子として設けられている。また、各端子は、入力側および出力側の両方に対応するため、双方向IOバッファで構成されている。

【0046】

1対の信号端子は、所定の信号が入力または出力される端子である。本実施の形態では、クロック信号が入力または出力されるクロック端子CLK1AおよびCLK1Bを例に説明する。

30

【0047】

双方向バッファは、クロック端子CLK1AおよびCLK1Bの間に配置され、クロック端子CLK1AおよびCLK1Bの入出力方向を切り替える切り替え端子を備えている。本実施の形態では、2つの双方向バッファBZ1およびBZ2が設けられている。

【0048】

双方向バッファBZ1は、クロック端子CLK1Aと内部回路21との間に設けられている。双方向バッファBZ1は、切り替え端子C1およびC2が後述するセクタSELECT1の出力端子Oに、端子IO1がクロック端子CLK1Aに、端子IO2が双方向バッファBZ2の端子IO1および内部回路21にそれぞれ接続されている。

40

【0049】

双方向バッファBZ2は、クロック端子CLK1Bと内部回路21との間に設けられている。双方向バッファBZ2は、切り替え端子C1およびC2が後述するセクタSELECT2の出力端子Oに、端子IO1が双方向バッファBZ1の端子IO2および内部回路21に、端子IO2がクロック端子CLK1Bにそれぞれ接続されている。

【0050】

接続モード制御端子CLKSELは、接続モード制御信号S__CLKSELが入力または出力される端子である。

【0051】

接続モード制御信号S__CLKSELの論理状態に応じて、クロック信号の入出力方向

50

を一方に固定する（マルチドロップ接続を選択する）か、可変にする（カスケード接続を選択する）かが切り替えられる。

【0052】

1対の信号方向制御端子DIRは、カスケード接続が選択されている場合に、信号方向制御信号S__DIRが入力または出力される端子である。

【0053】

制御モード切り替え回路は、接続モード制御信号の論理状態が第一論理状態の場合に、双方向バッファの切り替え端子に対し、クロック信号の入出力方向を一方に固定する信号を与え、接続モード制御信号の論理状態が第二論理状態の場合に、双方向バッファの切り替え端子に対し、信号方向制御信号の論理状態に応じた信号を与える。

10

【0054】

制御モード切り替え回路は、本実施の形態では、セクタSELECT1およびSELECT2を用いて構成されている。

【0055】

セクタSELECT1は、端子Sに接続モード制御端子CLKSELが、端子Bに1対の信号方向制御端子DIRがそれぞれ接続され、端子Aに、Lレベルの信号が入力されている。また、セクタSELECT1の出力端子Oは、双方向バッファBZ1の切り替え端子C1およびC2に接続されている。

【0056】

セクタSELECT2は、端子Sに接続モード制御端子CLKSELが、端子Bに1対の信号方向制御端子DIRがそれぞれ接続され、端子Aに、Lレベルの信号が入力されている。また、セクタSELECT2の出力端子Oは、双方向バッファBZ2の切り替え端子C1およびC2に接続されている。

20

【0057】

図5は、ゲートドライバIC20の端子の配置例を示す図である。

【0058】

クロック端子CLKnAおよびCLKnB（n＝クロックの種類数）の間に、1対の信号方向制御端子DIRが配置され、1対の信号方向制御端子DIRの間に、接続モード制御端子CLKSELが配置されている。また、端子名に添え字“A”が付く端子が、図面上側に、端子名に添え字“B”が付く端子が、図面下側に配置されている。

30

【0059】

なお、図5では、クロック信号の種類数nが4である場合を示しているが、nは画素回路の構成に応じた数、より詳細には、画素回路のトランジスタ数に応じて設定される。

【0060】

[2. ゲートドライバICの仕様および動作]

図6および図7は、本実施の形態におけるゲートドライバIC20の仕様の一例を示す表である。

【0061】

図6では、接続モード制御信号S__CLKSEL、つまり、接続モード制御端子CLKSELに入力される信号の論理状態と、クロック信号の入出力方向との関係を示している。

40

【0062】

図7では、信号方向制御信号S__DIR、つまり、1対の信号方向制御端子DIRに入力される信号方向制御信号S__DIRの論理状態と、各信号の入出力方向との関係を示している。但し、図6に示した通り、クロック信号の入出力方向は、CLKSELがLレベルの場合は、信号方向制御端子DIRに依存せず（図7の表には従わず）、クロック端子CLK1Aを入力、クロック端子CLK1Bを出力とする第一方向に固定される。言い換えると、端子STV、端子LSHIFTについては、接続モード制御信号S__CLKSELに依存せず、信号方向制御信号S__DIRに応じて信号の入出力方向が設定される。

【0063】

50

接続モード制御信号 S_CLKSEL が L レベル（第一論理状態に相当、例えば、接地電圧）の場合、図 6 に示すように、マルチドロップ接続モードとなる。このとき、クロック信号の入出力方向は、クロック端子 $CLK1A$ からクロック端子 $CLK1B$ に向かう第一方向に固定される。

【0064】

また、接続モード制御信号 S_CLKSEL が H レベル（第二論理状態に相当、例えば、電源電圧）の場合、図 6 に示すように、カスケード接続モードとなる。このとき、クロック信号の入出力方向は、信号方向制御信号 S_DIR の論理状態に応じて設定される。具体的には、信号方向制御信号 S_DIR が L レベル（第三論理状態に相当）の場合、信号の入出力方向は、第一方向に設定される。信号方向制御信号 S_DIR が H レベル（第 10 四論理状態に相当）の場合、信号の入出力方向は、第二方向に設定される。

【0065】

なお、第一方向および第二方向は、逆であっても構わない。また、接続モード制御信号 S_CLKSEL が H レベルのときにマルチドロップ接続モード、L レベルのときにカスケード接続モードとなるように構成しても構わない。また、信号方向制御信号 S_DIR が H レベルのときに信号方向を第一方向に、L レベルのときに信号方向を第二方向に設定しても構わない。

【0066】

[3. ゲートドライバ IC の接続例（有機 EL ディスプレイの構成）]

ゲートドライバ IC の接続例について、図 8～10 を用いて説明する。ここでは、カスケード接続（PCB なし）の場合、カスケード接続（PCB あり）の場合、マルチドロップ接続（PCB あり）の場合について説明する。 20

【0067】

[3-1. 接続例 1：カスケード接続（PCB なし）]

図 8 は、PCB 41 を備えない有機 EL ディスプレイ 10B（図 1B 参照）において、カスケード接続を行う場合の接続例を示す回路図である。

【0068】

なお、有機 EL ディスプレイ 10B の構成は、ゲートドライバ IC、および、ゲートドライバ IC と TCON とを接続する配線を除き、比較例と同じである。

【0069】

図 8 に示すように、本接続例では、ガラス基板 11 の左端にゲートドライバ IC 201～20n が 1 列に接続され、ガラス基板 11 の右端にゲートドライバ IC 20n+1～20m ($m=2n$) が 1 列に接続されている。 30

【0070】

ガラス基板 11 の左側では、図 8 に示すように、ゲートドライバ IC 20h ($h=1\sim n-1$) のクロック端子 $CLK1B$ とゲートドライバ IC 20h+1 のクロック端子 $CLK1A$ とが接続されている。

【0071】

また、ガラス基板 11 の右側では、図 8 に示すように、ゲートドライバ IC 20n+1～20m ($m=2n$) が、ゲートドライバ IC 201～20n とは上下および左右が逆になるように配置されている。ガラス基板 11 の右側では、図 8 に示すように、ゲートドライバ IC 20i ($i=n+1\sim m-1$) のクロック端子 $CLK1A$ とゲートドライバ IC 20i+1 のクロック端子 $CLK1B$ とが接続されている。 40

【0072】

ゲートドライバ IC 20 同士を接続する配線は、ガラス基板 11 上に形成されている。

【0073】

なお、図示しないが、接続モード制御端子 $CLKSEL$ 、1 対の信号方向制御端子 DIR についても、クロック端子と同様の方法でカスケード接続する。

【0074】

実際の製品では、接続モード制御端子 $CLKSEL$ に入力される接続モード制御信号 S 50

CLKSELは、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子CLKSELは電源配線に接続されている。

【0075】

TCON50は、信号の入出力方向を第一方向に設定する場合は、1対の信号方向制御端子DIRにLレベルの信号を出力し、ゲートドライバIC201および20mのクロック端子CLK1Aにクロック信号CLK1を出力する。TCON50は、信号の入出力方向を第二方向に設定する場合は、1対の信号方向制御端子DIRにHレベルの信号を出力し、ゲートドライバIC20nおよび20n+1のクロック端子CLK1Bにクロック信号CLK2を出力する。

【0076】

[3-2. 接続例2：カスケード接続（PCBあり）]

図9は、PCB41を備えた有機ELディスプレイ10A（図1A参照）において、カスケード接続を行う場合の接続例を示す回路図である。

【0077】

なお、有機ELディスプレイ10Aの構成は、ゲートドライバIC、および、ゲートドライバICとTCONとを接続する配線を除き、比較例と同じである。

【0078】

本接続例では、図9に示すように、ガラス基板11の左端にゲートドライバIC201～20nが1列に接続されている。ゲートドライバIC201～20nの図面左側で、PCB41とゲートドライバIC201～20nとが接続されている。また、ガラス基板11の右端にゲートドライバIC20n+1～20m（m=2n）が1列に接続されている。ゲートドライバIC20n+1～20mの図面右側で、PCB41とゲートドライバIC20n+1～20mとが接続されている。

【0079】

ガラス基板11の左側では、接続例1と同様に、ゲートドライバIC20h（h=1～n-1）のクロック端子CLK1BとゲートドライバIC20h+1のクロック端子CLK1Aとが接続されている。

【0080】

また、ガラス基板11の右側では、接続例1と同様に、ゲートドライバIC20n+1～20m（m=2n）が、ゲートドライバIC201～20nとは上下および左右が逆になるように配置されている。ガラス基板11の右側では、接続例1と同様に、ゲートドライバIC20i（i=n+1～m-1）のクロック端子CLK1AとゲートドライバIC20i+1のクロック端子CLK1Bとが接続されている。

【0081】

ゲートドライバIC20同士を接続する配線は、本接続例では、PCB41上に形成されている。

【0082】

なお、図示しないが、接続モード制御端子CLKSEL、1対の信号方向制御端子DIRについても、クロック端子と同様の方法でカスケード接続する。

【0083】

実際の製品では、接続モード制御端子CLKSELに入力される接続モード制御信号SCLKSELは、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子CLKSELは電源配線に接続されている。

【0084】

TCON50は、接続例1と同様に、信号の入出力方向を第一方向に設定する場合は、1対の信号方向制御端子DIRにLレベルの信号を出力し、ゲートドライバIC201および20mのクロック端子CLK1Aにクロック信号CLK1を出力する。さらに、TCON50は、接続例1と同様に、信号の入出力方向を第二方向に設定する場合は、1対の信号方向制御端子DIRにHレベルの信号を出力し、ゲートドライバIC20nおよび20n+1のクロック端子CLK1Bにクロック信号CLK2を出力する。

10

20

30

40

50

【0085】

[3-3. 接続例3：マルチドロップ接続（PCBあり）]

図10は、PCB41を備えた有機ELディスプレイ10A（図1A参照）において、マルチドロップ接続を行う場合の接続例を示す回路図である。

【0086】

なお、有機ELディスプレイ10Aの構成は、ゲートドライバIC、および、ゲートドライバICとTCONとを接続する配線を除き、比較例と同じである。

【0087】

本接続例では、接続例2と同様に、ガラス基板11の左端にゲートドライバIC201～20nが1列に接続されている。ゲートドライバIC201～20nの図面左側で、PCB41とゲートドライバIC201～20nとが接続されている。また、ガラス基板11の右端にゲートドライバIC20n+1～20m（m=2n）が1列に接続されている。ゲートドライバIC20n+1～20mの図面右側で、PCB41とゲートドライバIC20n+1～20mとが接続されている。

10

【0088】

ゲートドライバIC201～20mのクロック端子CLK1Aは、PCB41上に形成されたクロック配線L1Aに、クロック端子CLK1Bは、PCB41上に形成されたクロック配線L1Bにそれぞれ接続されている。

【0089】

なお、図示しないが、接続モード制御端子CLKSEL、1対の信号方向制御端子DIRについても、クロック端子と同様の方法でマルチドロップ接続する。

20

【0090】

実際の製品では、接続モード制御端子CLKSELに入力される接続モード制御信号SCLKSELは、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子CLKSELは接地配線に接続されている。

【0091】

本接続例では、1対の信号方向制御端子DIRの電圧に拘わらず、信号の入出力方向は第一方向に固定される。従って、TCON50は、1対の信号方向制御端子DIRの電圧を切り替える必要がない。

【0092】

30

[4. クロック信号以外の信号について]

なお、本実施の形態では、クロック信号について説明したが、画素回路に含まれる複数のトランジスタのゲート端子に供給されるゲート信号についても、カスケード接続およびマルチドロップ接続の両方に対応することが望ましい。

【0093】

また、ゲート信号等の信号については、1対の信号端子の間に設けられるバッファは、双方向クロックバッファでなくても構わない。1対の信号端子の間に設けられるバッファは、信号の用途等に応じた適切な駆動能力を有するバッファであればよい。

【0094】

なお、3-2または3-3に示すPCB41を用いた接続例において、例えば、クロック信号等、同期を図ることが求められる信号についてはマルチドロップ接続し、他の信号についてはカスケード接続するように構成してもよい。

40

【0095】

[5. 作用効果等]

本実施の形態のゲートドライバICは、カスケード接続およびマルチドロップ接続の両方に対応しているので、汎用性が向上している。ゲートドライバICの汎用性が高まることで、2種類のゲートドライバICを別個に作成する場合に比べ、製造コストの低減を図ることが可能になると考えられる。さらに、当該ゲートドライバICを用いた画像表示装置、例えば、有機ELディスプレイについても、製造コストの低減を図ることが可能になる。

50

【0096】

なお、カスケード接続の場合は、1対の信号方向制御端子DIRに入力する信号方向制御信号により、信号の入出力方向を制御できる。

【0097】

さらに、本実施の形態のゲートドライバICは、クロック信号およびゲート信号等の所定の信号を受け付ける1対の信号端子の間に、1対の信号方向制御端子を設け、1対の信号方向制御端子の間に、接続モード制御端子を設けている。これにより、カスケード接続モードを選択する場合における配線が容易になる。

【0098】

また、本実施の形態のゲートドライバICでは、接続モード制御信号SCLKSELを受け付ける接続モード制御端子を設けるという簡単且つ小さな構成の変更で、カスケード接続とマルチドロップ接続とを切り替えることができる。これにより、TCONとゲートドライバICとの間の配線が、複雑化するのを抑えることができる。特に、有機ELディスプレイでは、液晶ディスプレイ等の他の画像表示装置と比較して、画素回路に含まれるトランジスタの数が多く、配線等が複雑化する傾向にある(図3参照)。このため、ゲートドライバICの構成の変更を簡単且つ小さくすることは、有機ELディスプレイにおいて特に有用である。

【0099】

さらに、クロック信号は、有機ELディスプレイ10の動作に与える影響が大きいことから、クロック信号についてカスケード接続およびマルチドロップ接続を選択できるようにすることで、より汎用性を向上させることができる。

【0100】

(他の実施の形態等)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、上記実施の形態で説明した各構成要素を組み合わせ、新たな実施の形態とすることも可能である。

【0101】

(1) 例えば、上記実施の形態では、信号の入出力方向を設定する信号方向制御回路として、双方向バッファを用いたが、これに限るものではない。3ステートバッファを直接用いてもよいし、他の論理回路を組み合わせ作成したバッファ回路を用いても良い。

【0102】

(2) また、上記実施の形態では、接続モードを切り替えるための構成として、セレクトクを用いたが、これに限るものではない。

【0103】

(3) また、上記実施の形態では、2つの接続モード制御端子CLKSELを備える場合について例示したが、これに限るものではない。接続モード制御端子は、特に、電源配線に接続する場合には、1つの端子であっても構わない。

【0104】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

【0105】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【0106】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うこ

10

20

30

40

50

とができる。

【産業上の利用可能性】

【0107】

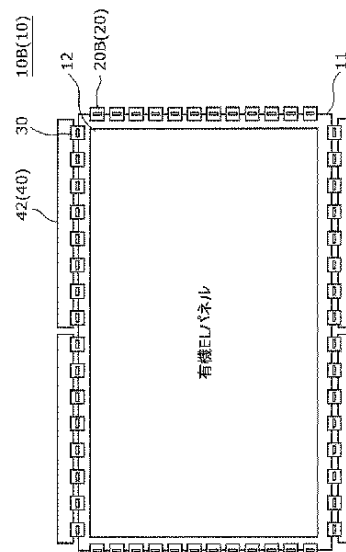
本開示は、ゲート駆動用集積回路、および、当該ゲート駆動用集積回路を用いた画像表示装置、特に、有機ELディスプレイとして有用である。

【符号の説明】

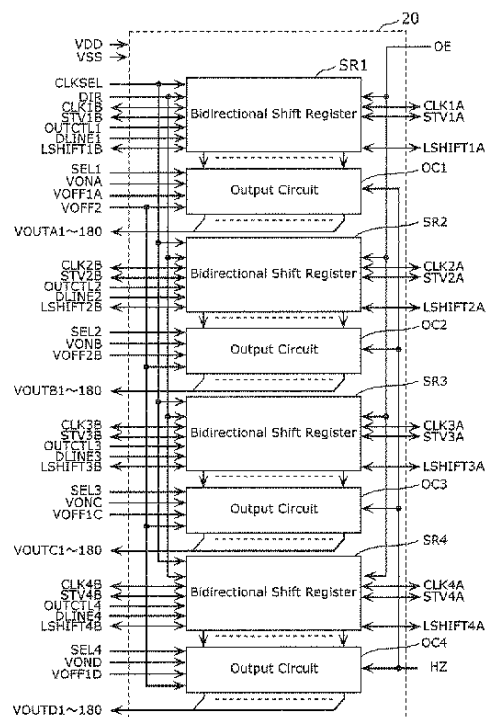
【0108】

10、10A、10B	有機ELディスプレイ	
11	ガラス基板	
12	有機ELパネル	10
20、20A、20B、201、20n、20i、20h、20Cas、20Mul	ゲートドライバIC	
21	内部回路	
30	ソースドライバ	
40、41、42	PCB	
50	TCON	
B1	バッファ	
BZ1、BZ2	双方向バッファ	
CLK1、CLK2	クロック信号	
CLK1A、CLK1B、CLK2A、CLKnA、CLKjA	クロック端子	20
S__CLKSEL	接続モード制御信号	
CLKSEL	接続モード制御端子	
S__DIR	信号方向制御信号	
DIR	信号方向制御端子	
L1A、L1B	クロック配線	
SELECT1、SELECT2	セレクト	

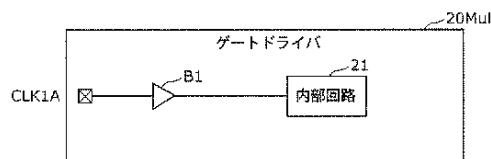
【図 1 B】



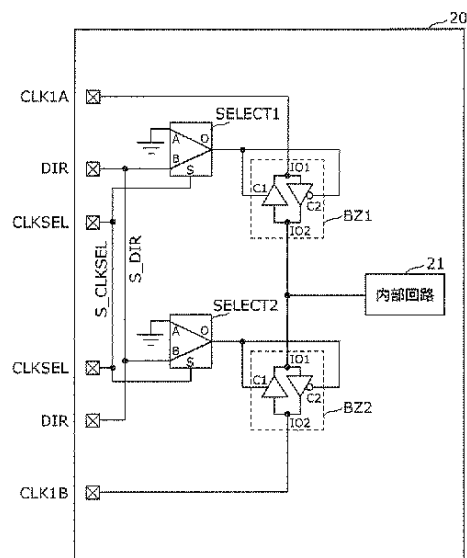
【图 3】



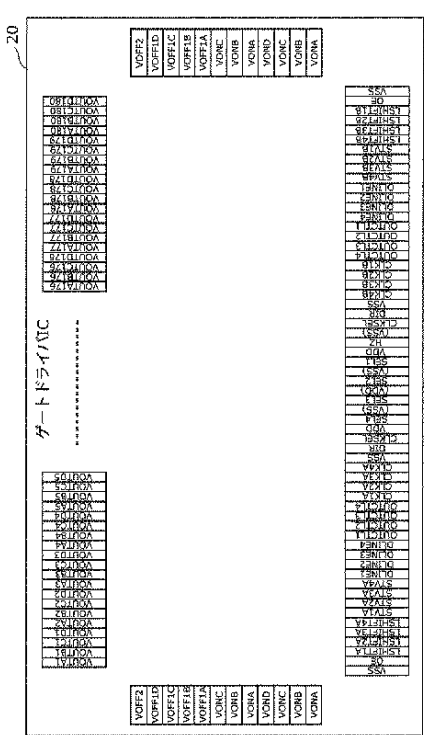
【図 2 B】



【図 4】



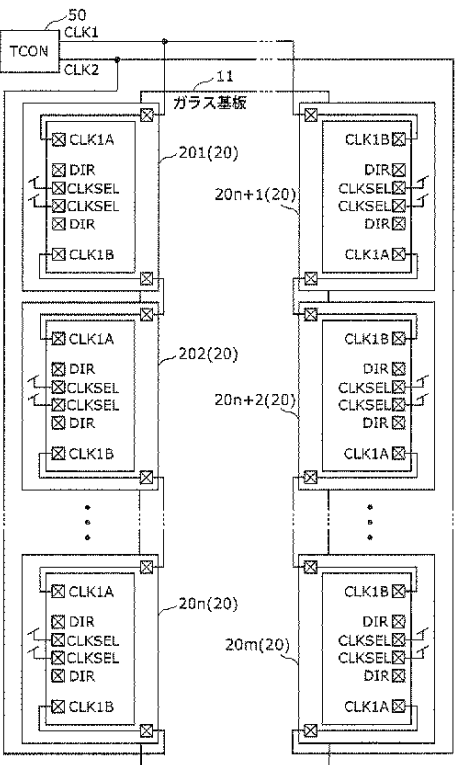
【図 5】



【図 6】

CLKSEL	信号の入出力方向	接続モード
L	CLKnA→CLKnB (n=1~4)	マルチドロップ接続モード
H	図7のDIRの設定に従う	カスケード接続モード

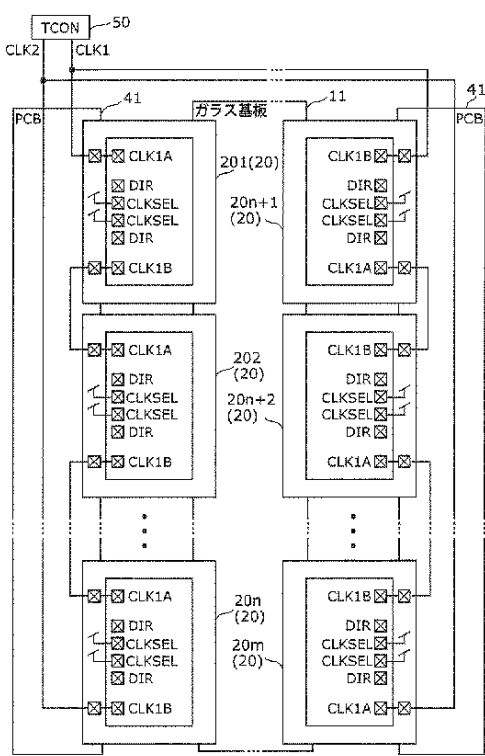
【図 8】



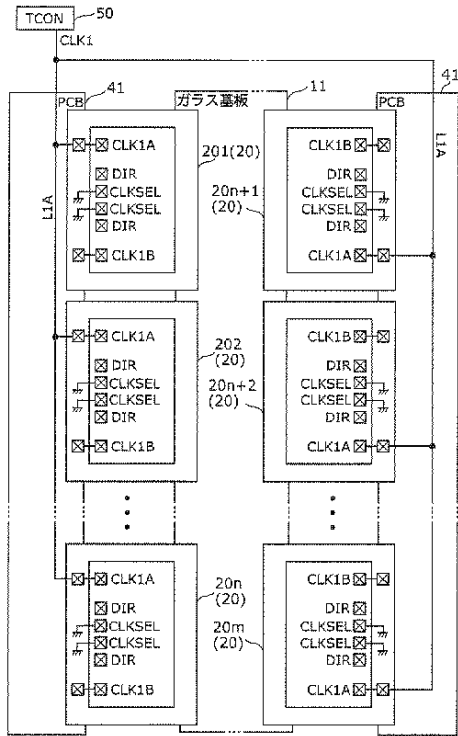
【図 7】

DIR	データ信号の入出力方向	クロック信号等の入出力方向
L	VOUTx1 → VOUTx180 (x=A~D)	CLKnA→CLKnB STVnA→STVnB LSHIFTnA→LSHIFTnB (n=1~4)
H	VOUTx180 → VOUTx1 (x=A~D)	CLKnB→CLKnA STVnB→STVnA LSHIFTnB→LSHIFTnA (n=1~4)

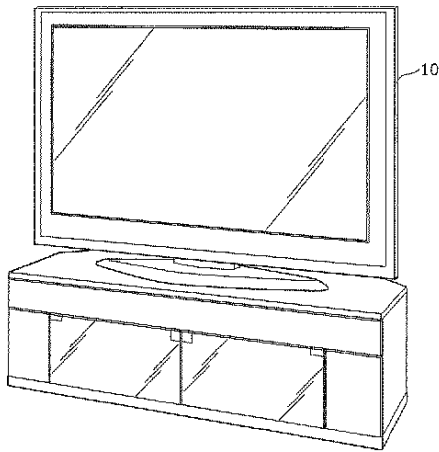
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A
H 0 5 B 33/06

(56)参考文献 特開2007-072062 (JP, A)
特開2007-264368 (JP, A)
特開2002-175037 (JP, A)
特開平05-035219 (JP, A)
特開2004-279467 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	用于图像显示装置的栅极驱动集成电路，图像显示装置和有机EL显示器		
公开(公告)号	JP6086336B2	公开(公告)日	2017-03-01
申请号	JP2015552283	申请日	2014-04-10
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	中川博文 高原博司		
发明人	中川 博文 高原 博司		
IPC分类号	G09G3/3266 G09G3/3225 G09G3/20 H01L51/50 H05B33/06		
CPC分类号	G09G3/3258 G09G3/3266 G09G2310/0283 G09G2310/0286 G09G2310/0291 G09G2310/08 G11C19/28 H01L27/3244		
FI分类号	G09G3/3266 G09G3/3225 G09G3/20.622.B G09G3/20.611.F G09G3/20.641.D H05B33/14.A H05B33/06		
代理人(译)	吉川修 Sobashima正雄		
优先权	2013254556 2013-12-09 JP		
其他公开文献	JPWO2015087460A1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种用于驱动栅极的高度通用的集成电路和使用该集成电路的图像显示装置。 栅极驱动集成电路，设置在时钟端子（CLK1A和CLK1B）与时钟端子之间，具有用于控制时钟信号的输入/输出方向的双向缓冲器（BZ1和BZ2），以及连接模式控制信号（当提供接收S_CLKSEL的连接模式控制端子（CLKSEL）和接收信号方向控制信号（S_DIR）的一对信号方向控制端子（DIR）时，连接模式控制信号的逻辑状态是第一逻辑状态在通过双向缓冲器将时钟信号的输入/输出方向固定到一侧并且连接模式控制信号的逻辑状态是与第一逻辑状态不同的第二逻辑状态的情况下，时钟信号由双向缓冲器输入。一种用于栅极驱动的集成电路，其特征在于，根据信号方向控制信号的逻辑状态切换输出方向。

【図 2 A】

