

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5028207号
(P5028207)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09F 9/30 (2006.01)
G09G 3/20 (2006.01)
H01L 51/50 (2006.01)

G09G 3/30 J
G09F 9/30 338
G09G 3/20 624B
G09G 3/20 641D
G09G 3/20 611J

請求項の数 5 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2007-255400 (P2007-255400)
(22) 出願日 平成19年9月28日(2007.9.28)
(65) 公開番号 特開2009-86253 (P2009-86253A)
(43) 公開日 平成21年4月23日(2009.4.23)
審査請求日 平成22年5月17日(2010.5.17)

(73) 特許権者 511254491
エルジー ディスプレイ カンパニー リ
ミテッド
大韓民国 140-716, ソウル, ヨン
サング, 3ガ, ハンガングロ, 65-22
8, エルジー ユープラス ビルディング
(74) 代理人 100094112
弁理士 岡部 譲
(74) 代理人 100064447
弁理士 岡部 正夫
(74) 代理人 100096943
弁理士 臼井 伸一
(74) 代理人 100101498
弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 画像表示装置および画像表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画像表示装置であって、
発光素子と、

制御端子、第1端子および前記発光素子のアノード電極に接続される第2端子を有し、
前記制御端子と前記第2端子との電位差に応じて前記第1端子と前記第2端子との間に流
れる電流を制御することによって、前記発光素子の発光を制御するドライバ素子と、

前記制御端子と前記第2端子の間に接続されたスイッチ素子からなり、前記ドライバ素
子の前記制御端子と前記第2端子との間の閾値電圧を検出する閾値電圧検出素子と、

第1電極及び第2電極を有し、該第2電極が前記ドライバ素子の前記制御端子に電氣的
に接続され、前記閾値電圧検出素子によって検出された前記ドライバ素子の前記閾値電圧
を保持する第1容量素子と、

第3電極及び第4電極を有し、該第4電極に前記発光素子の発光輝度に対応する画像信
号電圧が画像信号線を介して印加される第2容量素子であって、該第3電極が前記第1電
極と該画像信号線の間の点に接続され、該第4電極が前記第2端子と前記アノード電極の
間の点に接続される第2容量素子と、

を備える複数の画素回路からなり、

前記ドライバ素子及び前記閾値電圧検出素子をオンしてから該ドライバ素子がオフされ
るまで前記第1容量素子から該閾値電圧検出素子を介して該ドライバ素子に電流を流すと
ともに前記第2容量素子及び前記発光素子の寄生容量から該ドライバ素子に電流を流すこ

10

20

とにより検出された閾値電圧が該第 1 容量素子及び該第 2 容量素子に保持され、

前記第 2 容量素子は、前記発光素子の発光期間中に前記第 1 容量素子に直列に接続され

、
前記発光素子のカソード電極は、他の画素回路との共通電極となるように電源線に接続されることを特徴とする画像表示装置。

【請求項 2】

前記第 1 容量素子の第 1 電極と前記画像信号線との間に接続されるスイッチング素子をさらに備え、

前記スイッチング素子は、前記ドライバ素子の閾値電圧が検出されている間、オン状態となり、前記第 1 容量素子が前記ドライバ素子の制御端子と前記画像信号線との間に接続された状態にあることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

発光素子と、

制御端子、第 1 端子および前記発光素子のアノード電極に接続される第 2 端子を有し、前記制御端子と前記第 2 端子との電位差に応じて前記第 1 端子と前記第 2 端子との間に流れる電流を制御することによって、前記発光素子の発光を制御するドライバ素子と、

前記制御端子と前記第 2 端子の間に接続されたスイッチ素子からなり、前記ドライバ素子の前記制御端子と前記第 2 端子との間の閾値電圧を検出する閾値電圧検出素子と、

第 1 電極及び第 2 電極を有し、該第 2 電極が前記ドライバ素子の前記制御端子に電氣的に接続され、前記閾値電圧検出素子によって検出された前記ドライバ素子の前記閾値電圧を保持する第 1 容量素子と、

第 3 電極及び第 4 電極を有し、該第 4 電極に前記発光素子の発光輝度に対応する画像信号電圧が画像信号線を介して印加される第 2 容量素子であって、該第 3 電極が前記第 1 電極と該画像信号線の間の点に接続され、該第 4 電極が前記第 2 端子と前記アノード電極の間の点に接続される第 2 容量素子と、

前記第 1 容量素子の第 1 電極と前記画像信号線との間に接続されるスイッチング素子と、
を備える画像表示装置の駆動方法であって、

前記ドライバ素子及び前記閾値電圧検出素子をオンしてから該ドライバ素子がオフされるまで前記第 1 容量素子から該閾値電圧検出素子を介して該ドライバ素子に電流を流すとともに前記第 2 容量素子及び前記発光素子の寄生容量から該ドライバ素子に電流を流すことにより検出した閾値電圧を該第 1 容量素子及び該第 2 容量素子に保持させる閾値電圧検出工程と、

前記画像信号電圧を前記画像信号線を介して前記第 2 容量素子に書き込み、前記第 2 容量素子に前記画像信号電圧を保持させる書き込み工程と、

前記第 1 容量素子と前記第 2 容量素子とを電氣的に直列に接続して、前記第 1 容量素子に保持された閾値電圧と前記第 2 容量素子に保持された前記画像信号電圧との電圧を加算し、該加算電圧を前記ドライバ素子の前記制御端子と前記第 2 端子との間に印加する発光工程と、

を含むことを特徴とする画像表示装置の駆動方法。

【請求項 4】

前記閾値電圧検出工程の後で前記書き込み工程の前に、前記ドライバ素子から前記発光素子の寄生容量及び前記第 2 容量素子に電流を流し、該寄生容量に蓄積された電荷と該第 2 容量素子に蓄積された電荷を中和する発光素子初期化工程をさらに備えることを特徴とする請求項 3 に記載の画像表示装置の駆動方法。

【請求項 5】

前記閾値電圧検出工程では、前記スイッチング素子はオン状態となり、前記第 1 容量素子が前記ドライバ素子の制御端子と前記画像信号線との間に接続された状態にあることを特徴とする請求項 3 または 4 に記載の画像表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL (electroluminescence) ディスプレイ装置などの画像表示装置および画像表示装置の駆動方法に関するものである。

【背景技術】

【0002】

従来から、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する電流制御型の有機EL素子を用いた画像表示装置が提案されている。従来のこの種の画像表示装置として、たとえば、アモルファスシリコンや多結晶シリコンなどで形成される3つの薄膜トランジスタ (Thin Film Transistor: 以下、TFTともいう) を含む画素回路と、有機発光ダイオード (Organic Light Emitting Diode) などで形成される有機EL素子とで1つの画素を構成したものが知られている (たとえば、特許文献1参照)。この特許文献1に記載の画像表示装置は、有機EL素子を駆動する駆動トランジスタと、駆動トランジスタのオン/オフを制御する第1のスイッチングトランジスタと、駆動トランジスタの閾値電圧を補償する第2のスイッチングトランジスタと、発光時に駆動トランジスタのゲート電極にデータ書込み電圧を印加するための2つの容量素子と、を設けている。これによって、各画素に適切な電流値が設定され、各画素の輝度が制御される。

10

【0003】

また、構造的には、この画像表示装置は、有機EL素子のアノードと駆動トランジスタのソースとが接続され、有機EL素子のカソードが複数の画素で共通となるコモンカソード型の構造となっている。現在の有機EL素子は、アノードが下部電極となり、カソードが上部電極となる構造が一般的である。つまり、上部電極を共通にすることで上部電極をマスク無しで形成することができるため、コモンアノード型に比べて特許文献1に記載のコモンカソード型の方が、製造が容易になる。

20

【0004】

【特許文献1】特開2005-99715号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

30

ところで、特許文献1に記載の画像表示装置では、第1のスイッチングトランジスタの一方の電極と駆動トランジスタのゲート電極の間に第1の容量素子が配置され、駆動トランジスタと有機EL素子のアノードとの間と、駆動トランジスタのゲート電極と第1の容量素子との間とを接続するように第2の容量素子が配置される構造を有している。このような構造を有しているために、特許文献1に記載の画像表示装置には、以下に示す4つの問題点があった。

【0006】

第1の問題点は、第1の容量素子が閾値電圧の検出時に容量接続されていないために、トランジスタの寄生容量に対して弱い。換言すれば、トランジスタの寄生容量による電位変動が大きく、前フレームの画像信号電圧の影響を受けやすいというものである。また、第2の問題点は、同じく閾値電圧の検出時に閾値電圧が有機EL素子導通電圧より大きいと閾値電圧 V_{th} を検出できないというものである。さらに、第3の問題点は、第1と第2の容量素子が第1のスイッチングトランジスタから見て直列に接続されているので、データ書込み時に、直列に接続された第1と第2の容量素子に電圧を書込むための書込み効率が、第1と第2の容量素子の容量をそれぞれ C_{s1} 、 C_{s2} とすると、 $C_{s1} / (C_{s1} + C_{s2})$ しかないというものである。ここで、書込み効率とは、第1のスイッチングトランジスタの第1の容量素子が接続されない他方の電極に接続されている画像信号線の振幅を $x[V]$ 、最終的に駆動トランジスタのソースに対するゲート電圧 V_{gs} の振幅を $y[V]$ としたときの、 y/x のことをいう。そして、第4の問題点は、書込み時に、高い電圧を書込むと、瞬間的に駆動トランジスタが導通状態となり、電位が変動してしまうと

40

50

いうものである。

【 0 0 0 7 】

本発明は、上記課題に鑑みてなされたものであり、前フレームの画像信号電圧の影響を受けにくく、書込み効率が1に近い、コモンカソード型の画像表示装置および画像表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上述した課題を解決し、目的を達成するために、本発明にかかる画像表示装置は、画像表示装置であって、発光素子と、制御端子、第1端子および前記発光素子のアノード電極に接続される第2端子を有し、前記制御端子と前記第2端子との電位差に応じて前記第1端子と前記第2端子との間に流れる電流を制御することによって、前記発光素子の発光を制御するドライバ素子と、前記ドライバ素子の前記制御端子と前記第2端子との間の閾値電圧を検出する閾値電圧検出素子と、第1電極を有するとともに前記ドライバ素子の前記制御端子に電氣的に接続され、前記閾値電圧検出素子によって検出された前記ドライバ素子の前記閾値電圧を保持する第1容量素子と、前記発光素子の発光輝度に対応する画像信号電圧が画像信号線を介して印加される第2容量素子と、を備える複数の画素回路からなり、前記第2容量素子は、前記発光素子の発光期間中に前記第1容量素子の前記第1電極に直接的または間接的に接続され、前記発光素子の第2電極は、他の画素回路との共通電極となるように配置されることを特徴とする。

【発明の効果】

【 0 0 0 9 】

この発明によれば、ドライバ素子の閾値電圧の検出時に、ドライバ素子の制御端子が第1容量素子に接続された構成となるので、寄生容量に対して強くなり、前フレームの画像信号電圧の影響を受け難くなるという効果を有する。また、データ書込み時において、第1容量素子と、ドライバ素子 - 発光素子の第1電極（アノード）間とドライバ素子の制御端子 - 第1容量素子間とを接続する第2容量素子と、が直列接続されるので、書込み効率が1に近づくという効果も有する。さらに、発光素子の第2電極（カソード）を共通電極とするコモンカソード型としたので、製造が容易になるという効果も有する。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下に添付図面を参照して、本発明にかかる画像表示装置の好適な実施の形態を詳細に説明する。なお、この実施の形態により本発明が限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

【 0 0 1 1 】

（実施の形態）

図1は、本発明の実施の形態にかかる画像表示装置の1画素に対応する画素回路の構成の一例を示す図である。なお、この図1には、有機EL素子の容量をC o l e dとして等価的に表している。

【 0 0 1 2 】

この図1に示される画素回路は、発光素子である有機EL素子O L E Dと、有機EL素子O L E Dを駆動するためのドライバ素子である駆動トランジスタT dと、駆動トランジスタT dの閾値電圧を検出する際に主として用いられる閾値電圧検出素子である閾値電圧検出用トランジスタT t hと、第1容量素子として閾値電圧を保持する第1の容量C s と、第2容量素子として画像信号電圧を保持する第2の容量C s 2と、画像信号電圧の印加を制御するスイッチング素子としてのスイッチングトランジスタT sと、を備える。なお、図1に示す構成は、有機EL素子などを制御する画素回路の1画素の回路構成を示すものであり、画像表示装置としては、この画素回路をマトリクス状に複数配列した構成を有している。

【 0 0 1 3 】

駆動トランジスタT dは、制御端子、第1端子、第2端子を備え、制御端子はゲート電

極に、第1端子はドレイン電極に、第2端子はソース電極にそれぞれ対応している。この駆動トランジスタT_dは、ゲート電極とソース電極との間に与えられる電位差に応じて有機EL素子OLEDに流れる電流量を制御する機能を有する。駆動トランジスタT_dのドレイン電極には第1の電源線（以下、V_{DD}線という）10が接続されている。

【0014】

閾値電圧検出用トランジスタT_{th}は、自身がオン状態となったときに、駆動トランジスタT_dのゲート電極とドレイン電極とを電氣的に接続する機能を有するとともに、駆動トランジスタT_dのゲート電極とソース電極との間の電位差が駆動トランジスタT_dの閾値電圧V_{th}となるまで駆動トランジスタT_dのゲート電極からドレイン電極に向かって電流を流すことによって、駆動トランジスタT_dの閾値電圧V_{th}を検出する機能を有している。つまり、駆動トランジスタT_dが閾値電圧V_{th}となったときに、駆動トランジスタT_dには電流が流れなくなるので、このときのゲート電極とソース電極との間の電位差すなわちV_{th}が、第1の容量C_sに印加される。なお、上記した第1端子と第2端子の機能は相互に交換可能である。すなわち、駆動トランジスタT_dは、制御端子であるゲート電極と第2端子との間に与えられる電位差に応じて有機EL素子OLEDに流れる電流量を制御することもできる。また、閾値電圧検出用トランジスタT_{th}のゲート電極には、T_{th}制御線12が接続されている。

【0015】

有機EL素子OLEDは、アノード電極とカソード電極との間に有機EL素子OLEDの導通電圧以上の電位差が生じることによって、アノード電極とカソード電極との間に電流が流れ、発光する特性を有する素子である。具体的には、有機EL素子OLEDは、Al, Cu, ITO (Indium Tin Oxide) などによって形成されたアノード電極層およびカソード電極層と、これらのアノード電極層とカソード電極層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体などの有機系の材料によって形成された発光層と、を少なくとも備えた構造を有し、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する。ここでは、有機EL素子OLEDのアノード電極は、駆動トランジスタT_dのソース電極と接続され、カソード電極は、第2の電源線（以下、V_{SS}線という）11と接続される。また、本実施の形態では、有機EL素子OLEDのカソード電極を、画像表示装置を構成する各画素で共通とする共通カソード型となっている。

【0016】

スイッチングトランジスタT_sは、自身がオン状態となるとともに画像信号線14の画像信号電圧が0Vのときに、第1の容量C_sに閾値電圧が印加されるようにしたり、自身がオン状態となるとともに画像信号線14に画像信号電圧が入力されたときに、第2の容量C_{s2}に画像信号電圧を印加したりする機能を有する。このスイッチングトランジスタT_sのソース電極は、第1の容量C_sの第1電極と接続される。またスイッチングトランジスタT_sのドレイン電極は、画像信号線14と接続され、ゲート電極には走査線13が接続されている。

【0017】

第1の容量C_sは、閾値電圧の検出時に駆動トランジスタT_dの閾値電圧V_{th}に対応する電荷量を保持する機能を有し、駆動トランジスタT_dのゲート電極とスイッチングトランジスタT_sのソース電極との間に配置される。

【0018】

第2の容量C_{s2}は、書き込み時に駆動トランジスタT_dに印加する画像信号電圧に対応する電荷量を保持する機能を有し、駆動トランジスタT_dのソース電極と、スイッチングトランジスタT_sのソース電極と第1の容量C_sとを結ぶ配線と、の間に配置される。

【0019】

つまり、第1の容量C_sに閾値電圧V_{th}が印加され、第2の容量C_{s2}に画像信号電圧V_{dاتا}が印加された状態で、スイッチングトランジスタT_sがオフ状態にあるときに、駆動トランジスタT_dのゲートから見るとこれらの第1と第2の容量C_s, C_{s2}は

10

20

30

40

50

直列接続となる。

【 0 0 2 0 】

駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} およびスイッチングトランジスタ T_s は、たとえば TFT によって構成される。なお、以下で参照される各図面においては、各 TFT のチャネルについて、特にそのタイプ (n 型または p 型) を明示していないが、 n 型または p 型のいずれかであり、本実施の形態では、 n 型の TFT であるものとする。

【 0 0 2 1 】

VDD 線 10 と VSS 線 11 は、駆動トランジスタ T_d とスイッチングトランジスタ T_s に所定電圧を供給する。また、本実施の形態では、コモンカソード型であり、画像表示装置上では、有機 EL 素子 $OLED$ の上部電極であるカソードが VSS 線 11 となり、マスク無しで形成される。 T_{th} 制御線 12 は、閾値電圧検出用トランジスタ T_{th} をオン/オフ制御するための信号を供給する。走査線 13 は、スイッチングトランジスタ T_s をオン/オフ制御するための信号を供給する。画像信号線 14 は、画像信号電圧を第 2 の容量 Cs_2 に供給する。

【 0 0 2 2 】

つぎに、このような構成における画素回路の発光制御の処理動作について図 2 ~ 図 7 を参照して説明する。図 2 は、本実施の形態にかかる画像表示装置の発光制御の一例を示すシーケンス図である。この図 2 に示されるように、画素回路は、閾値電圧検出期間、有機 EL 素子初期化期間、書き込み期間および発光期間という 4 つの期間を経て動作する。この制御シーケンスに示されるように、閾値電圧検出、有機 EL 素子初期化および発光は全画素一括であるが、書き込みのみは走査線 13 ごとの順次走査である。なお、図 3 ~ 図 6 で、電流が流れていない部分は点線で示している。

【 0 0 2 3 】

(閾値電圧検出期間)

図 3 は、閾値電圧検出期間における画素回路の動作状態を示す図である。この閾値電圧検出期間では、図 2 に示されるように、 VDD 線 10 がゼロ電位 ($0V$) とされ、 VSS 線 11 が電源電位 (VDD) とされ、 T_{th} 制御線 12 が高電位 (V_{gh}) とされ、走査線 13 が高電位 (V_{gh}) とされ、画像信号線 14 が $0V$ とされる。この制御によって、図 3 に示されるように、スイッチングトランジスタ T_s がオン、閾値電圧検出用トランジスタ T_{th} がオン、駆動トランジスタ T_d がオンとされる。その結果、駆動トランジスタ T_d のソース電極に対するゲート電極の電位が閾値電圧 V_{th} に達するまで有機 EL 素子容量 C_{oled} 、第 1 の容量 Cs_1 および第 2 の容量 Cs_2 に蓄積された電荷が放電され、駆動トランジスタ $T_d \rightarrow VDD$ 線 10 という経路で電流が流れる。そして、駆動トランジスタ T_d のゲート電極 - ソース電極間の電位差が閾値電圧 V_{th} に達すると、駆動トランジスタ T_d がオフとなり、この時点で、第 1 と第 2 の容量 Cs_1 、 Cs_2 の両端には閾値電圧 V_{th} の電圧が生じる。

【 0 0 2 4 】

(有機 EL 素子初期化期間)

図 4 は、有機 EL 素子初期化期間における画素回路の動作状態を示す図である。この有機 EL 素子初期化期間では、図 2 に示されるように、 VDD 線 10 のゼロ電位と、走査線の高電位 (V_{gh}) が維持される一方で、 VSS 線 11 がゼロ電位とされ、 T_{th} 制御線 12 が低電位 (V_{gl}) とされる。また、画像信号線 14 には、たとえば画像信号電圧の最大電位 (V_{dh}) が供給される。この制御によって、図 4 に示されるように、スイッチングトランジスタ T_s がオン、閾値電圧検出用トランジスタ T_{th} がオフ、駆動トランジスタ T_d がオンとされる。その結果、駆動トランジスタ $T_d \rightarrow$ 有機 EL 素子容量 C_{oled} 、および駆動トランジスタ $T_d \rightarrow$ 第 2 の容量 Cs_2 という経路で電流が流れ、有機 EL 素子容量 C_{oled} および第 2 の容量 Cs_2 に残存していた電荷と、上記の経路で流れてきた電流による電荷とが中和される。この動作によって、有機 EL 素子容量 C_{oled} 自身の残存電荷による発光への影響が回避される。また、第 2 の容量 Cs_2 に溜まっていた

10

20

30

40

50

電荷がなくなるので、第2の容量 C_{s2} の両端にかかっていた閾値電圧 V_{th} も0となり、その結果、第1の容量 C_{s1} にのみその両端に閾値電圧 V_{th} がかかることになる。

【0025】

(書き込み期間)

図5は、書き込み期間における画素回路の動作状態を示す図である。この書き込み期間では、図2に示されるように、 VDD 線10と VSS 線11のゼロ電位と、 T_{th} 制御線12の低電位(V_{gl})が維持される一方で、走査線13による走査信号と画像信号線14による画像信号に応じた所定のレベルの信号電位が供給される。本実施の形態にかかる書き込み処理では、全画素一括ではなく、走査線13ごとの順次走査が行われる。この制御によって、図5に示されるように、画像信号線14からはその画素に応じた画像信号 $Vdata$ (V_dH)が供給され、スイッチングトランジスタ T_s →第2の容量 C_{s2} →駆動トランジスタ T_d → VDD 線10という経路で電流が流れ、第2の容量 C_{s2} には画像信号 $Vdata$ に応じた電圧が保持されることになる。なお、図2中の画像信号線14における網掛け部は、画像信号に応じた最大 V_dH までの所定の電圧が印加されることを示している。

【0026】

(発光期間)

図6は、発光期間における画素回路の動作状態を示す図である。この発光期間では、図2に示されるように、 VDD 線10が電源電位(VDD)とされる一方で、 VSS 線11がゼロ電位に維持され、 T_{th} 制御線12は低レベル(V_{gl})に維持される。また、走査線13は低レベル(V_{gl})とされ、画像信号線14はゼロ電位とされる。このとき、駆動トランジスタ T_d の閾値電圧を保持する第1の容量 C_{s1} と画像信号に応じた画像信号電圧を保持する第2の容量 C_{s2} とが直列に接続され、両者の電圧の和 $V_{th} + Vdata$ が駆動トランジスタ T_d のゲート電極とソース電極との間に印加される。その結果、図6に示されるように、駆動トランジスタ T_d がオンとなり、 VDD 線10→駆動トランジスタ T_d →有機EL素子OLED→ VSS 線11という経路で電流が流れ、有機EL素子OLEDが発光する。

【0027】

なお、駆動トランジスタ T_d に流れる電流(I_{ds})は、駆動トランジスタ T_d の構造および材質から決定される定数 β 、駆動トランジスタ T_d のソース電極を基準とするゲート電極-ソース電極間の電位差 V_{gs} 、駆動トランジスタ T_d の閾値電圧 V_{th} を用いて次式(1)で表すことができる。

$$I_{ds} = (\beta / 2) \cdot (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0028】

一方、この発光期間では、第1の容量 C_{s1} に保持された閾値電圧(V_{th})と第2の容量 C_{s2} に保持された画像信号電圧($Vdata$)の両者が加算されて駆動トランジスタ T_d のゲート電極-ソース電極間電位差 V_{gs} として印加されるので、上記(1)式における電流 I_{ds} は、次式(2)で表すことができる。

$$\begin{aligned} I_{ds} &= (\beta / 2) \cdot (V_{th} + Vdata - V_{th})^2 \\ &= (\beta / 2) \cdot (Vdata)^2 \quad \dots (2) \end{aligned}$$

【0029】

つまり、理論的には、閾値電圧 V_{th} に依存しない電流が得られる。また、有機EL素子OLEDの発光光度は自身に流れる電流に比例するので、閾値電圧 V_{th} の変動の影響を受けない発光光度が得られる。

【0030】

以下に、本実施の形態の画素回路の特徴について、従来例と比較しながら説明する。図7は、特許文献1に開示されている有機ELディスプレイの1画素に対応する画素回路の構成を示す図である。この図7に示される画素回路2は、被駆動素子である有機EL素子OLEDと、第1と第2のスイッチングトランジスタ T_1 、 T_2 と、駆動トランジスタ T_3 と、データを保持する第1と第2の容量 C_1 、 C_2 と、を備える。

【 0 0 3 1 】

発光素子の有機 E L 素子 O L E D のカソードは固定電位に接続されており、アノードは駆動トランジスタ T 3 を介して電源線 L に接続されている。駆動トランジスタ T 3 のゲート電極には、第 1 の容量 C 1 の一方の電極が接続され、第 1 の容量 C 1 の他方の電極は、第 1 のスイッチングトランジスタ T 1 を介してデータ線 X に接続されている。また、駆動トランジスタ T 3 の有機 E L 素子 O L E D と接続する側の端子とゲート電極との間には、第 2 のスイッチングトランジスタ T 2 と第 2 の容量 C 2 とが並列に設けられている。この第 2 の容量 C 2 は、一方の電極が、駆動トランジスタ T 3 と第 1 の容量 C 1 との間に接続されている。第 1 と第 2 のスイッチングトランジスタ T 1 , T 2 は、それぞれ第 1 と第 2 の走査線 S E L 1 , S E L 2 で導通制御される。

10

【 0 0 3 2 】

図 8 は、特許文献 1 に開示されている画素回路を制御するシーケンス図である。この図 8 に示されるように、特許文献 1 の画素回路は、初期化プロセスと、データ書き込みプロセスと、駆動プロセスの 3 つの期間と、を経て動作する。

【 0 0 3 3 】

(閾値電圧検出時について)

特許文献 1 に記載の画素回路の初期化プロセスでは、駆動トランジスタ T 3 に対する逆バイアスの印加と閾値電圧補償とが同時に行われる。このとき、第 1 のスイッチングトランジスタ T 1 がオフとなり、第 1 の容量 C 1 とデータ線 X とが電氣的に分離された状態となる。また、第 2 のスイッチングトランジスタ T 2 がオンとされ、電源線 L は電源電位 (V D D) に設定されることで、駆動トランジスタ T 3 には駆動電流が流れる方向とは逆方向のバイアスが印加され、ノード N 1 の電圧が、駆動トランジスタ T 3 の閾値電圧 V t h に応じたオフセットレベルになるまで電流が流れる。

20

【 0 0 3 4 】

このように特許文献 1 の画素回路では、初期化プロセスで閾値電圧を検出する際に、第 1 のスイッチングトランジスタ T 1 がオフとされるために、第 1 の容量 C 1 が接続されていないのと同じ状態となる。その結果、トランジスタの寄生容量による電位変動が大きく、前フレームの画像信号電圧の影響を画素回路が受けやすいという問題点があった。また、有機 E L 素子 O L E D の導通電圧よりも、駆動トランジスタ T 3 の閾値電圧 V t h が大きい場合には、閾値電圧 V t h を検出することができないという問題点があった。

30

【 0 0 3 5 】

これに対して、本実施の形態の画素回路においては、閾値電圧検出期間でスイッチングトランジスタ T s をオンとしているので、第 1 の容量 C s が接続された状態となり、トランジスタの寄生容量による電位変動が小さい回路構成とすることができる。その結果、前フレームの画像信号電圧が画素回路に与える影響を抑制することができる。

【 0 0 3 6 】

また、閾値電圧検出期間でスイッチングトランジスタ T s をオンとしているので、有機 E L 素子 O L E D の導通電圧の大きさに関係なく駆動トランジスタ T d の閾値電圧 V t h を検出することができる。

40

【 0 0 3 7 】

(書き込み効率について)

図 7 に示される特許文献 1 の画素回路では、データ書き込みプロセスにおいて、第 1 の容量 C 1 と第 2 の容量 C 2 とが直列に接続され、双方の容量 C 1 , C 2 の両端に書き込み電圧が印加される一方で、発光期間では、第 1 の容量 C 1 と第 2 の容量 C 2 の配置が、駆動トランジスタ T 3 のゲート電極から見て並列接続となり、第 2 の容量 C 2 に書込まれた電圧のみが駆動トランジスタ T 3 に印加される。そのため、この画素回路の書き込み効率 η の上限値は、次式 (3) で示されるものとなる。

$$\eta = C 1 / (C 1 + C 2) \quad \cdots (3)$$

【 0 0 3 8 】

一方、図 1 に示す本実施の形態にかかる画素回路では、閾値電圧検出期間では、第 1 の

50

容量 C_s に駆動トランジスタ T_d の閾値電圧 V_{th} に相当する電圧が印加されて保持され、画像信号の書き込み期間では、画像信号線14から供給される画像信号は第2の容量 C_{s2} のみに印加されて保持される。また、発光期間では、第1の容量 C_s に保持された閾値電圧と第2の容量 C_{s2} に保持された画像信号電圧との加算電圧が駆動トランジスタ T_d に印加されるので、書き込み効率 η は、理論的に“1”となる。なお、図1に示す画素回路では、画像信号線14と第2の容量 C_{s2} との間にスイッチングトランジスタ T_s が介在するが、画像信号が印加されている間のスイッチングトランジスタ T_s はオンであり、またこの間、スイッチングトランジスタ T_s の両端の電位差は略ゼロ（略同電位）となるので、当該スイッチングトランジスタ T_s の寄生容量が問題となることはない。

【0039】

10

（制御シーケンスについて）

特開2007-206273号公報（以下、特許文献2という）には、コモンアノード型の画素回路が開示されている。図9は、特許文献2に記載の画素回路の構成を示す図であり、図10は、特許文献2に記載の画素回路を動作させるための制御シーケンス図である。

【0040】

図9に示す画素回路は、発光素子である有機EL素子OLED、有機EL素子OLEDを駆動するためのドライバ素子である駆動トランジスタ T_d 、閾値電圧を検出する際に主として用いられる閾値電圧検出用トランジスタ T_{th} 、第1の容量素子として閾値電圧を保持する第1の容量 C_s と、第2の容量素子として画像信号電圧を保持する第2の容量 C_{s2} と、画像信号電圧の印加を制御するスイッチングトランジスタ T_s と、を備える。この図9は、図1と比較して、有機EL素子OLEDを、駆動トランジスタ T_d とVDD線10との間に配置している点異なる。

20

【0041】

この図9のような画素回路の構成とした場合には、図10のように、準備期間、閾値電圧検出期間、有機EL素子/第2の容量素子初期化期間、書き込み期間、および発光期間の5つの期間が必要となる。本実施の形態の図2に比して、準備期間が付加されている。これは、特許文献2の画素回路では、準備期間で有機EL素子OLEDに逆バイアスをかけて電荷を溜めて、この溜めた電荷をつぎの閾値電圧検出期間の駆動トランジスタ T_d の閾値電圧の検出に用いる構成としているので、有機EL素子OLEDに電荷を溜めるための準備期間が必要となるからである。さらに詳細には、特許文献2の画素回路の構成では、有機EL素子OLEDのカソードと共通電極との間に駆動トランジスタ T_d が配置されている構造によるものである。

30

【0042】

これに対して、本実施の形態では、有機EL素子OLEDのカソードを共通電極として配置し、有機EL素子OLEDのアノードとVDD線10との間に、駆動トランジスタ T_d を配置した構造としている。つまり、図2に示される閾値電圧検出期間でVDD線10と画像信号線14をゼロ電位とし、VSS線11を電源電位（VDD）とすることによって、有機EL素子容量 C_{oled} に溜まった電荷が駆動トランジスタ T_d に流れることによって、閾値電圧の検出が可能になる。その結果、準備期間が不要となる。

40

【0043】

なお、特許文献2の場合、有機EL素子OLEDにリークが生じていると、閾値電圧を検出することはできないが、本実施の形態の場合には、有機EL素子OLEDにリークが生じていても、閾値電圧を検出することができる。

【0044】

図11は、有機EL素子に漏れ電流がある場合の閾値電圧検出期間における本実施の形態の画素回路の動作状態を示す図である。上記の図3は、閾値電圧検出期間における有機EL素子OLEDに漏れ電流がない場合の動作状態を示しており、有機EL素子容量 C_{oled} に電荷が溜まるので、有機EL素子OLEDには電流が流れていない。しかし、有機EL素子OLEDがリークしている場合には、図11に示されるように、VSS線11

50

から有機EL素子OLEDを介して漏れ電流が流れてしまう。ここで、漏れ電流とは、逆バイアス時に非導通となるべき有機EL素子OLEDがわずかに流す電流である。しかし、有機EL素子OLEDで漏れ電流が生じて、第1と第2の電源線10, 11の電位の関係が、有機EL素子容量C_{oled}にとって電荷が増える方向にあるので、支障なく閾値電圧を検出することができる。

【0045】

なお、上述した説明では、VDD線10とVSS線11として、両方の電源線に供給する電位を調整する場合を示したが、一方の電源線を固定電位とし、他方の電源線の電位のみを変化させるように構成してもよい。この場合には、固定電位に対する他方の電源線の電位が、第1と第2の電源線10, 11の電位差となるように、供給する電位を調整すればよい。

10

【0046】

また、図1に示す画素回路では、容量C_{s2}の他端が、容量C_sを介して駆動トランジスタTdのゲート電極（制御端子）に常時接続されるような構成としているが、この容量C_{s2}の他端は、少なくとも発光期間において、駆動トランジスタTdのゲート電極（制御端子）に電気的に接続されるような構成であってもよい。

【0047】

また、図1に示す画素回路では、容量C_sの一端が駆動トランジスタTdのゲート電極（制御端子）と閾値電圧検出用トランジスタとの接続点に接続され、他端が、容量C_{s2}の一端とスイッチングトランジスタTsとの接続点に常時接続されるような構成としているが、少なくとも書き込み期間において、容量C_sの一端または他端がフローティング状態（いずれの端とも電気的に接続されずに浮遊している状態）にあり、かつ、発光期間において、その一端または他端のいずれかの端が、駆動トランジスタTdのゲート電極（制御端子）またはソース電極（第1電極）もしくはドレイン電極（第2電極）に接続されていればよい。

20

【0048】

以上説明したように、本実施の形態によれば、駆動トランジスタTdの閾値電圧（V_{th}）を保持する第1の容量C_sとは異なる第2の容量C_{s2}を具備し、この第2の容量C_{s2}に画像信号電圧（V_{data}）を保持するようにするとともに、有機EL素子OLEDのカソードを共通電極とするように構成したので、書き込み効率を効果的に改善することができるとともに、画像表示装置の製造を容易にすることができるという効果を有する。

30

【0049】

また、駆動トランジスタTdの閾値電圧の検出時において、有機EL素子OLEDに漏れ電流が生じている場合でも、閾値電圧の検出を行うことができる。さらに、閾値電圧の検出時に、駆動トランジスタTdのゲート電極に第1の容量C_sが接続された構成としたので、寄生容量に強く、前フレームの画像信号電圧の影響を受けにくくすることができるという効果も有する。また、有機EL素子OLEDの導通電圧の大きさに関係なく、駆動トランジスタTdの閾値電圧の検出を行うこともできる。

【産業上の利用可能性】

40

【0050】

以上のように、この発明にかかる画像表示装置は、画素回路における書き込み効率を改善したコモンカソード型の表示装置に対して有用である。

【図面の簡単な説明】

【0051】

【図1】本発明の実施の形態にかかる画像表示装置の1画素に対応する画素回路の構成の一例を示す図である。

【図2】本実施の形態にかかる画像表示装置の発光制御の一例を示すシーケンス図である。

【図3】閾値電圧検出期間における画素回路の動作状態を示す図である。

50

【図4】有機EL素子初期化期間における画素回路の動作状態を示す図である。

【図5】書き込み期間における画素回路の動作状態を示す図である。

【図6】発光期間における画素回路の動作状態を示す図である。

【図7】特許文献1に開示されている有機ELディスプレイの1画素に対応する画素回路の構成を示す図である。

【図8】特許文献1に開示されている画素回路を制御するシーケンス図である。

【図9】特許文献2に記載の画素回路の構成を示す図である。

【図10】特許文献2に記載の画素回路を動作させるための制御シーケンス図である。

【図11】有機EL素子に漏れ電流がある場合の閾値電圧検出期間における本実施の形態の画素回路の動作状態を示す図である。

10

【符号の説明】

【0052】

10 第1の電源線

11 第2の電源線

12 Tth制御線

13 走査線

14 画像信号線

OLED 有機EL素子

Td 駆動トランジスタ

Ts スwitchングトランジスタ

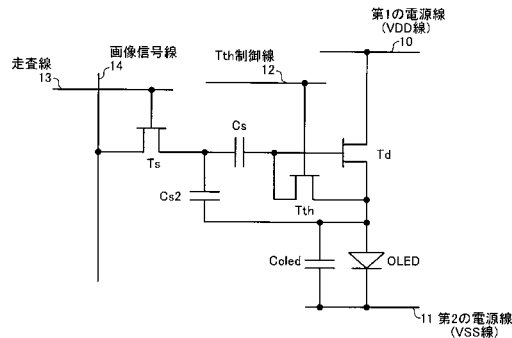
Tth 閾値電圧検出用トランジスタ

Cs 第1の容量

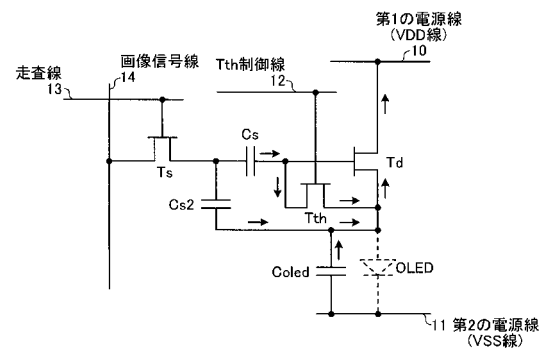
Cs2 第2の容量

20

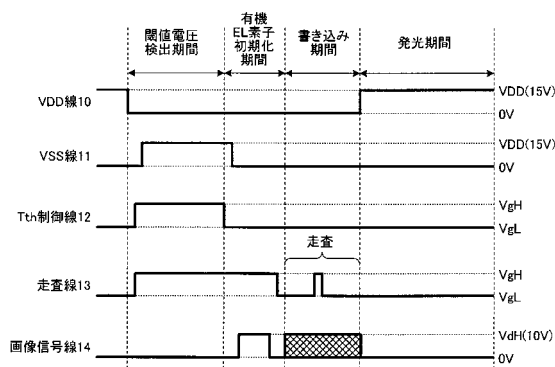
【図1】



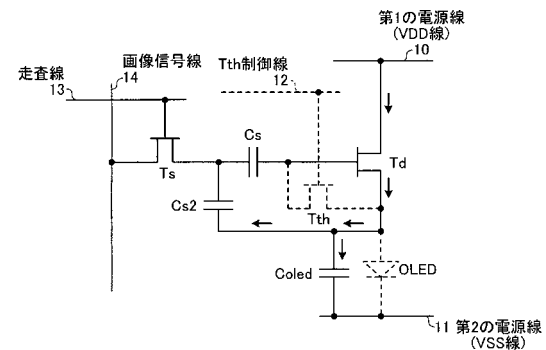
【図3】



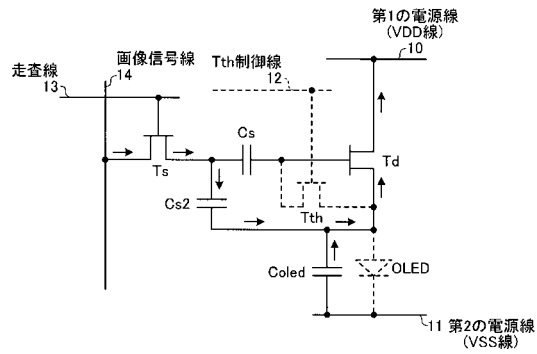
【図2】



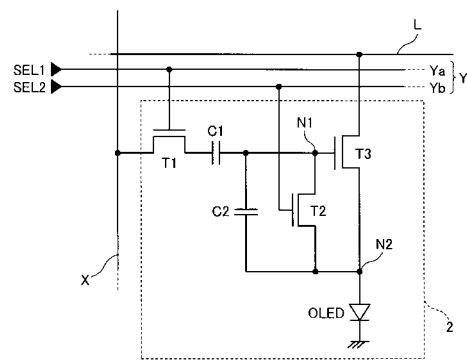
【図4】



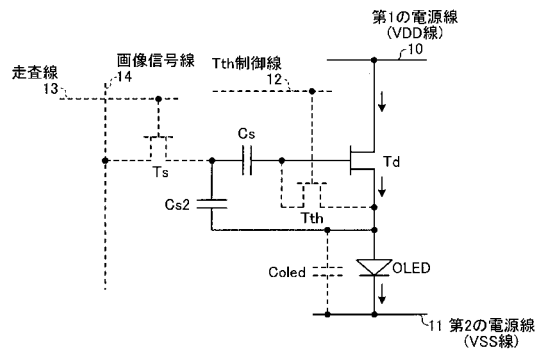
【図 5】



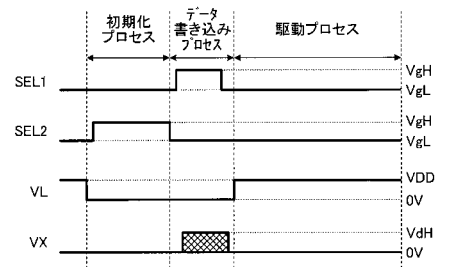
【図 7】



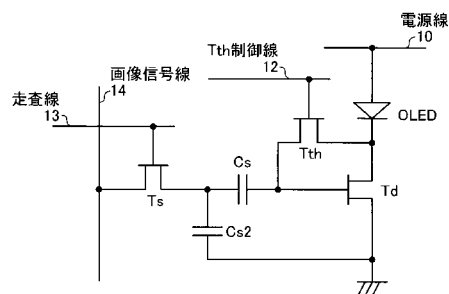
【図 6】



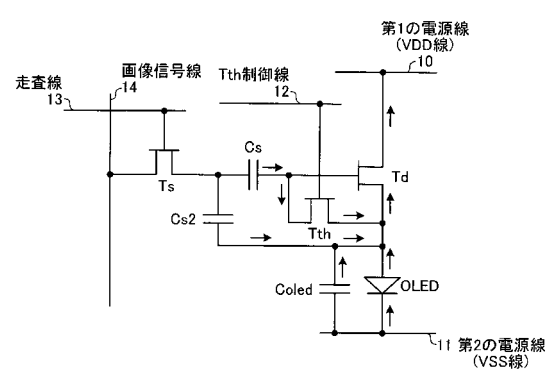
【図 8】



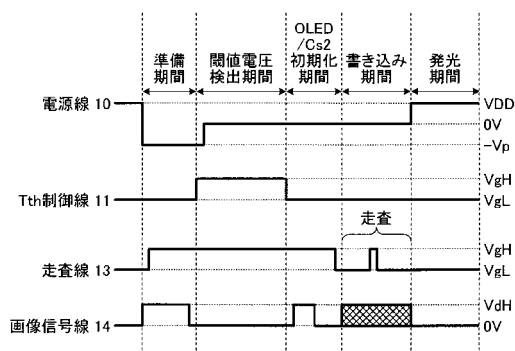
【図 9】



【図 11】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 7 0 E

H 0 5 B 33/14 A

(74)代理人 100106183

弁理士 吉澤 弘司

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 高杉 親知

神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内

審査官 西島 篤宏

(56)参考文献 特開2004-133240(JP,A)

特開2005-099247(JP,A)

特開2005-326793(JP,A)

特開2006-011435(JP,A)

特開2007-041532(JP,A)

特開2007-206273(JP,A)

特開2006-011428(JP,A)

特開2004-246204(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	图像显示装置和图像显示装置的驱动方法		
公开(公告)号	JP5028207B2	公开(公告)日	2012-09-19
申请号	JP2007255400	申请日	2007-09-28
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	高杉親知		
发明人	高杉 親知		
IPC分类号	G09G3/30 G09F9/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09F9/30.338 G09G3/20.624.B G09G3/20.641.D G09G3/20.611.J G09G3/20.611.H G09G3/20.670.E H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD09 5C080/DD10 5C080/DD28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ04 5C094/AA04 5C094/BA03 5C094/BA27 5C094/CA19 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA38 5C380/BA39 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC35 5C380/CC63 5C380/CD023 5C380/CD033 5C380/CE08 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	臼井伸一 吉泽博 ▲滨▼口 岳久		
其他公开文献	JP2009086253A		
外部链接	Espacenet		

摘要(译)

本发明提供一种共阴极型图像显示装置，其在检测阈值电压时抗寄生电容，不受前一帧的图像信号电压的影响，并且具有接近1的写入效率。
 解决方案：根据有机EL元件OLED与连接到控制端子和有机EL元件OLED的阳极的第二端子的端部之间的电位差来控制第一端子和第二端子之间流动的电流。用于控制有机EL元件OLED的发光的驱动晶体管Td，用于检测驱动晶体管Td的阈值电压的阈值电压检测晶体管Tth，用于保持驱动晶体管Td的阈值电压的第一电容Cs，以及有机EL并且，第二电容器Cs2具有用于保持与元件OLED的发光亮度对应的图像信号电压的第二电容Cs2。第二电容Cs2是有机EL元件OLED的发光时段期间的第一电容。有机EL元件OLED的阴极连接到Cs的第一电极，并且布置成与其他像素电路的公共电极。[选图]图1

【图2】

