

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4549102号
(P4549102)

(45) 発行日 平成22年9月22日 (2010. 9. 22)

(24) 登録日 平成22年7月16日 (2010. 7. 16)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 H

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 2 4 B

H 0 5 B 3 3 / 1 4 A

請求項の数 5 (全 23 頁)

(21) 出願番号 特願2004-154083 (P2004-154083)
 (22) 出願日 平成16年5月25日 (2004. 5. 25)
 (65) 公開番号 特開2005-157263 (P2005-157263A)
 (43) 公開日 平成17年6月16日 (2005. 6. 16)
 審査請求日 平成19年5月18日 (2007. 5. 18)
 (31) 優先権主張番号 特願2003-378581 (P2003-378581)
 (32) 優先日 平成15年11月7日 (2003. 11. 7)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 古河 雅行
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内

審査官 榎本 剛

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、

第1導電領域が前記選択トランジスタの第2導電領域に接続され、制御端が所定電圧の第1電源に接続された補正トランジスタと、

制御端が前記補正トランジスタの第2導電領域に接続され、第1導電領域が電流供給源としての第2電源に接続された駆動トランジスタと、

第1電極が前記駆動トランジスタの制御端に接続され、第2電極がパルス電圧ラインに接続された保持容量と、

前記駆動トランジスタに流れる電流によって動作する被駆動素子と、

を有し、

前記補正トランジスタは、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

前記保持容量は、前記補正トランジスタの前記ゲート容量値に基づいた容量値を備えることを特徴とする画素回路。

【請求項 2】

複数の画素がマトリクス状に配列された表示装置であって、

各画素は、

供給電流に応じた動作をする表示素子と、

データラインに第 1 導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

第 1 導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、

制御端が所定電圧の第 1 電源に接続され、第 1 導電領域が前記選択トランジスタの第 2 導電領域に接続され、第 2 導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、

第 1 電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第 2 導電領域に接続され、第 2 電極がパルス電圧ラインに接続された保持容量と、

を有し、

前記補正トランジスタは、

前記駆動トランジスタと同一導電型トランジスタであり、かつ、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

前記保持容量は、前記補正トランジスタの前記ゲート容量値に基づいた容量値を備え、

前記表示素子には前記駆動トランジスタがオンして流した電流に応じた電流が供給されることを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の画素回路又は表示装置において、

前記補正トランジスタは、前記選択トランジスタがオン制御されて、前記駆動トランジスタの制御端にデータラインからデータ電圧を印加する際に、オン状態となり、前記選択トランジスタがオフ制御された後に、前記パルス電圧ラインの電圧を変化させ、この電圧変化に応じて前記保持容量を介して前記駆動トランジスタの制御端電圧がシフトすることでオフして前記駆動トランジスタの制御端電圧の変化速度を変更することを特徴とする画素回路。

【請求項 4】

請求項 1 ～ 請求項 3 のいずれか一項に記載の画素回路又は表示装置において、

前記保持容量の容量値は、さらに、前記補正トランジスタの第 1 導電領域及び第 2 導電領域にそれぞれ電氣的に接続される配線の寄生容量にも基づいた容量値を備えることを特徴とする画素回路又は表示装置。

【請求項 5】

請求項 1 ～ 請求項 4 のいずれか一項に記載の画素回路又は表示装置において、

前記保持容量の容量値 C_s は、前記補正トランジスタのゲート容量を C_g 、前記補正トランジスタの第 2 導電領域に電氣的に接続される駆動トランジスタの制御端との間の配線の寄生容量を C_{w1} 、前記補正トランジスタの第 1 導電領域に接続される配線の寄生容量を C_{w2} とした場合に、

$$C_s = C_g - C_{w1} + C_{w2}$$

で示される関係を満たすことを特徴とする画素回路又は表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL 素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

【背景技術】

【0002】

従来より、発光素子として有機 EL 素子を用いた有機 EL パネルが知られており、その開発が進んでいる。この有機 EL パネルにおいては、有機 EL 素子をマトリクス状に配置

10

20

30

40

50

し、この有機ＥＬ素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ＥＬパネルでは、画素毎に表示制御用のＴＦＴを有し、このＴＦＴの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【０００３】

図１３に、アクティブマトリクスタイプの有機ＥＬパネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたｎチャンネルの選択ＴＦＴ１０を介し、駆動ＴＦＴ１２のゲートに接続されている。また、駆動ＴＦＴ１２のゲートには、他端が保持容量ラインＳＣに接続された保持容量１４の一端が接続され、駆動ＴＦＴ１２のゲート電圧を保持する。

10

【０００４】

駆動ＴＦＴ１２のソースは、ＥＬ電源ラインに接続され、ドレインは有機ＥＬ素子１６のアノードに接続され、有機ＥＬ素子１６のカソードがカソード電源に接続されている。

【０００５】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインがＨレベルとなり、その行の選択ＴＦＴ１０がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量１４に供給保持され、ゲートラインがＬレベルとなってもその時の電圧を保持する。

【０００６】

20

そして、この保持容量１４に保持された電圧に応じて、駆動ＴＦＴ１２が動作して対応する駆動電流がＥＬ電源からの有機ＥＬ素子１６を介し、カソード電源に流れ、有機ＥＬ素子１６がデータ電圧に応じて発光する。

【０００７】

そして、ゲートラインを順次Ｈレベルとして、入力されてくるビデオ信号に対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機ＥＬ素子１６がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【０００８】

【特許文献１】特表２００２－５１４３２０号公報

【発明の開示】

30

【発明が解決しようとする課題】

【０００９】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動ＴＦＴのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するＴＦＴについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【００１０】

そこで、駆動ＴＦＴにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

40

【００１１】

ここで、ＴＦＴのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献１）。

【００１２】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【００１３】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償でき

50

る画素回路を提供する。

【課題を解決するための手段】

【0014】

本発明は、画素回路において、第1導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が前記選択トランジスタの第2導電領域に接続され、制御端が所定電圧の第1電源に接続された補正トランジスタと、制御端が前記補正トランジスタの第2導電領域に接続され、第1導電領域が電流供給源としての第2電源に接続された駆動トランジスタと、第1電極が前記駆動トランジスタの制御端に接続され、第2電極がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって動作する被駆動素子と、を有し、前記補正トランジスタは、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、前記保持容量は、前記補正トランジスタの前記ゲート容量値に基づいた容量値を備える。

10

【0015】

本発明の他の態様では、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電流に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有し、前記補正トランジスタは、前記駆動トランジスタと同一導電型トランジスタであり、かつ、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、前記保持容量は、前記補正トランジスタの前記ゲート容量値に基づいた容量値を備え、前記表示素子には前記駆動トランジスタがオンして流した電流に応じた電流が供給される。

20

【0016】

本発明の他の態様において、前記補正トランジスタは、前記選択トランジスタがオン制御されて、前記駆動トランジスタの制御端にデータラインからデータ電圧を印加する際に、オン状態となり、前記選択トランジスタがオフ制御された後に、前記パルス電圧ラインの電圧を変化させ、この電圧変化に応じて前記保持容量を介して前記駆動トランジスタの制御端電圧がシフトすることでオフして前記駆動トランジスタの制御端電圧の変化速度を変更する。

30

【0017】

本発明の他の態様において、前記保持容量の容量値は、さらに、前記補正トランジスタの第1導電領域及び第2導電領域にそれぞれ電氣的に接続される配線の寄生容量にも基づいた容量値とすることが好適である。

40

【0018】

本発明の他の態様において、前記保持容量の容量値 C_s は、前記補正トランジスタのゲート容量を C_g （後述する C_{g22} 相当）、前記補正トランジスタの第2導電領域に電氣的に接続される駆動トランジスタの制御端との間の配線の寄生容量を C_{w1} 、前記補正トランジスタの第1導電領域に接続される配線の寄生容量を C_{w2} とした場合に、

$$C_s = C_g - C_{w1} + C_{w2}$$

で示される関係を満たすことが好適である。

【発明の効果】

【0019】

以上説明したように、本発明によれば、パルス電圧ラインの電圧変動により、駆動トラ

50

ンジスタがオフからオンになる際に（それに先だって）、保持容量を介して前記パルス電圧ラインに接続されている補正トランジスタのオンオフ状態が切り替わり、これにより補正トランジスタの容量値が変化する。ここで、容量値の変化とは、直接的には補正トランジスタのゲート容量値の変化であり、さらに補正トランジスタがオフすることで駆動トランジスタの制御端から電氣的に遮断される寄生容量の容量分も考えられる。また、補正トランジスタの動作しきい値に応じて、駆動トランジスタの制御端電圧がどの電圧になった際に、この補正トランジスタのオンオフが切り替わるかが決まる。よって、補正トランジスタの動作しきい値が異なればこの補正トランジスタのオンオフが切り替わる制御端電圧も異なる値となる。

【 0 0 2 0 】

10

ここで、パルス電圧ラインの変化に応じた駆動トランジスタの制御端電圧の変化は、この制御端に接続されている補正トランジスタの容量値による、つまり、補正トランジスタの容量値が変化することで、駆動トランジスタの制御端電圧の変化速度が変わる。したがって、補正トランジスタのしきい値変動に応じて、駆動トランジスタの制御端電圧の到達電圧（駆動トランジスタがオンする際の電圧）が変動することになる。

【 0 0 2 1 】

もちろん上記パルス電圧ラインと駆動トランジスタの制御端との間には制御端の電圧を保持する保持容量が接続されているので、この保持容量の容量値も、補正トランジスタの容量値だけでなく、駆動トランジスタの制御端電圧に大きな影響を及ぼす。

【 0 0 2 2 】

20

そこで、本発明では、保持容量の容量値と補正トランジスタのゲート容量値とを関連付け、駆動トランジスタのしきい値変動を相殺するように設計することで、駆動トランジスタのしきい値変動の駆動電流への影響を減少させている。特に、保持容量の容量値と補正トランジスタのゲート容量値とを関連付けて保持容量値を決定することで、パルス電圧ラインの電圧変化の際に保持容量に流れ込む電荷量を最適化でき、駆動トランジスタのしきい値変動の駆動電流への影響を効果的に減少できる。

【 0 0 2 3 】

また、補正トランジスタと駆動トランジスタとを同一導電型のトランジスタで構成することで、駆動トランジスタの特性ばらつきを補正トランジスタによって容易かつ確実に補正することが可能となる。

30

【 0 0 2 4 】

このような構成により、本発明は、被駆動素子として、例えば発光素子やその他の表示素子などを採用した場合に、駆動トランジスタの特性ばらつきに応じて被駆動素子に供給される電流量がばらつき、表示輝度など画素毎にばらつくなどを防止でき、表示品質の高い表示装置などの実現が可能となる。

【発明を実施するための最良の形態】

【 0 0 2 5 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 2 6 】

図 1 は、実施形態に係る 1 画素の画素回路の構成を示す図である。垂直（走査）方向に伸びるデータライン D L には、n チャネルの選択 T F T 2 0 の第 1 導電領域（ドレイン）が接続されている。この選択 T F T 2 0 のゲート（制御端）は水平（走査）方向に伸びるゲートライン G L に接続され、第 2 導電領域（ソース）は、p チャネルの補正 T F T 2 2 の第 1 導電領域（ソース）に接続されている。なお、この選択 T F T 2 0 は、p チャネルでもよく、p チャネルの場合には、ゲートライン G L に出力する選択信号（ゲート信号）の極性（H レベルまたは L レベル）を逆に駆動すればよい。

40

【 0 0 2 7 】

補正 T F T 2 2 の制御端（ゲート）は、電源ライン P L（電圧 P v d d）に接続され、第 2 導電領域（ドレイン）は、p チャネルの駆動 T F T 2 4 の制御端（ゲート）に接続されている。さらに、駆動 T F T 2 4 のゲートには、保持容量 2 8 の一端（第 1 電極）が接続

50

され、この保持容量 28 の他端（第 2 電極）は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン（以下容量ライン）SC に接続されている。この容量ライン SC はゲートライン GL と同様に水平方向に伸びるラインである。なお、別の電源ラインを設け、補正 TFT 22 のゲートをその別の電源ラインに接続すれば、補正 TFT 22 のオンからオフに切り替わるタイミングを任意に調整することができる。

【0028】

駆動 TFT 24 の第 1 導電領域（ソース）は、垂直方向に伸びる電源ライン PL に接続され、第 2 導電領域（ドレイン）は有機 EL 素子 26 のアノードに接続されている。また、有機 EL 素子 26 のカソードは、所定の低電圧のカソード電源 CV に接続されている。ここで、通常の場合、有機 EL 素子 26 のカソードは全画素共通になっており、このカソードがカソード電源 CV に接続されている。

10

【0029】

有機 EL パネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートラインが H レベルとなり、その行の選択 TFT 20 がオン状態になる。これによって、補正 TFT 22 のソースは、データライン DL の電位になる。

【0030】

ここで、データライン DL には、データ電圧が供給される。このデータ電圧 Vdata は、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを 3 ~ 5 V 程度で表現している。一方、電源ライン PL の電圧 Pvdv は、0 V 程度に設定される。従って、選択 TFT 20 がオンして、補正 TFT 22（ここではソース）に、データライン DL のデータ電圧 Vdata が印加されると、補正 TFT 22 はオン状態になり、データ電圧 Vdata が駆動 TFT 24 のゲート（ノード Tg24）にセットされる。すなわち、各画素へのデータ電圧 Vdata の書き込み期間には、3 ~ 5 V 程度の電圧が駆動 TFT 24 のゲートにセットされる。なお、このときに保持容量 28 の他端の容量ライン SC は、+ 8 V 程度に設定されている。

20

【0031】

このようなデータ電圧 Vdata の書き込みが終了後、容量ライン SC の電圧を例えば - 4 V に下げる。これに応じて、駆動 TFT 24 のゲートは 12 V 程度低下し、駆動 TFT 24 がオンし、データ電圧に応じた電流が、駆動 TFT 24 を介し電源ライン PL から有機 EL 素子 26 に供給され発光する。

30

【0032】

ここで、補正 TFT 22 は、容量ライン SC が + 8 V から - 4 V 程度にまで低下することで、そのドレイン（ノード Tg24）の電圧が、3 ~ 5 V から、基本的に - 9 V ~ - 7 V 程度の負電圧（後述するように、この電圧は少し異なる）になり、オン状態からオフ状態に変化する。補正 TFT 22 のこのオンからオフへの変化に応じて補正 TFT 22 のゲート容量が変化するため、その容量の変化タイミング、すなわち補正 TFT 22 のしきい値 Vth22 が、最終的な駆動 TFT 24 のゲート電位を左右する。よって、補正 TFT 22 によって駆動 TFT 24 のしきい値電圧 Vth24 のばらつきを補償することができる。

【0033】

40

ここで、駆動 TFT 24 は、電源電圧 Pvdv とゲート電圧 Vg24 の差、すなわち Vgs24 に応じてオンして対応する駆動電流を流す。この Vgs24 が、その TFT の特性で定まるしきい値電圧 Vth24 より大きくなったときに、駆動 TFT 24 は電流を流し始め、駆動電流量は、ゲート電圧 Vg24 と、しきい値電圧 Vth24 との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動 TFT 24 のしきい値電圧 Vth24 を完全に同一にすることは難しく、しきい値電圧 Vth24 が、画素位置によって多少ばらつくことは免れることができない。そして、有機 EL 素子 26 は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動 TFT 24 のしきい値電圧 Vth24 のバラツキに応じて変動することになる。本実施形態に係る構成では、補正 TFT 22 の容量変化によって、発光輝度のばらつきを補償する。

50

【 0 0 3 4 】

以下、発光輝度のばらつき補償の原理について、図 2 および図 3 を参照して説明する。図 3 は、図 2 における長丸で示した容量ライン S C の立ち下がり時の状態を拡大して示した図である。まず、図 2 に示すように、ゲートライン G L は、その行（水平ライン）が選択されているときに、アクティブ（H）レベルになる。この例では、選択 T F T 2 0 が n チャンネルであり、ゲートライン G L は、L レベル = - 4 V 程度、H レベル = 8 V 程度に設定され、選択（アクティブ）の際には、8 V に設定される。

【 0 0 3 5 】

一方、容量ライン S C の電圧 V_{sc} は、ゲートライン G L が選択される（H レベルの）期間より、若干長めの期間、H レベルとなる。すなわち、ゲートライン G L が H レベルとなる前に H レベルとなり、ゲートライン G L が L レベルとなった後に L レベルになる。

10

【 0 0 3 6 】

ゲートライン G L が H レベルの期間には、このゲートライン G L に対応する選択 T F T 2 0 および補正 T F T 2 2 がオンし、その際データライン D L に出力されているデータ電圧 V_{data} が、選択 T F T 2 0 および補正 T F T 2 2 を介してノード T g24 に印加される。即ち、駆動 T F T 2 4 のゲート電圧 V_{g24} が、データ電圧 V_{data} にセットされる。

【 0 0 3 7 】

ゲートライン G L が L レベルとなり、データ電圧 V_{data} の書き込み後、容量ライン S C の電圧が立ち下がり、これに応じてノード T g24 の電位が低下していくことでやがて補正 T F T 2 2 がオフする。駆動 T F T 2 4 のゲート電圧 V_{g24} は、容量ライン S C の低下分（この例では 8 V から - 4 V への 12 V）に応じて、データ電圧 V_{data} から所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。

20

【 0 0 3 8 】

補正 T F T 2 2 は、各画素毎に設けられており、かつその画素の駆動 T F T 2 4 に隣接して形成されており、また駆動 T F T 2 4 と同一の工程を経て作成される。特に、後述するように選択 T F T 2 0 を含め例えば駆動 T F T 2 4 及び補正トランジスタ 2 2 の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動 T F T 2 4 と補正 T F T 2 2 の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、T F T 特性を揃えることができる。また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動 T F T 2 4 と、補正 T F T 2 2 は、しきい値電圧もほぼ同一のものになる。また、補正 T F T 2 2 のゲートは、電源ライン P L（ここでは、 $P_{vdd} = 0 V$ ）に接続されているため、ノード T g24 の電圧 V_{g24} の低下に従って、オンからオフに変化する。

30

【 0 0 3 9 】

このように、容量ライン S C の立ち下がり時において、p チャンネル T F T である補正 T F T 2 2 は、オンからオフに状態が変化し、一方駆動 T F T 2 4 はオフからオンに状態が変化する。T F T は、そのゲート容量値 C_g が、オンまたはオフの状態によって変化する。したがって、駆動 T F T 2 4 のゲート電圧 V_{g24} の変化は、2 つの T F T 2 2, 2 4 のオンオフ状態の変化の影響を受ける。すなわち、T F T は、具体的には、T F T オン状態では、 C_g は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいため、電圧変化状態が容量変化の影響を受ける。

40

【 0 0 4 0 】

すなわち、補正 T F T 2 2 がオンからオフになってそのゲート容量値 C_{g22} が小さくなると、電圧 V_{g24} の低下の傾き α が大きくなる。

【 0 0 4 1 】

従って、ある画素の補正 T F T 2 2 のオン状態からオフ状態に切り替わる切り替わり電圧が、図 3 における「切り替わり電圧 A」であった場合には、ノード T g24 の電圧（ゲート電圧 V_{g24} ）は、図において実線で示したように変化する。即ち、切り替わり電圧 A に至るまでは、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V_{data} から第 1 の傾き α_1 で変化（低下）し、切り替わり電圧 A に到達後、第 2 の傾き α_2 で変化（低下）する。そ

50

して、駆動 T F T 2 4 がオンになると、第 3 の傾き α_3 で変化（低下）し、容量ライン S C の電圧が L レベルになって所定期間経過後に、電圧 V_{g24} は、補正電圧 V c A に設定される。

【 0 0 4 2 】

ここで、補正 T F T 2 2 がオンからオフに変化する切り替わり電圧は、上述のように補正 T F T 2 2 のゲート電圧である電源電圧 P v d d = 0 と、そのソース電圧の差 V_{gs22} で決まる。このため、切り替わり電圧 A、B は、電源電圧 P v d d に補正 T F T 2 2 のしきい値電圧 V_{th22} の絶対値を加算した電圧（ $P v d d + | V_{th22} |$ ）に等しい。

【 0 0 4 3 】

一方、補正 T F T 2 2 のしきい値電圧 V_{th22} が、「切り替わり電圧 A」より低い「切り替わり電圧 B」である場合、ゲート電圧 V_{g24} は、図 3 に破線で示したように変化する。即ち、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V d a t a から、切り替わり電圧 B に到達するまでは第 1 の傾き α_1 で変化（低下）し、到達後からは第 2 の傾き α_2 で変化（低下）し、駆動 T F T 2 4 がオンすると第 3 の傾き α_3 で変化（低下）し、容量ライン S C の電圧が L レベルになってから所定期間経過後に、電圧 V_{g24} は、補正電圧 V c B に設定される。

【 0 0 4 4 】

このように、ノード T g 2 4 に、最初は、同一のデータ電圧 V d a t a が供給されても、最終的な駆動 T F T 2 4 のゲート電圧 V_{g24} は、しきい値電圧が低いほど高い補正電圧 V c に設定されることになる。

【 0 0 4 5 】

上述のように、駆動 T F T 2 4 のしきい値電圧 V_{th24} は、補正 T F T 2 2 のしきい値電圧 V_{th22} に対応している。従って、駆動 T F T 2 4 のしきい値電圧 V_{th24} が、「 $V_{th24} A$ 」であれば、ゲート電圧 V_{g24} は、しきい値電圧 $V_{th24} A$ に対応する補正電圧 V c A になり、「 $V_{th24} B$ 」であれば、ゲート電圧 V_{g24} は、このしきい値電圧 $V_{th24} B$ に対応する補正電圧 V c B に設定される。この例では、しきい値電圧 V_{th24} と補正後のゲート電圧 V_{g24} との差は、しきい値電圧が $V_{th24} A$ の場合でも $V_{th24} B$ の場合でも、同一である。すなわち、補正 T F T 2 2 のサイズ、電源電圧値 P v d d、駆動 T F T 2 4 のサイズ、保持容量 2 8 の容量値 C s などの設定によって、データ電圧 V d a t a が同一であれば、駆動 T F T 2 4 のしきい値電圧 V_{th24} が画素毎に異なっても、しきい値電圧 V_{th24} とゲート電圧 V_{g24} との差を一定にすることが可能であり、駆動 T F T 2 4 のしきい値電圧 V_{th24} のバラツキの影響を排除することができる。

【 0 0 4 6 】

ここで、以上のような補償を行うためには、第 2 の傾き α_2 が、第 1 の傾き α_1 の 2 倍になるように、条件を設定することが好適である。この条件設定について図 3 に基づいて説明する。図 3 に示すように、補正 T F T 2 2 がオン状態であるとした場合は、その容量値 C_{g22} がオフ時に比べて大きいので、ゲート電圧 V_{g24} の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き α_1 は小さくなる。一方、補正 T F T 2 2 がオフ状態である場合は容量値 C_{g22} が小さく、パルス駆動電圧の変化による影響が大きいので傾き α_2 が大きい。さらに、傾き α_2 は傾き α_1 の 2 倍の大きさになるよう条件に設定しているため、パルス駆動電圧が L レベルになったときのゲート電圧 V_{g24} の減少分は、補正 T F T 2 2 がオフ状態の時のオン状態のときの 2 倍になる。

【 0 0 4 7 】

すなわち、2 つの駆動 T F T 2 4 のしきい値電圧の差 ΔV_{th24} と、2 つの補正 T F T 2 2 のしきい値電圧の差 ΔV_{th22} が等しくなるように T F T を構成し、補正 T F T 2 2 のオンからオフに変わったときの傾きを 2 倍にすることによって、 $\Delta V_{th22} = \Delta V_{th24}$ となり、2 つの補正電圧（V c A、V c B）の差 ΔV_c は、 $\Delta V_c = \Delta V_{th24}$ を満たす。

【 0 0 4 8 】

すなわち、図 3 において、

(i) 2 つの補正 T F T 2 2 の切り替わり電圧 A と B との差（ ΔV_{th22} ）、

10

20

30

40

50

(i i) 切り替わり電圧 B (切り替わりタイミングの遅い方 : ここでは低い方の電圧) と、その画素のノード $Tg24B$ が切り替わり電圧 B に到達したときに、切り替わり電圧 A の補正 $TF T 2 2$ を備える画素におけるノード $Tg24B$ の電圧 V_{g24A} との差 ($\Delta V_{th22}'$)

(i i i) 2 つの駆動 $TF T 2 4$ の切り替わり電圧の差 (ΔV_{th24})、

(i v) 補正電圧 VcA 、 VcB との差 (ΔVc)

は全て等しくなる。

【 0 0 4 9 】

なお、データ電圧 $Vdata$ として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差 ΔV_{th22} と、補正電圧差 ΔVc が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

【 0 0 5 0 】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2 倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動 $TF T 2 4$ のゲート電圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。

【 0 0 5 1 】

なお、上述のように、容量ライン SC の電圧を立ち下げる際の駆動 $TF T 2 4$ のゲート電圧変化は、特に補正 $TF T 2 2$ のゲート容量値 C_{g22} と、駆動 $TF T 2 4$ のゲート容量値 C_{g24} 、保持容量 28 の容量値 Cs 、および配線の寄生容量 Cw の影響を受ける。

【 0 0 5 2 】

上述した V_{g24} の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量 28 の容量値を Cs 、補正 $TF T 2 2$ のゲート容量を C_{g22} 、駆動 $TF T 2 4$ のゲート容量を C_{g24} 、補正 $TF T 2 2$ のしきい値電圧を V_{th22} 、駆動 $TF T 2 4$ のしきい値電圧を V_{th24} とするとともに、保持容量 28 の容量値 $Cs =$ 補正 $TF T 2 2$ のゲート容量 C_{g22} に設定する。

(i) まず、駆動 $TF T 2 4$ のゲート電圧 $V_{g24} = Vdata$ の状態から、容量ライン SC を $12V$ 下げると、ノード $Tg24$ の電圧 V_{g24} も $12V$ 下がるはずである。この変化のみを考慮した V_{g24} を V_{g24}' と表せば、

$$V_{g24}' = Vdata - 12$$

となる。

(i i) 補正 $TF T 2 2$ のゲート容量を C_{g22} とすると、この補正 $TF T 2 2$ から流れ出し、保持容量 28 に流れ込む電荷量 Q_{f22} は、

$$Q_{f22} = C_{g22} \times (Vdata - |V_{th22}|)$$

である。

【 0 0 5 3 】

ここで、本実施形態では、上述のように $C_{g22} = Cs$ であり、ノード $Tg24$ の電圧 V_{g24} は、 $(Vdata - |V_{th22}|)$ だけ上昇する。よって、この上昇分を考慮した電圧 V_{g24}'' は、

$$V_{g24}'' = 2Vdata - 12 - |V_{th22}|$$

となる。

(i i i) さらに、保持容量 28 には、駆動 $TF T 2 4$ のゲートからも電荷が流れ込む。この電荷量 Q_{f24} は、駆動 $TF T 2 4$ の最終的なゲート電圧を V_{g24} として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 C_{g24}' は、駆動 $TF T 2 4$ におけるオフ時とオン時の容量差であり、 $SPICE$ (スパイスシミュレータ) の $MEYER$ の式を用いて計算した $C_{g24}' = C_{g24} \times 2/3$ の値を用いた。

(i v) 駆動 $TF T 2 4$ のゲート電圧 V_{g24} は、電荷 Q_{f24} が保持容量 28 に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$V_{g24} = V_{g24}'' + Q_{f24} / Cs$$

10

20

30

40

50

$$= V_{g24} - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22}$$

これを書き直すと、最終 V_{g24} は、

$$(1 + C_{g24}' / C_{g22}) V_{g24} = 2V_{data} - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}|$$

となる。

【0054】

$V_{th22} = V_{th24} = V_{th}$ であれば、

$$V_{g24} = -|V_{th}| + (2V_{data} - |V_{th}|) / (1 + C_{g24}' / C_{g22})$$

となる。

【0055】

この式における右辺第二項は、レイアウト寸法による固定値なので、 V_{g24} は V_{th} 分ずれることになり、駆動 T F T 2 4 のしきい値電圧 V_{th} にずれがあってもこれを補償することができることになる。

【0056】

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧 P_{vdd} が 0 V でない場合には、その値を考慮すればよい。

【0057】

また、補正 T F T 2 2 のしきい値電圧 V_{th22} と、駆動 T F T 2 4 のしきい値 V_{th24} が異なる場合にも、駆動 T F T 2 4 のしきい値 V_{th24} だけ、そのゲート電圧 V_{g24} がずれるのが望ましい。このためには、上述の式における C_{g24}' / C_{g22} を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$ となるように T F T を形成することが好ましい。

【0058】

次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図 4 を参照して説明する。本実施形態に係る画素回路には、保持容量 C_s の他、上述の補正 T F T 2 2 のゲート容量 C_{g22} 、駆動 T F T 2 4 のゲート容量 C_{g24} や各種の寄生容量が接続されている。例えば、図 4 のように、補正 T F T 2 2 のドレインと駆動トランジスタ 2 4 のゲートとの接続点（ノード）Tg24 と電源ライン P L との間の寄生容量 C_{w1} 、補正 T F T 2 2 のソースと選択 T F T 2 0 のソースとの接続部と電源ライン P L との間の寄生容量 C_{w2} が存在する。これらの寄生容量と図 3 のノード Tg24 の電圧 V_{g24} の低下の傾き α との関係を示すと、図 3 において、データ電圧 V_{data} から切り替わり電圧（A 又は B）に到達する迄の傾き α_1 は、

$$\alpha_1 = C_s / (C_{w1} + C_{w2} + C_s + C_{g22})$$

で示することができる。これらの寄生容量（ C_{w1} 、 C_{w2} 、 C_{g22} ）の全てにそれぞれ一定の電荷が充電された状態から、保持容量 C_s に電荷が流れ込むため、ゲート電圧 V_{g24} の低下する傾き α_1 は、このような式で表される。

【0059】

次に、図 3 において、切り替わり電圧到達後、駆動 T F T 2 4 がオンするまでの期間のノード Tg24 の電圧 V_{g24} の低下の傾き α_2 は、

$$\alpha_2 = C_s / (C_s + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正 T F T 2 2 がオフとなり、そのゲート容量 C_{g22} と、そのソースと電源ライン P L との間の寄生容量 C_{w2} が、電氣的に保持容量 2 8（容量値 C_s ）から切り離されるからである。

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$ に設定されている。

従って、 $C_s = C_{g22} - C_{w1} + C_{w2}$ を満たすように保持容量 2 8 の容量 C_s を設定することで、容量ライン S C の電圧を立ち下げた際、補正 T F T 2 2 のオンからオフへの切り替わりによって、駆動 T F T 2 4 のゲート電圧 V_{g24} の降下の傾き α_2 を α_1 の 2 倍に設定することができ、駆動 T F T 2 4 のしきい値電圧変動の適切な補償を行うことができる。

【0060】

10

20

30

40

50

また、図 3 に示すように、駆動 T F T 2 4 がオンした後の傾き α_3 は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$
 で表される。

【 0 0 6 1 】

C_{g24} は、上述のように駆動 T F T 2 4 のゲート容量であり、駆動 T F T 2 4 がオンすることで、この容量 C_{g24} は保持容量 2 8 に接続され、電圧降下の傾き α_3 は、この容量 C_{g24} の影響も受けることになる。この駆動 T F T 2 4 がオンするタイミング t_{on24} は、上述のように駆動 T F T 2 4 の切り替わり電圧、即ちそのしきい値電圧 V_{th24} によらず、各画素で同時である。具体的には、各補正 T F T 2 2 がそのしきい値 V_{th22} のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧 V_{g24} が、電源電圧 P_{vdd} からそれぞれの V_{th24} に応じた分だけ低い電圧に同時に到達したタイミングである。

10

【 0 0 6 2 】

次に、このような画素回路を備える画素のレイアウトについて、図 5 及び図 6 を参照して説明する。図 5 は、1 画素における概略平面構造、図 6 (a) 及び (b) は、図 5 の A - A 線、B - B 線に沿った概略断面構造をそれぞれ示す。

【 0 0 6 3 】

ガラスなどの透明な絶縁基板 1 0 0 の上にはバッファ層 1 0 2 が形成されており、その上に形成され、かつ多結晶シリコンからなる各 T F T の能動層、及び容量電極を構成する半導体層 (1 2 0 、 1 2 4 、 2 8 e) は、図 5 において、破線で示している。また、図 5 において、上記半導体層よりも上方に形成され、C r などの高融点金属材料が用いられたゲートライン G L、容量ライン S C 及び補正 T F T 2 2 のゲート電極 2 2 g、駆動 T F T 2 4 のゲート電極 2 4 g は、一点鎖線で示す。また、半導体層や上記 G L、S C よりも上方に形成され、A l などの低抵抗金属材料が用いられたデータライン D L、電源ライン P L、これらと同一層の金属配線 2 4 w は、実線で示している。

20

【 0 0 6 4 】

図 5 に示すレイアウトでは、各画素は、表示装置の水平 (H) 方向に沿って形成されるゲートライン G L の行間と、概ね表示装置の垂直 (V) 方向に沿って形成されるデータライン D L の行間との位置に構成されている。また、電源ライン P L は、データライン D L とほぼ並んで垂直方向 (マトリクスの列方向) に形成されており、各画素領域内では、データライン D L とこのデータライン D L に接続される画素の有機 E L 素子 2 6 との間を通っている。そして、後述するように選択 T F T 2 0、補正 T F T 2 2 及び保持容量 2 8 はデータライン D L と電源ライン P L との間、駆動 T F T と有機 E L 素子 2 6 は、電源ライン P L と隣の列のデータライン D L との間に配置されている。

30

【 0 0 6 5 】

選択 T F T 2 0 は、ゲートライン G L とデータライン D L との交点付近に形成されている。ゲートライン G L からは、画素領域に向かって突出部が形成され、間にゲート絶縁膜 1 0 4 を挟んで、ゲートライン G L に沿って延びる半導体層 1 2 0 の一部分を横切るように覆っている。このゲートライン G L からの突出部が T F T 2 0 のゲート電極 2 0 g となり、半導体層 1 2 0 のこのゲート電極 2 0 g に覆われた領域がチャンネル領域になっている。

40

【 0 0 6 6 】

選択 T F T 2 0 に接続されている補正 T F T 2 2 は、データライン D L と電源ライン P L とに挟まれた領域にそのチャンネル長方向がデータライン D L の延在方向 (垂直方向) に沿うように配置されている。また、この補正 T F T 2 2 の能動層は、データライン D L と一部が重なるようにデータライン D L の下層に形成されている。この補正 T F T 2 2 と次行のゲートライン G L に近接して配置された容量ライン S C との間には、より具体的には該容量ライン S C に沿って、保持容量 2 8 が配置されている。また駆動 T F T 2 4 が、電源ライン P L を挟んで補正 T F T 2 2 の形成領域と反対側の領域 (有機 E L 素子領域 2 6 側) に配置されており、その能動層を構成する半導体層 1 2 4 の少なくともチャンネル領域

50

24cは、補正TF T 22のチャネル領域22cとできるだけ近接して配置されるようにレイアウトされている。

【0067】

ここで、本実施形態において、選択TF T 20の能動層と、補正TF T 22の能動層及び保持容量28の容量電極28eは、単一の半導体層120によって一体的に形成されている（もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い）。

【0068】

選択TF T 20の形成領域では、データラインDLと半導体層120とは、ゲート絶縁膜104及び層間絶縁膜106を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層120は、データラインDLの下層領域（データラインDLとのコンタクト領域）からゲートラインGLに沿って電源ラインPLと重なる位置まで延び、重なった位置から電源ラインPLの下層を電源ラインPLの延在方向に沿って垂直方向に延びる。さらに、この半導体層120は、補正TF T 22のゲート電極22gと電源ラインPLとのコンタクト付近の手前で、電源ラインPLの下層位置からゲートラインGLの延在方向に平行な方向に曲がり、データラインDLに向かって延びる。

10

【0069】

なお、選択TF T 20の形成領域では、半導体層120は、データラインDLと接続された不純物注入領域が第1導電領域（例えばドレイン領域20d）となり、ゲート電極20gと重なり不純物の注入されない真性領域がチャネル領域20cを構成し、このチャネル領域20cを挟んだ反対側に、第1導電領域と同じ導電型の不純物が注入された第2導電領域（例えばソース領域20s）が構成されている。

20

【0070】

電源ラインPLの下層からデータラインDLに向かって延びた半導体層120は、データラインDLと再び交差する付近（選択TF T 20の第1導電領域20d付近）でデータラインDLの延在方向に曲がり、少なくとも一部が電源ラインPLの形成領域に重なりながら（この例ではデータラインDLとも一部重なっている）、データラインDLと電源ラインPLとの間の領域を容量ラインSCの形成領域まで垂直方向に延在している。

【0071】

また、半導体層120がデータラインDLに沿って配置された領域は、補正TF T 22の能動層を構成しており、この能動層のゲート絶縁膜104を挟んだ上方には、補正TF T 22のゲート電極22gが配置され、このゲート電極22gは、層間絶縁膜106に形成されたコンタクトホールを介して電源ラインPLに接続されている。このゲート電極22gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって延び、半導体層120（補正TF T 22の能動層）と重なる位置で曲がり、データラインDLの延在方向に延び、半導体層120の上層を覆い、かつデータラインDL及び電源ラインPLと一部重なるようにこれらの下層に形成されている。

30

【0072】

半導体層120のゲート電極22gに覆われた領域は、補正TF T 22の不純物のドーピングされていないチャネル領域22cとなり、チャネル領域22cを挟んで選択TF T 20側には該選択TF T 20とは異なる導電型の不純物が注入された第1導電領域（ここでは例えばソース領域22s）が形成され、容量ラインSC側には第1導電領域22sと同一の不純物の注入された第2導電領域（ここではドレイン領域22d）が形成されている。なお、データラインDL及び電源ラインPLとこの補正TF T 22の少なくともチャネル領域22cをこれらのラインと一部重ねてそれらの下層に形成することで、補正TF T 22をデータラインDLと電源ラインPLの間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極22gがそのチャネル領域22cとデータラインDL及び電源ラインPLとの層間に配置することでチャネル領域22cがデータラインDLから電氣的にシールドされており、補正TF T 22の動作がデータラインDLに印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正TF T 22の

40

50

ゲート電極 22 g は電源ライン P L に接続されているので、この補正 T F T 22 の能動層、特にチャネル領域 22 c が電源ライン P L と重なるように配置されても、チャネル領域 22 c に対して印加される電圧はゲート電極 22 g に覆われるのと実質的に変わらない。よって、補正 T F T 22 の能動層の大半の領域を電源ライン P L の下層に形成することも可能であり、このような配置とすれば、1 画素内での開口率、つまり発光に寄与する有機 E L 素子 26 の形成面積を最大限大きくすることが可能となる。

【0073】

半導体層 120 は、補正 T F T 22 の第 2 導電性領域の形成領域から容量ライン S C に向かって延び、容量ライン S C と交差する位置で曲がり、容量ライン S C の延在方向である水平方向に、この容量ライン S C と、間にゲート絶縁膜 104 を挟んで重なるようにパターニングされ、半導体層 120 の容量ライン S C と重なる領域が容量電極（第 1 電極）28 e として機能し、容量ライン S C（第 2 電極）と、この容量電極 28 e とが、間にゲート絶縁膜 104 を挟んで対向配置される領域が保持容量 28 となっている。

10

【0074】

補正 T F T 22 の第 2 導電領域 22 d と保持容量 28 の容量電極 28 e との間には、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールを介して金属配線 24 w が接続されている。この金属配線 24 w は、容量ライン S C の延在方向に沿って形成され、層間絶縁膜 106 に形成されたコンタクトホールにおいて、駆動 T F T 24 のゲート電極 24 g と接続されている。

【0075】

20

駆動 T F T 24 のゲート電極 24 g は、金属配線 24 w とのコンタクト領域から自行のゲートライン G L の形成方向（図では上方向）に向かって延び、途中で電源ライン P L の下層を横切り、電源ライン P L の有機 E L 素子 26 側にこの電源ライン P L の延在方向に沿って形成されている。

【0076】

ここで、電源ライン P L は、補正 T F T 22 のゲート電極 22 g とのコンタクト領域付近からデータライン D L に近づくように曲がり、上記金属配線 24 w の近くでは、その形成領域を迂回するよう有機 E L 素子 26 側に曲がり、駆動 T F T 24 の能動層を構成する半導体層 124 とのコンタクト付近からは次行の画素に向かって垂直方向に延びている。そして、駆動 T F T 24 は、電源ライン P L がデータライン D L 側に近づくことで有機 E L 素子 26 との間に形成されたスペースに形成されている。

30

【0077】

駆動 T F T 24 の能動層を構成する半導体層 124 には、上方がゲート電極 24 g に覆われた領域にチャネル領域 24 c が形成され、電源ライン P L との接続側には第 1 導電領域（ここではソース領域 24 s）が形成され、さらに、有機 E L 素子 26 との接続側に第 2 導電領域（ここではドレイン領域 24 d）が形成されている。チャネル領域 24 c は、不純物のドーピングされない真性領域で、その両側に形成される第 1 及び第 2 導電領域（24 s 及び 24 d）には、上記補正 T F T 22 と同一の導電型の不純物がドーピングされている。なお、駆動 T F T 24 の第 1 導電領域 24 s は、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールにおいて、電源ライン P L と接続されている。また駆動 T F T 24 の第 2 導電領域 24 d は、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールにおいて、例えば上記電源ライン P L などと同一材料からなる接続電極 24 e と接続されている。

40

【0078】

また、図 6（a）、（b）に示すように、データライン D L、電源ライン P L 上記金属配線 24 w、接続電極 24 e を覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層 108 が形成されている。そして、この平坦化絶縁層 108 には、上記駆動 T F T 24 に接続された接続電極 24 e の形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層 108 の上に形成された有機 E L 素子 26 の第 1 電極 26 2（ここでは陽極）と、接続電極 24 e とが接続されて

50

いる。なお、接続電極 24e を設けない場合には、駆動 TFT 24 の第 2 導電領域 24d の形成領域において平坦化絶縁層 108 及び層間絶縁膜 106 及びゲート絶縁膜 104 を貫通するコンタクトホールを形成し、有機 EL 素子 26 の第 1 電極 262 と第 2 導電領域 24d とを直接接続する。

【0079】

図 6 (b) に示すように、有機 EL 素子 26 は、基板側に形成され、駆動 TFT 24 に接続される画素毎に個別パターンの第 1 電極 262 と、第 2 電極 264 との間に、発光素子層 270 を備える。第 1 電極 262 は例えば ITO (Indium Tin Oxide) 等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極 (正孔注入電極) として機能する。第 2 電極 264 は、例えば Al や Ag 等の仕事関数の小さい金属材料や、そのような金属材料と上記 ITO などとの積層構造によって構成でき、ここでは陰極 (電子注入電極) として機能する。なお、画素毎に個別パターンに形成された第 1 電極 262 のエッジ部分を、平坦化絶縁層 108 のさらに上層に形成された第 2 平坦化絶縁層 110 によって覆い、非常に薄く形成される発光素子層 270 の上に形成される第 2 電極 264 とこの第 1 電極 262 とが短絡することを防止している。

【0080】

発光素子層 270 は、この例では正孔輸送層 272、発光層 274、電子輸送層 276 の 3 層構造である。3 層構造には限らず、用いる有機材料などにより、発光機能を備えた単独層でも、2 層でも、また 4 層以上の積層構造であっても良い。発光素子層 270 として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図 6 (b) に示すように、発光層 274 のみを第 1 電極 262 と同様の画素毎に個別パターンとしても良い。

【0081】

このような構成の有機 EL 素子 26 は、本実施形態においては、電源ライン PL から駆動 TFT 24 を介して第 1 電極 262 に供給される電流が、第 2 電極 264 との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第 1 電極 262 から注入される正孔と第 2 電極 264 から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、ここでは、透明な第 1 電極 262 及び基板 100 を透過して基板から外部に射出され、視認される。

【0082】

本実施形態においては、上述のように電源ライン PL を挟んで上記補正 TFT 22 と駆動 TFT 24 が、できるだけ近接して配置されるようにレイアウトされている。特に、補正 TFT 22 のチャネル領域 22c と、駆動 TFT 24 のチャネル領域 24c は、そのチャネル領域の少なくとも一部が垂直方向において互いに並ぶように形成されている。

【0083】

本実施形態において画素内に形成される各 TFT の能動層は、プラズマ CVD などによって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ (図 5 参照) を、その長手方向が水平方向に一致するように設定し、その幅方向に所定ピッチずつらしながら順次照することで多結晶化アニールして得た低温多結晶シリコン (LTPS) 層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータライン DL 等の延在方向である垂直方向に一致させる。図 5 に示すように、補正 TFT 22 と駆動 TFT 24 の各チャネル領域 22c、24c は、そのチャネル長方向がデータライン DL 等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正 TFT 22 及び駆動 TFT 24 のチャネル長よりも小さくすることにより、いずれのチャネル領域 22c、24c に対してもそのチャネル長方向において、チャネルを横切るように (チャネル幅方向に) 必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャネル領域 22c、24c についても複数のレーザビームが照射されるので、全チャネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

また、いわゆるレーザアニールによって形成された多結晶シリコン層をTFTの能動層に用いる場合に、同一のパルスレーザビームを補正TFT22及び駆動TFT24のチャネル領域22c、24cとなる領域に同時に照射するように、チャネル領域22c、24cとを近接配置することで、TFT特性（特にしきい値）に大きな影響を与える多結晶化状態を両TFTで等しくすることが容易となる。

【0084】

ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、長手方向が10cm～30cmの長さで、そのパルス幅は300μm程度である。そして、このような大きさのパルスレーザの走査ピッチは、例えば25μm程度、つまり、25μmずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TFT22のチャネル領域22cと駆動TFT24のチャネル領域24cを、単に近接配置されるだけでなく、垂直方向に交差する方向に引いた同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを各チャネル領域22c、24cに照射することが可能となる。さらに、補正TFT22及び駆動TFT24のいずれも、そのチャネル長が少なくとも30μm以上、より好ましくは40μm以上に設定することで、チャネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直方向に沿って走査することで、確実に少なくとも1つ以上の同一のパルスレーザを2つのTFTのチャネル領域22c、24cに照射することができる。

【0085】

さらに、同一導電型の不純物は、各ゲート電極22g、24gをマスクとして半導体層120及び124に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正TFT22と駆動TFT24の特性を等しくすることを可能としている。

【0086】

画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平方向の片側領域（図5の画素では左側にデータラインDL及び電源ラインとTFT20、22、24等の回路素子が配置され、残りの片側（図5の画素では右側）に有機EL素子26が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機EL素子26をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TFT20、22、24、保持容量28等の面積やレイアウトを変更することなく、有機EL素子26の面積のみの変更が容易であり、設計効率の向上が図れている。

【0087】

なお、図5に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平方向にずれたいわゆるデルタ配列が採用されており、一本のデータラインDLが、同色画素にデータ信号Vdataを供給する場合には、図5に示すようにデータラインDLは、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配置される同色画素の選択TFT20に接続されることとなる。このようなレイアウトが採用されていることにより、図5に示す画素の次の行の画素では、上記有機EL素子26は、図5とは逆に画素の左側、TFT20、22、24等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機EL素子と、これを制御するためのTFT等の位置関係は左右反転しない。

【0088】

ここで、本実施形態の補正TFT22は、図5に示すように半導体層で構成されるチャネル領域22cの幅（チャネル幅）がそのチャネル長方向で変化している。具体的には、図5においては、選択TFT20に近い方（図の上側）で幅が広く、保持容量28及び駆動TFT24との接続側（図の下側）で幅が狭くなっている。このように補正TFT22のチャネル幅がそのチャネル長方向において少なくとも他と異なる部分を設けることで、

10

20

30

40

50

補正TF T 2 2の配置の自由度を大きくできる。なお、補正TF T 2 2の特性としては、最も狭いチャネル幅を基準に考えることができる。このように補正TF T 2 2の配置自由度が高まることで、他の回路素子である駆動TF T 2 4のゲート電極2 4 gのレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体層の幅（チャネル幅方向）を変更することが好適であり、他の選択TF T 2 0、駆動TF T 2 4等のチャネル幅を変更してより配置の自由度を高めることも可能である。

【0089】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機EL素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機EL素子以外の回路素子と、周辺ドライバ回路とを形成し、その後、それらの回路素子の上方に有機EL素子を形成し、さらに素子側から封止基板をガラス基板100に被せて接着することで有機ELパネルが得られる。なお、実施形態の画素回路は、このような有機ELパネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路（TF T）が形成される場合に適用することで同様の効果を得ることができる。

【0090】

次に、本実施形態では、選択TF T 2 0、補正TF T 2 2は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いたTF Tに多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正TF T 2 2、選択TF T 2 0がオフの時にこれらTF Tを介し、データラインDLに向けて流れる電流であり、これらTF Tをマルチゲート化することで、リーク電流を抑制することができる。図7に示すように補正TF T 2 2のみをマルチゲート化してもよいし、選択TF T 2 0のみをマルチゲート化してもよい。もちろん図9に示すように両方をマルチゲート化してもよい。

【0091】

図7は、補正TF T 2 2をマルチゲート化した場合の等価回路を示し、図8はこの等価回路を実現するレイアウトの一例を示す平面図である。図7の例では、補正TF T 2 2としては、いわゆるダブルゲート構造が採用されている。具体的には、ノードTg24と選択TF T 2 0との間に、ノードTg24にドレインが接続された第1補正TF T 2 2 - 1と、この第1補正TF T 2 2 - 1と選択TF T 2 0との間に設けられた第2補正TF T 2 2 - 2の2つが設けられている。第1及び第2補正TF T 2 2 - 1、2 2 - 2のゲートは、共に電源ラインPLに接続され、第1及び第2補正TF T 2 2 - 1、2 2 - 2のソースドレインは、選択TF T 2 0とノードTg24との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動TF T 2 4と選択TF T 2 0との間のオフリーク耐性が高まり、保持容量28に保持される駆動TF T 2 4のゲート電圧 V_{g24} がデータラインDLにリークして適正な値から変動してしまうことを効果的に防止することができる。

【0092】

具体的に説明すると、補正TF T 2 2を分割することで、第1及び第2補正TF T 2 2 - 1と、2 2 - 2の接続点に、選択TF T 2 0のソース側の電圧 V_{s20} （補正TF T 2 2 - 2のソース電圧 V_{d22-2} ）と、ノードTg24の電圧 V_{g24} とが分圧されて、その間の値の電圧 V_m が第1補正TF T 2 2 - 1のソース電圧となる。TF Tのオフリーク電流は、TF Tのドレインソース間電圧 V_{ds} が1 V低くなると約1桁低減する。従って、補正TF T 2 2を分割することで、ノードTg24にドレインの接続される第1補正TF T 2 2 - 1のドレインソース間電圧 V_{ds} を小さくできオフリーク電流が低減される。

【0093】

なお、図7のように、補正TF T 2 2をマルチゲート化した場合において、駆動TF T 2 4のゲートにその導電領域（ここではドレイン）が接続される第1補正TF T 2 2 - 1のチャネル領域のサイズは、他方の例えば第2補正TF T 2 2 - 2のチャネル領域のサイ

10

20

30

40

50

ズと同一とする必要はない。

【 0 0 9 4 】

例えば、第 1 補正 T F T 2 2 - 1 のチャンネル領域のサイズを第 2 補正 T F T 2 2 - 2 のチャンネル領域のサイズよりも小さくすることにより、第 1 補正 T F T 2 2 - 1 のゲート容量 C g22-1 を小さくできる。補正 T F T 2 2 のオフ時に、そのゲート容量 C g22 から保持容量 2 8 に流れ込む電荷量が多いと、ノード T g24 の電位が長時間にわたって高く維持され、容量ライン S C の立ち下げに追従した電圧低下速度が遅くなる。よって、第 1 補正 T F T 2 2 のチャンネルサイズを小さくすることで、オフ時において、保持容量 2 8 に流れ込む第 1 補正 T F T 2 2 - 1 のゲート容量 C g22-1 からの電荷量を少なくし、ノード T g24 の電圧を速く低下させることができる。この場合、第 1 補正 T F T 2 2 - 1 のチャンネル領域のチャンネル長を L 1、チャンネル幅を W 1、第 2 補正 T F T 2 2 - 2 のチャンネル領域のチャンネル長を L 2、チャンネル幅を W 2 とすると、 $W 1 \times L 1 < W 2 \times L 2$ を満たすことが好ましい。

10

【 0 0 9 5 】

第 1 補正 T F T 2 2 - 1 のチャンネル長 L 1 は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャンネル幅 W 1 は、レイアウトの制約から許される範囲でできるだけ大きくする。第 2 補正 T F T 2 2 - 2 のチャンネル長 L 2 は、長い方が、この第 2 補正 T F T 2 2 - 2 のゲート容量 C g22-2 からノード T g24 への電荷の流出を遅くすることができるが、そうすると T F T のオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、 $L 2 / W 2$ の値が小さくなるように、つまり、L 2 を長くした分、幅 W 2 を大きくすることが好適である。従って、この観点からも上記 $W 1 \times L 1 < W 2 \times L 2$ を満たすことが好適である。

20

【 0 0 9 6 】

図 8 は、上記のように補正 T F T 2 2 をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図 8 の例においても、選択 T F T 2 0 の能動層と補正 T F T 2 2 の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第 1 補正 T F T 2 2 - 1、2 2 - 2 の能動層を構成する半導体層には図中 1 2 2 の符号を付している。この半導体層 1 2 2 は、上述の図 5 のレイアウトと同様に、データライン D L に沿って隣接行方向に向かって（図では下方）延びている。

【 0 0 9 7 】

補正 T F T 2 2 - 1、2 2 - 2 のゲート電極 2 2 g (2 2 g 1、2 2 g 2) は、共通で、電源ライン P L の下層領域で該電源ライン P L と接続されている。そして、このゲート電極 2 2 g は、電源ライン P L とのコンタクト位置からデータライン D L に向かって水平方向に延び、能動層 1 2 2 の上方を横切る領域が第 2 補正 T F T 2 2 - 2 のゲート電極 2 2 g 2 となり、ここから更にデータライン D L の形成領域まで延び、データライン D L を横切った直後に折り返してデータライン P L の下をくぐる。データライン D L をくぐった付近でゲート電極 2 2 g は再び能動層 1 2 2 の上方を覆うようにデータライン D L の延在方向に沿って次行の画素方向に向かって延び、ここで能動層 1 2 2 と重なる領域が第 1 補正 T F T 2 2 - 1 のゲート電極 2 2 g 1 となる。なお、この第 1 補正 T F T 2 2 - 1 のゲート電極 2 2 g 1 は電源ライン P L と、能動層 1 2 2 との層間に形成され、能動層 1 2 2 をその上方に形成されている電源ライン P L 及びデータライン D L から電氣的に遮蔽している。

30

40

【 0 0 9 8 】

このようにゲート電極 2 2 g を U 字型に折り返すパターンとすることでデータライン D L に沿って垂直方向に延びる半導体層 1 2 2 の上方を例えば 2 カ所で覆うことで、ゲート電極 2 2 g にそれぞれ覆われた位置にそれぞれチャンネル領域 2 2 c 2、2 2 c 1 を形成することができる。半導体層 1 2 2 は、第 2 補正 T F T 2 2 - 2 の選択 T F T 2 0 のソース領域 2 0 s との接続側から順にソース領域 2 2 s 2、チャンネル領域 2 2 c 2 (ゲート電極 2 2 g 2 の下層領域)、第 2 補正 T F T 2 2 - 2 のドレイン領域 2 2 d 2 及び第 1 補正 T F T 2 2 - 1 のソース領域 2 2 s 1、チャンネル領域 2 2 c 1 (ゲート電極 2 2 g 1 の下層

50

）、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1が形成されている。そして、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1は、保持容量2 8の容量電極2 8 eと接続され（同一半導体層）、また金属配線2 4 eを介して駆動TF T 2 4のゲート電極2 4 gと接続されている。

【0099】

図8に示すようなレイアウトを採用すれば、補正TF T 2 2をマルチゲート化（ここではダブルゲート化）しても、その設置面積の増大を極力抑えることができる。

【0100】

図9は、補正TF T 2 2だけでなく上述の選択TF T 2 0についてもマルチゲート化した場合の回路構成例を示す。また、図10は、図9のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図9の例では、選択TF TをデータラインDLに対して直列接続された2つの選択TF T 2 0 - 1, 2 0 - 2より構成している。なお、2つの選択TF T 2 0 - 1, 2 0 - 2のゲートは、共にゲートラインGLに接続されている。

【0101】

選択TF T 2 0をマルチゲート化するためには、図5等にも示すような選択TF T 2 0をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図10にも示すように、選択TF T 2 0の能動層を構成する半導体層1 2 0は、選択TF T 2 0の形成領域付近において、データラインDLから電源ラインPLで折り返すようなU字型（コ字型）の形状となっている。従って、ゲートラインGLから突出形成されるゲート電極2 0 gのパターンを、図10に点線で示すようにさらに延長し、電源ラインPLから折り返した半導体層1 2 0の上層に重なるようにすればよい。このようにゲート電極2 0 gを延ばし、U字型に折り返す半導体層1 2 0のゲートラインGLとの近接側と、折り返し側の2カ所にゲート電極2 0 g 1, 2 0 g 2を形成し、それぞれの下層にチャネル領域2 0 c 1, 2 0 c 2を形成することで、電気的にはデータラインDLにその能動層が直列接続したダブルゲート型の選択TF T 2 0を容易に形成することができる。また、図10にさらに示すように、ゲート電極2 0 gの途中から更に水平方向に突出部を設け、能動層のU字底辺部分の上層をこの突出部が覆うようにすることでさらに3つの能動層がデータラインDLに直列接続されたトリプルゲート型の選択TF T 2 0を得ることもできる。

【0102】

図11は、選択TF T 2 2のマルチゲート（ダブルゲート）化の別のレイアウト例を示す。図11のレイアウトでは、水平方向に延びるゲートラインGLから、データラインDLとのコンタクト領域からこのゲートラインGLに沿って水平方向に配置された半導体層1 2 0に向かって、2つのゲート電極2 0 - 1 g, 2 0 - 2 gが並んで突出形成されている。この例では、マルチゲートの選択TF T 2 0のチャネル領域2 0 c 1, 2 0 c 2は、ゲートラインGLの延在方向である水平方向に並んで配置されている。

【0103】

以上図9及び図10又は図11に示すように、補正TF T 2 2だけでなく、選択TF T 2 0もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

【0104】

図12には、更に別の回路構成例が示されている。図12に示す1画素あたりの等価回路構成では、データラインDLに一端（第1導電領域：例えばドレイン）が接続された選択TF T 2 0の他端（第2導電領域：例えばソース）と、前記補正TF T 2 2の第1導電領域（例えばソース）との間に、ゲートが容量ラインSCに接続されたリーク電流抑止TF T 3 0をさらに備えている。このリーク電流抑止TF T 3 0は、nチャネル型であり、補正TF T 2 2とは、逆極性となっている。

【0105】

このリーク電流抑止TF T 3 0は、容量ラインSCがHレベルの時にオンし、Lレベル

10

20

30

40

50

の時にオフする。従って、ゲートライン G L が H レベルの期間はオンしており、データライン D L のデータ電圧 V_{data} を駆動 T F T 2 4 のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ライン S C が L レベルに下がるためオフする。即ち、容量ライン S C が立ち下がり、駆動 T F T 2 4 のゲート電位が低電圧となった場合において、このリーク電流抑止 T F T 3 0 はオフ状態を維持し、このときのデータライン D L から駆動 T F T 2 4 のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝度の均一をさらに向上することが可能となる。なお、図 1 2 に示す構成において、さらに補正 T F T 2 2 をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正 T F T をマルチゲート化するかどうかを決定することが好適である。

10

【図面の簡単な説明】

【0106】

【図 1】本発明の実施形態に係る画素回路の構成を示す図である。

【図 2】本発明の実施形態に係るゲートライン G L、容量ライン S C に印加される信号のタイミングを示す図である。

【図 3】本発明の実施形態に係るゲート電圧 V_{g24} の変化状態を示す図である。

【図 4】本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

【図 5】本発明の実施形態に係る画素の平面構成の一例を示す図である。

20

【図 6】図 5 の A - A 線及び B - B 線に沿った概略断面構成図である。

【図 7】本発明の実施形態に係る補正 T F T をマルチゲート化した場合の 1 画素あたりの等価回路を示す図である。

【図 8】図 7 に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

【図 9】本発明の実施形態に係る選択 T F T 及び補正 T F T の両方をマルチゲート化した場合の等価回路を示す図である。

【図 10】図 9 に示す等価回路を実現するレイアウトの一例を示す図である。

【図 11】図 10 に示すレイアウトの他の例を示す図である。

【図 12】本発明の実施形態に係る更に別の回路構成例を示す図である。

【図 13】従来の画素回路の構成を示す図である。

30

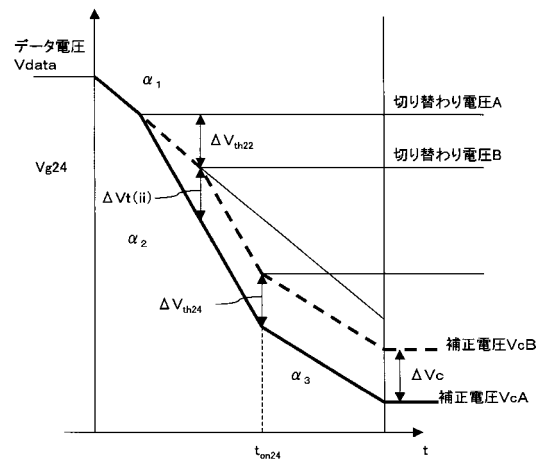
【符号の説明】

【0107】

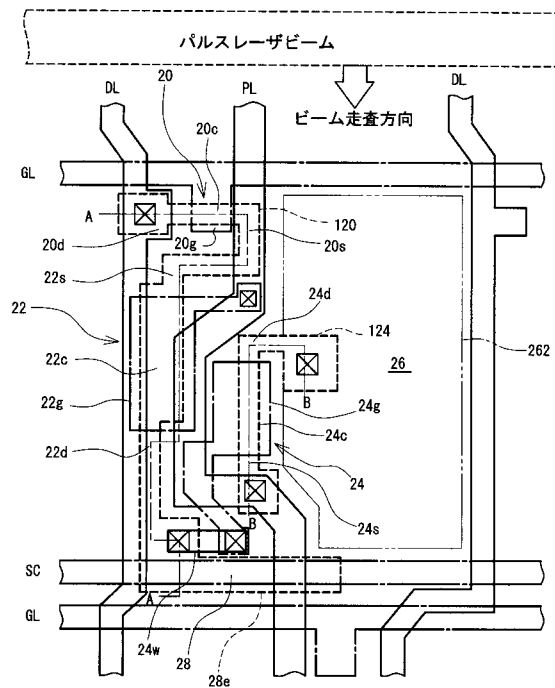
20 選択 T F T、20g (20g1, 20g2) ゲート電極、22 補正 T F T、
22-1 第1補正 T F T、22-2 第2補正 T F T、22g (22g1, 22g2)
ゲート電極、24 駆動 T F T、20c、22c、24c チャンネル領域、20d、
22d、24d ドレイン領域、20s、22s、24s ソース領域、24w 金属配線、
26 有機 E L 素子、28 保持容量、28e 容量電極 (第1電極)、30 リーク
電流抑止 T F T、100 透明基板、102 バッファ層、104 ゲート絶縁層、10
6 層間絶縁層、108 平坦化絶縁層、110 第2平坦化絶縁層、262 第1電極
(陽極)、264 第2電極 (陰極)、270 発光素子層。

40

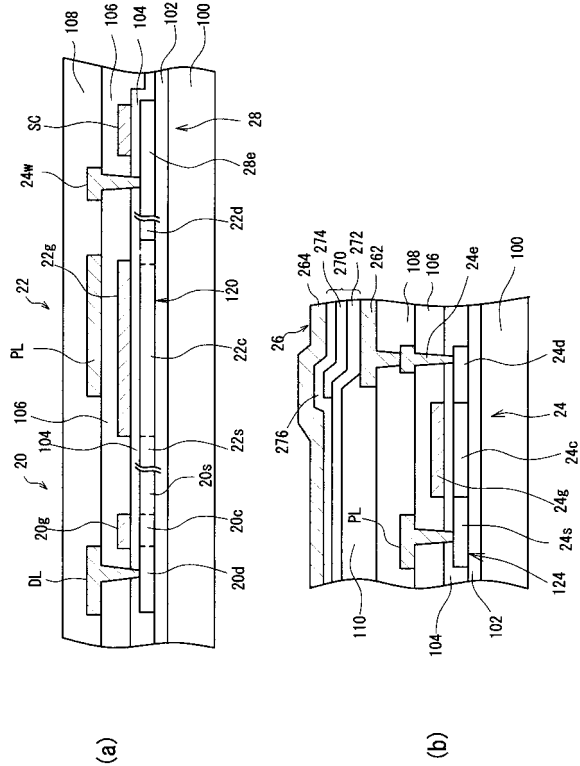
【 図 3 】



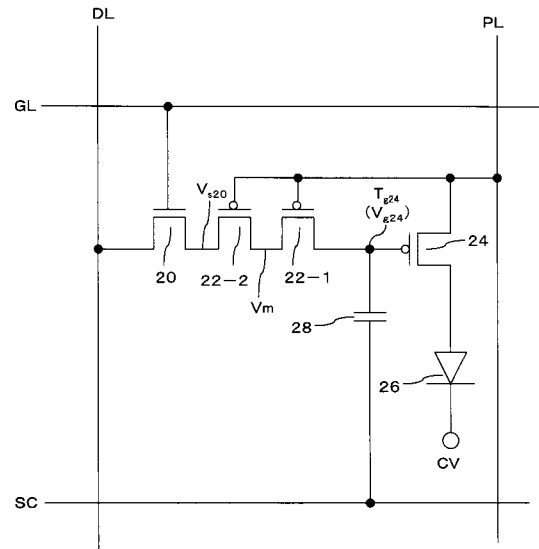
【圖 5】



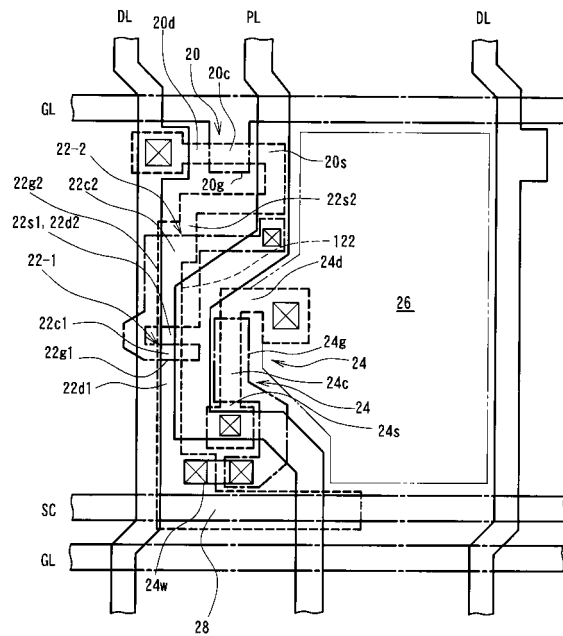
【 図 6 】



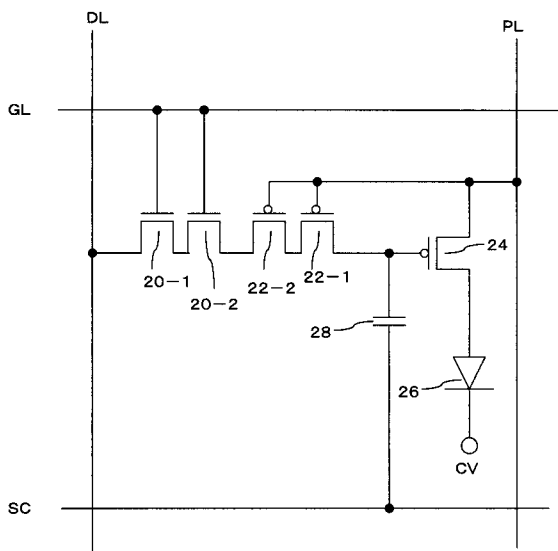
【圖 7】



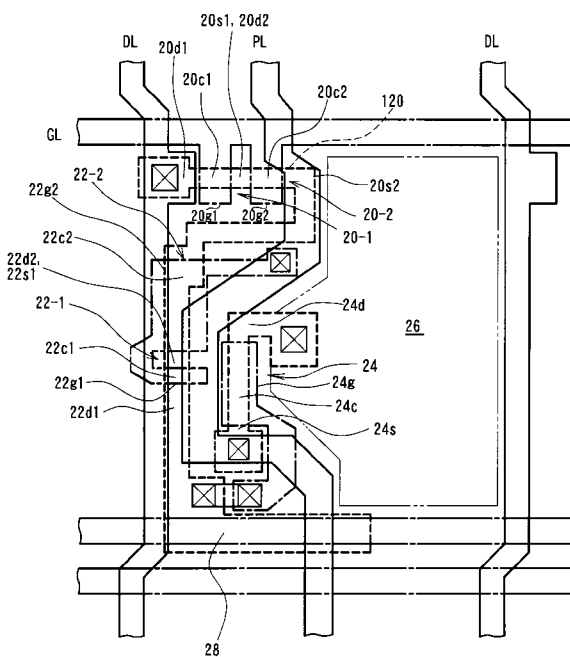
【圖 8】



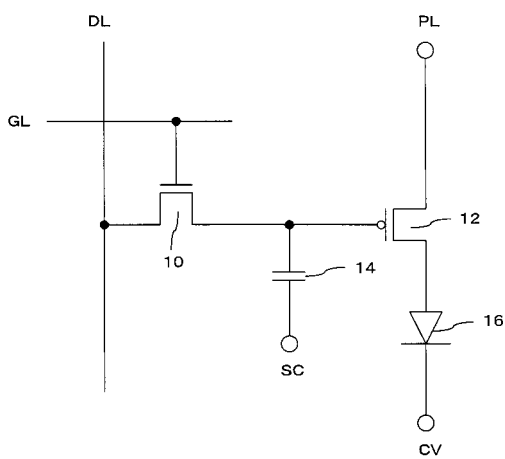
【圖 9】



【 図 1 1 】



【 图 1 3 】



フロントページの続き

(56)参考文献 特開平 1 1 - 2 7 2 2 3 3 (J P , A)
特開 2 0 0 3 - 2 0 2 8 3 3 (J P , A)
特開 2 0 0 1 - 4 2 8 2 6 (J P , A)
特開 2 0 0 4 - 1 2 6 5 2 6 (J P , A)
特許第 4 1 8 0 0 1 8 (J P , B 2)
特開 2 0 0 5 - 1 5 7 2 6 2 (J P , A)
特開 2 0 0 5 - 1 5 7 2 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4549102B2	公开(公告)日	2010-09-22
申请号	JP2004154083	申请日	2004-05-25
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	古河雅行		
发明人	古河 雅行		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE04 3K107/EE06 3K107/EE59 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC42 5C380/CC52 5C380/CC62 5C380/CC71 5C380/CC77 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD043 5C380/DA02 5C380/DA06 5C380/HA13 5C380/HA17 5C380/HA18		
代理人(译)	吉田健治 石田 纯		
优先权	2003378581 2003-11-07 JP		
其他公开文献	JP2005157263A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少驱动TFT的阈值变化的不利影响。解决方案：选择TFT 20和校正TFT 22导通，从而通过保持电容器28保持数据线上的数据电压作为驱动TFT 24的栅极电压。在选择TFT 20之后当电压关闭时，使保持电容线SC的电压下降，从而导通驱动TFT 24，使驱动电流流过有机EL元件26。这里，校正TFT 22在下降之前导通。保持电容线SC，同时在电容线SC下降期间在中点处断开，并且校正TFT 22的电容值在栅极电压下降期间变化，并且栅极电压下降的斜率变化驱动TFT 24的电压变化，从而保持电容线SC下降后的栅极电压根据驱动TFT 24的阈值的变化而设定。保持电容器的电容值是基于栅极电容值校正晶体管和在脉冲电压线的电压变化期间流入保持电容器的电荷量被适当地设定，从而可以有效地降低驱动TFT的阈值的变化对驱动电流的影响。Z

【 図 5 】

