

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-25749

(P2018-25749A)

(43) 公開日 平成30年2月15日(2018.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 642A	
	G09G 3/20 641D	

審査請求 未請求 請求項の数 15 O L (全 21 頁) 最終頁に続く

(21) 出願番号	特願2017-74731 (P2017-74731)	(71) 出願人	303018827 Tianma Japan株式会社 神奈川県川崎市幸区鹿島田一丁目1番2号
(22) 出願日	平成29年4月4日(2017.4.4)	(74) 代理人	100114557 弁理士 河野 英仁
(31) 優先権主張番号	特願2016-155047 (P2016-155047)	(72) 発明者	野中 義弘 神奈川県川崎市幸区鹿島田一丁目1番2号 NLTテクノロジー株式会社内
(32) 優先日	平成28年8月5日(2016.8.5)	(72) 発明者	柳瀬 慈郎 神奈川県川崎市幸区鹿島田一丁目1番2号 NLTテクノロジー株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	高取 憲一 神奈川県川崎市幸区鹿島田一丁目1番2号 NLTテクノロジー株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC35 HH04 HH05 最終頁に続く

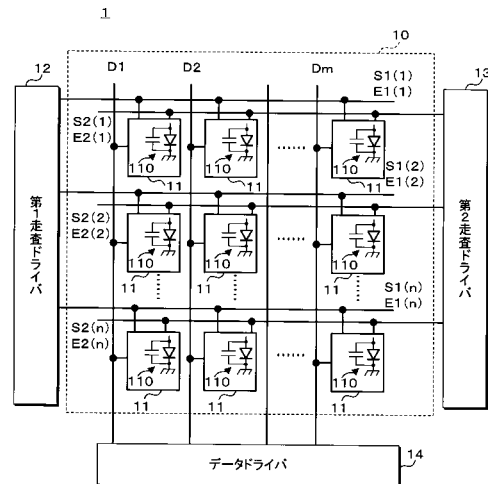
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 駆動トランジスタ閾値補償を行い、高精細化を実現できる表示装置の提供。

【解決手段】 第1電極と、第2電極と、前記第1電極と前記第2電極との間に設けられた有機発光層とを備えた発光素子と、容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、前記画素回路は、前記発光素子への電流供給を停止すると共に前記容量と前記第1電極とを接続する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 電極と、第 2 電極と、前記第 1 電極と前記第 2 電極との間に設けられた有機発光層とを備えた発光素子と、

容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、

前記画素回路は、前記発光素子への電流供給を停止すると共に前記容量と前記第 1 電極とを接続する表示装置。

## 【請求項 2】

前記画素回路は、前記容量と前記第 1 電極とを接続した後に、前記駆動トランジスタの閾値電圧と前記発光素子の発光輝度に対応したデータ電圧とを前記容量に蓄える請求項 1 の表示装置。

10

## 【請求項 3】

前記画素回路は、前記電流供給の停止において、前記発光素子に流れる電流の供給源である第 1 電源から前記駆動トランジスタへの電流供給を停止する請求項 2 の表示装置。

## 【請求項 4】

前記画素回路は、前記第 1 電源の電圧から、前記閾値電圧と前記データ電圧とを加算した電圧を減算した電圧を前記容量に蓄えた後に、前記容量と前記第 1 電極との接続を切断すると共に前記第 1 電源から前記駆動トランジスタへの電流供給を開始し、さらに、前記容量の電圧を前記駆動トランジスタのゲートに印加する請求項 3 に記載の表示装置。

20

## 【請求項 5】

前記画素回路は、前記容量に蓄えた電圧を前記ゲートに印加した後、前記発光素子への電流供給を停止すると共に前記有機発光層に蓄積した電荷を、前記発光素子を介して放電した後に、前記容量と前記第 1 電極とを接続し、放電後の前記第 1 電極の電位で前記容量を充電する請求項 4 に記載の表示装置。

## 【請求項 6】

前記駆動トランジスタは、第 3 電極と第 4 電極とを有し、前記ゲートに印加された電圧に応じて前記第 3 電極と前記第 4 電極との間に流れる電流を制御するトランジスタであって、

前記画素回路は、さらに、第 5 電極と第 6 電極とを有し、前記第 5 電極と前記第 6 電極との導通を制御する第 1 制御素子～第 3 制御素子を備え、

30

前記第 1 制御素子の第 5 電極は前記発光素子に流れる電流の供給源である第 1 電源に接続し、前記第 1 制御素子の第 6 電極は前記第 3 電極に接続し、

前記第 2 制御素子の第 5 電極は、前記ゲートと前記容量に接続し、前記第 2 制御素子の第 6 電極は前記第 4 電極に接続し、

前記第 3 制御素子の第 5 電極は前記第 4 電極と前記第 2 制御素子の第 6 電極に接続し、前記第 3 制御素子の第 6 電極は前記第 1 電極に接続し、

前記画素回路は、前記発光素子への電流供給の停止において、前記第 1 制御素子を非導通にし、前記容量と前記第 1 電極との接続において、前記第 2 制御素と前記第 3 制御素子とを導通する請求項 1 に記載の表示装置。

40

## 【請求項 7】

前記画素回路は、さらに、前記発光素子の発光輝度に応じたデータ電圧を供給するデータ線に接続する第 7 電極と、前記第 3 電極に接続する第 8 電極とを有し、前記第 7 電極と前記第 8 電極との導通を制御する第 4 制御素子を備え、

前記画素回路は、前記第 4 制御素子を非導通にする請求項 6 に記載の表示装置。

## 【請求項 8】

前記画素回路は、前記第 1 制御素子と前記第 4 制御素子とを非導通にした後に、前記第 4 制御素子を導通し前記第 3 制御素子を非導通にする請求項 7 に記載の表示装置。

## 【請求項 9】

前記画素回路は、前記第 4 制御素子を導通し前記第 3 制御素子を非導通にした後に、第

50

2 制御素子と前記第 4 制御素子とを非導通にし、前記第 1 制御素子と前記第 3 制御素子とを導通する請求項 8 に記載の表示装置。

【請求項 10】

前記画素回路は、前記発光素子に電流を流した後、前記第 1 制御素子を非導通にして、前記発光素子に蓄積された電荷を、前記発光素子を介して放電する請求項 9 に記載の表示装置。

【請求項 11】

前記容量は、第 3 電極と、所定の電位に接続する第 4 電極とを備え、

前記画素回路は、前記第 1 電極と前記第 3 電極とを接続する請求項 1 に記載の表示装置

。

【請求項 12】

前記容量は、第 9 電極と所定の電位に接続する第 10 電極とを備え、

前記第 2 制御素子の第 5 電極は前記第 9 電極に接続する請求項 6 に記載の表示装置。

【請求項 13】

第 1 電極と、第 2 電極と、前記第 1 電極と前記第 2 電極との間に設けられた有機発光層とを備えた発光素子と、

容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、

前記駆動トランジスタは、第 3 電極と第 4 電極とを有し、ゲートに印加された電圧に応じて前記第 3 電極と前記第 4 電極との間に流れる電流を制御するトランジスタであって、

前記画素回路は、さらに、第 5 電極と第 6 電極とを有し、前記第 5 電極と前記第 6 電極との導通を制御する第 1 制御素子～第 3 制御素子と、第 7 電極と第 8 電極とを有し、前記第 7 電極と前記第 8 電極との導通を制御する第 4 制御素子とを備えており、

前記駆動トランジスタの第 4 電極は前記第 1 電極に接続し、

前記第 1 制御素子の第 5 電極は前記容量に接続し、前記第 1 制御素子の第 6 電極は前記ゲートに接続し、

前記第 2 制御素子の第 5 電極は基準電源に接続し、前記第 2 制御素子の第 6 電極は前記容量と前記第 1 制御素子の第 5 電極とに接続し、

前記第 3 制御素子の第 5 電極は前記発光素子に流れる電流の供給源である第 1 電源に接続し、前記第 3 制御素子の第 6 電極は前記容量と前記第 4 電極とに接続し、

前記第 4 制御素子の第 7 電極は前記発光素子の発光輝度に応じたデータ電圧を供給するデータ線に接続し、前記第 4 制御素子の第 8 電極は前記ゲートと前記第 1 制御素子の第 6 電極とに接続してある

表示装置。

【請求項 14】

第 1 電極と、第 2 電極と、前記第 1 電極と前記第 2 電極との間に設けられた有機発光層とを備えた発光素子と、

容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、

前記駆動トランジスタは、第 3 電極と第 4 電極とを有し、ゲートに印加された電圧に応じて前記第 3 電極と前記第 4 電極との間に流れる電流を制御するトランジスタであって、

前記画素回路は、さらに、第 5 電極と第 6 電極とを有し、前記第 5 電極と前記第 6 電極との導通を制御する第 1 制御素子～第 3 制御素子と、第 7 電極と第 8 電極とを有し、前記第 7 電極と前記第 8 電極との導通を制御する第 4 制御素子とを備えており、

前記第 1 制御素子の第 5 電極は前記第 4 電極に接続し、前記第 1 制御素子の第 6 電極は前記負荷と前記第 1 電極とに接続し、

前記第 2 制御素子の第 6 電極は前記負荷と前記ゲートとに接続し、

前記第 3 制御素子の第 5 電極は前記発光素子に流れる電流の供給源である第 1 電源に接続し、前記第 3 制御素子の第 6 電極は前記第 3 電極と前記第 2 制御素子の第 5 電極とに接続し、

10

20

30

40

50

前記第 4 制御素子の第 7 電極は前記発光素子の発光輝度に応じたデータ電圧を供給するデータ線に接続し、前記第 4 制御素子の第 8 電極は前記第 4 電極と前記第 1 制御素子の第 5 電極とに接続してある

表示装置。

【請求項 15】

第 1 電極と、第 2 電極と、前記第 1 電極と前記第 2 電極との間に設けられた有機発光層とを備えた発光素子と、

容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、

前記駆動トランジスタは、第 3 電極と第 4 電極とを有し、ゲートに印加された電圧に応じて前記第 3 電極と前記第 4 電極との間に流れる電流を制御するトランジスタであって、

前記画素回路は、さらに、第 5 電極と第 6 電極とを有し、前記第 5 電極と前記第 6 電極との導通を制御する第 1 制御素子～第 3 制御素子と、第 7 電極と第 8 電極とを有し、前記第 7 電極と前記第 8 電極との導通を制御する第 4 制御素子とを備えており、

前記駆動トランジスタの第 3 電極は前記発光素子に流れる電流の供給源である第 1 電源に接続し、

前記第 1 制御素子の第 5 電極は前記ゲートに接続し、前記第 1 制御素子の第 6 電極は前記容量に接続し、

前記第 2 制御素子の第 5 電極は基準電源に接続し、前記第 2 制御素子の第 6 電極は前記負荷と前記前記第 1 制御素子の第 6 電極とに接続し、

前記第 3 制御素子の第 5 電極は前記負荷と前記第 4 電極とに接続し、前記第 3 制御素子の第 6 電極は前記第 1 電極に接続し、

前記第 4 制御素子の第 7 電極は前記発光素子の発光輝度に応じたデータ電圧を供給するデータ線に接続し、前記第 4 制御素子の第 8 電極は前記ゲートと前記第 1 制御素子の第 5 電極とに接続してある

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

近年、例えば OLED (Organic Light Emitting Diode) を発光素子として用いた表示装置が提案されている。OLED は、電流値により輝度が変化する、いわゆる電流駆動型の表示素子である。このような表示装置の各画素は、OLED と、OLED の発光輝度を制御する画素回路とを有する。画素回路は、OLED に供給する電流を制御する駆動トランジスタなどを有する。

この種の画素回路において、駆動トランジスタの閾値電圧のバラツキや変動を補償する構成が提案されている（例えば特許文献 1 を参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許 2005 31630 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、駆動トランジスタの閾値補償を高精度に行うには、画素回路に多くのトランジスタを設ける必要がある。トランジスタが多くなれば、画素回路の面積がその分、増加する。その結果、各画素の面積が大きくなり、高精細化が困難となる。本開示の一側面は、高精細化を実現する表示装置の提供を目的とする。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0005】

本開示の一側面の表示装置は、第1電極と、第2電極と、前記第1電極と前記第2電極との間に設けられた有機発光層とを備えた発光素子と、容量と、前記容量の電圧に応じた電流を前記発光素子に流す駆動トランジスタとを備えた画素回路と、を備え、前記画素回路は、前記発光素子への電流供給を停止すると共に前記容量と前記第1電極とを接続する。

## 【発明の効果】

## 【0006】

本開示の一側面によれば、表示装置において高精細化を実現できる。

10

## 【図面の簡単な説明】

## 【0007】

【図1】表示装置の構成例を示すブロック図である。

【図2】第1走査ドライバ、第2走査ドライバの構成を示すブロック図である。

【図3】第1実施の形態における画素回路の構成例を示す回路図である。

【図4】第1実施の形態における画素回路の動作を示す説明図である。

【図5】画素回路の各動作期間の動作を示す説明図である。

【図6】画素回路の各動作期間の動作を示す説明図である。

【図7】画素回路の各動作期間の動作を示す説明図である。

【図8】画素回路の各動作期間の動作を示す説明図である。

20

【図9】シフトレジスタの動作を示す説明図である。

【図10】シフトレジスタの動作を示す説明図である。

【図11】シフトレジスタの動作を示す説明図である。

【図12】シフトレジスタの動作を示す説明図である。

【図13】動作マージンの拡大を示す説明図である。

【図14】第2実施の形態における画素回路の構成例を示す回路図である。

【図15】第2実施の形態における画素回路の動作を示す説明図である。

【図16】第3実施の形態における画素回路の構成例を示す回路図である。

【図17】第3実施の形態における画素回路の動作を示す説明図である。

【図18】第4実施の形態における画素回路の構成例を示す回路図である。

30

【図19】第4実施の形態における画素回路の動作を示す説明図である。

## 【発明を実施するための形態】

## 【0008】

以下、実施の形態について図面を参照して詳細に説明する。なお、明細書、特許請求の範囲における“第1”、“第2”等の序数は、要素間の関係を明確にするため、および要素間の混同を防ぐために付している。したがって、これらの序数は、要素を数的に限定しているものではない。

## 【0009】

以下の説明においては、発光素子として、OLED (Organic Light Emitting Diode、有機発光ダイオード)を用いるOLED表示装置について説明する。図1は表示装置の構成例を示すブロック図である。表示装置1は画素回路11、第1走査ドライバ12、第2走査ドライバ13、データドライバ14を含む。表示装置1は複数の画素回路11を含む。

40

## 【0010】

複数の画素回路11はアクティブマトリクス部10に行列状に配置してある。本実施の形態においては、画素回路11はn行m列(n、mは2以上の整数)である。画素回路11はOLED素子110を含む。第1走査ドライバ12、第2走査ドライバ13は、制御信号を出力する。本実施の形態において、制御信号は4つの信号を含む。第1走査ドライバ12は制御信号S1、E1を出力する。第2走査ドライバ13は制御信号S2、制御信号E2を出力する。制御信号S1、S2、E1、E2は、それぞれnビットの信号である

50

。なお、制御信号 S 1、S 2 は、走査信号とも呼ばれる。また、制御信号 E 1、E 2 は、発光制御信号とも呼ばれる。

【0011】

制御信号 S 1、S 2、E 1、E 2 の各ビットが、各行の画素回路 1 1 に対して出力される。制御信号 S 2 により、所定の行の画素回路 1 1 が、データ信号を受け付ける回路（いわゆる走査対象の画素回路）として選択される。データドライバ 1 4 は、制御信号 S 1、S 2、E 1、E 2 に従って選択された行の画素に対して、発光輝度に応じたデータ信号をデータ線に出力する。

【0012】

図 2 は、第 1 走査ドライバ 1 2、第 2 走査ドライバ 1 3 の構成を示すブロック図である。図 2 A は第 1 走査ドライバ 1 2 の構成を示す。第 1 走査ドライバ 1 2 はシフトレジスタ S 1、シフトレジスタ E 1 を含む。シフトレジスタ S 1、シフトレジスタ E 1 はそれぞれ n ビットのシフトレジスタである。

10

【0013】

シフトレジスタ S 1 は、制御信号 S T S 1、2 相クロック信号 C K S、X C K S により動作する。シフトレジスタ S 1 は n ビットの制御信号 S 1 を出力する。シフトレジスタ E 1 は、制御信号 S T E 1、2 相クロック信号 C K E、X C K E により動作する。シフトレジスタ E 1 は n ビットの制御信号 E 1 を出力する。

【0014】

図 2 B は第 2 走査ドライバ 1 3 の構成を示す。第 2 走査ドライバ 1 3 はシフトレジスタ S 2、シフトレジスタ E 2 を含む。シフトレジスタ S 2、シフトレジスタ E 2 はそれぞれ n ビットのシフトレジスタである。シフトレジスタ S 2 は、制御信号 S T S 2、2 相クロック信号 C K S、X C K S により動作する。シフトレジスタ S 2 は n ビットの制御信号 S 1 を出力する。シフトレジスタ E 2 は、制御信号 S T E 2、2 相クロック信号 C K E、X C K E により動作する。シフトレジスタ E 2 は n ビットの制御信号 E 2 を出力する。

20

【0015】

（第 1 実施の形態）

図 3 は第 1 実施の形態における画素回路 1 1 の構成例を示す回路図である。画素回路 1 1 は、5 つのトランジスタ M 1 から M 5、容量 C s t、発光素子 1 1 0 を含む。トランジスタ M 1 から M 5 は、例えば、T F T（Thin Film Transistor：薄膜トランジスタ）である。容量 C s t は、いわゆる蓄積容量又は保持容量と呼ばれるものである。容量 C s t はデータ信号に応じた電位を保持する。発光素子 1 1 0 は O L E D 素子である。図 3 では、発光素子 1 1 0 は、O L E D 素子の等価回路を示している。この等価回路は、発光ダイオードとキャパシタとの並列回路である。

30

【0016】

トランジスタ M 1 は駆動トランジスタとも呼ばれ、発光素子 1 1 0 に流れる駆動電流を制御する。トランジスタ M 2 から M 5 は、スイッチトランジスタである。トランジスタ M 2 から M 5 の O N・O F F を切り替えることにより、画素回路 1 1 の状態が遷移する。トランジスタ M 1 のソース M 1 S は、トランジスタ M 4 を介して、電源供給線 V D D と接続している。ソース M 1 S は、また、トランジスタ M 2 を介して、データ線 V d a t a と接続している。データ線 V d a t a は、図 1 のデータ線 D 1 から D m のいずれかに対応する。トランジスタ M 1 のドレイン M 1 D は、トランジスタ M 5 を介して、発光素子 1 1 0 のアノード 1 1 0 A と接続している。トランジスタ M 1 のゲート M 1 G は、容量 C s t の一方の電極 e c 2 と接続している。ゲート M 1 G は、また、トランジスタ M 3 のソース M 3 S と接続している。

40

【0017】

トランジスタ M 2 のソース M 2 S はデータ線 V d a t a と接続している。トランジスタ M 2 のドレイン M 2 D は、トランジスタ M 1 のソース M 1 S と、トランジスタ M 4 のドレイン M 4 D とに接続している。トランジスタ M 2 のゲート M 2 G には、制御信号 S 2 が入力される。トランジスタ M 3 のドレイン M 3 D は、トランジスタ M 1 のドレイン M 1 D と

50

トランジスタM5のソースM5Sとに接続している。トランジスタM3のゲートM3Gには、制御信号S1が入力される。トランジスタM4のゲートM4Gには、制御信号E1が入力される。トランジスタM5のドレインM5Dは、発光素子110のアノード110Aに接続している。トランジスタM5のゲートM5Gは制御信号E2が入力される。発光素子110のカソード110Cは電源供給線VSSと接続している。

#### 【0018】

以下、本実施の形態における表示装置1の構成、動作について説明する。表示装置1は、発光素子110と、容量Cstと、画素回路11とを備える。発光素子110は、第1電極110Aと、第2電極110Cと、第1電極110Aと第2電極110Cとの間に設けられた有機発光層とを備える。画素回路11は、容量Cstと、容量Cstの電圧に応じた電流を発光素子110に流す駆動トランジスタM1とを備える。さらに、画素回路11は、発光素子110への電流供給を停止すると共に容量Cstと第1電極110Aとを接続する。第1電極110Aの一例は、発光素子110のアノード電極110Aである。第2電極110Cの一例は、発光素子110のカソード電極110Cである。容量の一例は、本実施の形態の容量Cstである。駆動トランジスタの一例は、本実施の形態のトランジスタM1である。

10

#### 【0019】

駆動トランジスタM1は、第3電極M1Sと第4電極M1Dとを有し、ゲートM1Gに印加された電圧に応じて第3電極M1Sと第4電極M1Dとの間に流れる電流を制御するトランジスタである。

20

#### 【0020】

画素回路11は、さらに、第5電極と第6電極とを有し、第5電極と第6電極との導通を制御する第1制御素子～第3の制御素子を備える。第1制御素子M4の第5電極M4Sは発光素子110に流れる電流の供給源である第1電源VDDに接続し、第1制御素子M4の第6電極M4Dは第3電極M1Sに接続する。第1制御素子M4の一例は、トランジスタM4である。第2制御素子M3の第5電極M3Sは、ゲートM1Gと容量Cstに接続し、第2制御素子M3の第6電極M3Dは第4電極M1Dに接続する。第2制御素子の一例は、トランジスタM3である。第3制御素子M5の第5電極M5Sは第4電極M1Dと第2制御素子M3の第6電極M3Dに接続し、第3制御素子M5の第6電極M5Dは第1電極110Aに接続する。第3制御素子の一例は、トランジスタM5である。画素回路11は、さらに、発光素子110の発光輝度に応じたデータ電圧を供給するデータ線に接続する第7電極M2Sと、第3電極M1Sに接続する第8電極M2Dとを有し、第7電極M2Sと第8電極M2Dとの導通を制御する第4制御素子M2を備える。第4制御素子の一例は、トランジスタM2である。

30

#### 【0021】

容量は、第3電極と、所定の電位に接続する第4電極とを備える。容量の一例は、容量Cstである。画素回路11は、第1電極と第3電極とを接続する。第3電極の一例は、容量Cstの一方の電極ec2である。第4電極の一例は、容量Cstの他方の電極ec1である。第3電極は第9電極とも呼ぶ。第4電極は第10電極とも呼ぶ。

#### 【0022】

次に、画素回路11の動作について、図4～図8を用いて説明する。図4～図8では、図3に示す電極の符号は省略している。図4は画素回路11の動作を示す説明図である。図4Aは図3と同様な画素回路11を示す。図4Aは、画素回路11の回路図であり、以後の説明で用いるノードNaからノードNdを示している。ノードNaは、トランジスタM1のゲートM1G、容量Cstの一方の電極ec2、トランジスタM3のソースM3Sが接続するノードである。ノードNbは、トランジスタM1のソースM1S、トランジスタM2のドレインM2D、トランジスタM4のドレインM4Dが接続するノードである。ノードNcは、トランジスタM4のソースM4S、容量Cstの他方の電極ec1、電源供給線VDDが接続するノードである。ノードNdは、トランジスタM5のドレインM5D、発光素子110のアノード110Aが接続するノードである。

40

50

## 【 0 0 2 3 】

画素回路 1 1 の動作は 4 つ期間に分けることが可能である。画素回路 1 1 は、4 つの期間を 1 つのサイクルとして、動作を繰り返す。図 4 B は画素回路 1 1 の各期間におけるトランジスタ M 2 から M 5 の ON・OFF の関係を示す表である。4 つの期間は、放電期間、初期化期間、閾値検出及びデータ記憶期間（閾値検出&データ記憶期間とも呼ぶ）、発光期間である。放電期間では、トランジスタ M 3、M 2、M 4 が OFF である。トランジスタ M 5 が ON である。初期化期間では、トランジスタ M 3、M 5 が ON である。トランジスタ M 2、M 4 が OFF である。閾値検出&データ記憶期間では、トランジスタ M 3、M 2 が ON である。トランジスタ M 4、M 5 が OFF である。発光期間では、トランジスタ M 3、M 2 が OFF である。トランジスタ M 4、M 5 が ON である。

10

## 【 0 0 2 4 】

図 4 C は画素回路 1 1 の各動作期間における各制御信号の変化、データ信号を時系列で示したグラフである。横軸は時間を示す。時間幅 1 H は、1 水平期間を示す。縦軸は電位を示す。制御信号 S 1、S 2、E 1、E 2 それぞれは、アクティブロー信号である。すなわち、制御信号 S 1、S 2、E 1、E 2 の値がハイ（H）のときは、それぞれに対応するトランジスタ M 3、M 2、M 4、M 5 は OFF となる。制御信号 S 1、S 2、E 1、E 2 の値がロー（L）のときは、それぞれに対応するトランジスタ M 3、M 2、M 4、M 5 は ON となる。V d a t a は、データ信号電位が変化を示している。V d a t a は、1 水平期間 1 H ごとに更新される。図 4 C に示す期間 T 0 は、放電期間を示す。期間 T 1 は初期化期間を示す。期間 T 2 は閾値検出&データ記憶期間を示す。期間 T 3 は発光期間を示す。期間 T 0 から T 2 は発光素子 1 1 0 が発光しない非発光期間 N L である。期間 T 3 を除く期間 T 0、T 1、T 2 の長さは、1 水平期間と同じとしている。しかし、それに限らず、期間 T 0、T 1、T 2 の長さを 1 水平期間より長くしてもよい。期間 T 0、T 1、T 2 の長さを 1 水平期間より短くしてもよい。

20

## 【 0 0 2 5 】

図 5 から図 9 は、画素回路 1 1 の各動作期間の動作を示す説明図である。図 5 A から図 9 A は、画素回路 1 1 の回路図を再掲している。図 5 B から図 9 B はトランジスタ M 2 ~ M 5 の ON・OFF 状態を示す表である。図 5 C から図 9 C は、ノード N a、N b、N d の電位の時間変化を示したグラフである。

## 【 0 0 2 6 】

図 5 は放電期間 T 0 の動作を示す。放電期間 T 0 では、トランジスタ M 2、M 3、M 4 が OFF で、トランジスタ M 5 が ON である。トランジスタ M 4 が OFF であるから、トランジスタ M 1 は電源供給線 V D D から切り離されている。よって、発光素子 1 1 0 への電流供給は停止している。発光素子 1 1 0 はアノード 1 1 0 A カソード 1 1 0 C 間容量に蓄えられた電荷を、電源供給線 V D D の電位よりも低電位の電源供給線 V S S を介して放電する。その結果、ノード N d は発光素子 1 1 0 の閾値電圧 V t h o l e d 程度まで低下する。ノード N a、ノード N b は、1 サイクル前の発光期間での値を保っている。

30

## 【 0 0 2 7 】

放電期間 T 0 では、画素回路 1 1 は、電流供給の停止において、発光素子 1 1 0 に流れる電流の供給源である第 1 電源から駆動トランジスタ M 1 への電流供給を停止する。第 1 電源の一例は、電源供給線 V D D を含む電源である。

40

## 【 0 0 2 8 】

図 6 は初期化期間 T 1 を示す。初期化期間 T 1 では、トランジスタ M 2、M 4 が OFF で、トランジスタ M 3、M 5 が ON である。初期化期間 T 1 では、トランジスタ M 3、M 5 が ON であるので、容量 C s t の一方の電極 e c 2 と発光素子 1 1 0 のアノード電極 1 1 0 A と電氣的に接続する。その結果、容量 C s t の一方の電極 e c 2 が接続するノード N a は、ノード N d と同じ電位まで低下する。すなわち、ノード N a は発光素子 1 1 0 のアノード電位（V t h o l e d）となる。換言すれば、容量 C s t の一方の電極 e c 2 の電位は、アノード電位と同電位になる。容量 C s t の他方の電極 e c 1 が接続するノード N c は、電源供給線 V D D により、電位 V D D となっている。よって、容量 C s t には、

50

電位差  $V_{DD} - V_{tholed}$  に応じた電荷が蓄積される。トランジスタ  $M_4$  が OFF であるので、発光素子  $110$  は電源供給線  $V_{DD}$  から切り離されている。そのため、発光素子  $110$  に電流は流れず、アノード電位（ノード  $N_d$  の電位）も上昇しない。ノード  $B$  は、放電期間  $T_0$  での電位を保ったままである。

【0029】

画素回路  $11$  は、発光素子  $110$  への電流供給の停止において、第1制御素子  $M_4$  を非導通にし、容量と第1電極との接続において、第2制御素子  $M_3$  と第3制御素子  $M_5$  とを導通する。

【0030】

初期化期間  $T_1$  において、画素回路  $11$  は、発光素子  $110$  への電流供給を停止すると共に容量  $C_{st}$  と第1電極とを接続する。

10

【0031】

図7は閾値検出&データ記憶期間  $T_2$  を示す。閾値検出&データ記憶期間  $T_2$  では、トランジスタ  $M_2$ 、 $M_3$  が ON で、トランジスタ  $M_4$ 、 $M_5$  が OFF である。トランジスタ  $M_5$  が OFF となることで、容量  $C_{st}$  の一方の電極  $ec_2$  と接続するノード  $N_a$  は、発光素子  $110$  のアノード電極  $110A$ （ノード  $N_d$ ）と切り離される。トランジスタ  $M_2$  が ON となることで、トランジスタ  $M_1$  のソース  $M_1S$ （ノード  $N_b$ ）は、データ線電圧  $V_{data}$  に固定される。一方、トランジスタ  $M_1$  のゲート  $M_1G$  及びドレイン  $M_1D$  の電圧は  $V_{tholed}$  である。 $V_{tholed}$  は  $V_{data}$  よりも低いので、ゲート  $M_1G$ 、ソース  $M_1S$  の電位差に応じた電流が、データ線  $V_{data}$  からトランジスタ  $M_2$ 、 $M_1$ 、 $M_3$  に流れる。ノード  $N_a$  に電荷が蓄積されて、ノード  $N_a$  の電位が上昇する。ゲート  $M_1G$ （ノード  $N_a$ ）ソース  $M_1S$ （ノード  $N_b$ ）間の電位差が、トランジスタ  $M_1$  の閾値電圧に達するまで、トランジスタ  $M_1$  には電流が流れる。ここで、トランジスタ  $M_1$  の閾値電圧を  $V_{th}$ （ $V_{th} < 0$ ）とすると、ノード  $N_a$  の電位は、 $V_{data} + V_{th}$  となる。また、容量  $C_{st}$  の電位差は、 $V_{DD} - V_{data} - V_{th}$  である。

20

【0032】

画素回路  $11$  は、閾値検出&データ記憶期間  $T_2$  において、容量  $C_{st}$  と第1電極  $110A$  とを接続した後に、駆動トランジスタ  $M_1$  の閾値電圧と発光素子  $110$  の発光輝度に対応したデータ電圧  $V_{data}$  とを容量  $C_{st}$  に蓄える。

【0033】

画素回路  $11$  は、放電期間  $T_0$ 、初期化期間  $T_1$  において、トランジスタ  $M_4$  とトランジスタ  $M_2$  とを OFF する。トランジスタ  $M_5$  は ON とする。閾値検出&データ記憶期間  $T_2$  では、トランジスタ  $M_2$  を ON、トランジスタ  $M_5$  を OFF とする。画素回路は、第1制御素子と第4制御素子とを非導通にした後に、第4制御素子を導通し第3制御素子を非導通にする。

30

【0034】

図8は発光期間  $T_3$  を示す。発光期間  $T_3$  では、トランジスタ  $M_2$ 、 $M_3$  が OFF で、トランジスタ  $M_4$ 、 $M_5$  が ON である。トランジスタ  $M_5$  が ON であるから、トランジスタ  $M_1$  は発光素子  $110$  と接続する。トランジスタ  $M_1$  と発光素子  $110$  には、トランジスタ  $M_1$  のゲート  $M_1G$ （ノード  $N_a$ ）ソース  $M_1S$ （ノード  $N_b$ ）間の電位差に応じた電流が流れる。この電流により、発光素子  $110$  は発光する。このとき、発光素子  $110$  に流れる電流は、以下の式（1）により求まる。

40

【0035】

$$I_{oled} = (V_{gs} - V_{th})^2 = (V_{data} + V_{th} - V_{DD} - V_{th})^2 = (V_{data} - V_{DD})^2 \quad \dots \text{式(1)}$$

$$= \mu * (W/L) * (C_{ox}/2), \mu: \text{移動度}, w: \text{チャネル幅}, L: \text{チャネル長}, C_{ox}: \text{ゲート容量}$$

【0036】

式（1）に示したように、発光素子  $110$  に流れる電流は、データ線電圧  $V_{data}$ 、電源供給線電圧  $V_{DD}$  により決定される。発光素子  $110$  に流れる電流は、トランジスタ  $M_1$  の閾値電圧  $V_{th}$  に依存しない。よって、発光素子  $110$  に流れる電流は、トランジスタ  $M_1$  の閾値電圧の変動に影響を受けない。

50

## 【0037】

画素回路11は、容量Cstと容量Cstの電圧に応じた電流を発光素子110に流す駆動トランジスタを備える。駆動トランジスタの一例は、トランジスタM1である。発光期間T3において、画素回路11は、第1電源VDDの電圧から、閾値電圧Vthとデータ電圧Vdataとを加算した電圧を減算した電圧( $VDD - (Vdata + Vth)$ )を容量Cstに蓄えた後に、容量Cstと第1電極110Aとの接続を切断すると共に第1電源VDDから駆動トランジスタM1への電流供給を開始し、さらに、容量Cstの電圧を駆動トランジスタM1のゲートM1Gに印加する。

## 【0038】

閾値検出&データ記憶期間T2では、トランジスタM2はONとする。トランジスタM5はOFFとする。発光期間T3では、トランジスタM3とトランジスタM2とをOFFとし、トランジスタM4とトランジスタM5をONとする。画素回路11は、第4制御素子(M2)を導通し第3制御素子(M5)を非導通にした後に、第2制御素子(M3)と第4制御素子(M2)とを非導通にし、第1制御素子(M4)と第3制御素子(M5)とを導通する。

10

## 【0039】

発光期間T3の後は、再び放電期間T0に戻る。画素回路11は、容量Cstに蓄えた電圧をゲートM1Gに印加した後、発光素子110への電流供給を停止すると共に有機発光層に蓄積した電荷を、発光素子110を介して放電した後に、容量Cstと第1電極110Aとを接続し、放電後の第1電極110Aの電位で容量Cstを充電する。

20

## 【0040】

画素回路11は、発光期間T3において、トランジスタM4をONとする。発光期間T3後では、画素回路11は、トランジスタM4をOFFとする。画素回路11は、発光素子110に電流を流した後、第1制御素子を非導通にして、発光素子110に蓄積された電荷を、発光素子110を介して放電する。

## 【0041】

図9はシフトレジスタS1の動作を示す説明図である。シフトレジスタS1は制御信号S1(n)を出力する。シフトレジスタS1の動作クロックは、周期2Hを持つ2相クロックCKS、XCKSである。シフトレジスタS1の初段には、パルス幅が2Hのスタート信号STS1を入力する。シフトレジスタS1はクロック信号CKSの立ち下がり又はXCKSの立ち下がりに同期して、スタート信号STS1を1Hずつ遅らせて、伝搬する。シフトレジスタS1は、制御信号S1(2)として、制御信号S1(1)よりも時間H遅れて、スタート信号STS1を出力する。シフトレジスタS1は、制御信号S1(3)として、制御信号S1(2)よりも時間1H遅れて、スタート信号STS1を出力する。以下、同様である。シフトレジスタS1は、制御信号S1(n)として、制御信号S1(n-1)よりも時間1H遅れて、スタート信号STS1を出力する。

30

## 【0042】

図10はシフトレジスタS2の動作を示す説明図である。シフトレジスタS2は制御信号S2(n)を出力する。シフトレジスタS2の動作クロックは、周期2Hを持つ2相クロックCKS、XCKSである。シフトレジスタS2の初段には、パルス幅が1Hのスタート信号STS2を入力する。シフトレジスタS2は、クロック信号CKSの立ち上がり又は立ち下がり、若しくはクロック信号XCKSの立ち上がり又は立ち下がりに同期して、スタート信号STS2を1Hずつ遅らせて、伝搬させる。シフトレジスタS2は、制御信号S2(2)として、制御信号S2(1)よりも時間1H遅れて、スタート信号STS2を出力する。シフトレジスタS2は、制御信号S2(3)として、制御信号S2(2)よりも時間1H遅れて、スタート信号STS2を出力する。以下、同様である。シフトレジスタS2は、制御信号S2(n)として、制御信号S2(n-1)よりも時間1H遅れて、スタート信号STS2を出力する。

40

## 【0043】

図11はシフトレジスタE1の動作を示す説明図である。シフトレジスタE1は制御信

50

号 E 1 ( n ) を出力する。シフトレジスタ E 1 の動作クロックは、周期 2 H を持つ 2 相クロック C K E 、 X C K E である。シフトレジスタ E 1 の初段には、パルス幅 3 H のスタート信号 S T E 1 を入力する。シフトレジスタ E 1 は、クロック信号 C K E 立ち下がり又はクロック信号 X C K E の立ち下がりに同期して、スタート信号 S T E 1 を伝搬する。シフトレジスタ E 1 は、制御信号 E 1 ( 2 ) として、制御信号 E 1 ( 1 ) よりも時間 1 H 遅れて、スタート信号 S T E 1 を出力する。シフトレジスタ E 1 は、制御信号 E 1 ( 3 ) として、制御信号 E 1 ( 2 ) よりも時間 1 H 遅れて、スタート信号 S T E 1 を出力する。以下同様である。シフトレジスタ E 1 は、制御信号 E 1 ( n ) として、制御信号 E 1 ( n - 1 ) よりも時間 1 H 遅れて、スタート信号 S T E 1 を出力する。

#### 【 0 0 4 4 】

図 1 2 はシフトレジスタ E 2 の動作を示す説明図である。シフトレジスタ E 2 は制御信号 E 2 ( n ) を出力する。シフトレジスタ E 2 の動作クロックは、周期 2 H を持つ 2 相クロック C K E 、 X C K E である。シフトレジスタ E 2 の初段には、パルス幅 1 H のスタート信号 S T E 2 を入力する。シフトレジスタ E 2 は、クロック信号 C K E の立ち下がり又は立ち上がり、若しくはクロック信号 X C K E の立ち下がり又は立ち上がりに同期して、スタート信号 S T E 2 を伝搬する。シフトレジスタ E 2 は、制御信号 E 2 ( 2 ) として、制御信号 E 2 ( 1 ) よりも時間 1 H 遅れて、スタート信号 S T E 2 を出力する。シフトレジスタ E 2 は、制御信号 E 2 ( 3 ) として、制御信号 E 2 ( 2 ) よりも時間 1 H 遅れて、スタート信号 S T E 2 を出力する。以下、同様である。シフトレジスタ E 2 は、制御信号 E 2 ( n ) として、制御信号 E 2 ( n - 1 ) よりも時間 1 H 遅れて、スタート信号 S T E 2 を出力する。シフトレジスタ S 1 、 S 2 、 E 1 、 E 2 は以上の動作を繰り返し行う。

#### 【 0 0 4 5 】

本実施の形態において、放電期間 T 0 を設ける意義について説明する。トランジスタ M 1 の閾値電圧を精度良く検出するためには、ゲート M 1 G 、ソース M 1 S 間の電圧が、閾値電圧以上になるように、容量 C s t を初期化することが好ましい。トランジスタ M 1 の閾値を検出する場合、ソース M 1 S ( ノード N b ) はデータ電圧 ( V d a t a ) となる。そのため、ゲート M 1 G ( ノード N a ) は、データ電圧よりも閾値電圧下がった電圧で初期化する必要がある。初期化の電位は、明発光に対応するデータ電圧の場合が、最も低くする必要がある。この条件でマージン電圧が確保できないと、閾値検出が機能しない。初期化電圧の時点で、電流が流れるほどの電圧差がゲート M 1 G 、ソース M 1 S 間にはないからである。

#### 【 0 0 4 6 】

容量 C s t の初期化にアノード電圧を用いる場合、アノード電圧が明発光直後の高い電圧であると、動作マージンが狭い。しかし、発光素子 1 1 0 に蓄えられた電荷を放電する期間を設け、アノード電圧を発光素子 1 1 0 の閾値電圧程度まで下げることで、動作マージンが広がる。図 1 3 は動作マージンの拡大を示す説明図である。電源電圧 V D D を + 5 V 、電源電圧 V S S を - 5 V とする。明発光データ電圧を 4 V 、駆動トランジスタ M 1 の閾値電圧を 2 V とする。発光素子 1 1 0 の明発光後のアノード電圧を 3 . 5 V とする。発光素子 1 1 0 の閾値電圧 V t h o l e d を 1 . 5 V とする。図 1 3 に示すように、アノード電圧を初期化電圧として用いると、図 1 3 の左側に示すように、動作マージン電圧は 0 . 5 V となる。それに対して、放電期間 T 0 を設けて、発光素子 1 1 0 の閾値電圧 V t h o l e d を初期化電圧とする場合、マージン電圧は 2 . 5 V となる。この例では、動作マージン電圧が 0 . 5 V から 2 . 5 V になり、 2 V 広がる。

#### 【 0 0 4 7 】

以上のように、表示装置 1 では、初期化期間において、容量 C s t と第 1 電極とを接続することで、容量における電位差を増大させる。

#### 【 0 0 4 8 】

本実施の形態は、以下の効果を奏する。初期化期間 T 1 の前に放電期間 T 0 を設けることで、初期化電圧を発光素子 1 1 0 の閾値電圧 V t h o l e d となる。それにより、初期化前の発光素子 1 1 0 が明発光であっても、閾値電圧 V t h o l e d まで下げることが可

10

20

30

40

50

能となる。それにより、トランジスタM1の閾値電圧 $V_{th}$ を検出するための動作マージンが拡大する。その結果、閾値電圧 $V_{th}$ のばらつきや長期間使用により閾値電圧 $V_{th}$ が変動しても、閾値電圧 $V_{th}$ の検出が可能となる。また、マージンが拡大すると、電源電圧 $V_{DD}$ 、 $V_{SS}$ の電位差を下げるのが可能となる。それにより、表示装置の消費電力の低減が可能となる。

【0049】

初期化期間において、トランジスタM1は電源供給線 $V_{DD}$ から切り離されているため、発光素子110に電流は流れない。それにより、発光素子110が発光しないので、表示品位の低下を抑制可能となる。また、発光素子110に電流が流れないことにより、発光素子110のアノード電位が上昇しないので、トランジスタM1の閾値検出の精度低下を防ぐことが可能となる。

10

【0050】

このように、表示品位低下と駆動トランジスタM1の閾値検出の精度低下とを防ぐ画素回路11を4つのトランジスタと1つの容量とで実現できる。一般的に、駆動トランジスタの閾値検出の精度低下を防ぐ画素回路11では、5つ以上のトランジスタが必要である(例えば、特許文献1では、6つのトランジスタが必要である)。

【0051】

しかし、本実施の形態における画素回路11は、4つのトランジスタと1つの容量とで実現できるので、5つ以上のトランジスタを有する画素回路や、2つ以上の容量を有する画素回路に比べて、画素回路の面積を削減できる。画素回路の面積が削減できるので、画素面積が削減できる。画素面積が削減できると単位面積あたりの画素数を増やすこと、すなわち高精細化が可能になる。

20

【0052】

さらに、容量 $C_{st}$ の初期化に発光素子110のアノード電圧を用いるので、初期化のための電源線や信号線の追加が不要となる。そのため、画素回路11内に初期化のための電源線や信号線の追加が不要になり、回路面積の削減に貢献する。その結果、さらなる高精細化が可能になる。

【0053】

(第2実施の形態)

前述した第1実施の形態とは画素回路11内の結線が異なる第2実施の形態について説明する。第2実施の形態では、データドライバ14からデータ線 $V_{data}$ (データ線D1からDmのいずれか)を介して供給されるデータ電圧の $Bright$ と $Dark$ が、第1実施の形態とは逆転している。

30

【0054】

図14は第2実施の形態における画素回路11の構成例を示す回路図である。図14において、図3と対応する部分には同一符号を付している。

【0055】

画素回路11は、5つのトランジスタM1(駆動トランジスタ)、トランジスタM2(第4制御素子)、トランジスタM3(第2制御素子)、トランジスタM4(第1制御素子)及びトランジスタM5(第3制御素子)と、容量 $C_{st}$ と、発光素子110とを含む。

40

【0056】

トランジスタM1のソース $M1S$ (第3電極)は、トランジスタM5のドレイン $M5D$ (第6電極)と容量 $C_{st}$ の他方の電極 $ec1$ (第10電極)とに接続している。トランジスタM1のドレイン $M1D$ (第4電極)は、発光素子110のアノード110A(第1電極)に接続している。トランジスタM1のゲート $M1G$ は、トランジスタM2のドレイン $M2D$ (第8電極)とトランジスタM4のドレイン $M4D$ (第6電極)とに接続している。発光素子110のカソード110C(第2電極)は、電源供給線 $V_{SS}$ に接続している。

【0057】

トランジスタM2のドレイン $M2D$ は、トランジスタM1のゲート $M1G$ とトランジスタ

50

タM4のドレインM4D(第6電極)とに接続している。トランジスタM2のソースM2S(第7電極)は、データ線Vdataに接続している。トランジスタM2のゲートM2Gには、制御信号(走査信号)S2が入力される。

【0058】

トランジスタM3のドレインM3D(第6電極)は、トランジスタM4のソースM4S(第5電極)と容量Cstの一方の電極ec2(第9電極)とに接続している。トランジスタM3のソースM3S(第5電極)には、基準電圧源Vrefが接続されている。トランジスタM3のゲートM3Gには、制御信号(走査信号)S1が入力される。

【0059】

トランジスタM4のソースM4Sは、トランジスタM3のドレインM3Dと容量Cstの一方の電極ec2とに接続している。トランジスタM4のドレインM4Dは、トランジスタM1のゲートM1GとトランジスタM2のドレインM2Dとに接続している。トランジスタM4のゲートM4Gには、制御信号(発光制御信号)E1が入力される。

【0060】

トランジスタM5のドレインM5Dは、トランジスタM1のソースM1Sと容量Cstの他方の電極ec1とに接続している。トランジスタM5のソースM5S(第5電極)には、第1電源VDDが接続されている。トランジスタM5のゲートM5Gには、制御信号(発光制御信号)E2が入力される。

【0061】

図15は第2実施の形態における画素回路11の動作を示す説明図である。図15Aは図14と同様な画素回路11を示す回路図であり、図15Bは画素回路11の各期間におけるトランジスタM2からM5のON・OFFの関係を示す表であり、図15Cは画素回路11の各動作期間における各制御信号の変化、データ信号を時系列で示したグラフである。

【0062】

第2実施の形態にあって、図15Bに示すように、各トランジスタM2、M3、M4及びM5のON・OFFの切替えタイミングは、第1実施の形態(図4B参照)と同じである。また、第2実施の形態にあって、図15Cに示すように、各制御信号S1、S2、E1及びE2のハイ/ローのパターンは、第1実施の形態(図4C参照)と同じである。しかし、第2実施の形態では、図15Cに示すように、データ電圧VdataのBrightとDarkが、第1実施の形態(図4C参照)とは逆転している。

【0063】

放電期間T0及び初期化期間T1にあって、駆動トランジスタであるトランジスタM1のゲートM1Gの電位を固定するトランジスタM4をOFFとしていることにより、トランジスタM1がOFFとなって、トランジスタM1を介した発光素子110への充電は行われない。その結果、発光素子110のアノード110Aの電位は閾値電圧Vtholdまで低下し、不要な発光が行われない。

【0064】

(第3実施の形態)

前述した第1実施の形態とは画素回路11内の結線が異なる第3実施の形態について説明する。第3実施の形態では、使用するTFTをすべてN型TFTで構成している。

【0065】

図16は第3実施の形態における画素回路11の構成例を示す回路図である。図16において、図3と対応する部分には同一符号を付している。

【0066】

画素回路11は、5つのトランジスタM1(駆動トランジスタ)、トランジスタM2(第4制御素子)、トランジスタM3(第2制御素子)、トランジスタM4(第1制御素子)及びトランジスタM5(第3制御素子)と、容量Cstと、発光素子110とを含む。

【0067】

トランジスタM1のゲートM1Gは、トランジスタM3のドレインM3D(第6電極)

10

20

30

40

50

と容量  $C_{st}$  の他方の電極  $e_{c1}$  (第10電極) とに接続している。トランジスタ  $M_1$  のソース  $M_1S$  (第3電極) は、トランジスタ  $M_3$  のソース  $M_3S$  (第5電極) とトランジスタ  $M_5$  のドレイン  $M_5D$  (第6電極) とに接続している。トランジスタ  $M_1$  のドレイン  $M_1D$  (第4電極) は、トランジスタ  $M_2$  のドレイン  $M_2D$  (第8電極) と、トランジスタ  $M_4$  のソース  $M_4S$  (第5電極) とに接続している。

【0068】

トランジスタ  $M_2$  のドレイン  $M_2D$  は、トランジスタ  $M_1$  のドレイン  $M_1D$  と、トランジスタ  $M_4$  のソース  $M_4S$  とに接続している。トランジスタ  $M_2$  のソース  $M_2S$  (第7電極) は、データ線  $V_{data}$  に接続している。トランジスタ  $M_2$  のゲート  $M_2G$  には、制御信号 (走査信号)  $S_2$  が入力される。

10

【0069】

トランジスタ  $M_3$  のソース  $M_3S$  (第5電極) は、トランジスタ  $M_1$  のソース  $M_1S$  とトランジスタ  $M_5$  のドレイン  $M_5D$  とに接続している。トランジスタ  $M_3$  のドレイン  $M_3D$  は、トランジスタ  $M_1$  のゲート  $M_1G$  と容量  $C_{st}$  の他方の電極  $e_{c1}$  (第4電極) とに接続している。トランジスタ  $M_3$  のゲート  $M_3G$  には、制御信号 (走査信号)  $S_1$  が入力される。

【0070】

トランジスタ  $M_4$  のソース  $M_4S$  は、トランジスタ  $M_1$  のドレイン  $M_1D$  とトランジスタ  $M_2$  のドレイン  $M_2D$  とに接続している。トランジスタ  $M_4$  のドレイン  $M_4D$  は、発光素子 110 のアノード 110A (第1電極) と容量  $C_{st}$  の一方の電極  $e_{c2}$  (第9電極) とに接続している。トランジスタ  $M_4$  のゲート  $M_4G$  には、制御信号 (発光制御信号)  $E_1$  が入力される。発光素子 110 のカソード 110C (第2電極) は、電源供給線  $V_S$  に接続している。

20

【0071】

トランジスタ  $M_5$  のドレイン  $M_5D$  は、トランジスタ  $M_1$  のソース  $M_1S$  とトランジスタ  $M_3$  のソース  $M_3S$  とに接続している。トランジスタ  $M_5$  のソース  $M_5S$  (第5電極) には、第1電源  $V_{DD}$  が接続されている。トランジスタ  $M_5$  のゲート  $M_5G$  には、制御信号 (発光制御信号)  $E_2$  が入力される。

【0072】

図17は第3実施の形態における画素回路11の動作を示す説明図である。図17Aは図16と同様な画素回路11を示す回路図であり、図17Bは画素回路11の各期間におけるトランジスタ  $M_2$  から  $M_5$  の  $ON \cdot OFF$  の関係を示す表であり、図17Cは画素回路11の各動作期間における各制御信号の変化、データ信号を時系列で示したグラフである。

30

【0073】

第3実施の形態にあって、図17Bに示すように、各トランジスタ  $M_2$ 、 $M_3$ 、 $M_4$  及び  $M_5$  の  $ON \cdot OFF$  の切替えタイミングは、第1実施の形態 (図4B参照) と同じである。但し、第3実施の形態にあっては、図17Cに示すように、制御信号  $S_1$ 、 $S_2$ 、 $E_1$ 、 $E_2$  それぞれは、アクティブハイ信号である。すなわち、制御信号  $S_1$ 、 $S_2$ 、 $E_1$ 、 $E_2$  の値がハイ (H) のときは、それぞれに対応するトランジスタ  $M_3$ 、 $M_2$ 、 $M_4$ 、 $M_5$  は  $ON$  となる。制御信号  $S_1$ 、 $S_2$ 、 $E_1$ 、 $E_2$  の値がロー (L) のときは、それぞれに対応するトランジスタ  $M_3$ 、 $M_2$ 、 $M_4$ 、 $M_5$  は  $OFF$  となる。また、第2実施の形態では、図17Cに示すように、データ電圧  $V_{data}$  の  $Bright$  と  $Dark$  が、第1実施の形態 (図4C参照) とは逆転している。

40

【0074】

放電期間  $T_0$  及び初期化期間  $T_1$  にあって、トランジスタ  $M_4$  を  $OFF$  としていることにより、発光素子 110 のアノード 110A の電位は閾値電圧  $V_{tholed}$  まで低下し、容量  $C_{st}$  の一方の電極  $e_{c2}$  の電位も  $V_{tholed}$  に初期化される。

【0075】

(第4実施の形態)

50

前述した第 1 実施の形態とは画素回路 1 1 内の結線が異なる第 4 実施の形態について説明する。第 4 実施の形態では、使用する T F T をすべて N 型 T F T で構成している。

【 0 0 7 6 】

図 1 8 は第 4 実施の形態における画素回路 1 1 の構成例を示す回路図である。図 1 8 において、図 3 と対応する部分には同一符号を付している。

【 0 0 7 7 】

トランジスタ M 1 のゲート M 1 G は、トランジスタ M 2 のドレイン M 2 D ( 第 8 電極 ) とトランジスタ M 4 のソース M 4 S ( 第 5 電極 ) とに接続している。トランジスタ M 1 のドレイン M 1 D ( 第 4 電極 ) は、トランジスタ M 5 のソース M 5 S ( 第 5 電極 ) と容量 C s t の他方の電極 e c 1 ( 第 1 0 電極 ) とに接続している。トランジスタ M 1 のソース M 1 S ( 第 3 電極 ) には、第 1 電源 V D D が接続されている。

10

【 0 0 7 8 】

トランジスタ M 2 のドレイン M 2 D は、トランジスタ M 1 のゲート M 1 G とトランジスタ M 4 のソース M 4 S ( 第 5 電極 ) とに接続している。トランジスタ M 2 のソース M 2 S ( 第 7 電極 ) は、データ線 V d a t a に接続している。トランジスタ M 2 のゲート M 2 G には、制御信号 ( 走査信号 ) S 2 が入力される。

【 0 0 7 9 】

トランジスタ M 3 のドレイン M 3 D ( 第 6 電極 ) は、トランジスタ M 4 のドレイン M 4 D ( 第 6 電極 ) と容量 C s t の一方の電極 e c 2 ( 第 9 電極 ) とに接続している。トランジスタ M 3 のソース M 3 S ( 第 5 電極 ) には、基準電圧源 V r e f が接続されている。トランジスタ M 3 のゲート M 3 G には、制御信号 ( 走査信号 ) S 1 が入力される。

20

【 0 0 8 0 】

トランジスタ M 4 のソース M 4 S は、トランジスタ M 1 のゲート M 1 G とトランジスタ M 2 のドレイン M 2 D とに接続している。トランジスタ M 4 のドレイン M 4 D は、トランジスタ M 3 のドレイン M 3 D と容量 C s t の一方の電極 e c 2 とに接続している。トランジスタ M 4 のゲート M 4 G には、制御信号 ( 発光制御信号 ) E 1 が入力される。

【 0 0 8 1 】

トランジスタ M 5 のソース M 5 S は、トランジスタ M 1 のドレイン M 1 D と容量 C s t の他方の電極 e c 1 ( 第 1 0 電極 ) とに接続している。トランジスタ M 5 のドレイン M 5 D ( 第 6 電極 ) は、発光素子 1 1 0 のアノード 1 1 0 A ( 第 1 電極 ) に接続している。トランジスタ M 5 のゲート M 5 G には、制御信号 ( 発光制御信号 ) E 2 が入力される。発光素子 1 1 0 のカソード 1 1 0 C ( 第 2 電極 ) は、電源供給線 V S S に接続している。

30

【 0 0 8 2 】

図 1 9 は第 4 実施の形態における画素回路 1 1 の動作を示す説明図である。図 1 9 A は図 1 8 と同様な画素回路 1 1 を示す回路図であり、図 1 9 B は画素回路 1 1 の各期間におけるトランジスタ M 2 から M 5 の O N ・ O F F の関係を示す表であり、図 1 9 C は画素回路 1 1 の各動作期間における各制御信号の変化、データ信号を時系列で示したグラフである。

【 0 0 8 3 】

第 4 実施の形態にあって、図 1 9 B に示すように、各トランジスタ M 2 、 M 3 、 M 4 及び M 5 の O N ・ O F F の切替えタイミングは、第 1 実施の形態 ( 図 4 B 参照 ) と同じである。但し、第 4 実施の形態にあっては、図 1 9 C に示すように、制御信号 S 1 、 S 2 、 E 1 、 E 2 それぞれは、アクティブハイ信号である。すなわち、制御信号 S 1 、 S 2 、 E 1 、 E 2 の値がハイ ( H ) のときは、それぞれに対応するトランジスタ M 3 、 M 2 、 M 4 、 M 5 は O N となる。制御信号 S 1 、 S 2 、 E 1 、 E 2 の値がロー ( L ) のときは、それぞれに対応するトランジスタ M 3 、 M 2 、 M 4 、 M 5 は O F F となる。

40

【 0 0 8 4 】

放電期間 T 0 及び初期化期間 T 1 にあって、駆動トランジスタであるトランジスタ M 1 のゲート M 1 G の電位を固定するトランジスタ M 4 を O F F としていることにより、トランジスタ M 1 を介した発光素子 1 1 0 への充電は行われぬ。発光素子 1 1 0 のアノード

50

110Aの電位は閾値電圧Vtholedまで低下し、容量Cstの他方の電極ec1もVtholedに初期化される。

【0085】

各実施の形態で記載されている技術的特徴（構成要件）はお互いに組み合わせ可能であり、組み合わせることにより、新しい技術的特徴を形成することができる。

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

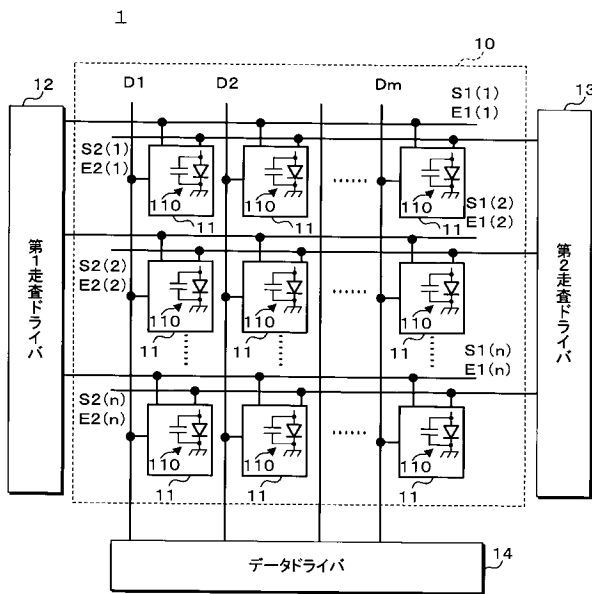
【0086】

- 1 表示装置
- 11 画素回路
- 110 発光素子（OLED素子）
- 110A アノード電極
- 110C カソード電極
- Cst 容量
- M1 トランジスタ（駆動トランジスタ）
- M2 トランジスタ（第4制御素子）
- M3 トランジスタ（第2制御素子）
- M4 トランジスタ（第1制御素子）
- M5 トランジスタ（第3制御素子）

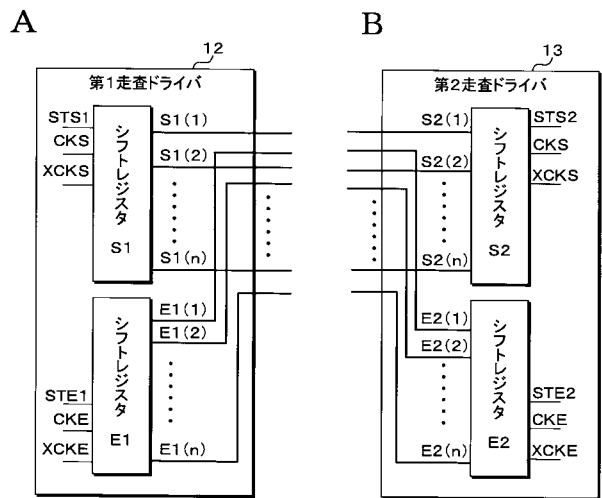
10

20

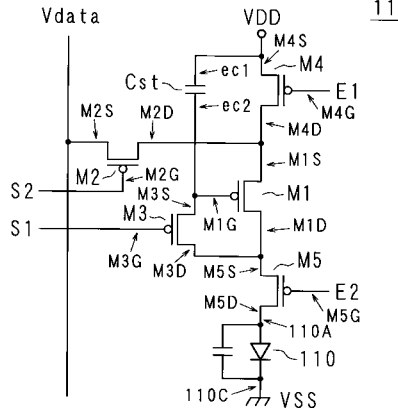
【図1】



【図2】

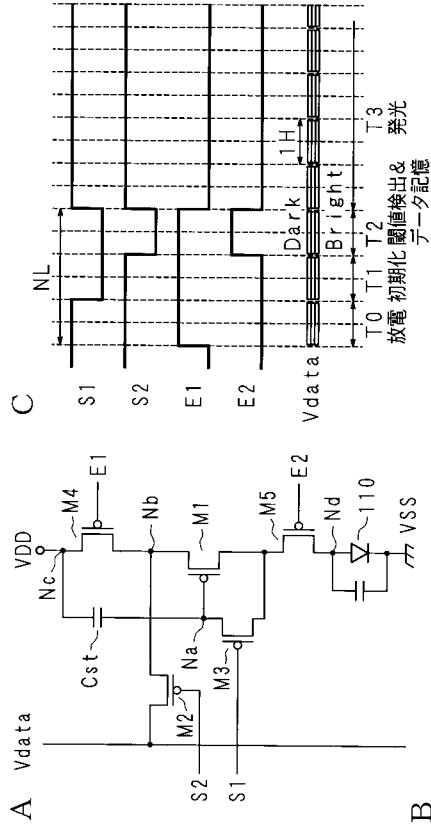


【 図 3 】

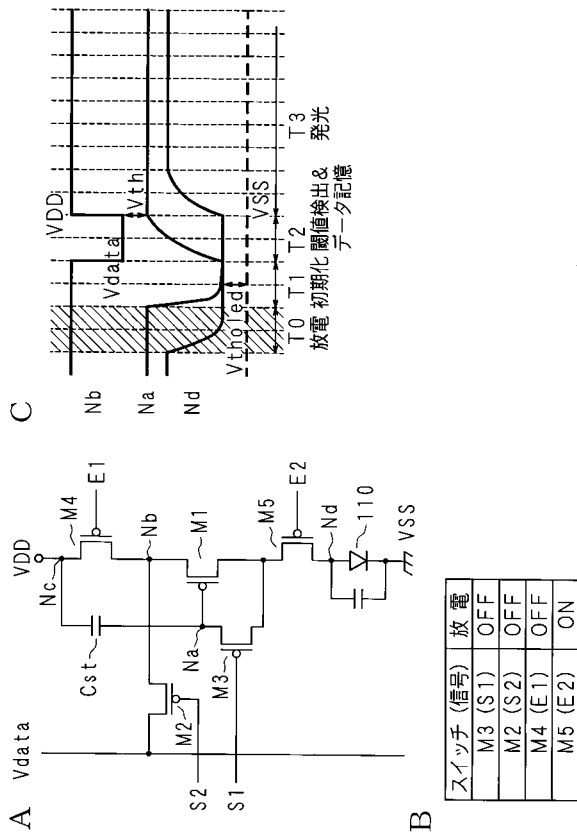


11

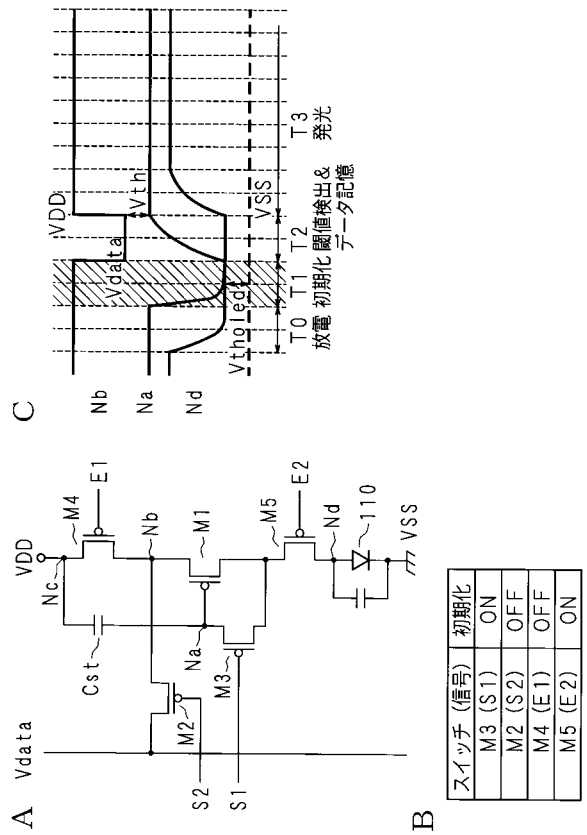
【 図 4 】



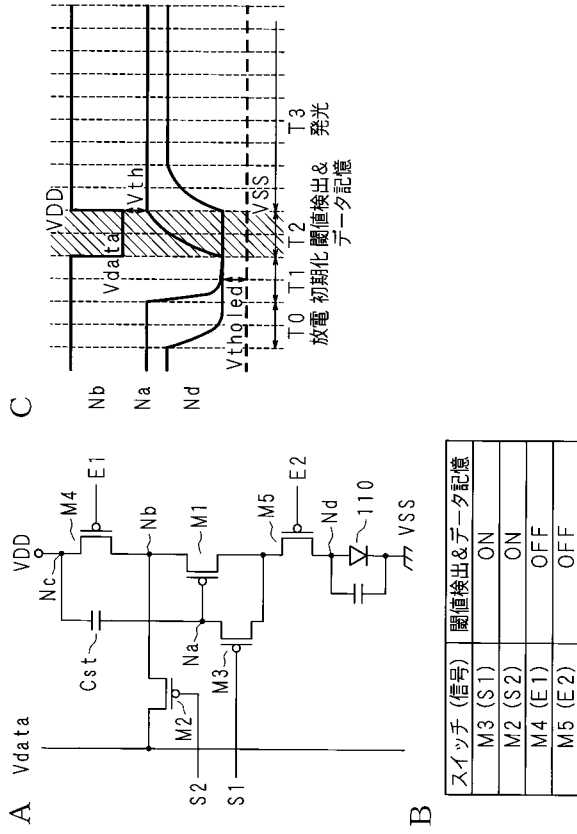
【 図 5 】



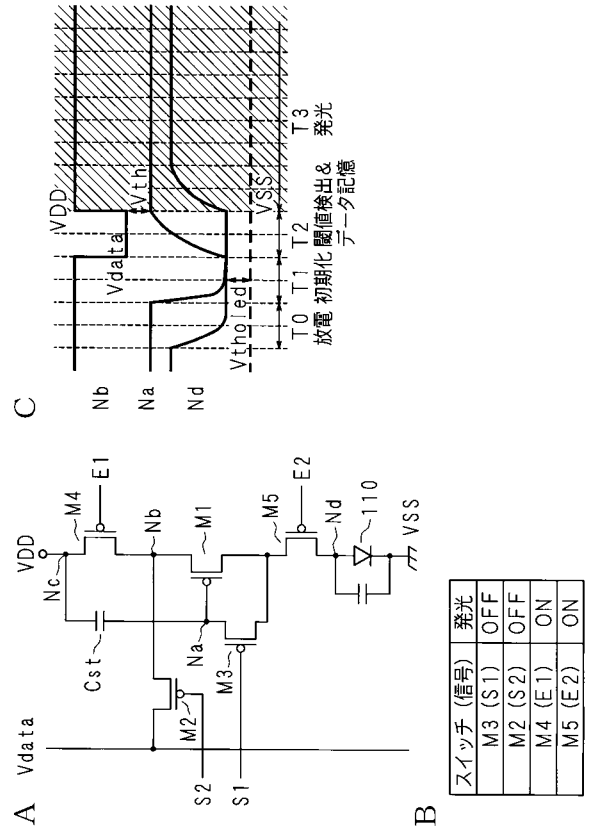
【 図 6 】



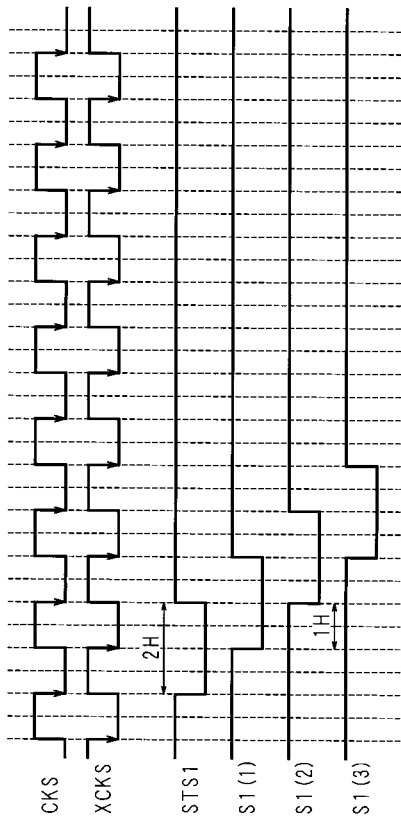
【 図 7 】



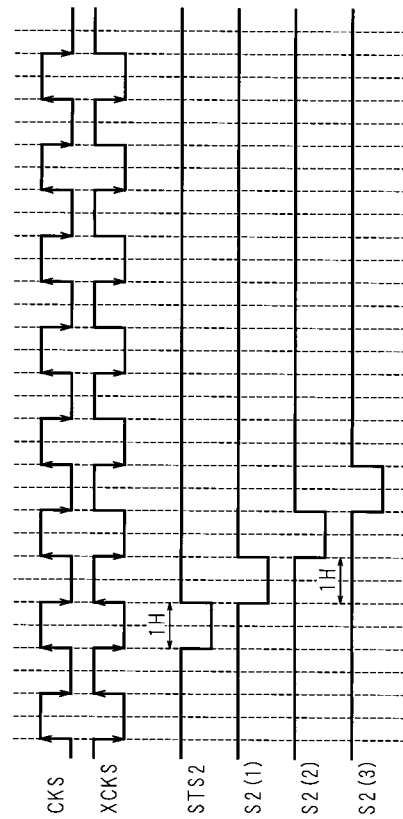
【 図 8 】



【 図 9 】

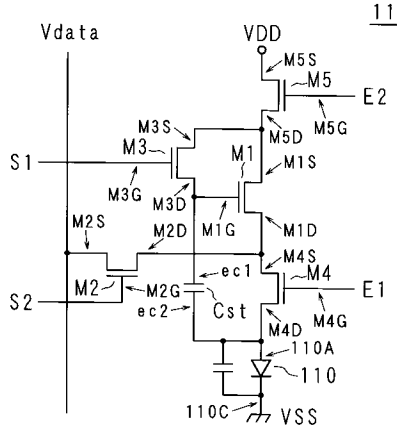


【 図 10 】

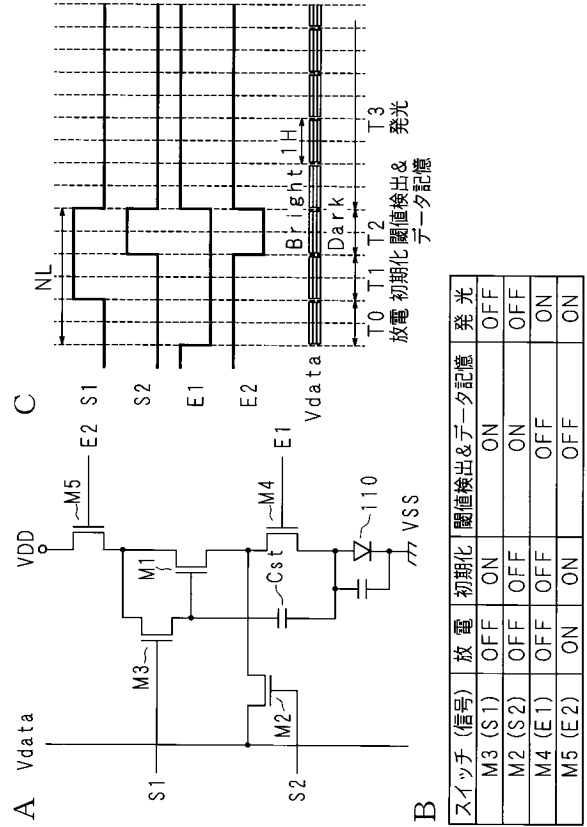




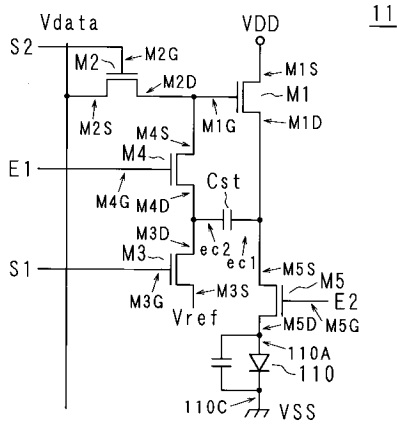
【図 16】



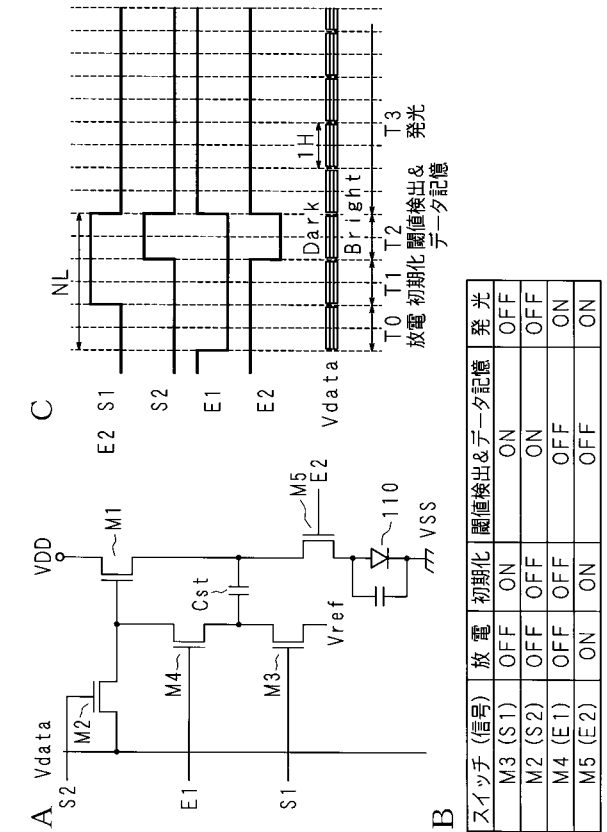
【図 17】



【図 18】



【図 19】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 FF11 JJ02 JJ03 JJ04  
5C380 AA01 AB06 BA13 BA39 BB02 CA12 CB11 CB16 CB17 CC06  
CC07 CC26 CC33 CC39 CC65 CD025 CF07 DA02 DA06

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2018025749A</a>	公开(公告)日	2018-02-15
申请号	JP2017074731	申请日	2017-04-04
[标]发明人	野中義弘 柳瀬慈郎 高取憲一		
发明人	野中 義弘 柳瀬 慈郎 高取 憲一		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A G09G3/20.641.D H05B33/14.A G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA13 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CB11 5C380/CB16 5C380/CB17 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD025 5C380/CF07 5C380/DA02 5C380/DA06		
优先权	2016155047 2016-08-05 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种能够通过执行驱动晶体管阈值补偿来实现高清晰度的显示装置。发光元件，包括第一电极，第二电极以及设置在第一电极和第二电极之间的有机发光层;电容器;以及以及用于使电流流过发光元件的驱动晶体管其中像素电路停止向发光元件提供电流并连接电容器和第一电极的电路。

