

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-97053

(P2010-97053A)

(43) 公開日 平成22年4月30日 (2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 621M	
	G09G 3/20 680G	
	G09G 3/20 642A	

審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-268512 (P2008-268512)
 (22) 出願日 平成20年10月17日 (2008.10.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 妹尾 佑樹
 東京都品川区西五反田3丁目9番17号
 ソニーエンジニアリング株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 パネル

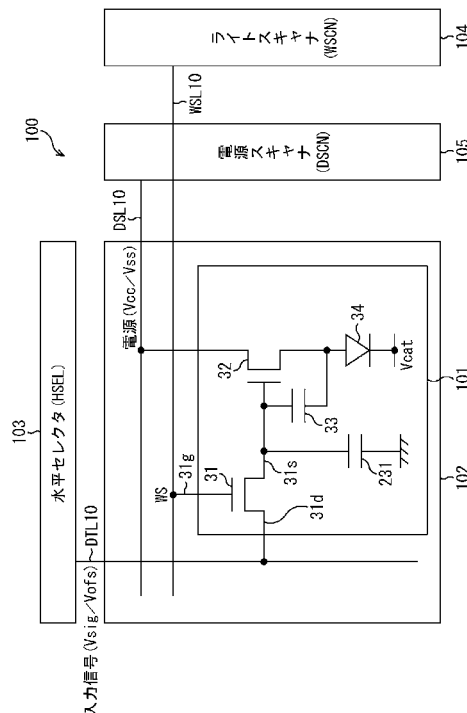
(57) 【要約】

【課題】画素ごとの輝度のバラつきを改善することができるようにする。

【解決手段】駆動電流に応じて発光する発光素子34と、映像信号を書き込む書き込みトランジスタ31と、駆動電流を発光素子34に供給する駆動トランジスタ32と、書き込みトランジスタ31とGNDとの間に接続される補助容量231とを備える画素101は、同一水平ラインにN個(Nは2以上の整数値)配置される。N個の画素101の書き込みトランジスタ31のそれぞれは、走査線信号を伝搬する1本の走査線WSL10に接続されている。同一走査線WSL10に接続される画素101の全ての書き込みパルスが略同一波形となるように、N個の画素101のそれぞれの補助容量231の容量値が決定されている。本発明は、例えば、ELパネルに適用できる。

【選択図】 図8

図8



【特許請求の範囲】

【請求項 1】

駆動電流に応じて発光する発光素子と、
映像信号を書き込む書き込みトランジスタと、
前記駆動電流を前記発光素子に供給する駆動トランジスタと、
前記書き込みトランジスタと GND との間に接続される補助容量と
を備える画素回路を行列状に配置した
パネル。

【請求項 2】

1 つの水平ラインに配置される複数の前記画素回路のうちの少なくとも 2 以上の画素回路のそれぞれは、走査線信号を伝搬する 1 本の走査線に接続されており、

前記走査線信号が前記走査線の終端に伝搬されたときの波形に基づいて、前記走査線に接続される前記画素回路の全ての書き込みパルスが略同一波形となるように、前記走査線に接続された前記画素回路のそれぞれの前記補助容量の容量値が決定されている

請求項 1 に記載のパネル。

10

【請求項 3】

前記 N 個の画素回路に備えられる前記補助容量のそれぞれは、前記走査線の始端から終端に向かう程容量値が小さくなっていくように構成されている

請求項 1 に記載のパネル。

【請求項 4】

前記走査線の終端に接続される前記画素回路には、前記補助容量の配置が禁止されている

請求項 3 に記載のパネル。

20

【請求項 5】

前記補助容量は、前記駆動トランジスタのソースと GND との間に接続される

請求項 1 に記載のパネル。

【請求項 6】

前記補助容量は、前記駆動トランジスタのゲートと GND との間に接続される

請求項 1 に記載のパネル。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、パネルに関し、特に、EL パネルにおける輝度のバラつきを抑制することができるようになったパネルに関する。

【背景技術】

【0002】

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル（以下、EL パネルと称する）の開発が近年盛んになっている（例えば、特許文献 1 乃至 5 参照）。有機 EL デバイスは、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは、印加電圧が 10 V 以下で駆動するため低消費電力のデバイスである。また有機 EL デバイスは、自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易にできるデバイスである。さらに有機 EL デバイスは、その応答速度が数 μ s 程度と非常に高速であるので、動画表示時の残像が発生しないデバイスである。

40

【0003】

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 133240 号公報

【特許文献 4】特開 2004 - 029791 号公報

【特許文献 5】特開 2004 - 093682 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来のELパネルでは、画素ごとに輝度のバラつきがあり、このため、ユーザの目にはムラとなって表れてしまう恐れもあった。

【0005】

本発明は、このような状況に鑑みてなされたものであり、ELパネルにおける輝度のバラつきを抑制することができるようにするものである。

【課題を解決するための手段】

【0006】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子と、映像信号を書き込む書き込みトランジスタと、前記駆動電流を前記発光素子に供給する駆動トランジスタと、前記書き込みトランジスタとGNDとの間に接続される補助容量とを備える画素回路を行列状に配置したパネルである。

【0007】

1つの水平ラインに配置される複数の前記画素回路のうちの少なくとも2以上の画素回路のそれぞれは、走査線信号を伝搬する1本の走査線に接続されており、前記走査線信号が前記走査線の終端に伝搬されたときの波形に基づいて、前記走査線に接続される前記画素回路の全ての書き込みパルスが略同一波形となるように、前記走査線に接続された前記画素回路のそれぞれの前記補助容量の容量値が決定されている。

【0008】

前記N個の画素回路に備えられる前記補助容量のそれぞれは、前記走査線の始端から終端に向かう程容量値が小さくなっていくように構成されている。

【0009】

前記走査線の終端に接続される前記画素回路には、前記補助容量の配置が禁止されている。

【0010】

前記補助容量は、前記駆動トランジスタのソースとGNDとの間に接続される。

【0011】

前記補助容量は、前記駆動トランジスタのゲートとGNDとの間に接続される。

【0012】

本発明の一側面のパネルにおいては、駆動電流に応じて発光する発光素子と、映像信号を書き込む書き込みトランジスタと、前記駆動電流を前記発光素子に供給する駆動トランジスタと、前記書き込みトランジスタとGNDとの間に接続される補助容量とを備える画素回路が行列状に配置されている。

【発明の効果】

【0013】

本発明によれば、画素ごとの輝度のバラつきを改善することができる。

【発明を実施するための最良の形態】

【0014】

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、ELパネルの基本となる構成と動作について図1乃至図5を参照して説明する。

【0015】

図1は、基本となるELパネルの構成例を示すブロック図である。

【0016】

図1のELパネル100は、N×M個の画素（画素回路）101 - (1, 1)乃至101 - (N, M)が行列状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105とにより構成されている。

【0017】

10

20

30

40

50

また、E Lパネル100は、M本の走査線W S L 10 - 1乃至10 - M、M本の電源線D S L 10 - 1乃至10 - M、およびN本の映像信号線D T L 10 - 1乃至10 - Nも有する。

【0018】

なお、以下において、走査線W S L 10 - 1乃至10 - M、映像信号線D T L 10 - 1乃至10 - N、画素101 - (1, 1)乃至101 - (N, M)、または電源線D S L 10 - 1乃至10 - Mのそれぞれを特に区別する必要がない場合、単に、走査線W S L 10、映像信号線D T L 10、画素101、または電源線D S L 10と称する。

【0019】

画素101 - (1, 1)乃至101 - (N, M)のうちの第1行目の画素101 - (1, 1)乃至101 - (N, 1)は、走査線W S L 10 - 1でライトスキャナ104と、電源線D S L 10 - 1で電源スキャナ105とそれぞれ接続されている。また、画素101 - (1, 1)乃至101 - (N, M)のうちの第M行目の画素101 - (1, M)乃至101 - (N, M)は、走査線W S L 10 - Mでライトスキャナ104と、電源線D S L 10 - Mで電源スキャナ105とそれぞれ接続されている。画素101 - (1, 1)乃至101 - (N, M)の行方向に並ぶその他の画素101についても同様である。

10

【0020】

また、画素101 - (1, 1)乃至101 - (N, M)のうちの第1列目の画素101 - (1, 1)乃至101 - (1, M)は、映像信号線D T L 10 - 1で水平セクタ103と接続されている。画素101 - (1, 1)乃至101 - (N, M)のうちの第N列目の画素101 - (N, 1)乃至101 - (N, M)は、映像信号線D T L 10 - Nで水平セクタ103と接続されている。画素101 - (1, 1)乃至101 - (N, M)の列方向に並ぶその他の画素101についても同様である。

20

【0021】

ライトスキャナ104は、走査線W S L 10 - 1乃至10 - Mに水平期間(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線D S L 10 - 1乃至10 - Mに第1電位(後述するV c c)または第2電位(後述するV s s)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位V s i gと基準電位V o f sとを切換えて列状の映像信号線D T L 10 - 1乃至10 - Nに供給する。

30

【0022】

図1のように構成されるE Lパネル100に、ソースドライバおよびゲートドライバとからなるドライバI C(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像L S I(Large Scale Integrati on)などを付加したものが表示装置となる。E Lパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

【0023】

図2は、E Lパネル100の基板のレイアウト例を示している。

【0024】

図2の基板において、中央には、画素アレイ部102が配置されている。画素アレイ部102は、上から順に、表示画素部102 a、カソード蒸着エリア102 b、およびアノード(電源補助配線)102 cが積層されて構成されている。画素アレイ部102の左には、ライトスキャナ104と電源スキャナ105が一体化されたスキャナ181が配置されている。画素アレイ部102の下には、水平セクタ103が配置されている。スキャナ181と画素アレイ部102は、電源線D S L 10及び走査線W S L 10を介して接続されている。水平セクタ103と画素アレイ部102は、映像信号線D T L 10を介して接続されている。画素アレイ部102の上には、電力入力部182が設けられている。

40

【0025】

図3は、図1に示したE Lパネル100に含まれるN x M個の画素101のうちの1つ

50

の画素 101 を拡大することにより、画素 101 の詳細な構成を示したブロック図である。ただし、画素 101 としては、従来の画素を採用している。そこで、以下、図 3 の構成の画素 101 を、特に従来の画素 101 と称する。

【0026】

なお、図 3 において、従来の画素 101 と接続されている走査線 $WSL10$ 、映像信号線 $DTL10$ 、および電源線 $DSL10$ は、図 1 から明らかなように、画素 $101 - (n, m)$ ($n = 1, 2, \dots, N, m = 1, 2, \dots, M$) に対して、走査線 $WSL10 - (n, m)$ 、映像信号線 $DTL10 - (n, m)$ 、および電源線 $DSL10 - (n, m)$ となる。

【0027】

図 3 の従来の画素 101 は、書き込みトランジスタ 31、駆動トランジスタ 32、蓄積容量 33、および発光素子 34 を有する。なお、従来の画素 101 の素子構成は、 $2Tr$ (transistor) + $1C$ (capacitor) と呼ばれている。書き込みトランジスタ 31 のゲート $31g$ は走査線 $WSL10$ と接続され、書き込みトランジスタ 31 のドレイン $31d$ は映像信号線 $DTL10$ と接続されるとともに、ソース $31s$ が駆動トランジスタ 32 のゲートと接続されている。

【0028】

駆動トランジスタ 32 のソースは発光素子 34 のアノード $34a$ に接続され、ドレインが電源線 $DSL10$ に接続される。蓄積容量 33 は、駆動トランジスタ 32 のゲートと発光素子 34 のアノード $34a$ の間に接続されている。また、発光素子 34 のカソード $34c$ は所定の電位 V_{cat} に設定されている。

【0029】

書き込みトランジスタ 31 および駆動トランジスタ 32 は、いずれも N チャネル型トランジスタであり、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができるため、画素回路の製造コストをより安価にすることができる。

【0030】

有機 EL 素子は電流発光素子であり、発光素子 34 は、供給される電流 I_{ds} の値に応じた階調の発光を行う。

【0031】

以上のように構成される画素 101 において、書き込みトランジスタ 31 が、走査線 $WSL10$ から供給された制御信号に応じてオン（導通）すると、蓄積容量 33 は、映像信号線 $DTL10$ を介して水平セクタ 103 から供給された電荷を蓄積して保持する。駆動トランジスタ 32 は、高電位 V_{cc} にある電源線 $DSL10$ から電流の供給を受け、蓄積容量 33 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子 34 に流す。発光素子 34 に所定の駆動電流 I_{ds} が流れることにより、画素 101 が発光する。

【0032】

画素 101 は、閾値補正機能を有する。閾値補正機能とは、駆動トランジスタ 32 の閾値電圧 V_{th} に相当する電圧を蓄積容量 33 に保持させる機能であり、これにより、 EL パネル 100 の画素毎のバラツキの原因となる駆動トランジスタ 32 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0033】

また、画素 101 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 33 に信号電位 V_{sig} を保持する際、駆動トランジスタ 32 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

【0034】

さらに、画素 101 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能であり、これにより、駆動トランジスタ 32 のゲート $32g$ とソース $32s$ 間の電圧（以下、ゲートソース間電圧と称する） V_{gs} を一定に維持することが出来る。

【0035】

10

20

30

40

50

図4は、従来の画素101の基板のレイアウト例を示している。

【0036】

図4の基板には、その製造工程のひとつである露光処理により、下から順に、第1の金属層M1と、第2の金属層M2とが少なくとも積層される。なお、第1の金属層M1は、図4では、濃い灰色の領域として表されている。第2の金属層M2は、図4のAでは、薄い灰色の領域として表されている。なお、この段落の内容は、後述する他の基板にもあてはまる内容である。

【0037】

図4の基板において、同図中左上方には、書き込みトランジスタ31が配置され、その右方には、蓄積容量33が配置され、さらにその右方には、駆動トランジスタ32が配置されている。

10

【0038】

図4に示されるように、書き込みトランジスタ31のゲート31gは、第1の金属層M1の一部として形成されている。書き込みトランジスタ31のドレイン31dとソース31sとはそれぞれ、第2の金属層M2の一部（ただし分割された独立の金属層）として形成されている。なお、以下、ドレイン31dを形成している第2の金属層M2を、ドレイン31d側の第2の金属層M2と称する。また、以下、ソース31sを形成している第2の金属層M2を、ソース31s側の第2の金属層M2と称する。

【0039】

ドレイン31d側の第2の金属層M2は、長方形の形状で形成されている。ソース31s側の第2の金属層M2は、L字状の形状で形成されている。ドレイン31d側の第2の金属層M2と、ソース31s側の第2の金属層M2とは、ゲート31gを形成している第1の金属層M1の上方に、長方形の長辺とL字の長線部分とがほぼ平行となるように配置されている。

20

【0040】

図5は、画素101の動作を説明するタイミングチャートである。なお、ここで、画素101の動作と記述した理由は、動作自体は、図3の従来の画素101も、後述する本発明が適用される各種画素101も基本的に同様であるからである。

【0041】

図5は、同一の時間軸（図横方向）に対する走査線WSL10、電源線DSL10、および映像信号線DTL10の電位変化と、それに対応する駆動トランジスタ32のゲート電位Vg及びソース電位Vsの変化を示している。

30

【0042】

図5において、時刻 t_1 までの期間は、前の水平期間（1H）の発光がなされている発光期間 T_1 である。

【0043】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動トランジスタ32のゲート電位Vg及びソース電位Vsを初期化することで閾値補正動作の準備を行う閾値補正準備期間 T_2 である。

【0044】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ105が、電源線DSL10の電位を高電位であるVccから低電位であるVssに切換え、時刻 t_2 において、水平セクタ103が、映像信号線DTL10の電位を信号電位Vsigから基準電位Vofsに切替える。次に、時刻 t_3 において、ライトスキャナ104が、走査線WSL10の電位を高電位に切換え、書き込みトランジスタ31をオンさせる。これにより、駆動トランジスタ32のゲート電位Vgが基準電位Vofsにリセットされ、且つ、ソース電位Vsが映像信号線DTL10の低電位Vssにリセットされる。

40

【0045】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ105により、電源線DSL10の電位が高

50

電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 32 のゲート 32g とソース 32s との間に接続された蓄積容量 33 に書き込まれる。

【0046】

時刻 t_5 から時刻 t_7 までの期間 T_4 (以下、書き込み + 移動度補正準備期間 T_4 と称する) では、走査線 $WSL10$ の電位が高電位から低電位に一旦切換えられるとともに、時刻 t_7 の前の時刻 t_6 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

【0047】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $WSL10$ の電位が高電位に設定され、これにより、映像信号の信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれると共に、移動度補正用の電圧 V_{μ} が蓄積容量 33 に保持された電圧から差し引かれる。

10

【0048】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子 34 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 V_{μ} とによって調整されているため、発光素子 34 の発光輝度は駆動トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のバラツキの影響を受けない。

20

【0049】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動トランジスタ 32 のゲートソース間電圧 $V_{gs} = V_{sig} + V_{th} - V_{\mu}$ を一定に維持したまま、駆動トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0050】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $DTL10$ の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 5 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1H) に相当する。

【0051】

以上のようにして、画素 101 の構成を有する EL パネル 100 では、駆動トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のバラツキの影響を受けることがなく、発光素子 34 を発光させることができる。

30

【0052】

以上、EL パネルの基本となる構成と動作について説明した。

【0053】

ここで、図 6 乃至 8 を用いて、[発明が解決しようとする課題] の欄で上述した問題点の発生要因について説明する。

【0054】

図 6 は、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、走査線 $WSL10$ に供給される走査信号 NS_k (k は 0 乃至 N) が、画素アレイ部 102 の左端から入力された場合の様子を示している。

40

【0055】

走査線 $WSL10$ に接続される回路は、配線抵抗 R や配線容量 C を含み、いわゆる CR 回路となる。このため、この回路の応答は、時定数 $\tau = RC$ の一次遅れの応答になる。よって、1つの走査線 $WSL10 - L$ (L は 1 乃至 M のうちのいずれかの値。図 6 の例では、 K は 1 または M) に着目すると、画素アレイ部 102 の左端に入力された段階の走査信号 NS_0 の波形は、図 7 の A に示されるようにパルス状の波形となっている。これに対して、走査線 $WSL10$ を伝搬していき右端の画素 101 - (N, L) に入力される段階の走査信号 NS_N の波形は、図 7 の B に示されるように時定数 τ の一次遅れの波形となっている。なお、一次遅れの波形なので、 5τ の時間で、目標値の 98% に到達されることが図 7 の B には図示されている。即ち、走査信号 NS_N の波形は、画素アレイ部 102 の左

50

端に入力された段階の走査信号 $N s_0$ の波形に対して鈍ってしまっている。

【0056】

さらに、1つの走査線 $W S L 10 - L$ に接続される画素 $101 - (1, L)$ 乃至 (N, L) から左方を見ると、右端の画素 101 にいくほど、配線抵抗 R や配線容量 C が大きくなる。よって、右端の画素 101 にいくほど、時定数 $= RL$ が大きくなり、その結果、そこに入力される走査信号 NS の波形の鈍り度合も大きくなってしまおう。

【0057】

この場合、画素 101 の駆動トランジスタ 32 のゲートからみると、画素アレイ部 102 の左端の画素 $101 - (1, L)$ では、図7のAのパルス波形の走査線信号 $N s_0$ に対応する書き込みパルスが書き込みトランジスタ 31 から供給される。よって、図7のAの期間 $P W_0$ の間、蓄積容量 33 には十分な電荷がチャージされる。これに対して、画素アレイ部 102 の右端の画素 $101 - (N, L)$ では、図7のBの一次遅れ波形（鈍った波形）の走査線信号 $N s_0$ に対応する書き込みパルスが書き込みトランジスタ 31 から供給される。よって、期間 $P W_0$ よりも短い期間 $P W_N$ の間しか蓄積容量 33 には電荷がチャージされず、その結果、最終的な蓄積容量 33 の電荷のチャージ量が足りないという現象が起こる。

10

【0058】

さらに、上述の如く、各画素 101 にそれぞれ入力される走査線信号 NS の鈍り度合は右端にいくほど大きくなる。よって、各画素の蓄積容量 33 にチャージされる電荷量は、右端に行くほど少なくなっていくという現象が起こる。

20

【0059】

その結果、発光素子 34 の発光の階調を左右する電流 $I d s$ の値が、右端の画素 101 にいくほど低くなってしまおう。その結果、図6に示されるように、画素アレイ部 102 の左端では輝度が高いが、右端に行くほど輝度が減少していつてしまおう。即ち、画素アレイ部 102 の右端と左端で輝度差が生じてしまい、その結果、全体として、画素ごとに輝度のバラつきが生じてしまおう。

【0060】

そこで、右端の画素 101 にも十分に電荷をチャージするための手法としては、書き込み時間を延ばすという手法も存在する。しかしながら、かかる手法を採用した場合には、左端の画素 101 の発光素子 34 の発光電圧を超えてしまい、書き込み中に発光素子 34 が発光してしまうという現象が起こる。このような書き込み中に発光してしまう現象が起こると、発光後は蓄積容量 33 に電荷がチャージされなくなる。その結果、移動度補正が正常に掛からなくなってしまおう。移動度補正が正常に掛からないと輝度ムラが発生してしまおう。即ち、かかる手法を採用しても何等解決することはできない。

30

【0061】

そこで、従来の画素 101 を採用した場合に発生していた輝度ムラを抑制すべく、本発明人は、同一走査線 $W S L 10$ に接続される画素 101 の全ての書き込みパルスをほぼ同一波形に統一させる、という手法（以下、書き込みパルス統一手法と称する）を発明した。

【0062】

書き込みパルス統一手法の実現形態は、特に限定されない。例えば、図8に示されるように、書き込みトランジスタ 31 のソース $31s$ に対GNDで補助容量 231 を接続するという手法を採用することができる。即ち、書き込みパルスの波形を、入力される走査信号 NS の波形よりも鈍らせることで、書き込みパルスを統一させるという手法を採用することができる。この場合、走査信号 NS の波形は右端にいくほど鈍っていくので、設計者等は、書き込みパルスの鈍らせ度合を右端にいくほど抑制していくように、補助容量 231 の容量値を決定していけばよい。具体的には例えば、設計者等は、図9に示されるように、走査信号 NS の入力端である左端の画素 $101 - (1, L)$ の補助容量 $231 - (1, L)$ の容量値 $C a s 1$ を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値 $C a s$ を小さくするように決定していく。そして、設計者等

40

50

は、入力端から最も遠い右端の画素 $101 - (N, L)$ の補助容量 $231 - (N, L)$ の容量値 $CasN$ を最小値となるように決定する。ここで、最小値には 0 も含むとする。即ち、最小値 0 とは、右端の画素 $101 - (N, L)$ の補助容量 $231 - (N, L)$ は設けないことを意味している。

【0063】

このように、補助容量 231 を接続して、各容量値 Cas を適切に決定することで、画素アレイ部 102 内の全画素 101 に統一された書き込みパルスを供給することができるようになる。その結果、画素アレイ部 102 の左右で生じる輝度差を可能な限り抑制することができ、ひいては、良好な表示装置を得ることができるようになる。

【0064】

即ち、図 8 とは、図 3 の従来画素 101 に対する、本発明が適用される画素 101 (以下、本発明の画素 101 と称する) の詳細な構成例を示したブロック図である。

【0065】

なお、図 8 において、図 3 の従来画素 101 と対応する箇所(素子等)には対応する符号を付してあり、それらの説明については省略する。

【0066】

上述の如く、図 8 の本発明の画素 101 は、図 3 の従来画素 101 に対してさらに、書き込みトランジスタ 31 のソース $31s$ に対 GND で補助容量 231 が接続されている。

【0067】

図 10 は、図 8 の本発明の画素 101 の基板のレイアウト例を示している。

【0068】

図 10 の基板において、同図中左上方には、書き込みトランジスタ 31 が配置され、その右方には、蓄積容量 33 が配置され、さらにその右方には、駆動トランジスタ 32 が配置されている。書き込みトランジスタ 31 の同図中下方には、補助容量 231 が配置されている。

【0069】

図 10 に示されるように、補助容量 231 は、ソース $31s$ 側の第 2 の金属層 $M2$ の一部と、他とは離間している第 1 の金属層 $M1$ とが対向して配置されることで、構成されている。

【0070】

なお、上述の如く、図 8 乃至図 10 の本発明の画素 101 の動作は、図 5 を用いて説明した従来画素 101 の動作と基本的に同様である。よって、動作の説明については省略する。

【0071】

なお、上述の例では、走査の方向は画素アレイ部 102 の左から右の一方向とされた。しかしながら、走査の方向は、上述の例に特に限定されない。

【0072】

例えば、走査の方向は画素アレイ部 102 の右から左の一方向を採用してもよい。この場合、図示はしないが、設計者等は、走査信号 NS の入力端である右端の画素 $101 - (N, L)$ の補助容量 $231 - (N, L)$ の容量値 $CasN$ を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値 Cas を小さくするように決定していく。そして、設計者等は、入力端から最も遠い左端の画素 $101 - (1, L)$ の補助容量 $231 - (1, L)$ の容量値 $Cas1$ を最小値となるように決定する。ここで、最小値には 0 も含むとする。即ち、最小値 0 とは、右端の画素 $101 - (1, L)$ の補助容量 $231 - (1, L)$ は設けないことを意味している。

【0073】

また例えば、図 11 に示されるように、走査の方向は、画素アレイ部 102 の右から中央に向かう第 1 の方向と、画素アレイ部 102 の左から中央に向かう第 2 の方向とを採用してもよい。即ち、画素アレイ部 102 が左右に 2 分割され、左方の画素 $101 - (1, L)$ 乃至 $(M1, L)$ の走査方向は、第 1 の方向とされる。これに対して、右方の画素 1

10

20

30

40

50

01 - (M2, L)乃至(N, L)の走査方向は、第2の方向とされる。

【0074】

この場合、左方の画素101 - (1, L)乃至(M1, L)については、設計者等は、図11に示されるように、走査信号NSの入力端である左端の画素101 - (1, L)の補助容量231 - (1, L)の容量値Cas1を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値Casを小さくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素101 - (M1, L)の補助容量231 - (M1, L)の容量値CasM1を最小値となるように決定する。ここで、最小値には0も含むとする。即ち、最小値0とは、中央の画素101 - (M1, L)の補助容量231 - (M1, L)は設けないことを意味している。

10

【0075】

これに対して、右方の画素101 - (M2, L)乃至(N, L)については、走査信号NSの入力端である右端の画素101 - (N, L)の補助容量231 - (N, L)の容量値CasNを最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値Casを小さくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素101 - (M2, L)の補助容量231 - (M2, L)の容量値CasM2を最小値となるように決定する。ここで、最小値には0も含むとする。即ち、最小値0とは、右端の画素101 - (M2, L)の補助容量231 - (M2, L)は設けないことを意味している。

20

【0076】

以上、書き込みパルス統一手法の一例として、図8乃至図11の例を説明した。ただし、上述の如く、書き込みパルス統一手法は、図8乃至図11の例に特に限定されない。

【0077】

例えば、図12に示されるように、書き込みトランジスタ31のゲート31gに対GNDで補助容量281を接続するという手法を採用することができる。即ち、書き込みパルスの波形を、入力される走査信号NSの波形よりも鈍らせることで、書き込みパルスを統一させるという手法を採用することができる。この場合、走査信号NSの波形は右端にいくほど鈍っていくので、設計者等は、書き込みパルスの鈍らせ度合を右端にいくほど抑制していくように、補助容量281の容量値を決定していけばよい。具体的には例えば、設計者等は、図13に示されるように、走査信号NSの入力端である左端の画素101 - (1, L)の補助容量281 - (1, L)の容量値Cas1を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値Casを小さくするように決定していく。そして、設計者等は、入力端から最も遠い右端の画素101 - (N, L)の補助容量281 - (N, L)の容量値CasNを最小値となるように決定する。ここで、最小値には0も含むとする。即ち、最小値0とは、右端の画素101 - (N, L)の補助容量281 - (N, L)は設けないことを意味している。

30

【0078】

このように、補助容量281を接続して、各容量値Casを適切に決定することで、画素アレイ部102内の全画素101に統一された書き込みパルスを供給することができるようになる。その結果、画素アレイ部102の左右で生じる輝度差を可能な限り抑制することができる、ひいては、良好な表示装置を得ることができるようになる。

40

【0079】

即ち、図12とは、図3の従来画素101に対する、本発明の画素101の詳細な構成例であって、図8とは異なる例を示したブロック図である。

【0080】

なお、図12において、図3の従来画素101と対応する箇所(素子等)には対応する符号を付してあり、それらの説明については省略する。

【0081】

上述の如く、図12の本発明の画素101は、図3の従来画素101に対してさらに、書き込みトランジスタ31のゲート31sに対GNDで補助容量281が接続されている

50

。

【 0 0 8 2 】

図 1 4 は、図 1 2 の本発明の画素 1 0 1 の基板のレイアウト例を示している。

【 0 0 8 3 】

図 1 4 の基板において、同図中左上方には、書き込みトランジスタ 3 1 が配置され、その右方には、蓄積容量 3 3 が配置され、さらにその右方には、駆動トランジスタ 3 2 が配置されている。書き込みトランジスタ 3 1 の同図中上方には、補助容量 2 8 1 が配置されている。

【 0 0 8 4 】

図 1 4 に示されるように、他とは離間している第 2 の金属層 M 2 と、ゲート 3 1 g を形成している第 1 の金属層 M 1 の一部とが対向して配置されることで、構成されている。

10

【 0 0 8 5 】

なお、上述の如く、図 1 2 乃至図 1 4 の本発明の画素 1 0 1 の動作は、図 5 を用いて説明した従来画素 1 0 1 の動作と基本的に同様である。よって、動作の説明については省略する。

【 0 0 8 6 】

なお、上述の例では、走査の方向は画素アレイ部 1 0 2 の左から右の一方向とされた。しかしながら、走査の方向は、上述の例に特に限定されない。

【 0 0 8 7 】

例えば、走査の方向は画素アレイ部 1 0 2 の右から左の一方向を採用してもよい。この場合、図示はしないが、設計者等は、走査信号 N S の入力端である右端の画素 1 0 1 - (N , L) の補助容量 2 8 1 - (N , L) の容量値 C a s N を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値 C a s を小さくするように決定していく。そして、設計者等は、入力端から最も遠い左端の画素 1 0 1 - (1 , L) の補助容量 2 8 1 - (1 , L) の容量値 C a s 1 を最小値となるように決定する。ここで、最小値には 0 も含むとする。即ち、最小値 0 とは、右端の画素 1 0 1 - (1 , L) の補助容量 2 8 1 - (1 , L) は設けないことを意味している。

20

【 0 0 8 8 】

また例えば、上述した図 1 1 を用いて説明したように、走査の方向は、画素アレイ部 1 0 2 の右から中央に向かう第 1 の方向と、画素アレイ部 1 0 2 の左から中央に向かう第 2 の方向とを採用してもよい。

30

【 0 0 8 9 】

この場合、左方の画素 1 0 1 - (1 , L) 乃至 (M 1 , L) については、設計者等は、図示はしないが、走査信号 N S の入力端である左端の画素 1 0 1 - (1 , L) の補助容量 2 8 1 - (1 , L) の容量値 C a s 1 を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値 C a s を小さくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素 1 0 1 - (M 1 , L) の補助容量 2 8 1 - (M 1 , L) の容量値 C a s M 1 を最小値となるように決定する。ここで、最小値には 0 も含むとする。即ち、最小値 0 とは、中央の画素 1 0 1 - (M 1 , L) の補助容量 2 8 1 - (M 1 , L) は設けないことを意味している。

40

【 0 0 9 0 】

これに対して、右方の画素 1 0 1 - (M 2 , L) 乃至 (N , L) については、走査信号 N S の入力端である右端の画素 1 0 1 - (N , L) の補助容量 2 8 1 - (N , L) の容量値 C a s N を最大値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に容量値 C a s を小さくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素 1 0 1 - (M 2 , L) の補助容量 2 8 1 - (M 2 , L) の容量値 C a s M 2 を最小値となるように決定する。ここで、最小値には 0 も含むとする。即ち、最小値 0 とは、右端の画素 1 0 1 - (M 2 , L) の補助容量 2 8 1 - (M 2 , L) は設けないことを意味している。

【 0 0 9 1 】

50

以上、書き込みパルス統一手法の一例として、図 8 乃至図 11 の例に引き続き、図 12 乃至図 14 の例を説明した。

【0092】

このような書き込みパルス統一手法では、同一走査線 WSL10 に接続される画素 101 の全ての書き込みパルスをほぼ同一波形に統一させることで、結果として、同一走査線 WSL10 に接続される画素 101 の全ての発光素子 34 の電流 I_{ds} の値を統一（映像信号の信号レベルが同一の場合）させることができる。その結果、画素アレイ部 102 の左右の輝度ムラを抑制することができるのである。

【0093】

してみると、画素アレイ部 102 の左右の輝度ムラを抑制するためには、画素 101 の全ての書き込みパルスをほぼ同一波形に統一させることが本質ではなく、同一走査線 WSL10 に接続される画素 101 の全ての発光素子 34 の電流 I_{ds} の値を統一（映像信号の信号レベルが同一の場合）させることが本質である。即ち、書き込みパルス統一手法は、同一走査線 WSL10 に接続される画素 101 の全ての発光素子 34 の電流 I_{ds} の値を統一（映像信号の信号レベルが同一の場合）させる手法の一形態にしか過ぎない。換言すると、当該手法を実現させる手法であれば、その実現形態は特に限定されない。

【0094】

具体的には例えば、画素 101 の回路構成自体は、図 3 の従来画素 101 と同様の回路構成を取ったとする。この場合、蓄積容量 33 の電荷のチャージ時間乃至はチャージ量が同一ならば、駆動トランジスタ 32 のサイズ（容量）が大きい方が、発光素子 34 の電流 I_{ds} の値も上昇する。また、駆動トランジスタ 32 のサイズ（容量）は、その W 長に応じて変化する。即ち、上述の如く、右端に行くほど、走査信号 WSL の波形は鈍っていくので、その分だけ、蓄積容量 33 の電荷のチャージ時間が短くなる。即ちチャージ量が少なくなる。そこで、右端に行くほど、駆動トランジスタ 32 の W 長を大きくしていけばよい。

【0095】

具体的には例えば、設計者等は、図 15 に示されるように、走査信号 NS の入力端である左端の画素 101 - (1, L) の駆動トランジスタ 32 - (1, L) の W 長を最小値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に W 長を大きくするように決定していく。そして、設計者等は、入力端から最も遠い右端の画素 101 - (N, L) の駆動トランジスタ 32 - (N, L) の W 長を最大値となるように決定する。

【0096】

このように、駆動トランジスタ 32 の W 長を画素 101 毎に適切に決定することで、画素アレイ部 102 の左右で生じる輝度差を可能な限り抑制することができ、ひいては、良好な表示装置を得ることができるようになる。

【0097】

なお、上述の如く、図 15 の本発明の画素 101 の単体の動作は、図 5 を用いて説明した従来画素 101 の動作と基本的に同様である。よって、動作の説明については省略する。

【0098】

なお、上述の例では、走査の方向は画素アレイ部 102 の左から右の一方向とされた。しかしながら、走査の方向は、上述の例に特に限定されない。

【0099】

例えば、走査の方向は画素アレイ部 102 の右から左の一方向を採用してもよい。この場合、図示はしないが、設計者等は、走査信号 NS の入力端である右端の画素 101 - (N, L) の駆動トランジスタ 32 - (N, L) の W 長を最小値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々に W 長を大きくするように決定していく。そして、設計者等は、入力端から最も遠い左端の画素 101 - (1, L) の駆動トランジスタ 32 - (1, L) の W 長を最大値となるように決定する。

【0100】

また例えば、上述した図11を用いて説明したように、走査の方向は、画素アレイ部102の右から中央に向かう第1の方向と、画素アレイ部102の左から中央に向かう第2の方向とを採用してもよい。

【0101】

この場合、左方の画素101-(1, L)乃至(M1, L)については、設計者等は、図示はしないが、走査信号NSの入力端である左端の画素101-(1, L)の駆動トランジスタ32-(1, L)のW長を最小値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々にW長を大きくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素101-(M1, L)の駆動トランジスタ32-(M1, L)のW長を最大値となるように決定する。

10

【0102】

これに対して、右方の画素101-(M2, L)乃至(N, L)については、設計者等は、走査信号NSの入力端である右端の画素101-(N, L)の駆動トランジスタ32-(N, L)のW長を最小値にするように決定する。そして、設計者等は、入力端から遠くなるに連れて徐々にW長を大きくするように決定していく。そして、設計者等は、入力端から最も遠い中央の画素101-(M2, L)の駆動トランジスタ32-(M2, L)のW長を最大値となるように決定する。

【0103】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

20

【図面の簡単な説明】

【0104】

【図1】基本となるELパネルの構成例を示すブロック図である。

【図2】ELパネルのレイアウトの一例を示す図である。

【図3】従来の画素の詳細な構成の一例を示すブロック図である。

【図4】従来の画素のレイアウトの一例を示す図である。

【図5】図3の画素の動作を説明するタイミングチャートである。

【図6】従来の画素についての輝度のバラツキの発生要因を説明する図である。

【図7】従来の画素についての輝度のバラツキの発生要因を説明する図である。

30

【図8】本発明の画素の詳細な構成の第1の例を示すブロック図である。

【図9】図8の画素の動作を説明する図である。

【図10】図8の画素のレイアウトの一例を示す図である。

【図11】図8の画素の動作を説明する図である。

【図12】本発明の画素の詳細な構成の第2の例を示すブロック図である。

【図13】図12の画素の動作を説明する図である。

【図14】図12の画素のレイアウトの一例を示す図である。

【図15】図3の画素を本発明の画素の第3の例とした場合のその動作を説明する図である。

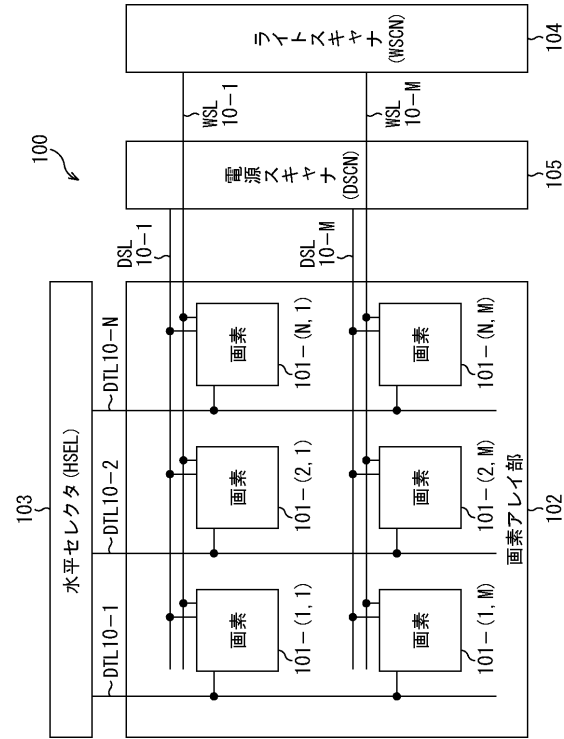
40

【符号の説明】

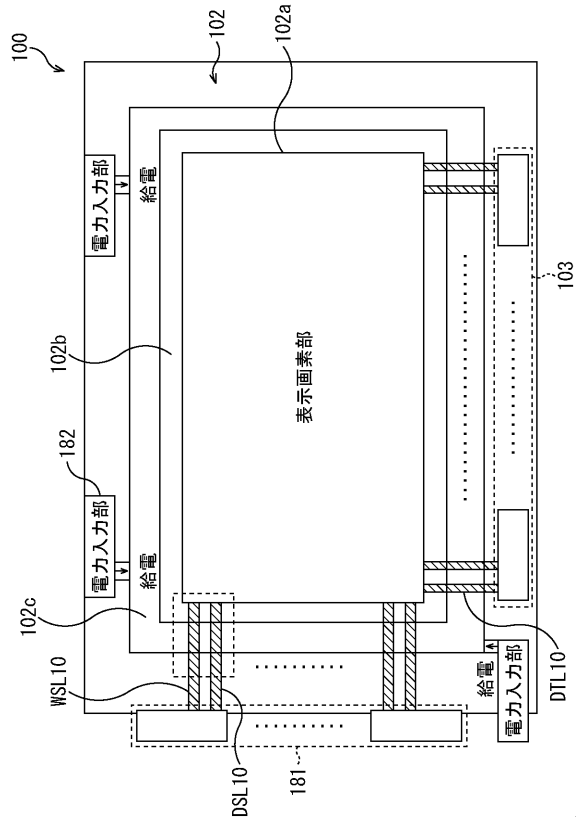
【0105】

31 書き込みトランジスタ, 31g ゲート, 31s ソース, 31d ドレイン, 32 駆動トランジスタ, 33 蓄積容量, 34 発光素子, 100 ELパネル, 101 画素(画素回路), 102 画素アレイ部, 231, 281 補助容量

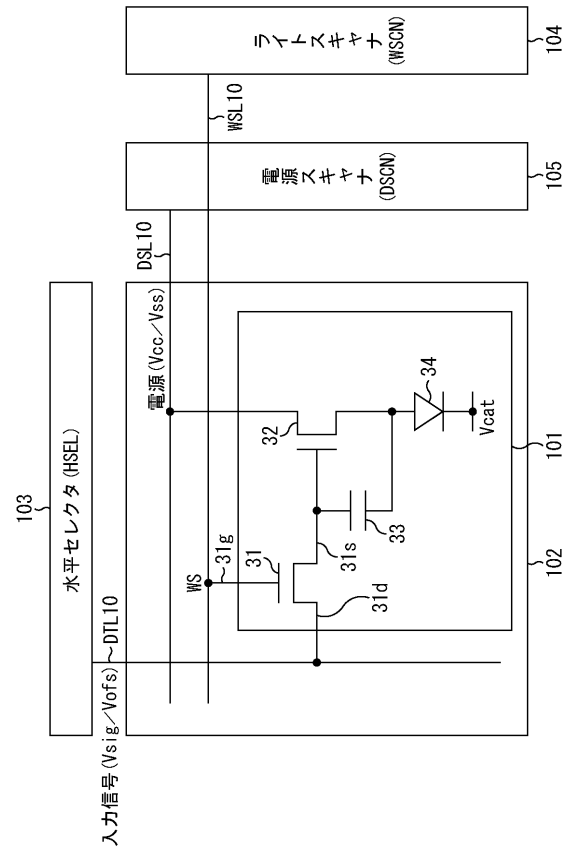
【図1】



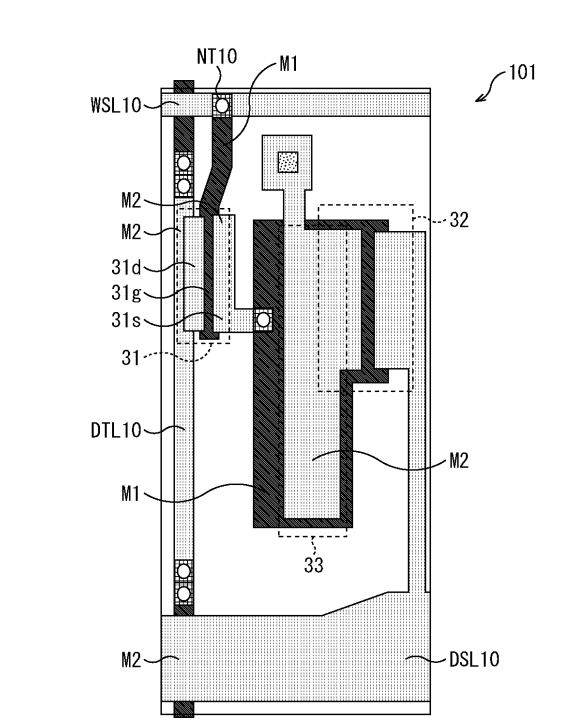
【図2】



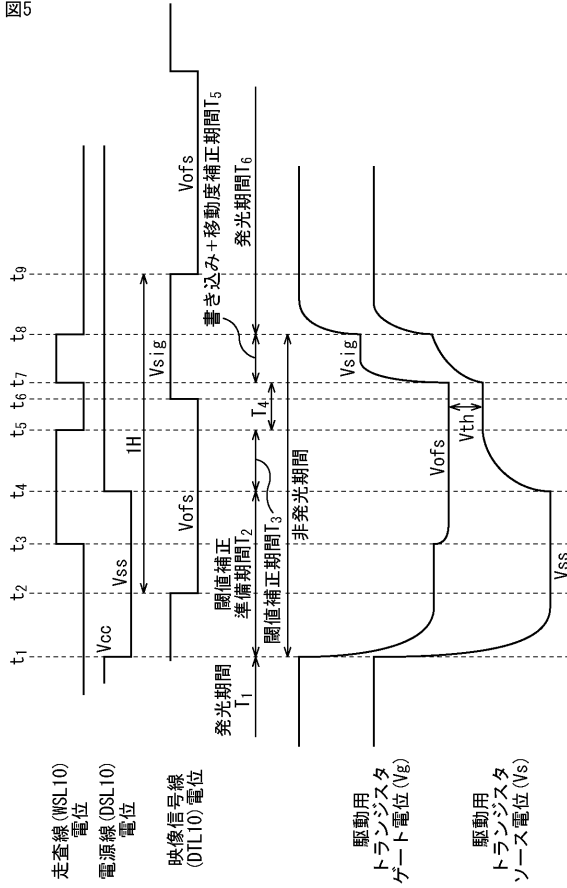
【図3】



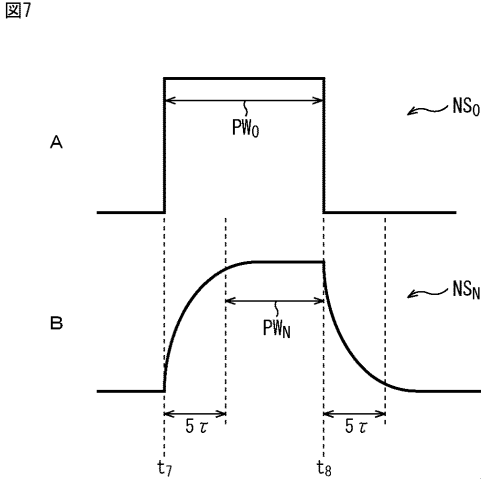
【図4】



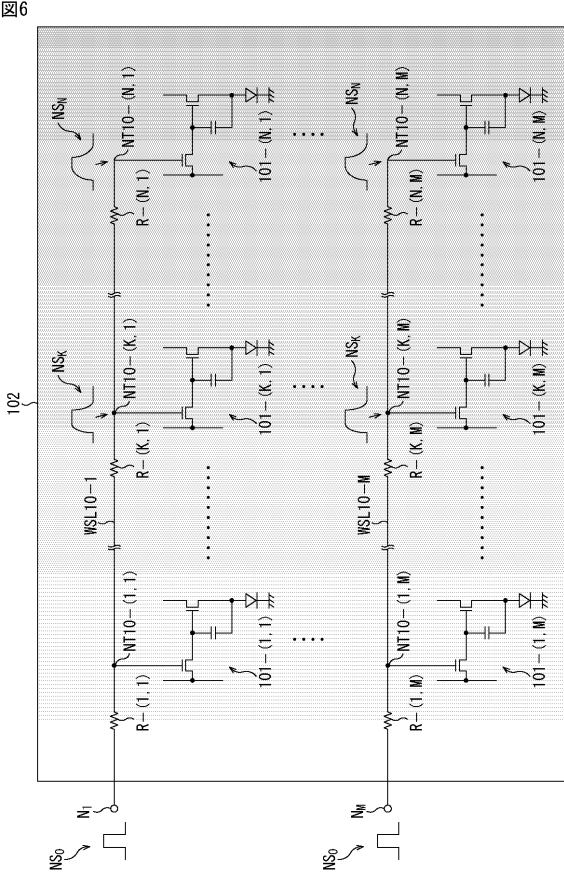
【図5】



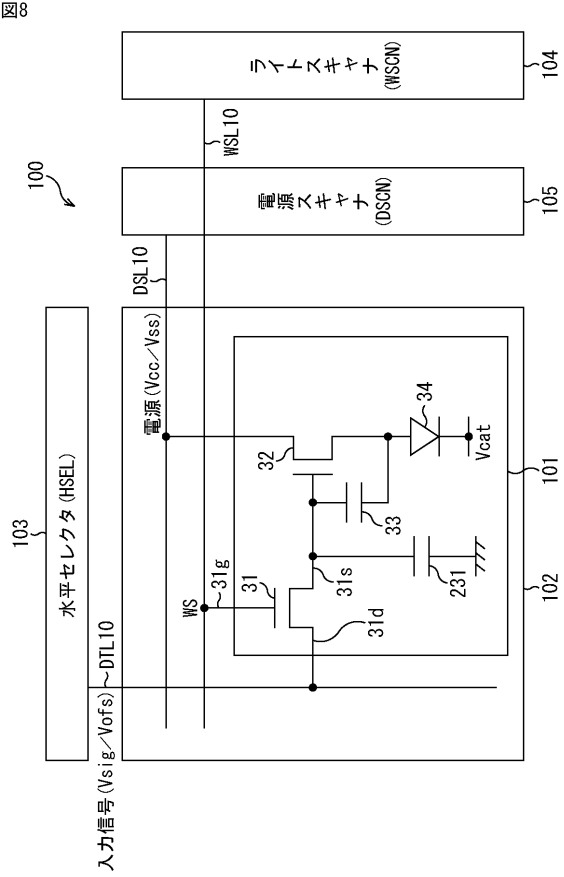
【図7】



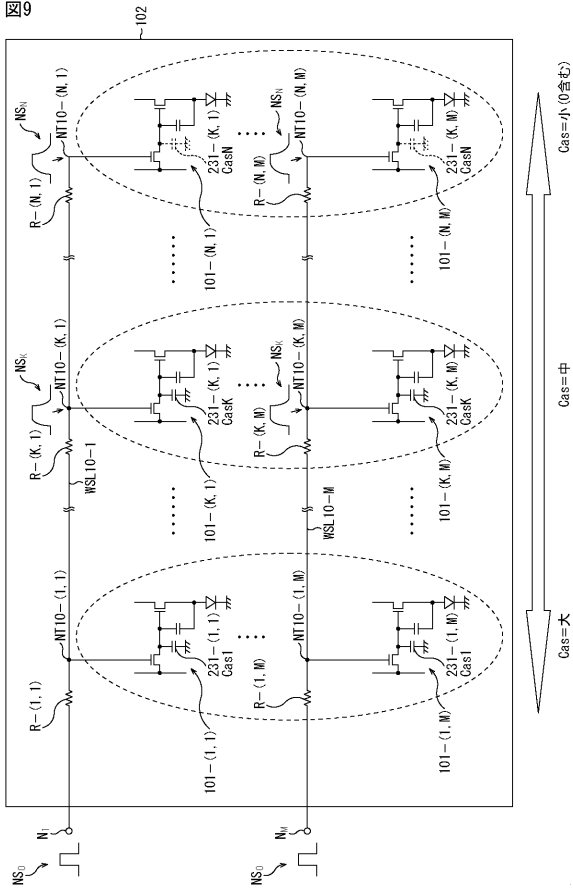
【図6】



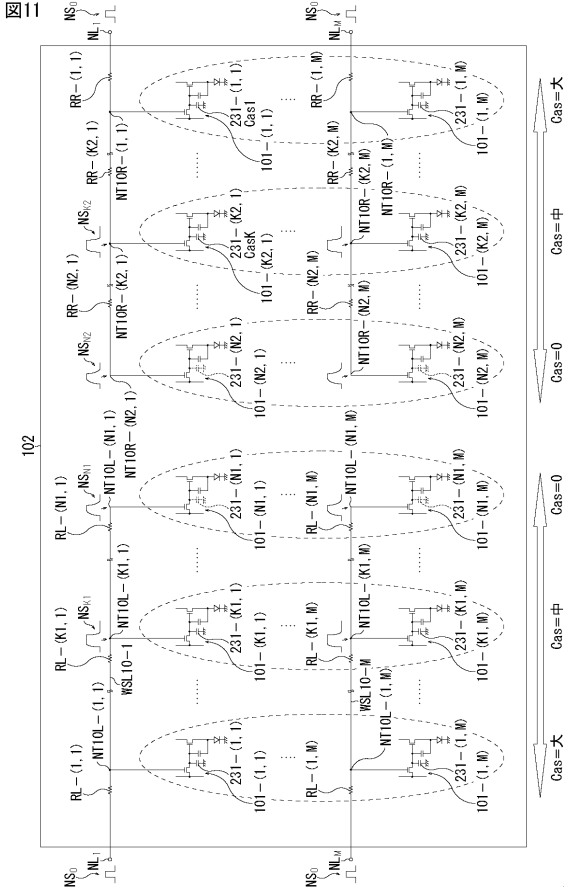
【図8】



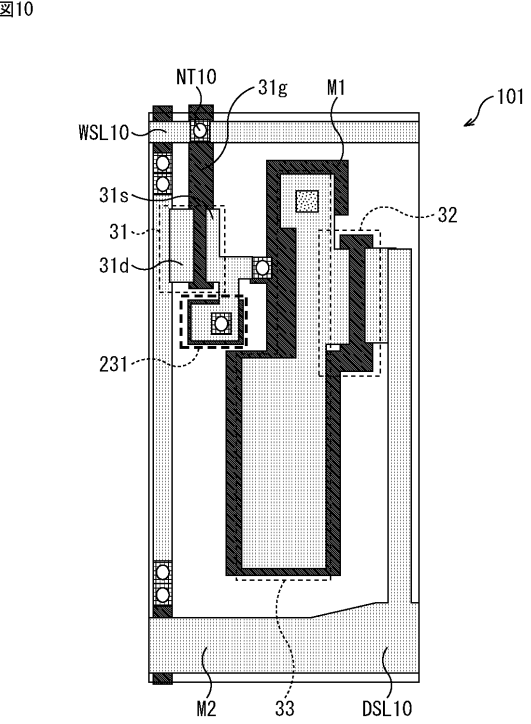
【図9】



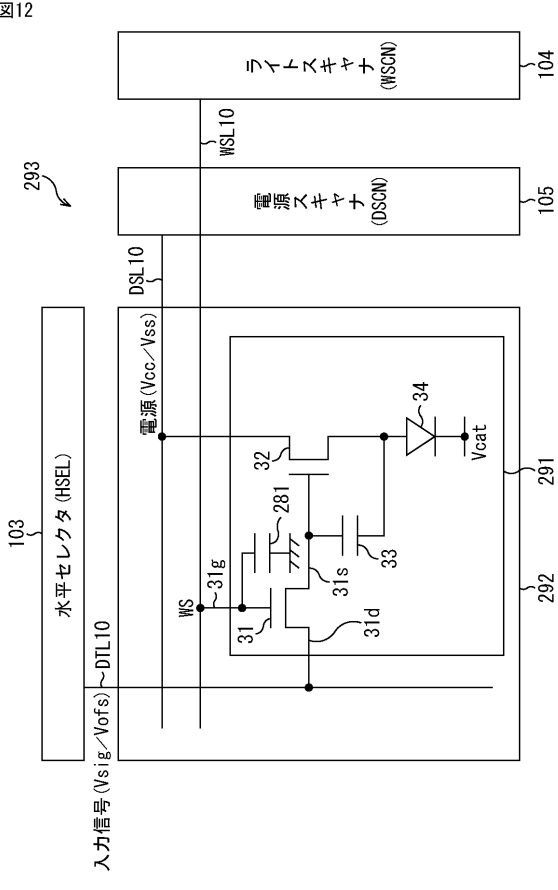
【図11】



【図10】

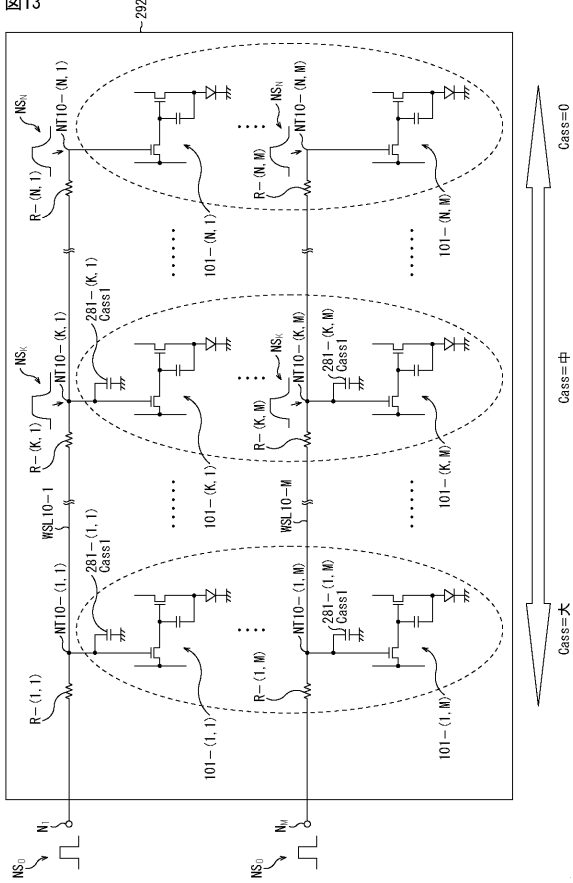


【図12】



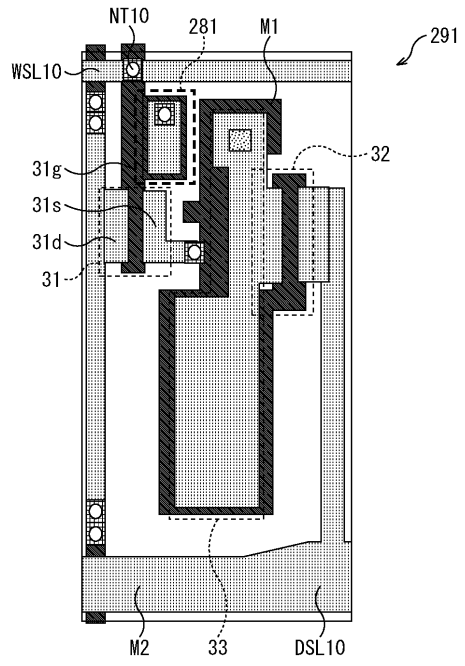
【図 13】

図13



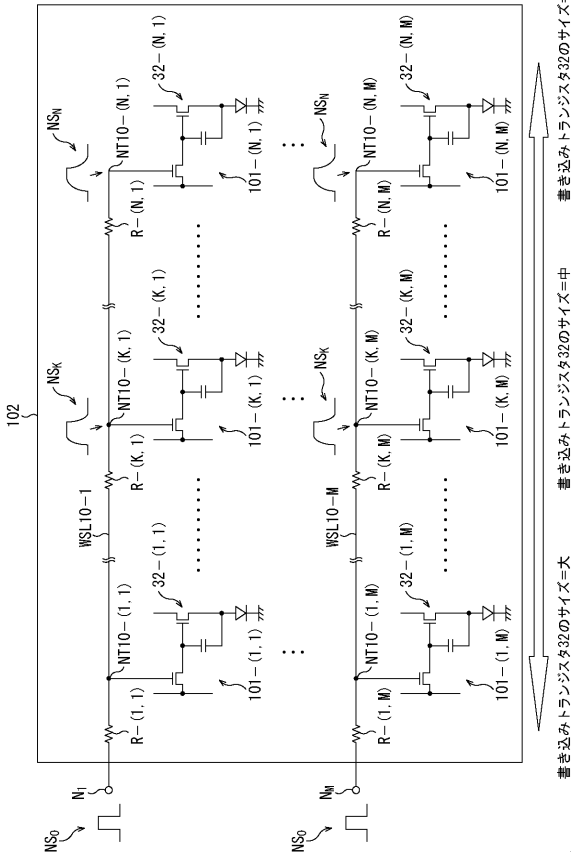
【図 14】

図14



【図 15】

図15



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 8 0 H
H 0 5 B	33/14	A

(72)発明者 佐川 裕志

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH05

5C080 AA06 BB05 DD05 FF11 FF12 JJ02 JJ03 JJ04 JJ06 KK07
KK47

专利名称(译)	面板		
公开(公告)号	JP2010097053A	公开(公告)日	2010-04-30
申请号	JP2008268512	申请日	2008-10-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	妹尾佑樹 内野勝秀 佐川裕志		
发明人	妹尾 佑樹 内野 勝秀 佐川 裕志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G G09G3/20.642.A G09G3/20.611.J G09G3/20.623.C G09G3/20.680.H H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AC07 5C380/AC09 5C380/AC11 5C380/AC20 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CD012 5C380/CD022 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善亮度不均匀性。ZOLUTION：关于包括根据驱动电流发光的发光元件34的像素101，用于写入视频信号的写入晶体管31，用于向发光元件34提供驱动电流的驱动晶体管32和辅助装置连接在写入晶体管31和GND之间的电容器231，N个像素（N是整数≥2）被布置在同一水平线上。N个像素101中的每一个的写入晶体管31连接到一条扫描线WSL 10，用于传输扫描线信号。确定N个像素101中的每一个的辅助电容器231的电容值，使得连接到相同扫描线WSL 10的像素101的所有写入脉冲可以具有几乎相同的波形。例如，本发明可应用于EL面板。

