

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-134905

(P2009-134905A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/10 (2006.01)	H05B 33/10	3K107
H05B 33/26 (2006.01)	H05B 33/26	Z
H01L 51/50 (2006.01)	H05B 33/14	A

審査請求 有 請求項の数 8 O L (全 20 頁)

(21) 出願番号	特願2007-308189 (P2007-308189)	(71) 出願人	000001443
(22) 出願日	平成19年11月29日 (2007.11.29)		カシオ計算機株式会社
			東京都渋谷区本町1丁目6番2号
		(74) 代理人	100096699
			弁理士 鹿嶋 英實
		(72) 発明者	当山 忠久
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会
			社八王子技術センター内
		(72) 発明者	尾崎 剛
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会
			社八王子技術センター内
		Fターム(参考)	3K107 AA01 BB01 CC02 CC06 CC31
			DD21 DD26 DD91 DD95 EE03
			GG12

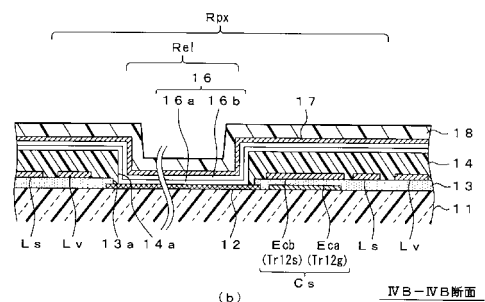
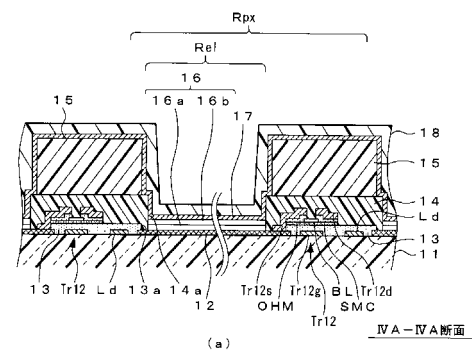
(54) 【発明の名称】 表示パネル及びその製造方法

(57) 【要約】

【課題】色度ずれや発光輝度（発光強度）のばらつきを抑制して、画像のにじみやぼけのない表示特性に優れた表示パネル、及び、該表示パネルの製造方法を提供する。

【解決手段】本発明に係る表示パネルの製造方法は、トランジスタTr11、Tr12のゲート絶縁膜13のパターニング工程に先立って、各表示画素PIXに設けられる有機EL素子OLEDの画素電極12が基板11上に直接形成され、その後にゲート絶縁膜13上に形成されるトランジスタTr12のソース電極Tr12sが上記画素電極12に直接接続される。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

第一電極が形成される基板の所定領域が、前記第一電極が形成される前に絶縁膜のエッチングガスに曝されることなしに、前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を含む前記基板上に絶縁膜を形成した後、該絶縁膜をエッチングによりパターンニングして前記第一電極の所定の領域が露出する開口部を形成する工程と、

少なくとも前記開口部に露出する前記第一電極上に発光層を形成する工程と、を含むことを特徴とする表示パネルの製造方法。

【請求項 2】

前記絶縁膜は基板を浸食するエッチングガスによってパターンニングされ、前記絶縁膜は酸化シリコン又は酸化シリコンであることを特徴とする請求項 1 記載の表示パネルの製造方法。

【請求項 3】

前記開口部が形成される前記絶縁膜は、トランジスタのゲート絶縁膜を含むことを特徴とする請求項 1 又は 2 に記載の表示パネルの製造方法。

【請求項 4】

前記第一電極を形成する工程の後に、前記トランジスタのソース電極又はドレイン電極のいずれか一方を形成する工程を含むことを特徴とする請求項 3 記載の表示パネルの製造方法。

【請求項 5】

前記開口部が形成される前記絶縁膜は、層間絶縁膜を含み、

発光層を形成する工程の後に、前記発光層上に第二電極を形成する工程を含むことを特徴とする請求項 1 ～ 4 のいずれかに記載の表示パネルの製造方法。

【請求項 6】

前記第一電極を形成する工程の前に、前記基板上に、酸系のエッチャントでウェットエッチングによって前記トランジスタのゲート電極を形成する工程を含むことを特徴とする請求項 3 又は 4 に記載の表示パネルの製造方法。

【請求項 7】

第一電極が形成される基板の所定領域が、前記第一電極が形成される前にトランジスタの絶縁膜のエッチングガスに曝されることなしに、前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を形成後に、前記トランジスタの前記絶縁膜を堆積し、エッチングガスによって前記第一電極上の前記絶縁膜を除去する工程と、

前記第一電極上に発光層を形成する工程と、

前記発光層上に第二電極を形成する工程と、

を含むことを特徴とする表示パネルの製造方法。

【請求項 8】

請求項 1 ～ 7 のいずれかに記載の表示パネルの製造方法によって製造されることを特徴とする表示パネル。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示パネル及びその製造方法に関し、特に、発光素子を有する複数の表示素子を配列してなる表示パネルを備えた表示パネル、及び、該表示パネルの製造方法に関する。

【背景技術】**【0002】**

近年、携帯電話や携帯音楽プレーヤ等の電子機器の表示デバイスとして、自発光素子である有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）を 2 次元

10

20

30

40

50

配列した表示パネル（有機ＥＬ表示パネル）を適用したものが知られている。特に、アクティブマトリクス駆動方式を適用した有機ＥＬ表示パネルにおいては、広く普及している液晶表示装置に比較して、表示応答速度が速く、視野角依存性も小さいという優れた表示特性を有しているとともに、液晶表示装置のようにバックライトや導光板を必要としないという装置構成上の特徴を有している。そのため、今後様々な電子機器への適用が期待されている。

【０００３】

有機ＥＬ素子は、周知のように、概略、ガラス基板等の一面側に、アノード（陽極）電極と、有機ＥＬ層（発光層）と、カソード（陰極）電極と、を順次積層した素子構造を有し、有機ＥＬ層に発光しきい値を越えるように、アノード電極に正電圧、カソード電極に負電圧を印加することにより、有機ＥＬ層内で注入されたホールと電子が再結合する際に生じるエネルギーに基づいて光（励起光）が放射されるものである。

10

【０００４】

ここで、ガラス基板の一面側に有機ＥＬ素子（発光素子）が形成された表示パネルにおいては、上記有機ＥＬ層を介して対向して形成された一对の電極（アノード電極、カソード電極）のいずれか一方を光透過性を有する電極材料により形成し、他方を光反射性を有する電極材料により形成することにより、例えば特許文献１に記載されているように、ガラス基板の他面側に光を放射するボトムエミッション型の発光構造が知られている。

【特許文献１】特開平８－３３０６００号公報

【発明の開示】

20

【発明が解決しようとする課題】

【０００５】

ここで、上述した特許文献１に記載された製造方法では、基板上における透明電極が形成される領域には、透明電極が形成される前に層間絶縁膜等の膜が堆積されてから除去され、その後、透明電極が形成される。基板上に透明電極を形成する工程に先立って実行される層間絶縁膜等の膜のエッチング工程として酸素及びＳＦＯ₆の混合ガス等を用いてドライエッチングを適用すれば、透明電極が形成される領域でのガラス基板もエッチングされてしまうので、ガラス基板の厚さが不均一になってしまう。このように厚さが不均一な基板の上に有機ＥＬ素子が形成された表示パネルでは、発光動作において有機ＥＬ層から基板を介して光が放射される際に、基板の厚さの不均一に起因して光の散乱や光の干渉の不均一が生じて色度ずれや発光輝度（発光強度）のばらつきを招き、画像のにじみやぼけ等の表示特性の劣化を生じるという問題を有していた。

30

そこで、本発明は、上述した問題点に鑑み、色度ずれや発光輝度（発光強度）のばらつきを抑制して、画像のにじみやぼけのない表示特性に優れた表示パネル、及び、該表示パネルの製造方法を提供することを目的とする。

【課題を解決するための手段】

【０００６】

請求項１記載の発明に係る表示パネルの製造方法は、

第一電極が形成される基板の所定領域が、前記第一電極が形成される前に絶縁膜のエッチングガスに曝されることなしに、前記基板上の前記所定領域に前記第一電極を形成する工程と、

40

前記第一電極を含む前記基板上に絶縁膜を形成した後、該絶縁膜をエッチングによりパターンニングして前記第一電極の所定の領域が露出する開口部を形成する工程と、

少なくとも前記開口部に露出する前記第一電極上に発光層を形成する工程と、を含むことを特徴とする。

請求項２記載の発明は、請求項１記載の表示パネルの製造方法において、前記絶縁膜は基板を浸食するエッチングガスによってパターンニングされ、前記絶縁膜は窒化シリコン又は酸化シリコンであることを特徴とする。

請求項３記載の発明は、請求項１又は２に記載の表示パネルの製造方法において、前記開口部が形成される前記絶縁膜は、トランジスタのゲート絶縁膜を含むことを特徴とする

50

。

請求項 4 記載の発明は、請求項 3 記載の表示パネルの製造方法において、前記第一電極を形成する工程の後に、前記トランジスタのソース電極又はドレイン電極のいずれか一方を形成する工程を含むことを特徴とする。

請求項 5 記載の発明は、請求項 1 ~ 4 のいずれかに記載の表示パネルの製造方法において、前記開口部が形成される前記絶縁膜は、層間絶縁膜を含み、

発光層を形成する工程の後に、前記発光層上に第二電極を形成する工程を含むことを特徴とする。

請求項 6 記載の発明は、請求項 3 又は 4 に記載の表示パネルの製造方法において、前記第一電極を形成する工程の前に、前記基板上に、酸系のエッチャントでウェットエッチングによって前記トランジスタのゲート電極を形成する工程を含むことを特徴とする。

【 0 0 0 7 】

請求項 7 記載の発明に係る表示パネルの製造方法は、

第一電極が形成される基板の所定領域が、前記第一電極が形成される前にトランジスタの絶縁膜のエッチングガスに曝されることなしに、前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を形成後に、前記トランジスタの前記絶縁膜を堆積し、エッチングガスによって前記第一電極上の前記絶縁膜を除去する工程と、

前記第一電極上に発光層を形成する工程と、

前記発光層上に第二電極を形成する工程と、

を含むことを特徴とする。

請求項 8 記載の発明は、表示パネルにおいて、請求項 1 ~ 7 のいずれかに記載の表示パネルの製造方法によって製造されることを特徴とする。

【 発明の効果 】

【 0 0 0 8 】

本発明に係る表示パネル及びその製造方法によれば、色度ずれや発光輝度（発光強度）のばらつきを抑制して、画像のにじみやぼけのない優れた表示特性を実現することができる。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

以下、本発明に係る表示パネル及びその製造方法について、実施の形態を示して詳しく説明する。

< 表示パネル >

まず、本発明に係る表示パネル（有機 EL 表示パネル）及び表示画素の一実施形態について説明する。

【 0 0 1 0 】

図 1 は、本発明に係る表示パネルの画素配列状態の一例を示す概略平面図であり、図 2 は、本発明に係る表示パネルに 2 次元配列される表示画素（発光素子及び画素駆動回路）の回路構成例を示す等価回路図である。なお、図 1 に示す平面図においては、説明の都合上、表示パネルの一面側（有機 EL 素子の形成側）から見た、各表示画素に設けられる画素電極の配置と各配線層の配設構造との関係、及び、各表示画素の形成領域を画定するバンク（隔壁）との配置関係のみを示し、各表示画素の有機 EL 素子を発光駆動するために、各表示画素に設けられる図 2 に示す画素駆動回路内のトランジスタ等の表示を省略した。また、図 1 においては、画素電極及び各配線層、バンクの配置を明瞭にするために、便宜的にハッチングを施して示した。

【 0 0 1 1 】

図 1 に示すように、本実施形態に係る表示パネル 10 は、ガラス基板等の絶縁性の基板 11 の一面側（紙面手前側）に、行方向（図面左右方向）に配設された複数の選択ライン Ls と、該選択ライン Ls に並行に行方向に配設された複数の電源電圧ライン（例えばアノードライン）Lv と、選択ライン Ls 及び電源電圧ライン Lv に直交する列方向（図面

10

20

30

40

50

上下方向)に配設された複数のデータライン L_d と、を備え、選択ライン L_s とデータライン L_d の各交点を含む領域に各表示画素 P_{IX} (サブ画素 P_{Xr} 、 P_{Xg} 、 P_{Xb})が配置されている。また、選択ライン L_s には一方の端部に端子パッド P_{Lv} が設けられ、電源電圧ライン L_v には一方の端部に端子パッド P_{Lv} が設けられている。

【0012】

ここで、上記表示パネル10がカラー表示に対応している場合には、図1に示すように、例えば赤(R)、緑(G)、青(B)の3色それぞれのサブ画素(以下、便宜的に「色画素」と記す) P_{Xr} 、 P_{Xg} 、 P_{Xb} が行方向(図面左右方向)に繰り返し配列されるとともに、列方向(図面上下方向)に同一色の色画素 P_{Xr} 、 P_{Xg} 、 P_{Xb} が複数配列される。この場合には、行方向(図面左右方向)に隣接するRGB3色の色画素 P_{Xr} 、 P_{Xg} 、 P_{Xb} を一組として1つの表示画素 P_{IX} を形成する。単一色発光の色画素のみの表示パネル(モノカラー表示パネル)の場合には、各色画素が1つの表示画素 P_{IX} となる。

10

【0013】

また、カラー表示に対応した表示パネル10において、後述する製造方法に示すように、高分子系或いは低分子系の有機材料を含む溶液を塗布して又は蒸着して有機EL層を形成する場合にあっては、図1に示すように、例えば絶縁性材料からなるバンク(隔壁)15が、基板11の一面側から突出し、表示画素(色画素) P_{IX} ごとにそれぞれの有機EL層形成領域を取り囲むように柵状又は格子状の平面形状を有して配設されている。これにより、図3に示す画素形成領域 R_{px} 内における有機EL素子OLEDの形成領域(図3に示すEL素子形成領域 R_{el})が画定される。ここで、図1に示したような柵状の平面形状を有するバンク15の場合には、列方向(図面上下方向)に配列された同一色の複数の色画素 P_{Xr} 、 P_{Xg} 又は P_{Xb} の画素電極(例えばアノード電極)12が1つのEL素子形成領域 R_{el} に含まれる。

20

【0014】

表示画素 P_{IX} (各色画素 P_{Xr} 、 P_{Xg} 、 P_{Xb})は、例えば図2に示すように、基板11上に複数のトランジスタ(例えばアモルファスシリコン薄膜トランジスタ等)を有する画素駆動回路DCと、当該画素駆動回路DCにより生成される発光駆動電流が、上記画素電極12に供給されることにより発光動作する有機EL素子(発光素子)OLEDと、を備えた回路構成を適用することができる。

30

【0015】

画素駆動回路DCは、具体的には、例えば図2に示すように、ゲート端子が選択ライン L_s に、ドレイン端子がデータライン L_d に、ソース端子が接点N11に各々接続されたトランジスタ(選択トランジスタ) Tr_{11} と、ゲート端子が接点N11に、ドレイン端子が電源電圧ライン L_v に、ソース端子が接点N12に各々接続されたトランジスタ(駆動トランジスタ;機能素子) Tr_{12} と、トランジスタ Tr_{12} のゲート端子及びソース端子間に接続されたキャパシタCsと、を備えている。

【0016】

ここでは、トランジスタ Tr_{11} 、 Tr_{12} は、いずれも薄膜構造を有するnチャネル型の電界効果型トランジスタ(薄膜トランジスタ)が適用されている。トランジスタ Tr_{11} 、 Tr_{12} は、アモルファスシリコン薄膜トランジスタであっても、ポリシリコン薄膜トランジスタであってもよい。なお、トランジスタ Tr_{11} 、 Tr_{12} において、少なくともいずれか一方がpチャネル型であれば、ソース端子及びドレイン端子が上述と互いに逆になる。

40

【0017】

また、キャパシタCsは、トランジスタ Tr_{12} のゲート-ソース間に形成される寄生容量、又は、該ゲート-ソース間に付加的に設けられた補助容量、もしくは、これらの寄生容量と補助容量からなる容量成分である。よって、トランジスタ Tr_{12} がpチャネル型であれば、キャパシタCsの一方は、有機EL素子OLED側(接点N12側)ではなく、電源電圧ライン L_v 側に接続される。

50

【 0 0 1 8 】

有機 E L 素子 O L E D は、アノード端子（アノード電極となる画素電極 1 2）が上記画素駆動回路 D C の接点 N 1 2 に接続され、カソード端子（カソード電極）が対向電極（共通電極）1 7 と一体的に形成され、所定の基準電圧 V c o m（例えば接地電位 V g n d）に直接又は間接的に接続されている。ここで、対向電極 1 7 は、基板 1 1 上に 2 次元配列された複数の表示画素 P I X の画素電極 1 2 に対して共通に対向するように、単一の電極層（べた電極）により形成されている。これにより、複数の表示画素 P I X に上記基準電圧 V c o m が共通に印加される。

【 0 0 1 9 】

なお、図 2 に示した表示画素 P I X（画素駆動回路 D C 及び有機 E L 素子 O L E D）において、選択ライン L s は、図 1 に示した端子パッド P L s を介して、基板 1 1 の図示を省略した表示領域の周囲に設けられている選択ドライバに接続され、所定のタイミングで表示パネル 1 0 の行方向に配列された複数の表示画素 P I X（色画素 P X r、P X g、P X b）を選択状態に設定するための選択信号 S s e l が印加される。また、データライン L d は、基板 1 1 の図示を省略した表示領域の周囲に設けられているデータドライバに接続され、上記表示画素 P I X の選択状態に同期するタイミングで表示データに応じた階調信号 V p i x が印加される。ここで、階調信号 V p i x は、有機 E L 素子 O L E D の発光輝度階調を設定する電圧信号である。

【 0 0 2 0 】

また、電源電圧ライン L v は、図 1 に示した端子パッド P L v を介して、例えば所定の高電位電源に直接又は間接的に接続され、各表示画素 P I X に設けられる有機 E L 素子 O L E D の画素電極 1 2 に表示データに応じた発光駆動電流を流すために、有機 E L 素子 O L E D の対向電極 1 7 に印加される基準電圧 V c o m より電位の高い、所定の高電圧（電源電圧 V d d）が印加される。

【 0 0 2 1 】

すなわち、図 2 に示す画素駆動回路 D C においては、各表示画素 P I X において直列に接続されたトランジスタ T r 1 2 と有機 E L 素子 O L E D の組の両端（トランジスタ T r 1 2 のドレイン端子と有機 E L 素子 O L E D のカソード端子）にそれぞれ電源電圧 V d d と基準電圧 V c o m を印加して、有機 E L 素子 O L E D に順バイアスを付与し、有機 E L 素子 O L E D が発光可能な状態とし、さらに、階調信号 V p i x に応じて有機 E L 素子 O L E D に流れる発光駆動電流の電流値を制御している。

【 0 0 2 2 】

そして、このような回路構成を有する表示画素 P I X における駆動制御動作は、まず、図示を省略した選択ドライバから選択ライン L s に対して、所定の選択期間に、選択レベル（オンレベル；例えばハイレベル）の選択信号 S s e l を印加することにより、トランジスタ T r 1 1 がオン動作して選択状態に設定される。このタイミングに同期して、図示を省略したデータドライバから表示データに応じた電圧値を有する階調信号 V p i x をデータライン L d に印加するように制御する。これにより、トランジスタ T r 1 1 を介して、階調信号 V p i x に応じた電位が接点 N 1 1（すなわち、トランジスタ T r 1 2 のゲート端子）に印加される。

【 0 0 2 3 】

図 2 に示した回路構成を有する画素駆動回路 D C においては、トランジスタ T r 1 2 のドレイン - ソース間電流（すなわち、有機 E L 素子 O L E D に流れる発光駆動電流）の電流値は、ドレイン - ソース間の電位差及びゲート - ソース間の電位差によって決定される。ここで、トランジスタ T r 1 2 のドレイン端子（ドレイン電極）に印加される電源電圧 V d d と、有機 E L 素子 O L E D のカソード端子（カソード電極）に印加される基準電圧 V c o m は固定値であるので、トランジスタ T r 1 2 のドレイン - ソース間の電位差は、電源電圧 V d d と基準電圧 V c o m によって予め固定されている。そして、トランジスタ T r 1 2 のゲート - ソース間の電位差は、階調信号 V p i x の電位によって一義的に決定されるので、トランジスタ T r 1 2 のドレイン - ソース間に流れる電流の電流値は、階調信号 V p i x

によって制御することができる。

【0024】

このように、トランジスタ T_{r12} が接点 N_{11} の電位に応じた導通状態（すなわち、階調信号 V_{pix} に応じた導通状態）でオン動作して、高電位側の電源電圧 V_{dd} からトランジスタ T_{r12} 及び有機EL素子OLEDを介して低電位側の基準電圧 V_{com} （接地電位 V_{gnd} ）に、所定の電流値を有する発光駆動電流が流れるので、有機EL素子OLEDが階調信号 V_{pix} （すなわち表示データ）に応じた輝度階調で発光動作する。また、このとき、接点 N_{11} に印加された階調信号 V_{pix} に基づいて、トランジスタ T_{r12} のゲート・ソース間のキャパシタ C_s に電荷が蓄積（充電）される。

【0025】

次いで、上記選択期間終了後の非選択期間において、選択ライン L_s に非選択レベル（オフレベル；例えばローレベル）の選択信号 S_{sel} を印加することにより、表示画素PIXのトランジスタ T_{r11} がオフ動作して非選択状態に設定され、データライン L_d と画素駆動回路DC（具体的には接点 N_{11} ）とが電氣的に遮断される。このとき、上記キャパシタ C_s に蓄積された電荷が保持されることにより、トランジスタ T_{r12} のゲート端子に階調信号 V_{pix} に相当する電圧が保持された（すなわち、ゲート・ソース間の電位差が保持された）状態となる。

【0026】

したがって、上記選択状態における発光動作と同様に、電源電圧 V_{dd} からトランジスタ T_{r12} を介して、有機EL素子OLEDに所定の発光駆動電流が流れて、発光動作状態が継続される。この発光動作状態は、次の階調信号 V_{pix} が印加される（書き込まれる）まで、例えば、1フレーム期間継続するように制御される。そして、このような駆動制御動作を、表示パネル10に2次元配列された全ての表示画素PIX（各色画素 P_{Xr} 、 P_{Xg} 、 P_{Xb} ）について、例えば各行ごとに順次実行することにより、所望の画像情報を表示する画像表示動作を実行することができる。

【0027】

なお、図2においては、表示画素PIXに設けられる画素駆動回路DCとして、表示データに応じて各表示画素PIX（具体的には、画素駆動回路DCのトランジスタ T_{r12} のゲート端子；接点 N_{11} ）に書き込む階調信号 V_{pix} の電圧値を調整（指定）することにより、有機EL素子OLEDに流す発光駆動電流の電流値を制御して、所望の輝度階調で発光動作させる電圧指定型の階調制御方式に対応した回路構成を示したが、表示データに応じて各表示画素PIXに供給する（書き込む）電流の電流値を調整（指定）することにより、有機EL素子OLEDに流す発光駆動電流の電流値を制御して、所望の輝度階調で発光動作させる電流指定型の階調制御方式の回路構成を有するものであってもよい。

【0028】

また、図2に示した画素駆動回路DCにおいては、2個のnチャネル型のトランジスタ T_{r11} 、 T_{r12} を適用した回路構成を示したが、本発明に係る表示パネルはこれに限定されるものではなく、3個以上のトランジスタを適用した他の回路構成を有するものであってもよいし、回路素子としてpチャネル型のトランジスタのみを適用したもの、あるいは、nチャネル型及びpチャネル型の双方のチャネル極性を有するトランジスタが混在するものであってもよい。ここで、図2に示したように、画素駆動回路DCとしてnチャネル型のトランジスタのみを適用した場合には、既に製造技術が確立されたアモルファスシリコン半導体製造技術を用いて、動作特性が安定したトランジスタを簡易に製造することができ、上記表示画素の発光特性のバラツキを抑制した画素駆動回路を実現することができる。

【0029】

<表示画素のデバイス構造>

次に、上述したような回路構成を有する表示画素（画素駆動回路及び有機EL素子）の具体的なデバイス構造（平面レイアウト及び断面構造）について説明する。

【0030】

10

20

30

40

50

図 3 は、本発明に係る表示パネルに適用可能な表示画素の一例を示す平面レイアウト図である。ここでは、図 1 に示した表示画素 P I X の赤 (R)、緑 (G)、青 (B) の各色画素 P X r、P X g、P X b のうちの、特定の一の色画素の平面レイアウトを示す。なお、図 3 においては、画素駆動回路 D C の各トランジスタ及び配線層等が形成された層を中心に示し、各配線層及び各電極の配置や平面形状を明瞭にするために、便宜的にハッチングを施して示した。また、図 4 (a) 及び図 4 (b) は、図 3 に示した平面レイアウトを有する表示画素における IVA - IVA 線 (本明細書においては図 3 中に示したローマ数字の「 4 」に対応する記号として便宜的に「 IV 」を用いる。以下同じ) に沿った断面及び IVB - IVB 線に沿った断面を示す概略断面図である。

【 0 0 3 1 】

10

図 2 に示した表示画素 (色画素) P I X は、具体的には、例えば図 3 に示すように、基板 1 1 の一面側に設定された画素形成領域 R p x において、図面上下及び左右の縁辺領域に行方向 (図面左右方向) に延在するように選択ライン L s 及び電源電圧ライン L v が各々配設されるとともに、これらのライン L s、L v に直交するように、上記図面右方の縁辺領域に列方向 (図面上下方向) に延在するようにデータライン L d が配設されている。また、上記平面レイアウトの右方及び左方の縁辺領域には各々右側及び左側に隣接する表示画素 P I X にまたがって列方向 (図面上下方向) に延在するようにバンク 1 5 が配設されている。

【 0 0 3 2 】

ここで、例えば図 3、図 4 に示すように、データライン L d は、選択ライン L s 及び電源電圧ライン L v よりも下層側 (基板 1 1 側) に設けられ、トランジスタ T r 1 1、T r 1 2 のゲート電極 T r 1 1 g、T r 1 2 g を形成するためのゲートメタル層をパターニングすることによって当該ゲート電極 T r 1 1 g、T r 1 2 g と同じ工程で形成される。また、データライン L d は、その上に被覆形成された窒化シリコンや酸化シリコンからなるゲート絶縁膜 1 3 に設けられたコンタクトホール C H 11 を介して、トランジスタ T r 1 1 のドレイン電極 T r 1 1 d に接続されている。

20

【 0 0 3 3 】

なお、ゲートメタル層は、例えばアルミニウム (A l)、チタン (T i)、バナジウム (V)、クロム (C r)、マンガン (M n)、鉄 (F e)、コバルト (C o)、ニッケル (N i)、銅 (C u)、亜鉛 (Z n)、ジルコニウム (Z r)、ニオブ (N b)、モリブデン (M o)、パラジウム (P d)、銀 (A g)、インジウム (I n)、スズ (S n)、タンタル (T a)、タングステン (W)、白金 (P t)、金 (A u) 単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。

30

【 0 0 3 4 】

選択ライン L s 及び電源電圧ライン L v は、データライン L d やゲート電極 T r 1 1 g、T r 1 2 g よりも上層側に設けられ、トランジスタ T r 1 1、T r 1 2 のソース電極 T r 1 1 s、T r 1 2 s、ドレイン電極 T r 1 1 d、T r 1 2 d を形成するためのソース、ドレインメタル層をパターニングすることによって当該ソース電極 T r 1 1 s、T r 1 2 s、ドレイン電極 T r 1 1 d、T r 1 2 d と同じ工程で形成される。

【 0 0 3 5 】

40

選択ライン L s は、トランジスタ T r 1 1 のゲート電極 T r 1 1 g の一端側に位置するゲート絶縁膜 1 3 に設けられたコンタクトホール C H 12 を介してゲート電極 T r 1 1 g に接続されている。また、電源電圧ライン L v は、トランジスタ T r 1 2 のドレイン電極 T r 1 2 d と一体的に形成されている。

【 0 0 3 6 】

ここで、選択ライン L s 及び電源電圧ライン L v を形成するためのソース、ドレインメタル層は、上述したゲートメタル層と同様に、例えばアルミニウム (A l)、チタン (T i)、バナジウム (V)、クロム (C r)、マンガン (M n)、鉄 (F e)、コバルト (C o)、ニッケル (N i)、銅 (C u)、亜鉛 (Z n)、ジルコニウム (Z r)、ニオブ (N b)、モリブデン (M o)、パラジウム (P d)、銀 (A g)、インジウム (I n)

50

、スズ(Sn)、タンタル(Ta)、タングステン(W)、白金(Pt)、金(Au)単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。一具体例としては、アルミニウム単体(Al)やアルミニウム-チタン(AlTi)、アルミニウム-ネオジウム-チタン(AlNdTi)等のアルミニウム合金、銅(Cu)等の配線抵抗を低減するための低抵抗金属の単層や合金層により形成するものであってもよいし、クロム(Cr)やチタン(Ti)等のマイグレーションを低減するための遷移金属層が上記低抵抗金属層の下層に設けられた積層構造を有するものであってもよい。特に、AlTi/Crの二層構造やAlNdTi/Crの二層構造が好ましい。なお、ゲート金属層及びソース、ドレイン金属層を同じスパッタ等の成膜装置で形成する場合、ゲート金属層をソース、ドレイン金属層と同じ材料構成、同じ層構造としてもよい。

10

【0037】

そして、画素駆動回路DCは、より具体的には、例えば図3に示すように、図2に示したトランジスタTr11及びTr12が列方向に沿って延在するように配置されている。ここで、各トランジスタTr11、Tr12は、周知の電界効果型の薄膜トランジスタ構造を有し、各々、例えば基板11上に形成されたゲート電極Tr11g、Tr12gと、該ゲート電極Tr11g、Tr12g上に被覆形成されたゲート絶縁膜13を介して各ゲート電極Tr11g、Tr12gに対応する領域に形成された半導体層SMCと、該半導体層SMCのチャンネルの両側部に延在するように形成されたソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dと、を有する逆スタガ構造を有している。

20

【0038】

なお、各トランジスタTr11、Tr12のソース電極Tr11s、Tr12sとドレイン電極Tr11d、Tr12dが両端部に対向して配置された半導体層SMCのチャンネル上には、製造プロセスにおいて当該半導体層SMCへのエッチングダメージを防止するための酸化シリコン又は窒化シリコン等のチャンネル保護層(ブロック層)BLが形成され、また、ソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dが接触する半導体層SMCのチャンネルの両端部上には、当該半導体層SMCとソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dとのオーミック接続を実現するための不純物層OHMが形成されている。

30

【0039】

そして、図2に示した画素駆動回路DCの回路構成に対応するように、トランジスタTr11は、図3に示すように、ゲート電極Tr11gがゲート絶縁膜13に設けられたコンタクトホールCH12を介して選択ラインLsに接続され、同ドレイン電極Tr11dがゲート絶縁膜13に設けられたコンタクトホールCH11を介してデータラインLdに接続されている。

【0040】

トランジスタTr12は、図3、図4(a)に示すように、ゲート電極Tr12gがゲート絶縁膜13に設けられたコンタクトホールCH13を介して上記トランジスタTr11のソース電極Tr11sに接続され、同ドレイン電極Tr12dが電源電圧ラインLvと一体的に形成され、同ソース電極Tr12sが基板11上に設けられた有機EL素子OLEDの画素電極12に直接接続されている。

40

【0041】

また、キャパシタCsは、図3、図4(b)に示すように、基板11上にトランジスタTr12のゲート電極Tr12gと一体的に形成された電極Ecaと、ゲート絶縁膜13上にトランジスタTr12のソース電極Tr12sと一体的に形成された電極Ecbと、がゲート絶縁膜13を介して対向するように設けられている。

【0042】

有機EL素子OLEDは、図3、図4に示すように、上記トランジスタTr11、Tr12のゲート電極Tr11g、Tr12gと同層となる基板11上に直接設けられるとともに、トランジスタTr12のソース電極Tr12sに直接接続され、所定の発光駆動電

50

流が供給される光透過特性を有する画素電極（例えばアノード電極）１２と、上記ゲート絶縁膜１３、トランジスタＴｒ１１、Ｔｒ１２、キャパシタＣｓ及び各ラインＬｓ、Ｌｖ、Ｌｄを被覆し、隣接する表示画素ＰＩＸの画素電極１２との間の領域（境界領域）に形成された層間絶縁膜１４、及び、該層間絶縁膜１４上に連続的に突出して配設されたバンク１５により画定された（バンク１５に取り囲まれた領域である）ＥＬ素子形成領域Ｒｅｌに形成された、例えば正孔輸送層１６ａ及び電子輸送性発光層１６ｂを有する有機ＥＬ層（発光層）１６と、基板１１上に２次元配列された各表示画素ＰＩＸの画素電極１２に共通して対向するように設けられた光反射特性を有する単一の電極層（べた電極）からなる対向電極（例えばカソード電極）１７と、を順次積層することにより形成される。

【００４３】

10

表示画素ＰＩＸの各トランジスタＴｒ１１、Ｔｒ１２は、逆スタガ構造の薄膜トランジスタであって、ゲート絶縁膜１３がＥＬ素子形成領域Ｒｅｌと重ならないように、つまり、画素電極１２のうち、後述する層間絶縁膜１４の端部１４ａで囲まれた開口部から露出される領域において、ゲート絶縁膜１３が形成されていない。

【００４４】

仮に、上記のような構造とは異なり、有機ＥＬ層１６の下面に、画素電極１２及びゲート絶縁膜１３が互いに重なるように配置されていると、画素電極１２及びゲート絶縁膜１３の間で屈折率差があれば、有機ＥＬ層１６が発する光は、光の入射角に応じて画素電極１２及びゲート絶縁膜１３の界面で反射を引き起こし、多重反射の原因となる。

【００４５】

20

画素電極１２を屈折率が２．１程度のＩＴＯ、ゲート絶縁膜１３を屈折率が２．０程度の窒化シリコン、基板１１を屈折率が１．５程度のガラスとすると、ゲート絶縁膜１３の膜厚が２００ｎｍと１９０ｎｍでは、ｘｙｚ色度座標系で差が０．０３程度生じてしまう。このように、画素電極１２下方の光路に基板以外にゲート絶縁膜が配置されてしまうと、ゲート絶縁膜の膜厚が±５％程度違うだけでも視覚的に異なる色を基板から出射してしまう。

【００４６】

上記実施形態では、画素電極１２と基板１１との間の光路に、比較的ばらつきが生じやすいゲート絶縁膜１３を配置させないので、有機ＥＬ層１６から発する光は、画素電極１２を透過して、ゲート絶縁膜１３による光の散乱や干渉を受けることなく基板１１を介して出射される。このため、出射光の色度ずれを抑えることができる。

30

【００４７】

ここで、対向電極１７は、各ＥＬ素子形成領域Ｒｅｌだけでなく、当該ＥＬ素子形成領域Ｒｅｌを画定するバンク１５上にも延在するように設けられている。また、ＥＬ素子形成領域Ｒｅｌの周囲は、図３に示した平面レイアウトの左右方向に隣接する表示画素ＰＩＸのＥＬ素子形成領域Ｒｅｌとの境界領域にバンク１５が形成されているので、選択ラインＬｓ及び電源電圧ラインＬｖの一部、並びに、データラインＬｄ、トランジスタＴｒ１１、Ｔｒ１２は、バンク１５と平面的に（平面視して）重なっている。そのため、バンク１５は、当該バンク１５上に形成された上記対向電極１７による寄生容量の影響を緩和している。

【００４８】

40

なお、本実施形態に係る表示画素のデバイス構造は、図３、図４に示した構成に限定される必要はなく、選択ラインＬｓ及び電源電圧ラインＬｖを、ゲートメタル層をパターンニングすることによってゲート絶縁膜１３の下層に形成し、データラインＬｄをソース、ドレインメタル層をパターンニングすることによってゲート絶縁膜１３の上層に形成することでコンタクトホールＣＨ１１及びＣＨ１２を設けることなく、選択ラインＬｓをゲート電極Ｔｒ１１ｇと一体的に、また、データラインＬｄをドレイン電極Ｔｒ１１ｄと一体的に設けるようにしてもよい。

【００４９】

バンク１５は、図１に示すように、表示パネル１０に２次元配列される複数の表示画素ＰＩＸ相互の境界領域、具体的には、表示パネル１０の行方向に繰り返し配列される色画

50

素 P X r、P X g、P X b の各画素電極 1 2 間の領域であって、表示パネル 1 0 の列方向に、同一色の色画素 P X r、P X g 又は P X b の複数の画素電極 1 2 を取り囲む柵状（又は、各色画素 P X r、P X g、P X b の各画素電極 1 2 を取り囲む格子状）の平面パターンを有するように）配設されている。

【 0 0 5 0 】

ここで、図 3、図 4 に示すように、上記境界領域には列方向に上記トランジスタ T r 1 1、T r 1 2 が延在して形成されており、バンク 1 5 は、当該トランジスタ T r 1 1、T r 1 2 を被覆し、各画素形成領域 R p x の画素電極 1 2 間に形成される層間絶縁膜 1 4 上に、基板 1 1 表面から高さ方向に連続的に突出するように形成されている。これにより、バンク 1 5 により囲まれた領域、すなわち、列方向に配列された複数の表示画素 P I X の画素電極 1 2 を含む領域が、後述する製造方法において、有機 E L 層 1 6（例えば正孔輸送層 1 6 a 及び電子輸送性発光層 1 6 b）を形成する際の有機化合物材料を含む溶液或いは懸濁液の溶媒（有機化合物含有液）の塗布領域（すなわち、E L 素子形成領域 R e l）として規定される。

10

【 0 0 5 1 】

また、バンク 1 5 は、例えば感光性の樹脂材料を用いて形成され、上記有機 E L 層 1 6 の形成時において、少なくともその表面（側面及び上面）が、E L 素子形成領域 R e l に塗布される有機化合物含有液に対して撥液性を有するように表面処理が施されている。

そして、上記画素駆動回路 D C、有機 E L 素子 O L E D 及びバンク 1 5 が形成された基板 1 1 の一面側全域には、例えば図 4 に示すように、保護絶縁膜（パッシベーション膜）としての機能を有する封止層 1 8 が被覆形成されている。さらには、基板 1 1 に対向するように図示を省略したガラス基板等からなる封止基板が接合されているものであってもよい。

20

【 0 0 5 2 】

このように、本実施形態に係る表示パネルにおいては、有機 E L 素子 O L E D の発光動作を制御する画素駆動回路 D C の出力端（トランジスタ T r 1 2 のソース電極 T r 1 2 s）に接続された I T O 等の透明電極材料からなる画素電極 1 2 が、ゲート絶縁膜 1 3 を介することなく基板 1 1 上に直接設けられている。特に、画素電極 1 2 は、画素駆動回路 D C のトランジスタ T r 1 1、T r 1 2 を形成するゲート電極 T r 1 1 g、T r 1 2 g と同一層（基板 1 1 に直接接する層）に設けられるとともに、当該ゲート電極 T r 1 1 g、T r 1 2 g とは異なる工程で形成されていることを特徴としている。

30

【 0 0 5 3 】

そして、このような表示パネル 1 0（表示画素 P I X）においては、データライン L d を介して供給される表示データに応じた階調信号 V p i x に基づいて、所定の電流値を有する発光駆動電流がトランジスタ T r 1 2 のドレイン - ソース間に流れ、有機 E L 素子 O L E D の画素電極 1 2 に供給されることにより、各表示画素（色画素）P I X の有機 E L 素子 O L E D が上記表示データに応じた所望の輝度階調で発光動作する。

【 0 0 5 4 】

ここで、本実施形態に係る表示パネル 1 0 においては、画素電極 1 2 が光透過特性（可視光に対して高い透過率）を有し、かつ、対向電極 1 7 が光反射特性（可視光に対して高い反射率）を有することにより、各表示画素 P I X の有機 E L 層 1 6 において発光した光が、光透過特性を有する画素電極 1 2 及び基板 1 1 を介して視野側（図 4 の下方）に直接出射されるとともに、光反射特性を有する対向電極 1 7 で反射し、画素電極 1 2 を介して視野側に出射されるボトムエミッション型の発光構造を実現することができる。

40

【 0 0 5 5 】

このとき、上述したように、有機 E L 層（発光層）1 6 において発光した光は、透明な画素電極 1 2 及び透明な基板 1 1 のみを介して視野側に出射されるので、例えば画素電極が基板上に形成されたゲート絶縁膜上に設けられたパネル構造を有する表示パネルに比較して、光の出射経路（光路）に介在するゲート絶縁膜の膜厚分布（膜厚のばらつき）に起因する干渉効果を抑制して、R、G、B の各発光色の色度ずれや発光輝度のばらつきを抑

50

制することができ、画像のにじみやぼけ等のない良好な表示特性を実現することができる。

【0056】

(表示パネルの製造方法)

次に、本実施形態に係る表示パネルの製造方法について説明する。

図5乃至図9は、本実施形態に係る表示パネルの製造方法の一例を示す工程断面図である。ここでは、図4に示したIVA - IVA線及びIVB - IVB線に沿った表示パネルの断面構造のうち、各一部分(トランジスタTr12、キャパシタCs、有機EL素子OLED、データラインLd、選択ラインLs、電源電圧ラインLv等)、並びに、図1に示した選択ラインLsの端部に設けられる端子パッドPLs、電源電圧ラインLvの端部に設けら

10

【0057】

上述した表示パネルの製造方法は、まず、図1、図3に示したように、ガラス基板等の絶縁性の基板11の一面側(図面上面側)に設定された表示画素PIX(色画素Pxr、Pxg、Pxb)の画素形成領域Rpxに、画素駆動回路DCのトランジスタTr11、Tr12やキャパシタCs、データラインLdや選択ラインLs、電源電圧ラインLv等の配線層を形成する。

【0058】

具体的には、図5(a)に示すように、基板11上にゲート金属層を形成し、当該ゲート金属層をウェットエッチングによりパターニングすることによって、ゲート電極Tr11g、Tr12g、及び、当該ゲート電極Tr12gと一体的に形成されるキャパシタCsの一方側の電極Eca、データラインLd、選択ラインLsに接続された端子パッドPLsの下層電極層PLs1、電源電圧ラインLvに接続された端子パッドPLvの下層電極層PLv1を同時に形成する。このとき、酸系のエッチング液(例えばフッ酸系エッチング液)は、画素電極が形成される領域の基板11の表面に接するが、ガラスに対して十分選択比が取れるので基板11をエッチングすることはない。

20

【0059】

なお、ゲート金属層は、例えばアルミニウム(Al)、チタン(Ti)、バナジウム(V)、クロム(Cr)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、亜鉛(Zn)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、パラジウム(Pd)、銀(Ag)、インジウム(In)、スズ(Sn)、タンタル(Ta)、タングステン(W)、白金(Pt)、金(Au)単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。

30

【0060】

ここで、選択ラインLs及び電源電圧ラインLvを複数の導電層を積層した配線構造により形成する場合には、上記ゲート金属層をパターニングする際に、選択ラインLsの下層配線層及び電源電圧ラインLvの下層配線層(いずれも図示を省略)を、上記ゲート電極Tr11g、Tr12g等と同時に形成する。この場合、図3に示すように、ソース、ドレイン金属層Ls-dをパターニングして得られるデータラインLdと、ゲート金属層をパターニングして得られる選択ラインLs及び電源電圧ラインLvとが交差する領域においては、相互に電氣的に接続されないように、例えばゲート金属層によって選択ラインLs及び電源電圧ラインLvの下層配線を形成せずにデータラインLdと、選択ラインLs及び電源電圧ラインLvとの間に後述するゲート絶縁膜13を介在させるようにする。

40

【0061】

次いで、上記ゲート電極Tr11g、Tr12gやキャパシタCsの電極Eca、データラインLd、下層電極層PLs1、PLv1を含む基板11上に、スパッタリング法等を用いて錫ドープ酸化インジウム(Indium Tin Oxide; ITO)や酸化インジウムと酸化亜鉛の酸化物(Indium Zinc Oxide)、タングステンドープ酸化インジウム(Indium Tungsten Oxide; IWO)

50

、タングステン - 亜鉛ドーパ酸化インジウム (Indium Tungsten Zinc Oxide ; I W Z O) 等の透明電極材料からなる (光透過特性を有する) 導電性酸化金属層を薄膜形成した後、当該導電性酸化金属層をパターニングして、図 5 (b) に示すように、各表示画素 P I X の E L 素子形成領域 R e l に所定の平面形状 (例えば矩形状) を有する画素電極 1 2 を形成する。

【 0 0 6 2 】

次いで、図 5 (c) に示すように、上記ゲート電極 T r 1 1 g、T r 1 2 g や画素電極 1 2 等を含む基板 1 1 の全域を被覆するように、例えば化学気相成長法 (C V D 法) 等を用いて、窒化シリコン、酸化シリコン等からなるゲート絶縁膜 1 3、アモルファスシリコン等からなる半導体層 L s m c 及び窒化シリコン等からなる絶縁層 L b l を順次積層形成する。その後、図 5 (d) に示すように、最上層の絶縁層 L b l を図示しないフォトリソマスクを用いてパターニングして、上記ゲート電極 T r 1 1 g、T r 1 2 g に対応する領域に窒化シリコン等からなるチャネル保護層 (ブロック層) B L 形成する。

10

【 0 0 6 3 】

次いで、図 6 (a) に示すように、上記基板 1 1 の全域を被覆するように、例えば C V D 法等を用いて、不純物をドーパした n^+ シリコン層 L o h m を形成した後、当該 n^+ シリコン層 L o h m、半導体層 L s m c 及びゲート絶縁膜 1 3 を、酸素及び S F O₆ の混合ガスを用いて連続的にドライエッチングして、各画素形成領域 R p x 内の E L 素子形成領域 R e l に画素電極 1 2 が露出する開口部、データライン L d の特定の領域の上面が露出するコンタクトホール C H 11 (図 3 参照)、ゲート電極 T r 1 1 g、T r 1 2 g の特定の領域の上面が各々露出するコンタクトホール C H 12、C H 13 (図 3 参照)、及び、端子パッド部に下層電極層 P L s 1、P L v 1 がそれぞれ露出する開口部 C H s 1、C H v 1 を形成する。この場合における画素電極 1 2 が露出する開口部の形状は、ゲート絶縁膜 1 3、半導体層 L s m c 及び n^+ シリコン層 L o h m の端部 1 3 a の形状により規定される。このとき、画素電極 1 2 の下面に位置する基板 1 1 の領域は、画素電極 1 2 に覆われているのでドライエッチングのエッチャントに曝されることがなく、平滑な状態を維持することができる。

20

【 0 0 6 4 】

次いで、図 6 (b) に示すように、上記基板 1 1 の全域に、ソース、ドレイン金属層 L s - d を形成する。ここで、ソース、ドレイン金属層 L s - d は、上述したゲート金属層と同様に、例えばアルミニウム (A l)、チタン (T i)、バナジウム (V)、クロム (C r)、マンガン (M n)、鉄 (F e)、コバルト (C o)、ニッケル (N i)、銅 (C u)、亜鉛 (Z n)、ジルコニウム (Z r)、ニオブ (N b)、モリブデン (M o)、パラジウム (P d)、銀 (A g)、インジウム (I n)、スズ (S n)、タンタル (T a)、タングステン (W)、白金 (P t)、金 (A u) 単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。一具体例としては、アルミニウム単体 (A l) やアルミニウム - チタン (A l T i)、アルミニウム - ネオジウム - チタン (A l N d T i) 等のアルミニウム合金、銅 (C u) 等の配線抵抗を低減するための低抵抗金属の単層や合金層により形成するものであってもよいし、クロム (C r) やチタン (T i) 等のマイグレーションを低減するための遷移金属層が上記低抵抗金属層の下層に設けられた積層構造を有するものであってもよい。

30

40

【 0 0 6 5 】

次いで、ソース、ドレイン金属層上にパターニングされたマスク M S K を形成し、当該マスク M S K を用いてソース、ドレイン金属層 L s - d をエッチングして、トランジスタ T r 1 1、T r 1 2 の各ソース電極 T r 1 1 s、T r 1 2 s 及びドレイン電極 T r 1 1 d、T r 1 2 d、キャパシタ C s の他方側の電極 E c b、選択ライン L s 及び該選択ライン L s に接続された端子パッド P L s の上層電極層 P L s 2、電源電圧ライン L v 及び該電源電圧ライン L v に接続された端子パッド P L v の上層電極層 P L v 2 を同時に形成する。

【 0 0 6 6 】

続いて、当該ソース電極 T r 1 1 s、T r 1 2 s 及びドレイン電極 T r 1 1 d、T r 1 2 d、キャパシタ C s の電極 E c b、選択ライン L s 及び電源電圧ライン L v、上層電極層

50

P L s2、層 P L v2をマスクとして用いて、 n^+ シリコン層 L ohm及び半導体層 L smcを連続的にエッチングして、図 6 (c) に示すように、ゲート絶縁膜 1 3 上のゲート電極 T r 1 1 g、T r 1 2 g に対応する領域にチャネル領域を有する半導体層 S M C を形成するとともに、当該半導体層 S M C と上記ソース電極 T r 1 1 s、T r 1 2 s 及びドレイン電極 T r 1 1 d、T r 1 2 d との間に各々不純物層 O H M を形成する。

【 0 0 6 7 】

これにより、ゲート電極 T r 1 1 g、T r 1 2 g 上にゲート絶縁膜 1 3 を介して半導体層 S M C を有し、チャネル領域の両端部に不純物層 O H M を介してソース電極 T r 1 1 s、T r 1 2 s 及びドレイン電極 T r 1 1 d、T r 1 2 d を有するトランジスタ T r 1 1、T r 1 2 が形成される。このとき、図 3 に示すように、トランジスタ T r 1 1 のドレイン電極 T r 1 1 d はゲート絶縁膜 1 3 に形成されたコンタクトホール C H 11 を介してデータライン L d に接続され、同ソース電極 T r 1 1 s がゲート絶縁膜 1 3 に形成されたコンタクトホール C H 13 を介してトランジスタ T r 1 2 のゲート電極 T r 1 2 g に接続される。また、ソース電極 T r 1 2 s の一端側は画素電極 1 2 上にまで延在して相互に電氣的に接続されるとともに、当該ソース電極 T r 1 2 s との接続部を除いて、画素電極 1 2 の上面が再び露出する。

10

【 0 0 6 8 】

また、上記工程により、キャパシタ C s の電極 E cb、選択ライン L s 及び電源電圧ライン L v、上層電極層 P L s2、層 P L v2 とゲート絶縁膜 1 3 との間に、各々 n^+ シリコン層 L ohm 及び半導体層 L smc が介在するように形成される。このとき、選択ライン L s は、ゲート絶縁膜 1 3 に設けられたコンタクトホール C H 12 を介してトランジスタ T r 1 1 のゲート電極 T r 1 1 g に接続され、また、電源電圧ライン L v は、トランジスタ T r 1 2 のドレイン電極 T r 1 2 d と一体的に形成されている。

20

【 0 0 6 9 】

また、ゲート電極 T r 1 2 g と一体的に形成された電極 E ca と、ソース電極 T r 1 2 s と一体的に形成された電極 E cb (n^+ シリコン層 L ohm 及び半導体層 L smc を含む) とが誘電体となるゲート絶縁膜 1 3 を介して対向して配置されて、キャパシタ C s が形成される。さらに、端子パッド部においては、 n^+ シリコン層 L ohm、半導体層 L smc 及びゲート絶縁膜 1 3 に形成された上記開口部 C H s1、C H v1 を介して、上層電極層 P L s2、層 P L v2 と下層電極層 P L s1、P L v1 が各々電氣的に接続されて、端子パッド P L s、P L v が形成される。

30

【 0 0 7 0 】

次いで、図 7 (a) に示すように、上記トランジスタ T r 1 1、T r 1 2 や選択ライン L s、電源電圧ライン L v 等が形成され、画素電極 1 2 が露出する基板 1 1 上に、C V D 法等を用いて、例えばシリコン酸化膜やシリコン窒化膜等の無機の絶縁性材料からなる絶縁層 L i s l を形成した後、当該絶縁層 L i s l をパターニングすることによって、図 7 (b) に示すように、表示パネル 1 0 の行方向 (図 1、図 3 の左右方向) に配列された隣接する表示画素 P I X の E L 素子形成領域 R e l 間の領域 (又は、画素電極 1 2 間の領域 ; 境界領域) を電氣的に絶縁する層間絶縁膜 1 4 を形成するとともに、各表示画素 P I X の E L 素子形成領域 R e l に画素電極 1 2 が露出する開口部、及び、端子パッド部において上層電極層 P L s2、P L v2 がそれぞれ露出する開口部 C H s2、C H v2 を形成する。この場合における画素電極 1 2 が露出する開口部の形状は、層間絶縁膜 1 4 の端部 1 4 a の形状により規定される。

40

【 0 0 7 1 】

次いで、図 8 (a) に示すように、隣接する表示画素 P I X (画素電極 1 2) 間の境界領域に形成された上記層間絶縁膜 1 4 上に、例えばポリイミド系やアクリル系等の感光性の樹脂材料からなるバンク 1 5 を形成する。具体的には、上記層間絶縁膜 1 4 含む基板 1 1 の一面側全域を被覆するように形成された感光性樹脂層をパターニングすることにより、図 1 に示したように、行方向に隣接する表示画素 P I X 間の境界領域であって、表示パネル 1 0 の列方向に延在する領域を含む柵状の平面形状を有し、高さ方向に連続的に突出

50

するバンク（隔壁）１５を形成する。これにより、表示パネル１０の列方向に配列された同一色の複数の表示画素（色画素）PIXのEL素子形成領域Relがバンク１５及び層間絶縁膜１４により囲まれて画定されて、該EL素子形成領域Rel内に各表示画素PIXの画素電極１２の上面が露出する。

【００７２】

次いで、基板１１を純水で洗浄した後、例えば酸素プラズマ処理やUVオゾン処理等を施すことにより、EL素子形成領域Relに露出する各画素電極１２の表面を、後述する正孔輸送材料や電子輸送性発光材料の有機化合物含有液に対して親液化する処理を施し、続いて、バンク１５の表面にCF₄プラズマ処理を行い、選択的にバンク１５の表面を有機化合物含有液に対して撥液化する処理を施す。なお、バンク１５を形成する樹脂材料自体

10

【００７３】

これにより、同一の基板１１上において、バンク１５の表面が撥液化処理され、当該バンク１５により画定された各画素形成領域Rpxに露出する画素電極１２の表面は撥液化されていない状態（親液性）が保持されるので、後述するように、有機化合物含有液を塗布して有機EL層１６（電子輸送性発光層１６b）を形成する場合であっても、隣接するEL素子形成領域Relへの有機化合物含有液の漏出や乗り越えを防止することができ、隣接画素相互の混色を抑制して、赤（R）、緑（G）、青（B）色の塗り分けが可能となる。

【００７４】

なお、本実施形態において使用する「撥液性」とは、後述する正孔輸送層１６aとなる正孔輸送材料を含有する有機化合物含有液や、電子輸送性発光層１６bとなる電子輸送性発光材料を含有する有機化合物含有液、もしくは、これらの溶液に用いる有機溶媒を、基板上等に滴下して、接触角の測定を行った場合に、当該接触角が５０°以上になる状態と規定する。また、「撥液性」に対峙する「親液性」とは、本実施形態においては、上記接触角が４０°以下、好ましくは１０°以下になる状態と規定する。

20

【００７５】

次いで、図８（b）に示すように、上記バンク１５により囲まれた（画定された）各色のEL素子形成領域Relに対して、プロセス制御性や生産性に優れる、インクジェット法やノズルプリンティング法等を適用して、高分子系の有機材料からなる正孔輸送材料の溶液又は分散液を塗布した後、加熱乾燥させて正孔輸送層１６aを形成する。続いて、当該正孔輸送層１６a上にR、G、Bの発光色に対応した高分子系の有機材料からなる電子輸送性発光材料の溶液又は分散液を塗布した後、加熱乾燥させて電子輸送性発光層１６bを形成する。これにより、図９（a）に示すように、画素電極１２上に少なくとも正孔輸送層１６a及び電子輸送性発光層１６bを有する有機EL層１６が積層形成される。

30

【００７６】

具体的には、有機高分子系の正孔輸送材料を含む有機化合物含有液として、例えばポリエチレンジオキシチオフエン／ポリスチレンスルホン酸水溶液（PEDOT／PSS；導電性ポリマーであるポリエチレンジオキシチオフエンPEDOTと、ドーパントであるポリスチレンスルホン酸PSSを水系溶媒に分散させた分散液）を、上記画素電極１２上に塗布した後、加熱乾燥処理を行って溶媒を除去することにより、当該画素電極１２上に有機高分子系の正孔輸送材料を定着させて、担体輸送層である正孔輸送層１６aを形成する。

40

【００７７】

また、有機高分子系の電子輸送性発光材料を含む有機化合物含有液として、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む発光材料を、テトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒或いは水に溶解した溶液を、上記正孔輸送層１６a上に塗布した後、加熱乾燥処理を行って溶媒を除去することにより、正孔輸送層１６a上に有機高分子系の電子輸送性発光材料を定着させて、担体輸送層であり発光層でもある電子輸送性発光層１６bを形成する。

50

【0078】

その後、図9(b)に示すように、少なくとも各表示画素PIXのEL素子形成領域Relを含む基板11上に光反射特性を有し、上記有機EL層16(正孔輸送層16a及び電子輸送性発光層16b)を介して各表示画素PIXの画素電極12に対向する共通の対向電極(例えばカソード電極)17を形成する。

【0079】

具体的には、対向電極17は、例えば真空蒸着法やスパッタリング法を用いて、1~10nm程度の膜厚を有し、カルシウム(Ca)、バリウム(Ba)、リチウム(Li)、インジウム(In)等の仕事関数の低い電子注入層(カソード電極)を形成した後、その上層に100nm以上の膜厚を有し、アルミニウム(Al)、クロム(Cr)、銀(Ag)、パラジウム銀(AgPd)系の合金、又は、ITO等の仕事関数の高い薄膜(給電電極)を積層形成した電極構造を適用することができる。ここで、対向電極17は、図1、図4に示したように、各EL素子形成領域Relに露出する画素電極12に対向する領域のみならず、各EL素子形成領域Relを画定するバンク15上にまで延在する単一の導電層(べた電極)として形成される。

【0080】

次いで、上記対向電極17を形成した後、基板11の一面側全域に保護絶縁膜(パッシベーション膜)としてシリコン酸化膜やシリコン窒化膜等からなる封止層18をCVD法等を用いて形成することにより、図4に示したような断面構造(ボトムエミッション型の発光構造)を有する表示パネル10が完成する。なお、上記封止層18に加えて、又は、封止層18に替えて、UV硬化又は熱硬化接着剤を用いて、メタルキャップ(封止蓋)やガラス等の封止基板を接合するものであってもよい。

【0081】

このように、本実施形態に係る表示パネルの製造方法は、トランジスタTr11、Tr12のゲート絶縁膜13のパターニング工程に先立って、各表示画素PIXに設けられる有機EL素子OLEDの画素電極12が基板11上に直接形成され、その後にゲート絶縁膜13上に形成されるトランジスタTr12のソース電極Tr12sが上記画素電極12に直接接続されている。

【0082】

すなわち、基板11上に画素電極12を形成した後に、当該画素電極12上に被覆形成されたゲート絶縁膜13をエッチングして、各EL素子形成領域Relに画素電極12が露出する開口部を形成することにより、ゲート絶縁膜13をドライエッチングする際に画素電極12が下方に位置する基板11に対するエッチング保護膜(ストッパ)として機能するので、例えば基板上に被覆形成したゲート絶縁膜をエッチングして開口部を形成した後、画素電極を形成する場合に比較して、基板表面の平滑性が損なわれる(荒れる)等のダメージを軽減することができる。

【0083】

したがって、表示パネル(有機EL素子)の発光動作時に、各表示画素PIXの有機EL層において発光した光が、基板表面において散乱したり、基板の厚さのばらつきによって干渉にばらつきを生じる現象を抑制することができ、色度ずれや発光輝度(発光強度)のばらつきを抑制して、画像のにじみやぼけ等のない、表示特性に優れた表示パネルを実現することができる。

【0084】

加えて、透明電極からなる画素電極と、透明な基板との間には、ゲート絶縁膜が介在しないので、例えば画素電極と基板との間にゲート絶縁膜が介在する場合に比較して、表示画素PIXの有機EL層(発光層)の発する光が、画素電極と透明な基板との間に入射する際に、ゲート絶縁膜の膜厚のばらつきに起因する干渉色のばらつきがないため、基板から出射された光は、色度ずれや発光輝度のばらつきを抑制することができ、画像のにじみやぼけ等のない良好な表示特性を実現することができる。

【0085】

なお、上述した実施形態においては、有機EL層16が正孔輸送層16a及び電子輸送性発光層16bからなる場合について説明したが、本発明はこれに限定されるものではなく、例えば正孔輸送兼電子輸送性発光層のみでもよく、正孔輸送性発光層及び電子輸送層でもよく、三層以上、例えば正孔輸送層、電子輸送層及び発光層でもよく、また、各層の間にインターレイヤ層等の担体輸送制御層が適宜介在してもよく、その他の担体輸送層の組合せであってもよい。

【0086】

また、上述した実施形態においては、画素電極12を有機EL素子OLEDのアノード電極とし、対向電極17をカソード電極として、画素電極12側に正孔輸送層16aを、また、対向電極17側に電子輸送性発光層16bを形成した場合について説明したが、本発明はこれに限定されるものではなく、画素電極12を有機EL素子の透明カソード電極とし、対向電極17を不透明アノード電極とするものであってもよい。この場合、画素電極12側に電子輸送性発光層16bを、また、対向電極17側に正孔輸送層16aを形成した素子構造となる。

10

【0087】

また、上記実施形態では、基板上に透明電極を配置したボトムエミッション型であったが、有機EL層の光が対向電極17側から放出されるトップエミッション型であっても、上記製造プロセスにおいて、基板の表面にエッチングによる凹凸がないので、基板上に均一な厚さで電極や有機EL層を成膜することができ、光の散乱のばらつきや光の干渉等のばらつきを抑えることができる。このようなトップエミッション構造の場合、画素電極は透明でなくともよく、反射導電膜のみ、又は、透明導電膜と反射膜の組合せであってもよい。

20

また、上記実施形態では、酸素及びSF₆の混合ガスを用いてドライエッチングを行ったが、基板を浸食するガスであれば、これに限らない。

【図面の簡単な説明】

【0088】

【図1】本発明に係る表示パネルの画素配列状態の一例を示す概略平面図である。

【図2】本発明に係る表示パネルに2次元配列される表示画素（発光素子及び画素駆動回路）の回路構成例を示す等価回路図である。

【図3】本発明に係る表示パネルに適用可能な表示画素の一例を示す平面レイアウト図である。

30

【図4】本実施形態に係る平面レイアウトを有する表示画素における概略断面図である。

【図5】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その1）である。

【図6】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その2）である。

【図7】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その3）である。

【図8】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その4）である。

40

【図9】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その5）である。

【符号の説明】

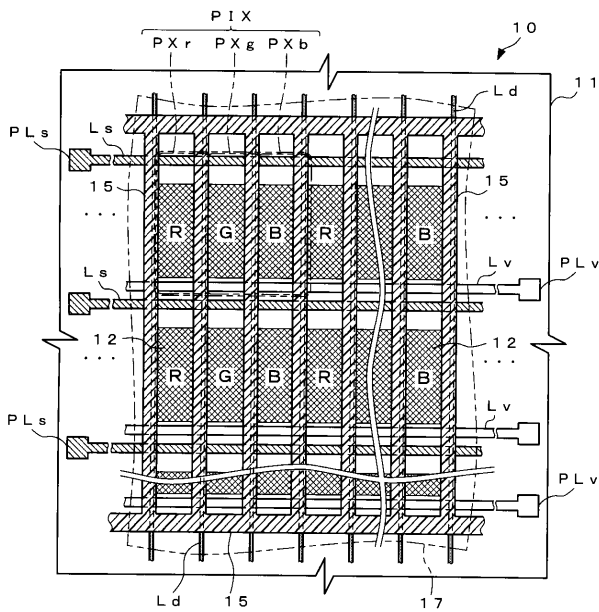
【0089】

- 10 表示パネル
- 11 基板
- 12 画素電極
- 13 ゲート絶縁膜
- 14 層間絶縁膜
- 15 バンク

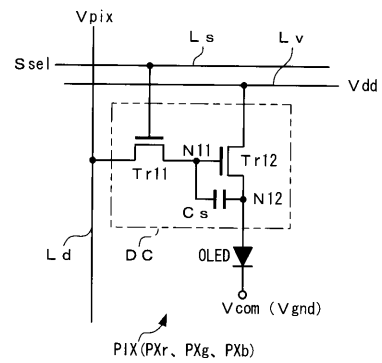
50

- 1 6 有機 E L 層
- 1 6 a 正孔輸送層
- 1 6 b 電子輸送性発光層
- 1 7 対向電極
- D C 画素駆動回路
- O L E D 有機 E L 素子
- L d データライン
- L s 選択ライン
- L v 電源電圧ライン

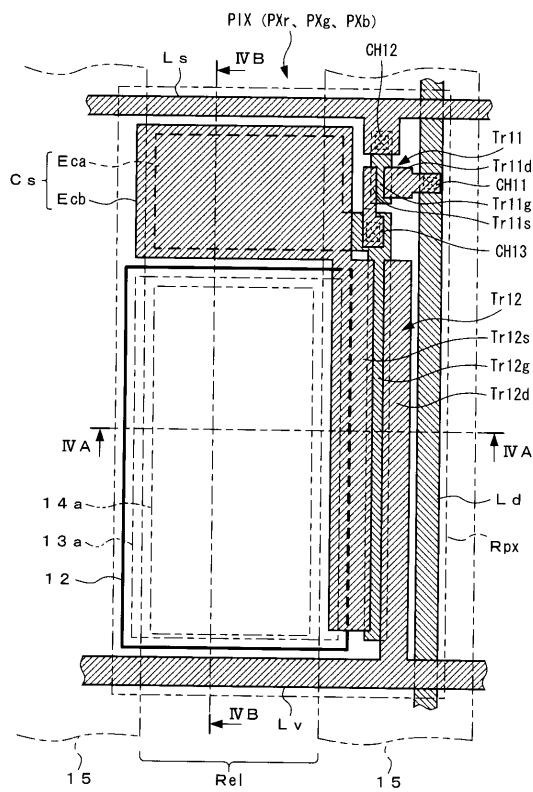
【 図 1 】



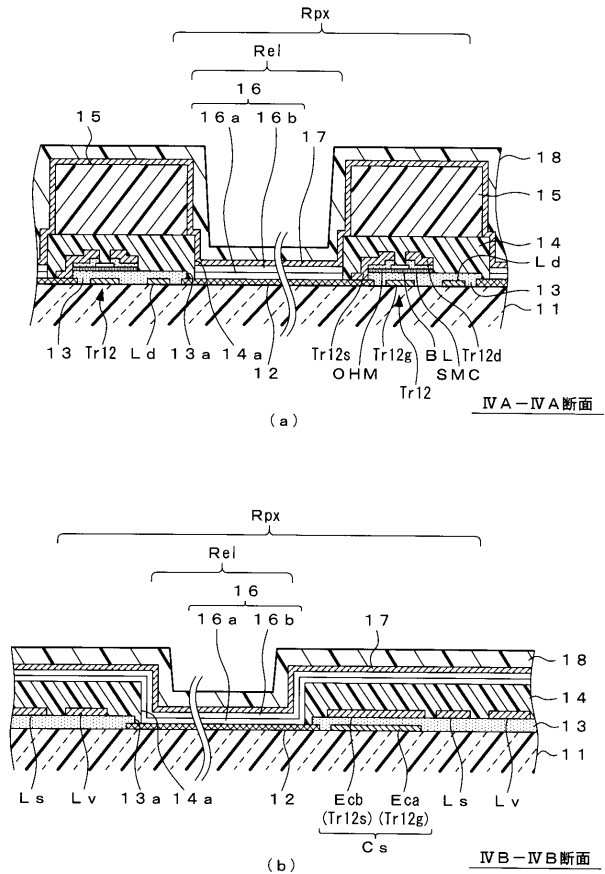
【 図 2 】



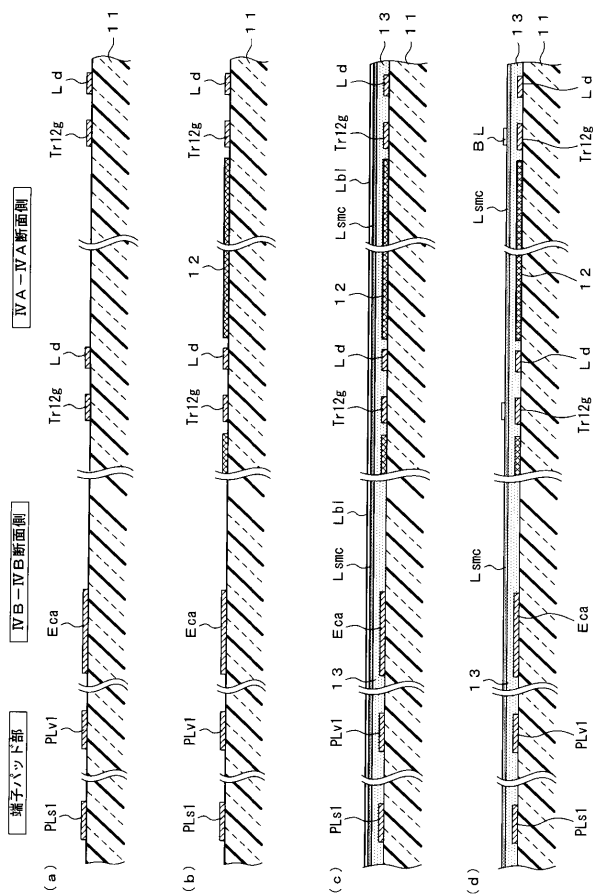
【 図 3 】



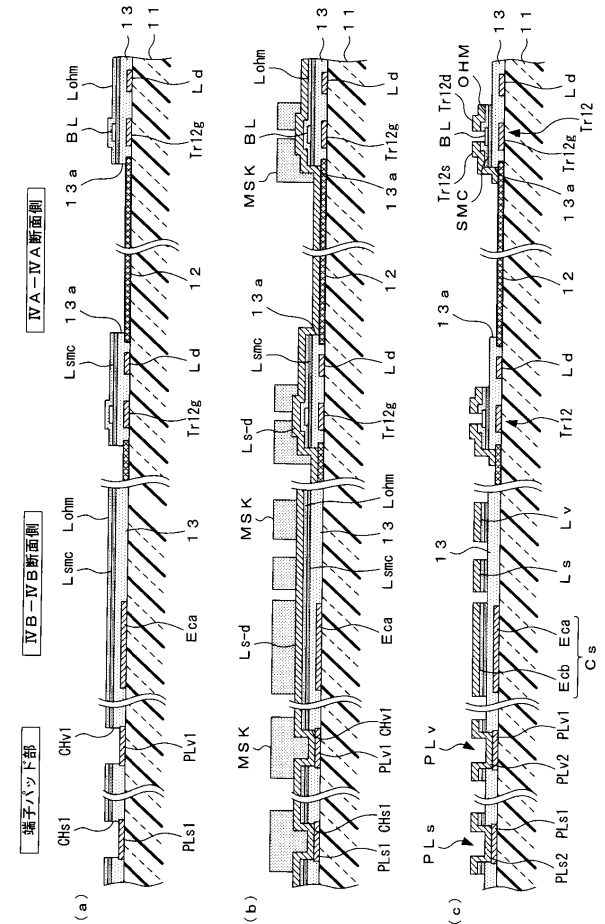
【 図 4 】



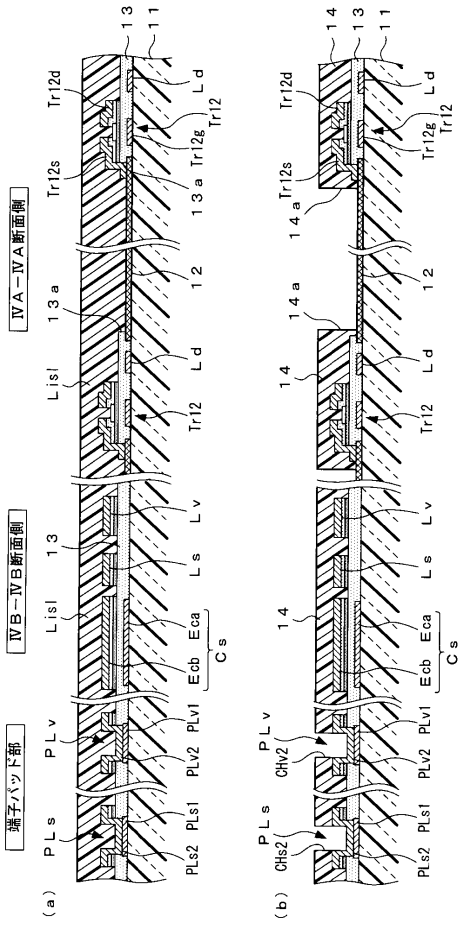
【 図 5 】



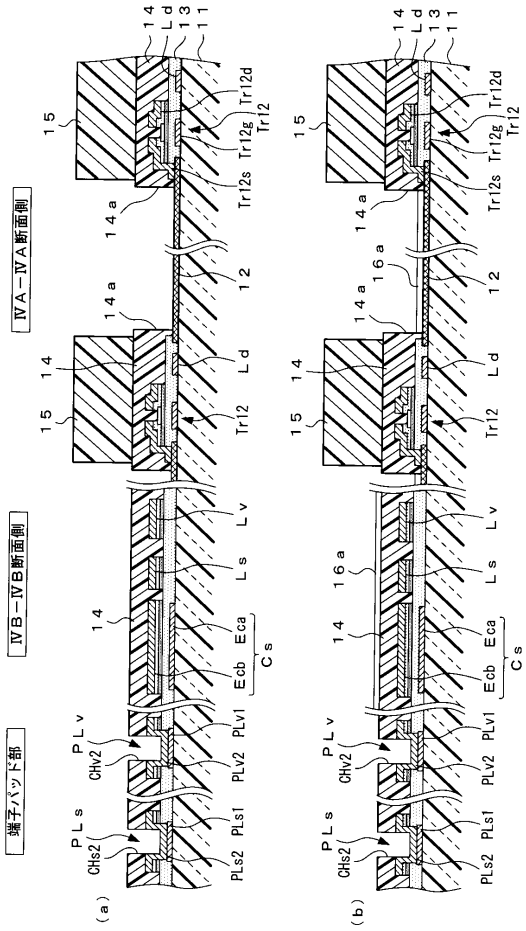
【 図 6 】



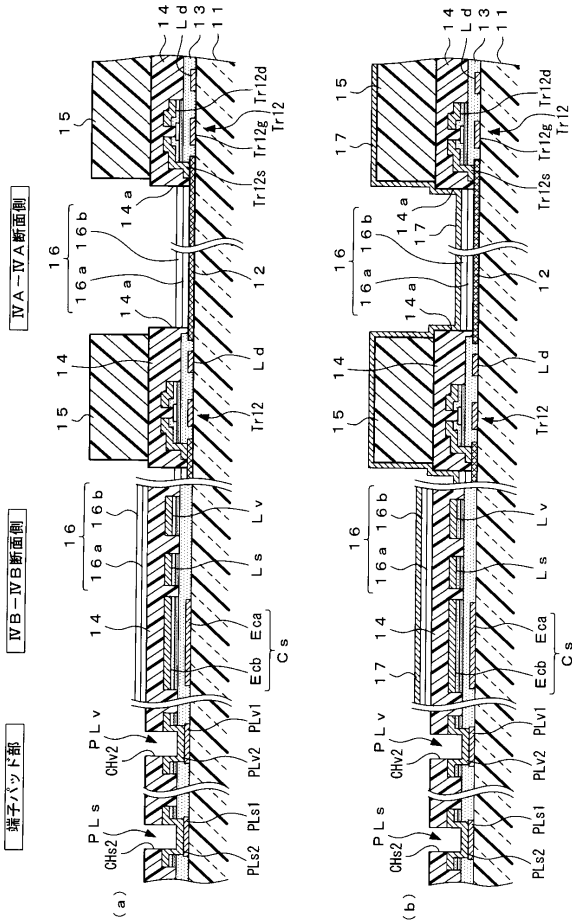
【図 7】



【図 8】



【図 9】



专利名称(译)	显示面板及其制造方法		
公开(公告)号	JP2009134905A	公开(公告)日	2009-06-18
申请号	JP2007308189	申请日	2007-11-29
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	当山 忠久 尾崎 剛		
发明人	当山 忠久 尾崎 剛		
IPC分类号	H05B33/10 H05B33/26 H01L51/50		
CPC分类号	H01L27/3246 H01L27/1248 H01L27/3248 H01L51/56 H01L2227/323		
FI分类号	H05B33/10 H05B33/26.Z H05B33/14.A G09F9/30.365 G09F9/30.365.Z H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC06 3K107/CC31 3K107/DD21 3K107/DD26 3K107/DD91 3K107/DD95 3K107/EE03 3K107/GG12 5C094/AA02 5C094/AA55 5C094/BA03 5C094/BA27 5C094/DA13 5C094/GB10		
其他公开文献	JP4953166B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够控制发光亮度和发光亮度（发光强度）的变化并且具有优异的显示特性而没有图像渗色等的显示面板，并提供显示面板的制造方法。ZSOLUTION：在显示面板的制造方法中，在晶体管Tr11，Tr12的栅极绝缘膜13的图案化工艺之前，直接在其上形成设置每个显示像素PIX上的有机EL元件OLED的像素电极12。基板11，然后形成在栅极绝缘膜13上的晶体管Tr12的源极Tr12s与像素电极12直接连接。

