

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-122230

(P2009-122230A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 3 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2007-294105 (P2007-294105)	(71) 出願人	000002185
(22) 出願日	平成19年11月13日 (2007.11.13)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100102185
			弁理士 多田 繁範
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE04 HH04
			HH05
			5C080 DD05 DD22 EE28 EE29 FF11
			JJ02 JJ03 JJ04

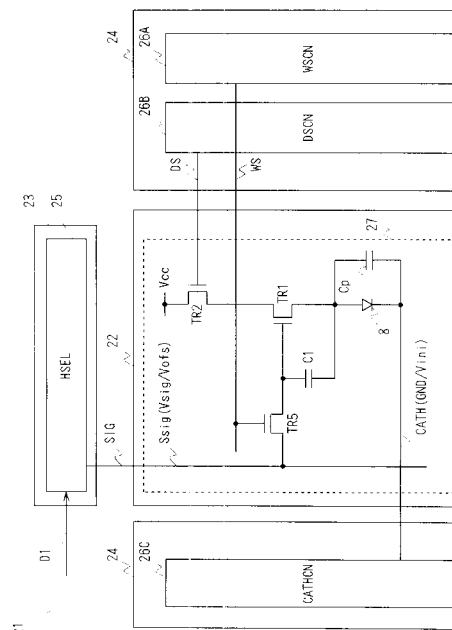
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】本発明は、表示装置及び表示装置の駆動方法に関し、例えば有機EL素子によるアクティブマトリクス型の表示装置に適用して、従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止する。

【解決手段】本発明は、発光素子8のカソード電圧CATHを立ち下げて信号レベル保持用コンデンサC1の端子間電圧を駆動トランジスタTR1のしきい値電圧以上に設定した後、この信号レベル保持用コンデンサC1の蓄積電荷を駆動トランジスタTR1により放電させて信号レベル保持用コンデンサC1の端子間電圧を駆動トランジスタTR1のしきい値電圧に設定し、その後、この信号レベル保持用コンデンサC1に階調電圧Vsigをセットする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素回路をマトリックス状に配置して形成された表示部に対して、前記表示部の信号線及び走査線を介して水平駆動回路及び垂直駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する表示装置において、

前記画素回路は、

少なくとも発光素子と、

信号レベル保持用コンデンサと、

前記信号レベル保持用コンデンサの両端をゲート及びソースに接続し、前記発光素子のアノードを前記ソースに接続し、前記ゲート及びソース間電圧に応じた駆動電流で前記発光素子を駆動する駆動トランジスタと、

前記垂直駆動回路から出力される書込み信号によりオン動作し、前記駆動トランジスタのゲートを前記信号線に接続する書込トランジスタとを有し、

前記水平駆動回路は、

所定の固定電圧を間に挟んで各画素の階調を示す階調電圧に順次設定して前記信号線毎に駆動信号を生成し、

前記駆動信号を対応する前記信号線に出力し、

前記垂直駆動回路は、

前記発光素子の発光を停止させる非発光期間において、

前記駆動信号が前記固定電圧に設定されている期間で、前記書込トランジスタをオン状態に設定して前記駆動トランジスタのゲート電圧を前記固定電圧に設定すると共に、前記発光素子のカソード電圧を立ち下げることにより、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、

続いて前記駆動信号が前記固定電圧に設定されている期間で、前記信号レベル保持用コンデンサの蓄積電荷を前記駆動トランジスタにより放電させ、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧に設定し、

続いて前記駆動信号が前記階調電圧に設定されている期間で、前記書込トランジスタをオン動作させて前記信号レベル保持用コンデンサの前記ゲート側電圧を前記階調電圧に設定する

ことを特徴とする表示装置。

【請求項 2】

前記発光素子のカソード電圧の立ち下げが、発光期間の電圧への立ち下げであり、

前記垂直駆動回路は、

前記非発光期間において、

前記駆動トランジスタへの電源の供給を停止制御した状態で、前記発光素子のカソード電圧を立ち上げた後、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧以上の電圧に設定する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

画素回路をマトリックス状に配置して形成された表示部に対して、前記表示部の信号線及び走査線を介して水平駆動回路及び垂直駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する表示装置の駆動方法において、

前記画素回路は、

少なくとも発光素子と、

信号レベル保持用コンデンサと、

前記信号レベル保持用コンデンサの両端をゲート及びソースに接続し、前記発光素子のアノードを前記ソースに接続し、前記ゲート及びソース間電圧に応じた駆動電流で前記発光素子を駆動する駆動トランジスタと、

前記垂直駆動回路から出力される書込み信号によりオン動作し、前記駆動トランジスタのゲートを前記信号線に接続する書込トランジスタとを有し、

前記駆動方法は、

所定の固定電圧を間に挟んで各画素の階調を示す階調電圧に順次設定して前記信号線毎に駆動信号を生成し、前記駆動信号を対応する前記信号線に出力する駆動信号出力ステップと、

前記発光素子の発光を停止させる非発光期間において、

前記駆動信号が前記固定電圧に設定されている期間で、前記書込トランジスタをオン状態に設定して前記駆動トランジスタのゲート電圧を前記固定電圧に設定すると共に、前記発光素子のカソード電圧を立ち下げることにより、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧以上の電圧に設定するしきい値電圧設定の前処理ステップと、

10

続いて前記駆動信号が前記固定電圧に設定されている期間で、前記信号レベル保持用コンデンサの蓄積電荷を前記駆動トランジスタにより放電させ、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧に設定するしきい値電圧設定ステップと、

続いて前記駆動信号が前記階調電圧に設定されている期間で、前記書込トランジスタをオン動作させて前記信号レベル保持用コンデンサの前記ゲート側電圧を前記階調電圧に設定する階調電圧設定ステップとを有する

ことを特徴とする表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示装置の駆動方法に関し、例えば有機EL(Electro Luminescence)素子によるアクティブマトリックス型の表示装置に適用することができる。本発明は、発光素子のカソード電圧を立ち下げて信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧以上に設定した後、この信号レベル保持用コンデンサの蓄積電荷を駆動トランジスタにより放電させて信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧に設定し、その後、この信号レベル保持用コンデンサに階調電圧をセットすることにより、従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止する。

30

【背景技術】

【0002】

従来、有機EL素子を用いたアクティブマトリックス型の表示装置は、有機EL素子と有機EL素子を駆動する駆動回路とによる画素回路をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した水平駆動回路及び垂直駆動回路により各画素回路を駆動して所望の画像を表示している。

【0003】

この有機EL素子を用いた表示装置に関して、特開2005-345722号公報には、有機EL素子を駆動する駆動トランジスタのしきい値電圧のばらつきを補正して各画素の階調を設定することにより、このしきい値電圧のばらつきによる画質劣化を防止し、Nチャンネル型のトランジスタを使用する場合でも、高い画質を確保することが可能な構成が提案されている。また特開2007-133284号公報には、このしきい値電圧のばらつきを補正する処理を複数回に分割して実行する構成が提案されている。

40

【0004】

ここで図5は、この特開2005-345722号公報に開示の表示装置を示す接続図である。この表示装置1は、水平セレクタ(HSEL)2により水平駆動回路3が構成され、またライトスキャナ(WSCN)4A、ドライブスキャナ(DSCN)4B、第1及び第2のオートゼロスキャナ(AZCN1及びAZCN2)4C及び4Dにより垂直駆動回路5が構成される。

50

【 0 0 0 5 】

ここで水平セクタ 2 は、表示部 6 の信号線 S I G にそれぞれ対応する複数のラッチ回路で入力画像データ D 1 を順次ラッチすることにより、この画像データ D 1 を各信号線 S I G に振り分ける。また各信号線 S I G に振り分けた画像データ D 1 をそれぞれデジタルアナログ変換処理し、各信号線 S I G に接続された各画素の階調を順次示す駆動信号 S s i g を信号線 S I G 毎に生成する。水平セクタ 2 は、この駆動信号 S s i g を対応する信号線 S I G に出力する。

【 0 0 0 6 】

ライトスキャナ 4 A、ドライブスキャナ 4 B、第 1 及び第 2 のオートゼロスキャナ 4 C 及び 4 D は、それぞれ図示しない信号生成回路で生成された基準信号を順次転送することにより、各走査線の駆動信号 D S、W S、A Z 1、A Z 2 を生成し、この駆動信号 D S、W S、A Z 1、A Z 2 をそれぞれ対応する走査線に出力する。

【 0 0 0 7 】

表示部 6 は、所定の画素回路 7 をマトリックス状に配置して形成される。ここで画素回路 7 は、信号レベル保持用コンデンサ C 1 の両端をそれぞれゲート及びソースに接続したソースフォロワ回路構成の N M O S トランジスタ T R 1 (以下、駆動トランジスタと呼ぶ)により、電流駆動型の発光素子である有機 E L 素子 8 を駆動する。なおここで C p は、有機 E L 素子 8 の容量成分である。また V c a t は、有機 E L 素子 8 のカソード電圧である。

【 0 0 0 8 】

この駆動トランジスタ T R 1 は、ドライブスキャナ 4 B から出力される駆動信号であるドライブ信号 D S によりオンオフ動作する N M O S トランジスタ T R 2 を介して、駆動用電源 V c c にドレインが接続される。これにより画素回路 7 は、ドライブ信号 D S によるトランジスタ T R 2 のオンオフ制御により駆動トランジスタ T R 1 への電源 V c c の供給が制御され、発光、非発光が制御される。

【 0 0 0 9 】

またこの駆動トランジスタ T R 1 は、それぞれ第 1 及び第 2 のオートゼロスキャナ 4 C 及び 4 D から出力される駆動信号である第 1 及び第 2 のオートゼロ信号 A Z 1 及び A Z 2 によりオンオフ動作する N M O S トランジスタ T R 3 及び T R 4 を介して、ゲート及びソースが第 1 及び第 2 の基準電源 V i n i 及び V s s 2 に接続される。これにより画素回路 7 は、これら第 1 及び第 2 のオートゼロ信号 A Z 1 及び A Z 2 によるトランジスタ T R 3 及び T R 4 の制御により信号レベル保持用コンデンサ C 1 の両端電位をそれぞれ基準電圧 V i n i 及び V s s 2 に設定できるように構成される。

【 0 0 1 0 】

また駆動トランジスタ T R 1 は、ライトスキャナ 4 A から出力される駆動信号である書込み信号 W S によりオンオフ動作する N M O S トランジスタ T R 5 を介して、ゲートが信号線 S I G に接続される。これにより画素回路 7 は、この書込み信号 W S によるトランジスタ T R 5 の制御により信号線 S I G に出力される駆動信号 S s i g の電圧が信号レベル保持用コンデンサ C 1 の一端に設定される。

【 0 0 1 1 】

ここで図 6 は、この画素回路 7 の動作の説明に供するタイムチャートである。ここで表示部 6 は、図 6 (A)において信号書き込みにより信号線 S I G の駆動トランジスタ T R 1 への接続を示すように、フレーム単位のライン順次により各画素回路 7 の階調が設定される。各画素回路 7 は、この階調を設定する 1 水平走査期間 (1 H) の前後、一定の期間が非発光期間 T 1 に設定され、残りが発光期間 T 2 に設定される (図 6 (B))。

【 0 0 1 2 】

画素回路 7 は、非発光期間 T 1 が時点 t 1 により開始すると、第 1 及び第 2 のオートゼロ信号 A Z 1 及び A Z 2 によりトランジスタ T R 3 及び T R 4 がオン状態に設定され (図 6 (C) 及び (D))、駆動トランジスタ T R 1 のゲート電圧 V g 及びソース電圧 V s (図 6 (E) 及び (F)) がそれぞれ基準電圧 V s s 2 及び V i n i に設定される。ここで

10

20

30

40

50

基準電圧 V_{ss2} 及び V_{ini} は、電位差 $V_{ss2} - V_{ini}$ が駆動トランジスタ $TR1$ のしきい値電圧 V_{th} より十分に大きな電圧に設定される。これにより画素回路 7 は、信号レベル保持用コンデンサ $C1$ の両端電位差が駆動トランジスタ $TR1$ のしきい値電圧 V_{th} より大きな電圧に設定される。

【0013】

続いて画素回路 7 は、時点 $t2$ において、第 1 のオートゼロ信号 $AZ1$ が立ち下げられ、駆動トランジスタ $TR1$ のソース側トランジスタ $TR3$ がオフ状態に設定される。これにより画素回路 7 は、駆動トランジスタ $TR1$ のゲートソース間電圧 V_{gs} に応じた駆動電流が駆動トランジスタ $TR1$ のソースから流出する。ここで駆動トランジスタ $TR1$ のゲート側基準電圧 V_{ss2} は、この駆動トランジスタ $TR1$ による駆動電流が信号レベル保持用コンデンサ $C1$ の有機 EL 素子 8 側端を充電するように、すなわち有機 EL 素子 8 のカソード電圧 V_{cat} に比して有機 EL 素子 8 のアノード電圧を十分に低い電圧に保持する電圧に設定される。これにより画素回路 7 は、信号レベル保持用コンデンサ $C1$ の蓄積電荷が駆動トランジスタ $TR1$ により放電して信号レベル保持用コンデンサ $C1$ の端子間電圧が徐々に低下し、この端子間電圧が駆動トランジスタ $TR1$ のしきい値電圧 V_{th} となると、駆動トランジスタ $TR1$ がオフ状態に動作を切り換え、信号レベル保持用コンデンサ $C1$ の端子間電圧の低下が停止する。これにより画素回路 7 は、信号レベル保持用コンデンサ $C1$ の両端電位差が駆動トランジスタ $TR1$ のしきい値電圧 V_{th} に設定される。

10

【0014】

画素回路 7 は、続く時点 $t3$ において、第 2 のオートゼロ信号 $AZ2$ が立ち下げられて、駆動トランジスタ $TR1$ のゲート側トランジスタ $TR4$ がオフ状態に設定され、またドライブ信号 DS が立ち下げられて、駆動トランジスタ $TR1$ への電源 V_{cc} の供給が停止される。また続く時点 $t4$ で、書込み信号 WS が立ち上げられてトランジスタ $TR5$ がオン状態に設定され、これにより駆動トランジスタ $TR1$ のゲートが信号線 SIG に接続される。画素回路 7 は、所定のタイミングで書込み信号 WS が立ち下げられてトランジスタ $TR5$ がオフ状態に設定され、これにより信号線 SIG に出力される駆動信号 $Ssig$ の電圧 V_{sig} が信号レベル保持用コンデンサ $C1$ の一端にホールドされる。これにより画素回路 7 は、信号レベル保持用コンデンサ $C1$ に設定された駆動トランジスタ $TR1$ のしきい値電圧 V_{th} により補正して、信号レベル保持用コンデンサ $C1$ の端子間電圧が駆動信号 $Ssig$ の電圧 V_{sig} に応じた電圧に設定される。

20

30

【0015】

画素回路 7 は、発光期間 $T2$ の開始時点 $t5$ でトランジスタ $TR1$ への電源の供給が開始される。これにより画素回路 7 は、信号レベル保持用コンデンサ $C1$ の端子間電圧によるゲートソース間電圧 V_{gs} により有機 EL 素子 8 を電流駆動し、有機 EL 素子 8 の容量 C_p によるブートストラップ回路により有機 EL 素子 8 を発光させる。なおここでこの駆動トランジスタ $TR1$ による有機 EL 素子 8 の駆動電流 I_{ds} は、次式により表される。ここで V_{gs} は、駆動トランジスタ $TR1$ のゲートソース間電圧であり、信号レベル保持用コンデンサ $C1$ の両端電圧差である。また μ はトランジスタ $TR1$ の移動度、 W はトランジスタ $TR1$ のチャンネル幅、 L はトランジスタ $TR1$ のチャンネル長、 C_{ox} はトランジスタ $TR1$ の単位面積当りのゲート絶縁膜の容量、 V_{th} はトランジスタ $TR1$ のしきい値電圧である。

40

【0016】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

【 0 0 1 7 】

この図 5 及び図 6 の構成によれば、駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} で補正して信号線 $S I G$ に出力される駆動信号 $S s i g$ の電圧 $V_{s i g}$ を信号レベル保持用コンデンサ $C 1$ に設定することにより、駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} のばらつきによる画質の劣化を防止することができる。

【 0 0 1 8 】

ところでこの図 5 に示す構成では、事前に、信号レベル保持用コンデンサ $C 1$ の両端電圧を基準電位 V_{ini} 及び $V_{ss 2}$ に設定して信号レベル保持用コンデンサ $C 1$ の両端電位差 $V_{ss 2} - V_{ini}$ を駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} より十分に大きな電圧に設定した後、信号レベル保持用コンデンサ $C 1$ の両端電位差を駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} に設定する。この事前に、信号レベル保持用コンデンサ $C 1$ の両端電圧を基準電位 V_{ini} 及び $V_{ss 2}$ に設定する処理のうち、駆動トランジスタ $T R 1$ のゲート側電圧 $V_{ss 2}$ の設定については、トランジスタ $T R 5$ を介して信号線 $S I G$ により実行することもでき、この場合、トランジスタ $T R 4$ を省略して画素回路 7 の構成を簡略化することができる。

10

【 0 0 1 9 】

図 7 は、このトランジスタ $T R 5$ を介して信号線 $S I G$ により信号レベル保持用コンデンサ $C 1$ の一端の電圧を設定する場合に考えられる表示装置を示す接続図である。この図 7 において、図 5 と同一の構成は、対応する符号を付して示し、重複した説明は省略する。

20

【 0 0 2 0 】

この表示装置 11 は、水平セクタ ($H S E L$) 12 により水平駆動回路 13 が構成され、またライトスキャナ ($W S C N$) 14 A、ドライブスキャナ ($D S C N$) 14 B、オートゼロスキャナ ($A Z C N 1$) 14 C により垂直駆動回路 15 が構成される。

【 0 0 2 1 】

ここで水平セクタ 12 は、水平セクタ 2 と同様にして各信号線 $S I G$ に画像データ $D 1$ を振り分けてデジタルアナログ変換処理する。水平セクタ 12 は、所定の固定電圧 V_{ofs} とこのデジタルアナログ変換結果とを交互に出力することにより、図 8 (D) に示すように、固定電圧 V_{ofs} を間に挟んだ階調電圧 $V_{s i g}$ の連続による駆動信号 $S s i g$ を各信号線 $S I G$ に出力する。

30

【 0 0 2 2 】

ライトスキャナ 14 A、ドライブスキャナ 14 B、オートゼロスキャナ 14 C は、それぞれ図示しない信号生成回路で生成された基準信号を順次転送することにより、各走査線の駆動信号 $D S$ 、 $W S$ 、 $A Z 1$ を生成し、この駆動信号 $D S$ 、 $W S$ 、 $A Z 1$ をそれぞれ対応する走査線に出力する。

【 0 0 2 3 】

画素回路 17 は、トランジスタ $T R 4$ が省略された点、このトランジスタ $T R 4$ の省略に関する構成が異なる点を除いて、図 5 の画素回路 7 と同一に構成される。各画素回路 17 は、非発光期間 $T 1$ が時点 $t 1$ により開始すると、ドライブ信号 $D S$ が立ち下げられてトランジスタ $T R 2$ による駆動トランジスタ $T R 1$ への電源 V_{cc} の供給が停止制御され (図 8 (A))、これにより有機 $E L$ 素子 8 の発光が停止する (図 8 (E) 及び (F))。

40

【 0 0 2 4 】

また続いて時点 $t 2$ において、オートゼロ信号 $A Z 1$ によりトランジスタ $T R 3$ がオン状態に設定され (図 8 (B))、駆動トランジスタ $T R 1$ のソース電圧 V_s (図 8 (F)) が基準電圧 V_{ini} に設定される。また続いて駆動信号 $S s i g$ が階調電圧 $V_{s i g}$ から固定電圧 V_{ofs} に切り換わる時点 $t 3$ を間に挟んで、一定期間の間、書込み信号 $W S$ が立ち上げられてトランジスタ $T R 5$ がオン状態に設定され (図 8 (C))、駆動トランジスタ $T R 1$ のゲート電圧 V_g (図 8 (E)) が固定電圧 V_{ofs} に設定される。

【 0 0 2 5 】

50

これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 の両端電位が V_{ofs} 及び V_{ini} に設定され、この両端電位差 $V_{ofs} - V_{ini}$ が駆動トランジスタ T R 1 のしきい値電圧 V_{th} より十分に大きな電圧に設定される。画素回路 17 は、駆動信号 S_{sig} が固定電圧 V_{ofs} に設定されている期間の時点 t_4 及び t_5 において、それぞれオートゼロ信号 AZ_1 、書込み信号 WS が立ち下げられる。

【0026】

画素回路 17 は、その後、駆動信号 S_{sig} が固定電圧 V_{ofs} に設定されている期間で、書込み信号 WS が立ち上げられて駆動トランジスタ T R 1 のゲートが信号線 S I G に接続され、続いて時点 t_6 でドライブ信号 DS が立ち上げられて駆動トランジスタ T R 1 への電源の供給が開始される。これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 の有機 E L 素子 8 側端が駆動トランジスタ T R 1 により充電されて、信号レベル保持用コンデンサ C 1 の両端電位差が駆動トランジスタ T R 1 のしきい値電圧 V_{th} に徐々に近づく。これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 への駆動トランジスタ T R 1 のしきい値電圧 V_{th} の設定処理が開始される。

10

【0027】

画素回路 17 は、駆動信号 S_{sig} が階調電圧 V_{sig} に切り換わる直前の時点 t_7 で、書込み信号 WS が立ち下げられて、信号レベル保持用コンデンサ C 1 への駆動トランジスタ T R 1 のしきい値電圧 V_{th} の設定処理が一時中止され、また続いて駆動信号 S_{sig} が固定電圧 V_{ofs} に切り換わると、時点 t_8 で書込み信号 WS が立ち上げられて、信号レベル保持用コンデンサ C 1 への駆動トランジスタ T R 1 のしきい値電圧 V_{th} の設定処理が再開される。また続いて駆動信号 S_{sig} が階調電圧 V_{sig} に切り換わる直前の時点 t_9 で、書込み信号 WS が立ち下げられて、信号レベル保持用コンデンサ C 1 への駆動トランジスタ T R 1 のしきい値電圧 V_{th} の設定処理が終了する。なおこれによりこの図 8 の例では、時点 t_6 から時点 t_7 までの期間 T_{th1} と、時点 t_8 から時点 t_9 までの期間 T_{th2} とにより信号レベル保持用コンデンサ C 1 の両端電位差が駆動トランジスタ T R 1 のしきい値電圧 V_{th} に設定されることになるが、この繰り返しの処理は、3 回以上としてもよい。

20

【0028】

画素回路 17 は、続いてドライブ信号 DS が立ち下げられて駆動トランジスタ T R 1 への電源 V_{cc} の供給が停止された状態で、駆動信号 S_{sig} が当該画素回路 17 の階調電圧 V_{sig} に設定されている時点 t_{10} で書込み信号 WS が立ち上げられてトランジスタ T R 5 がオン状態に設定され、これにより駆動トランジスタ T R 1 のゲートが信号線 S I G に接続される。また続く時点 t_{11} で、書込み信号 WS が立ち下げられ、これにより信号線 S I G に出力されている駆動信号 V_{sig} の階調電圧 V_{sig} が信号レベル保持用コンデンサ C 1 の一端にホールドされる。これにより画素回路 17 は、信号レベル保持用コンデンサ C 1 に設定された駆動トランジスタ T R 1 のしきい値電圧 V_{th} により補正されて、信号レベル保持用コンデンサ C 1 の端子間電圧が階調電圧 V_{sig} に応じた電圧に設定される。

30

【0029】

画素回路 17 は、続く発光期間 T_2 の開始時点 t_{12} で、ドライブ信号 DS が立ち上げられて駆動トランジスタ T R 1 への電源 V_{cc} の供給が開始され、これにより信号レベル保持用コンデンサ C 1 の端子間電圧によるゲートソース間電圧により駆動トランジスタ T R 1 で有機 E L 素子 8 が電流駆動される。

40

【0030】

ところで図 7 の画素回路 17 は、図 5 に示す画素回路 7 に比してトランジスタの数が少ない。従って画素回路 7 の構成に代えて画素回路 17 の構成を採用することにより、表示装置の歩留りを向上することができると考えられる。しかしながら図 7 の画素回路 17 の構成では、未だトランジスタの数が多問題がある。

【特許文献 1】特開 2005 - 345722 号公報

【特許文献 2】特開 2007 - 133284 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0031】

本発明は以上の点を考慮してなされたもので、従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止することができる表示装置及び表示装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【0032】

上記の課題を解決するため請求項1の発明は、画素回路をマトリックス状に配置して形成された表示部に対して、前記表示部の信号線及び走査線を介して水平駆動回路及び垂直駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する表示装置に適用して、前記画素回路は、少なくとも発光素子と、信号レベル保持用コンデンサと、前記信号レベル保持用コンデンサの両端をゲート及びソースに接続し、前記発光素子のアノードを前記ソースに接続し、前記ゲート及びソース間電圧に応じた駆動電流で前記発光素子を駆動する駆動トランジスタと、前記垂直駆動回路から出力される書込み信号によりオン動作し、前記駆動トランジスタのゲートを前記信号線に接続する書込トランジスタとを有し、前記水平駆動回路は、所定の固定電圧を間に挟んで各画素の階調を示す階調電圧に順次設定して前記信号線毎に駆動信号を生成し、前記駆動信号を対応する前記信号線に出力し、前記垂直駆動回路は、前記発光素子の発光を停止させる非発光期間において、前記駆動信号が前記固定電圧に設定されている期間で、前記書込トランジスタをオン状態に設定して前記駆動トランジスタのゲート電圧を前記固定電圧に設定すると共に、前記発光素子のカソード電圧を立ち下げることにより、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧以上の電圧に設定し、続いて前記駆動信号が前記固定電圧に設定されている期間で、前記信号レベル保持用コンデンサの蓄積電荷を前記駆動トランジスタにより放電させ、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧に設定し、続いて前記駆動信号が前記階調電圧に設定されている期間で、前記書込トランジスタをオン動作させて前記信号レベル保持用コンデンサの前記ゲート側電圧を前記階調電圧に設定する。

【0033】

また請求項3の発明は、画素回路をマトリックス状に配置して形成された表示部に対して、前記表示部の信号線及び走査線を介して水平駆動回路及び垂直駆動回路により前記画素回路を駆動することにより、前記表示部で所望の画像を表示する表示装置の駆動方法に適用して、前記画素回路は、少なくとも発光素子と、信号レベル保持用コンデンサと、前記信号レベル保持用コンデンサの両端をゲート及びソースに接続し、前記発光素子のアノードを前記ソースに接続し、前記ゲート及びソース間電圧に応じた駆動電流で前記発光素子を駆動する駆動トランジスタと、前記垂直駆動回路から出力される書込み信号によりオン動作し、前記駆動トランジスタのゲートを前記信号線に接続する書込トランジスタとを有し、前記駆動方法は、所定の固定電圧を間に挟んで各画素の階調を示す階調電圧に順次設定して前記信号線毎に駆動信号を生成し、前記駆動信号を対応する前記信号線に出力する駆動信号出力ステップと、前記発光素子の発光を停止させる非発光期間において、前記駆動信号が前記固定電圧に設定されている期間で、前記書込トランジスタをオン状態に設定して前記駆動トランジスタのゲート電圧を前記固定電圧に設定すると共に、前記発光素子のカソード電圧を立ち下げることにより、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧以上の電圧に設定ししきい値電圧設定の前処理ステップと、続いて前記駆動信号が前記固定電圧に設定されている期間で、前記信号レベル保持用コンデンサの蓄積電荷を前記駆動トランジスタにより放電させ、前記信号レベル保持用コンデンサの両端電位差を前記駆動トランジスタのしきい値電圧に設定するしきい値電圧設定ステップと、続いて前記駆動信号が前記階調電圧に設定されている期間で、前記書込トランジスタをオン動作させて前記信号レベル保持用コンデンサの前記ゲート側電圧を前記階調電圧に設定する階調電圧設定ステップとを有するようにする。

【 0 0 3 4 】

請求項 1 又は請求項 3 の構成によれば、信号線に出力する駆動信号及びカソード電圧の制御により信号レベル保持用コンデンサの両端電位差を駆動トランジスタのしきい値電圧以上の電圧に設定した後、この信号レベル保持用コンデンサの両端電位差を駆動トランジスタのしきい値電圧に設定し、階調電圧を信号レベル保持用コンデンサにセットすることができる。従って信号レベル保持用コンデンサの両端電位差を駆動トランジスタのしきい値電圧以上の電圧に設定するために、それぞれ信号レベル保持用コンデンサの両端の電圧設定に供する専用のトランジスタを省略することができ、これにより従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止することができる。

10

【 発明の効果 】

【 0 0 3 5 】

本発明によれば、従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 6 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【 実施例 1 】

【 0 0 3 7 】

(1) 実施例の構成

20

図 1 は、本発明の実施例 1 の表示装置を示すブロック図である。この表示装置 2 1 において、図 7 の表示装置と同一の構成は、対応する符号を付して示し、重複した説明は省略する。この表示装置 2 1 は、所定の絶縁基板上に表示部 2 2 が作成され、この表示部 2 2 の周囲に水平駆動回路 2 3 及び垂直駆動回路 2 4 が設けられる。

【 0 0 3 8 】

ここで水平駆動回路 2 3 は、水平セレクタ (H S E L) 2 5 を有し、水平セレクタ 2 5 は、水平セレクタ 1 2 と同一に、階調電圧 V_{sig} を間に挟んだ階調電圧 V_{sig} の連続による駆動信号 S_{sig} を各信号線 SIG に出力する (図 2 (D))。

【 0 0 3 9 】

30

垂直駆動回路 2 4 は、ドライブスキャナ (D S C N) 2 6 B、ライトスキャナ (W S C N) 2 6 A、カソードスキャナ (C A T H C N) 2 6 C を有し、これらドライブスキャナ 2 6 B、ライトスキャナ 2 6 A、カソードスキャナ 2 6 C は、それぞれ所定の基準信号を順次転送して各画素回路の駆動信号 DS 、 WS 、 $CATH$ を生成し、この駆動信号 DS 、 WS 、 $CATH$ を表示部 2 2 の走査線に出力する。

【 0 0 4 0 】

表示部 2 2 は、画素回路 2 7 をマトリックス状に配置して形成される。ここで画素回路 2 7 は、駆動トランジスタ TR_1 のソース側端を所定の基準電位 V_{ini} に設定するトランジスタ TR_3 (図 7 参照) が省略され、このトランジスタ TR_3 の省略に関する構成が異なる点を除いて、図 7 の画素回路 1 7 と同一に構成される。

【 0 0 4 1 】

40

画素回路 2 7 は、図 2 に示すように、非発光期間 T_1 が時点 t_1 により開始すると、ドライブ信号 DS が立ち下げられてトランジスタ TR_2 による駆動トランジスタ TR_1 への電源 V_{cc} の供給が停止制御され (図 2 (A))、これにより有機 EL 素子 8 の発光が停止する (図 2 (E) 及び (F))。なおこれにより画素回路 2 7 は、有機 EL 素子 8 の容量成分 C_p の蓄積電荷が有機 EL 素子 8 により放電して駆動トランジスタ TR_1 のソース電圧 V_s が低下し、またこのソース電圧 V_s の低下に連動して駆動トランジスタ TR_1 のゲート電圧 V_g が低下する。またこのソース電圧 V_s の低下により、有機 EL 素子 8 の端子間電圧が有機 EL 素子 8 のしきい値電圧になると、有機 EL 素子 8 を介した蓄積電荷の放電が停止し、ゲート電圧 V_g 及びソース電圧 V_s の低下が停止することになる。

【 0 0 4 2 】

50

画素回路 27 は、続く時点 t_2 でカソードスキャナ 26C により駆動信号 CATH の電圧が発光期間 T_2 における負側電圧 V_{ini} から所定の固定電位に立ち上げられ、この実施例ではこの固定電位がグランド電位 GND に設定される。これにより画素回路 27 は、信号レベル保持用コンデンサ C1 の端子間電圧を直前の発光期間における端子間電圧に保持した状態で駆動トランジスタ TR1 のソース電圧 V_s をほぼグランド電位 GND に立ち上げる。なおこの場合、駆動トランジスタ TR1 のソース電圧 V_s は、正確にはグランド電位 GND に有機 EL 素子 8 のしきい値電圧を加算した電圧である。

【0043】

画素回路 27 は、続いて信号線 SIG の駆動信号 V_{sig} が固定電圧 V_{ofs} に立ち下がる時点 t_3 で、書込み信号 WS によりトランジスタ TR5 がオン状態に設定され、信号線 SIG が駆動トランジスタ TR1 のゲートに接続される。

10

【0044】

ここでこの固定電位 V_{ofs} は、駆動トランジスタ TR1 のソース電圧 V_s より低い電圧に設定され、これにより画素回路 27 は、信号レベル保持用コンデンサ C1 の蓄積電荷をトランジスタ TR5 により信号線 SIG に放電して、駆動トランジスタ TR1 のゲート電圧を固定電位 V_{ofs} に設定する。

【0045】

続いて画素回路 27 は、信号線 SIG が固定電位 V_{ofs} に保持されている期間で、時点 t_4 により示すように、カソードスキャナ 26C により駆動信号 CATH の電圧が発光期間 T_2 の負側電圧 V_{ini} に立ち下げられた後、時点 t_5 により示すように、書込み信号 WS によりトランジスタ TR5 がオフ状態に切り換えられる。これにより画素回路 27 は、信号レベル保持用コンデンサ C1 の両端電圧がそれぞれ固定電位 V_{ofs} 及び負側電位 V_{ini} に設定され、これら両端電位差 $V_{ofs} - V_{ini}$ が駆動トランジスタ TR1 のしきい値電圧 V_{th} 以上の電圧に設定される。画素回路 27 は、この時点 t_6 以降は、図 8 について上述した画素回路 17 と同一に各トランジスタ TR2、TR5 がオンオフ制御されて、信号レベル保持用コンデンサ C1 に駆動トランジスタ TR1 のしきい値電圧 V_{th} 、階調電圧 V_{sig} が順次設定された後、発光期間 T_2 が開始する。

20

【0046】

(2) 実施例の動作

以上の構成において、この表示装置 21 では(図 1)、水平駆動回路 23 及び垂直駆動回路 24 による表示部 22 の駆動により順次ライン単位で表示部 22 の画素回路 27 に信号線 SIG の階調電圧 V_{sig} が設定されると共に、この設定された階調電圧 V_{sig} により各画素回路 27 の有機 EL 素子 8 が発光し、所望の画像が表示部 22 で表示される。

30

【0047】

すなわちこの表示装置 21 では、非発光期間 T_1 において(図 2)、各画素回路 27 に設けられた信号レベル保持用コンデンサ C1 の一端が信号線 SIG の階調電圧 V_{sig} に設定され、発光期間 T_2 において、この信号レベル保持用コンデンサ C1 の端子間電圧によるゲートソース間電圧 V_{gs} により駆動トランジスタ TR1 で有機 EL 素子 8 が駆動される。これによりこの表示装置では、信号線 SIG の階調電圧 V_{sig} に応じた発光輝度で各画素回路 27 の有機 EL 素子 8 が発光する。

40

【0048】

表示装置 11 は、この階調電圧 V_{sig} の設定に先立って、非発光期間 T_1 が開始すると、始めに信号レベル保持用コンデンサ C1 の両端電圧差が駆動トランジスタ TR1 のしきい値電圧 V_{th} 以上の電圧に設定された後、この信号レベル保持用コンデンサ C1 の蓄積電荷が駆動トランジスタ TR1 により放電されて信号レベル保持用コンデンサ C1 の端子間電圧が駆動トランジスタ TR1 のしきい値電圧に設定される。表示装置 11 は、その後、駆動トランジスタ TR1 のゲートが信号線 SIG に接続されて信号レベル保持用コンデンサ C1 の一端の電圧が階調電圧 V_{sig} に設定されることにより、駆動トランジスタ TR1 のしきい値電圧 V_{th} により補正して信号レベル保持用コンデンサ C1 の端子間電圧が階調電圧 V_{sig} に対応する電圧に設定される。これにより表示装置 11 では、駆動

50

トランジスタ $T R 1$ のしきい値電圧のばらつきによる画質劣化が有効に回避される。

【 0 0 4 9 】

ここでこのしきい値電圧の補正に係る信号レベル保持用コンデンサ $C 1$ の両端電圧差を駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} 以上の電圧に設定する処理においては、信号レベル保持用コンデンサ $C 1$ の両端をそれぞれ所定の電圧に設定して実行され、従来（図 5 及び図 6）、この信号レベル保持用コンデンサ $C 1$ の両端をそれぞれ所定の電圧に設定する処理は専用のトランジスタ $T R 3$ 、 $T R 4$ を使用して実行していた。

【 0 0 5 0 】

しかしながらこれでは 1 つの画素回路に設ける素子数が多くなり、その分、画素回路のレイアウトスペースが低減し、表示装置の歩留りが低下する問題がある。この場合、信号レベル保持用コンデンサ $C 1$ の信号線 $S I G$ 側端については、信号線 $S I G$ を介して所定電圧に設定する方法もあるが（図 7 及び図 8）、この方法を採用しても、1 つのトランジスタ $T R 4$ を省略できるのみである。

【 0 0 5 1 】

そこでこの実施例では、この信号線 $S I G$ 側の電圧設定に係る固定電位 V_{ofs} を間に挟んで階調電圧 V_{sig} が連続するように駆動信号 S_{sig} を生成し、駆動信号 S_{sig} が固定電位 V_{ofs} に設定されている期間の間で、書込みトランジスタ $T R 5$ をオン動作させて信号レベル保持用コンデンサ $C 1$ の信号線側電圧を固定電圧 V_{ofs} に設定すると共に、有機 $E L$ 素子 8 のカソード電圧を所定電位 V_{ini} に立ち下げ、これにより信号レベル保持用コンデンサ $C 1$ の端子間電圧を駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} 以上の電圧に設定する。

【 0 0 5 2 】

これによりこの表示装置 2 1 では、信号レベル保持用コンデンサ $C 1$ の両端をそれぞれ所定の電圧に設定する専用のトランジスタ $T R 3$ 、 $T R 4$ を省略して、駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} のばらつきによる画質劣化を防止することができる。従って画素回路を構成する素子数を従来に比して少なくして、駆動トランジスタ $T R 1$ のしきい値電圧 V_{th} のばらつきによる画質劣化を防止することができる。

【 0 0 5 3 】

この実施例では、この有機 $E L$ 素子 8 のカソード電圧の所定電位 V_{ini} への立ち下げが、発光期間 $T 2$ におけるカソード電圧 V_{ini} から一旦、所定電圧に立ち上げた後、元の発光期間 $T 2$ の電圧 V_{ini} に立ち下げて実行される。これによりこの実施例では、発光期間 $T 2$ におけるブートストラップ動作において、ブートストラップゲインの損失による駆動トランジスタ $T R 1$ のゲートソース間電圧 V_{gs} の縮小を従来に比して少なくすることができ、その分効率良く有機 $E L$ 素子 8 を発光させることができる。

【 0 0 5 4 】

すなわち図 3 は、専用のトランジスタ $T R 3$ により駆動トランジスタ $T R 1$ のソースを固定電位 V_{ini} に接続して信号レベル保持用コンデンサ $C 1$ の端子間電圧を設定する場合（図 5 及び図 7）における発光期間 $T 2$ の開始時における駆動トランジスタ $T R 1$ のゲート電圧 V_g 及びソース電圧 V_s を示す信号波形図である。また図 4 は、この実施例の発光期間 $T 2$ の開始時における駆動トランジスタ $T R 1$ のゲート電圧 V_g 及びソース電圧 V_s を示す信号波形図である。なおこの図 3 及び図 4 において、期間 $T W$ は、書込みトランジスタ $T R 5$ がオン状態に設定される期間である。

【 0 0 5 5 】

これら図 3 及び図 4 において、発光期間 $T 2$ が開始すると、有機 $E L$ 素子 8 の容量 C_p による駆動トランジスタ $T R 1$ のブートストラップ動作により、期間 $T W$ で設定された駆動トランジスタ $T R 1$ のゲート電圧 V_g 及びソース電圧 V_s が徐々に上昇して有機 $E L$ 素子 8 が発光を開始し、やがてこれらゲート電圧 V_g 及びソース電圧 V_s の上昇が停止してこれらゲート電圧 V_g 及びソース電圧 V_s が一定電圧に保持される。

【 0 0 5 6 】

ここでこの一定電圧に保持されるソース電圧 V_s をそれぞれ有機 $E L$ 素子 8 の発光電圧

10

20

30

40

50

として V_{e1A} 及び V_{e1B} とおく。この実施例では、有機 EL 素子 8 のカソード電圧 V_{ini} を発光期間 T_2 における電圧 V_{ini} に立ち下げて信号レベル保持用コンデンサ C_1 の端子電圧を設定していることにより、専用のトランジスタ TR_3 により駆動トランジスタ TR_1 のソースを固定電位 V_{ini} に接続して信号レベル保持用コンデンサ C_1 の端子間電圧を設定する場合に比して、発光期間 T_2 における有機 EL 素子 8 のカソード電圧を低くすることができる。

【0057】

これにより $V_{e1A} > V_{e1B}$ の関係式を得ることができる。その結果、期間 T_W におけるソース電圧 V_s を電圧 V_{ss} とおき、それぞれ図 3 及び図 4 の例におけるブートストラップ時におけるソース電圧 V_s の立ち上がりを V_x 及び V_y とおくと、 $V_x = V_{e1A} - V_{ss}$ 、 $V_y = V_{e1B} - V_{ss}$ であることから、 $V_x > V_y$ の関係式を得ることができる。これにより従来に比してブートストラップ時における駆動トランジスタ TR_1 のゲートソース間電圧 V_{gs} の縮小が少ないことが判る。

10

【0058】

より具体的に、発光期間 T_2 の開始時点における駆動トランジスタ TR_1 のゲートソース間電圧 V_{gs} を $10[V]$ とし、ブートストラップゲインを $90[\%]$ とする。またそれぞれ電圧 V_x 及び V_y を $10[V]$ 及び $5[V]$ とする。この場合、ブートストラップゲインによるゲートソース間電圧 V_{gs} の損失は、従来例では $(1 - 0.9) \times 10 = 1[V]$ であるのに対し、この実施例では、 $(1 - 0.9) \times 5 = 0.5[V]$ とすることができ、これにより従来に比して階調の低下を抑圧できることが判る。

20

【0059】

(3) 実施例の効果

以上の構成によれば、発光素子のカソード電圧を立ち下げて信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧以上に設定した後、この信号レベル保持用コンデンサの蓄積電荷を駆動トランジスタにより放電させて信号レベル保持用コンデンサの端子間電圧を駆動トランジスタのしきい値電圧に設定し、その後、この信号レベル保持用コンデンサに階調電圧をセットすることにより、従来に比して画素回路の素子数を少なくして、駆動トランジスタのしきい値電圧のばらつきによる画質の劣化を防止することができる。

30

【0060】

また一旦、発光素子のカソード電圧を立ち上げた後、発光期間におけるカソード電圧に立ち下げることににより、このしきい値電圧以上の設定に係るカソード電圧の立ち下げを実行することにより、ブートストラップゲインの損失による駆動トランジスタのゲートソース間電圧の縮小を従来に比して少なくすることができ、その分、効率良く発光素子を発光させることができる。

【実施例 2】

【0061】

なお上述の実施例においては、トランジスタ TR_2 の制御により駆動トランジスタ TR_1 への電源の供給を制御する場合について述べたが、本発明はこれに限らず、トランジスタ TR_2 を省略して、直接、垂直駆動回路で電源ラインを制御することにより駆動トランジスタ TR_1 への電源の供給を制御するようにしてもよい。

40

【0062】

また上述の実施例では、発光素子に有機 EL 素子を使用する場合について述べたが、本発明はこれに限らず、電流駆動型の各種発光素子を使用する場合に広く適用することができる。

【産業上の利用可能性】

【0063】

本発明は、例えば有機 EL 素子によるアクティブマトリックス型の表示装置に適用することができる。

【図面の簡単な説明】

50

【 0 0 6 4 】

【 図 1 】 本発明の実施例 1 の表示装置を示す接続図である。

【 図 2 】 図 1 の表示装置の動作の説明に供するタイムチャートである。

【 図 3 】 従来の表示装置における発光開始時のゲート電圧、ソース電圧の変化を示すタイムチャートである。

【 図 4 】 図 1 の表示装置における発光開始時のゲート電圧、ソース電圧の変化を示すタイムチャートである。

【 図 5 】 従来の表示装置を示す接続図である。

【 図 6 】 図 5 の表示装置の動作の説明に供するタイムチャートである。

【 図 7 】 信号線により信号レベル保持用コンデンサの一端の電圧を設定する場合に考えられる表示装置を示す接続図である。

【 図 8 】 図 7 の表示装置の動作の説明に供するタイムチャートである。

【 符号の説明 】

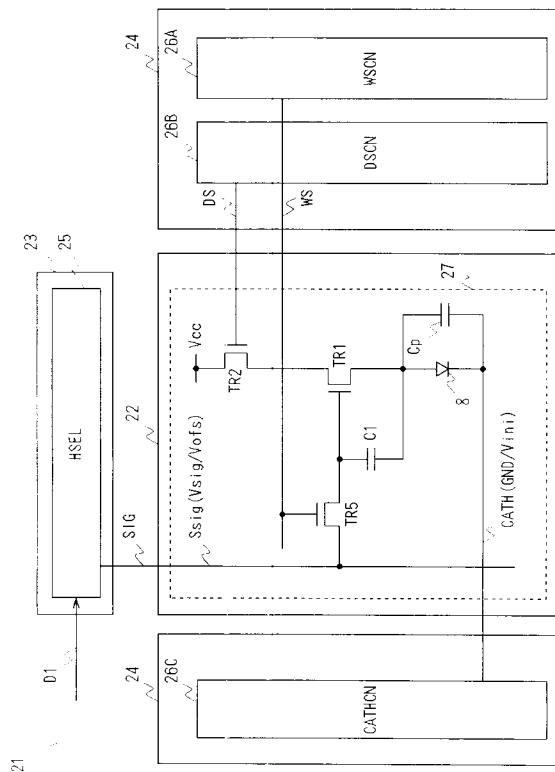
【 0 0 6 5 】

1、11、21 …… 表示装置、3、13、23 …… 水平駆動回路、5、15、24 …… 垂直駆動回路、6、16、22 …… 表示部、7、17、27 …… 画素回路、8 …… 有機 EL 素子、C1 …… 信号レベル保持用コンデンサ、TR1 ~ TR5 …… トランジスタ

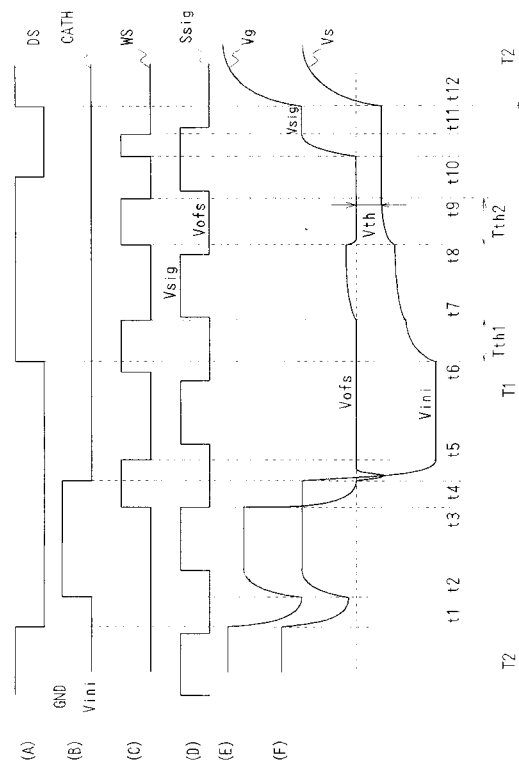
10

20

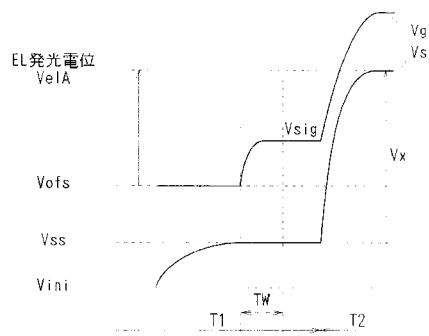
【 図 1 】



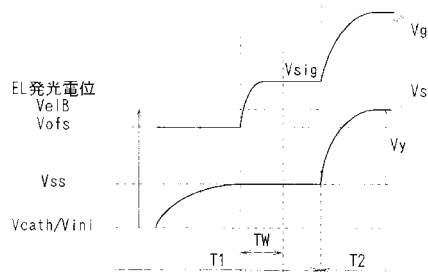
【 図 2 】



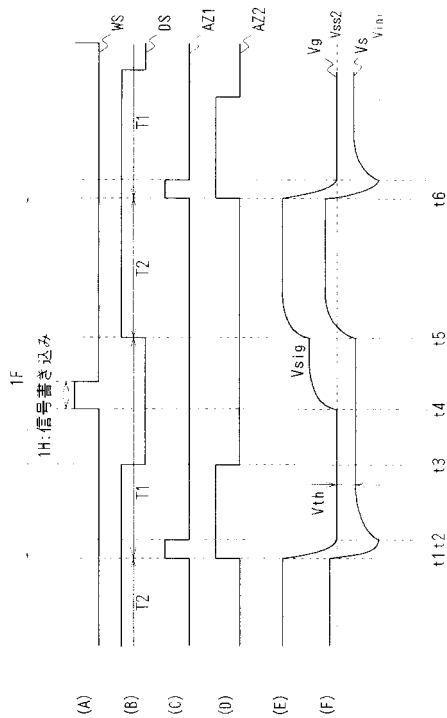
【図 3】



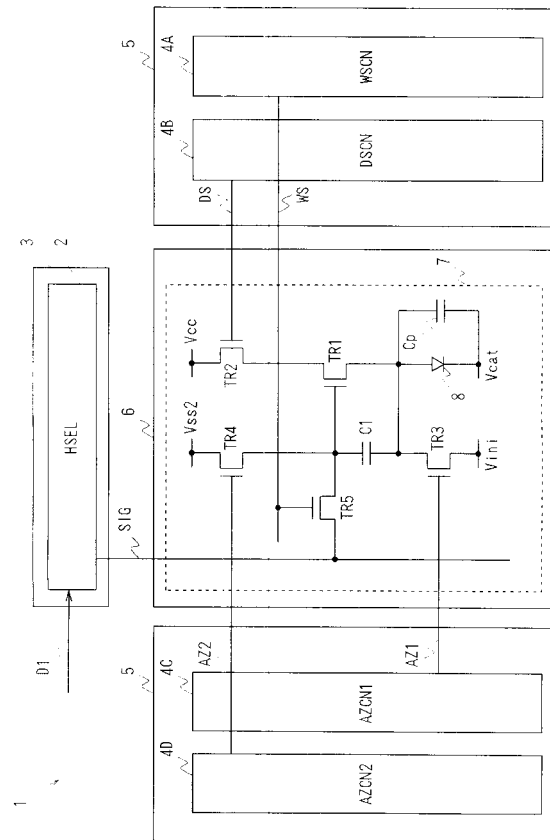
【図 4】



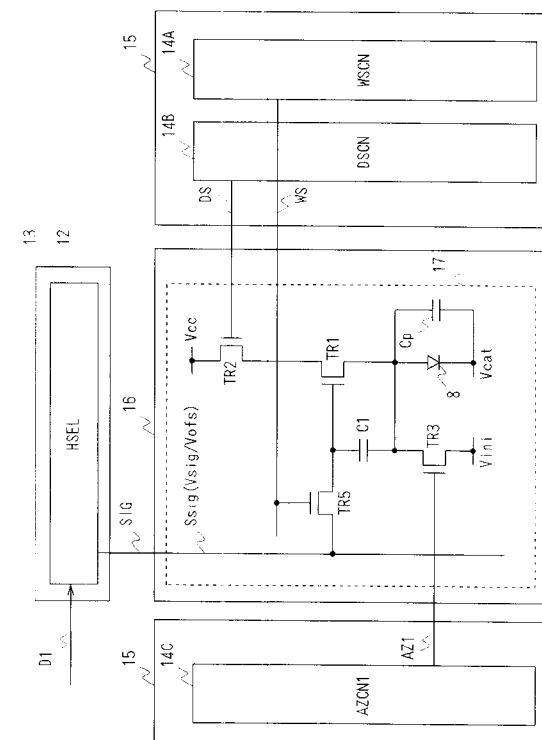
【図 6】



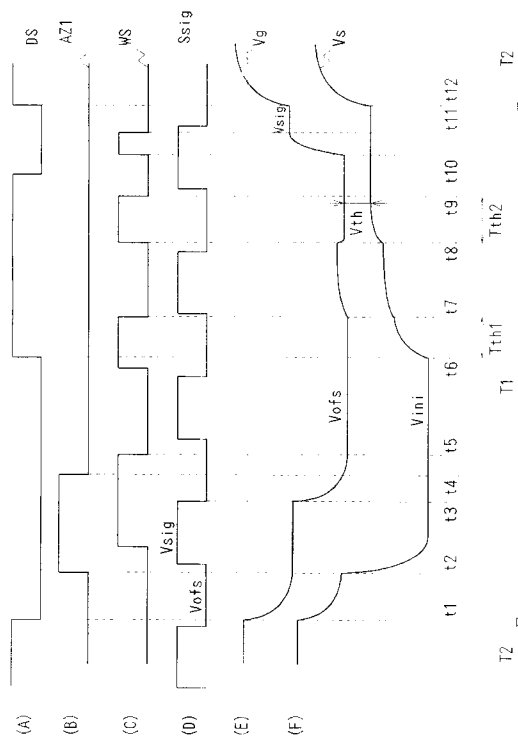
【図 5】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 4 1 D

H 0 5 B 33/14 A

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2009122230A	公开(公告)日	2009-06-04
申请号	JP2007294105	申请日	2007-11-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 内野勝秀		
发明人	豊村 直史 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.621.A G09G3/20.641.D H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/DD05 5C080/DD22 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC57 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CE09 5C380/CF09 5C380/DA02 5C380/DA06 5C380/DA47		
外部链接	Espacenet		

摘要(译)

本发明涉及一种显示装置和驱动该显示装置的方法，并且被应用于例如使用有机EL元件以与传统像素相比减少像素电路的元件数量的有源矩阵型显示装置以及驱动晶体管。可以防止由于阈值电压的变化而导致的图像质量的劣化。根据本发明，降低发光元件8的阴极电压CATH，以将信号电平保持电容器C1的端子之间的电压设定为驱动晶体管TR1的阈值电压以上，然后保持信号电平保持电容器。C1中累积的电荷由驱动晶体管TR1放电，并且信号电平保持电容器C1的端子之间的电压被设置为驱动晶体管TR1的阈值电压，然后灰度电压Vsig被施加到该信号电平保持电容器C1。要设置。[选型图]图1

