

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-25413

(P2009-25413A)

(43) 公開日 平成21年2月5日(2009.2.5)

|                                      |                |             |
|--------------------------------------|----------------|-------------|
| (51) Int.Cl.                         | F I            | テーマコード (参考) |
| <b>G09G 3/30 (2006.01)</b>           | G09G 3/30 K    | 5C080       |
| <b>G09G 3/20 (2006.01)</b>           | G09G 3/30 J    |             |
|                                      | G09G 3/20 611H |             |
|                                      | G09G 3/20 642A |             |
|                                      | G09G 3/20 624B |             |
| 審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く |                |             |

|           |                              |          |                      |
|-----------|------------------------------|----------|----------------------|
| (21) 出願番号 | 特願2007-186190 (P2007-186190) | (71) 出願人 | 302020207            |
| (22) 出願日  | 平成19年7月17日 (2007.7.17)       |          | 東芝松下ディスプレイテクノロジー株式会社 |
|           |                              |          | 東京都港区港南4-1-8         |
|           |                              | (74) 代理人 | 100058479            |
|           |                              |          | 弁理士 鈴江 武彦            |
|           |                              | (74) 代理人 | 100091351            |
|           |                              |          | 弁理士 河野 哲             |
|           |                              | (74) 代理人 | 100088683            |
|           |                              |          | 弁理士 中村 誠             |
|           |                              | (74) 代理人 | 100108855            |
|           |                              |          | 弁理士 蔵田 昌俊            |
|           |                              | (74) 代理人 | 100075672            |
|           |                              |          | 弁理士 峰 隆司             |
|           |                              | 最終頁に続く   |                      |

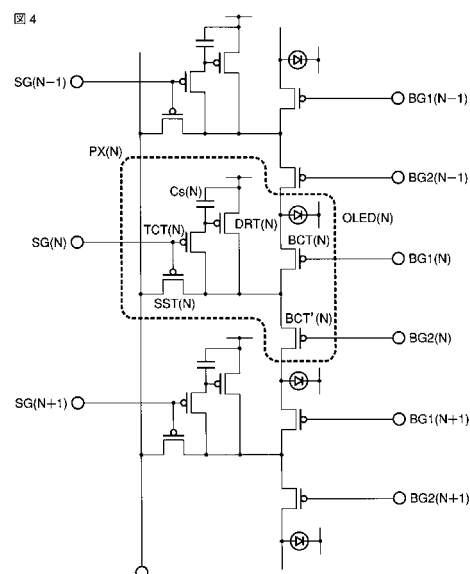
(54) 【発明の名称】 アクティブマトリクス型表示装置

## (57) 【要約】

【課題】 低階調の映像であっても、駆動薄膜トランジスタの特性バラツキによる表示ムラの少ないアクティブマトリクス型表示装置を提供する。

【解決手段】 基板上にマトリクス状に配設された各画素部 P X は、低電位電源線 V s s と高電位電源線 V d d との間に接続される表示素子 O L E D と、高電位電源線と表示素子との間に接続されゲート制御電圧に応じて発光電流を制御する駆動トランジスタ D R T と、駆動トランジスタのドレインと表示素子との間に接続されて第 1 発光制御線 B G 1 からの制御信号によりオン、オフ制御される第 1 のスイッチ B C T と、駆動トランジスタのドレインと行方向に隣接する画素部の他の表示素子との間に接続されて、第 2 発光制御線 B G 2 からの制御信号によりオン、オフ制御される第 2 のスイッチ B C T ' と、駆動トランジスタのゲート、ソース間に接続される保持容量 C s とを有している。

【選択図】 図 4



## 【特許請求の範囲】

## 【請求項 1】

基板上にマトリクス状に配設された複数の画素部と、  
前記画素部の列毎に接続された複数の映像信号線と、  
それぞれ前記画素部の行毎に接続された複数の第 1 発光制御線および第 2 発光制御線とを備え、

各画素部は、

低電位の第 1 電圧電源線と高電位の第 2 電圧電源線との間に接続され、供給電流に応じて発光する表示素子と、

前記第 2 電圧電源線と前記表示素子との間に接続されゲート制御電圧に応じて前記表示素子に供給される発光電流を制御する駆動トランジスタと、

前記駆動トランジスタのドレインと前記表示素子との間に接続されているとともに、前記第 1 発光制御線からの制御信号によりオン、オフ制御される第 1 の出力スイッチトランジスタと、

前記駆動トランジスタのドレインと行方向に隣接する画素部の他の表示素子との間に接続されているとともに、前記第 2 発光制御線からの制御信号によりオン、オフ制御される第 2 の出力スイッチトランジスタと、

前記駆動トランジスタのゲート、ソース間に接続される保持容量と、を有することを特徴とするアクティブマトリクス型表示装置。

## 【請求項 2】

前記画素部の行毎に接続された複数の制御信号線を更に有し、

各画素部は、

前記駆動トランジスタのドレインと前記映像信号線との間に接続されているとともに、前記制御信号線からの制御信号によりオン、オフ制御され前記映像信号線からの映像信号を前記画素部に取り込む画素スイッチと、

前記駆動トランジスタのゲート、ドレイン間に接続されているとともに、前記制御信号線からの制御信号によりオン、オフ制御されるスイッチとを更に有すること

を特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

## 【請求項 3】

前記画素部の行毎に接続された複数の制御信号線と電圧制御信号線とを備え、

各画素部は、

一方の電極が前記駆動トランジスタのゲートに接続された書込容量と、

トランジスタにより形成され前記書込容量の他方の電極と前記映像信号線との間に接続されているとともに、前記制御信号線からの制御信号によりオン、オフ制御され前記映像信号線からの映像信号を前記画素部に取り込む画素スイッチと、

前記駆動トランジスタのゲート、ドレイン間に接続されているとともに、前記電圧制御信号線からの制御信号によりオン、オフ制御されるスイッチとを更に有することを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

## 【請求項 4】

前記画素部を駆動制御する制御部を更に有し、

前記制御部は、それぞれの表示素子を当該画素部のみでなく隣接する画素部を含む複数の駆動トランジスタで時分割して制御することを特徴とする請求項 2 または請求項 3 に記載のアクティブマトリクス型表示装置。

## 【請求項 5】

前記制御部は、少なくとも 1 フレーム毎に前記複数の駆動トランジスタを切替えて前記表示素子を制御することを特徴とする請求項 4 に記載のアクティブマトリクス型表示装置。

## 【請求項 6】

前記画素部を駆動制御する制御部を更に有し、

前記制御部は、

10

20

30

40

50

第 1 のフレーム期間においては、第 N 行の画素には第 N 行の映像信号を書き込むと共に、当該画素の前記第 1 及び第 2 出力スイッチを制御して当該画素の発光素子に第 N 行の映像信号を供給し、

第 2 のフレーム期間においては、第 N 行の画素に隣接する画素には第 N 行の映像信号を書き込むと共に、この隣接する画素の前記第 1 及び第 2 出力スイッチを制御して第 N 行の画素の発光素子にこの隣接する画素から第 N 行の映像信号を供給すること

を特徴とする請求項 2 または請求項 3 に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型表示装置に係り、特に、TFT（薄膜トランジスタ）の特性にバラツキがあっても表示品位を保つことのできるアクティブマトリクス型表示装置に関する。

【背景技術】

【0002】

有機 EL 素子を用いたアクティブマトリクス型表示装置が開発されている。この装置では、有機 EL 素子を駆動する薄膜トランジスタ、即ち駆動トランジスタの特性が画素間でほぼ同一であることが要求される。

しかしながら、薄膜トランジスタは、通常ガラス基板などの絶縁体上に形成されるため、画素間で駆動トランジスタの特性にバラツキが生ずることが多い。

【0003】

特許文献 1 には、カレントコピー型の回路を画素回路に採用したアクティブマトリクス型有機 EL 表示装置が記載されている。この表示装置では、各画素に映像信号として電流信号を供給し、この電流信号に対応した大きさの駆動電流を有機 EL 素子に流して有機 EL 素子を発光させる。この技術によると、駆動トランジスタの特性のバラツキが駆動電流の大きさに与える影響を低減することができる。

【特許文献 1】米国特許第 6 3 7 3 4 5 4 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、このカレントコピー型回路では、映像信号が信号線を介して画素回路に書き込まれる前に、信号線および選択された画素回路の駆動薄膜トランジスタのゲート端子の電位は一旦基準の電位に設定される。

【0005】

通常は、1 ライン毎に映像信号に関係なく、最低階調レベルの電位が選択された画素回路の駆動薄膜トランジスタのゲート端子に書き込まれる。この供給される最低階調レベル電位は、各画素回路で同じ電位である。即ち、供給される最低階調レベル電位は各画素の駆動薄膜トランジスタの閾値のバラツキを補正した電位ではない。このため、駆動薄膜トランジスタの閾値、移動度などの性能にバラツキが存在することによって、低階調ラスタ表示において各画素の明るさが異なり表示ムラが発生していた。

【0006】

本発明はこのような問題点に鑑みてなされたものであり、低階調の映像であっても、駆動薄膜トランジスタの特性バラツキによる表示ムラの少ないアクティブマトリクス型表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するための本発明に係るアクティブマトリクス型表示装置は、基板上にマトリクス状に配設された複数の画素部と、前記画素部の列毎に接続された複数の映像信号線と、それぞれ前記画素部の行毎に接続された複数の第 1 発光制御線および第 2 発光制御線とを備え、各画素部は、低電位の第 1 電圧電源線と高電位の第 2 電圧電源線との間に

10

20

30

40

50

接続され、供給電流に応じて発光する表示素子と、前記第 2 電圧電源線と前記表示素子との間に接続されゲート制御電圧に応じて前記表示素子に供給される発光電流を制御する駆動トランジスタと、前記駆動トランジスタのドレインと前記表示素子との間に接続されているとともに、前記第 1 発光制御線からの制御信号によりオン、オフ制御される第 1 の出力スイッチトランジスタと、前記駆動トランジスタのドレインと行方向に隣接する画素部の他の表示素子との間に接続されているとともに、前記第 2 発光制御線からの制御信号によりオン、オフ制御される第 2 の出力スイッチトランジスタと、前記駆動トランジスタのゲート、ソース間に接続される保持容量とを有するアクティブマトリクス型表示装置である。

【発明の効果】

10

【0008】

本発明によれば、駆動薄膜トランジスタの特性バラツキの影響があっても表示品位を保つことのできるアクティブマトリクス型表示装置を提供することができる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

なお以下の実施の形態では、アクティブマトリクス型表示装置の内、有機 EL 表示装置について説明するが、本発明は有機 EL に限定されない。

20

【0010】

図 1 に示すように、有機 EL 表示装置は、有機 EL パネル 1 および有機 EL パネル 1 を制御するコントローラ 3 を備えている。

【0011】

有機 EL パネル 1 は、ガラス板等の光透過性絶縁基板 2 上にマトリクス状に配列され表示領域 7 を構成した  $m \times n$  個の表示画素  $PX$ 、表示画素の行毎に接続されているとともにそれぞれ独立して  $m$  本ずつ設けられた第 1 制御信号線  $SG(1 \sim m)$ 、第 2 制御信号線  $BG1(1 \sim m)$  および第 3 制御信号線  $BG2(1 \sim m)$  と、表示画素の列毎にそれぞれ接続された  $n$  本の信号線  $X(1 \sim n)$ 、制御信号線  $SG$ 、 $BG1$ 、 $BG2$  の駆動を制御する制御信号出力回路 5、および複数の信号線  $X1 \sim Xn$  を駆動する信号線駆動回路 6 を備えている。

30

【0012】

信号線駆動回路 6 には、画素の列毎に設けられた信号線  $X1$ 、 $X2$ 、 $X3$ 、... が接続されている。信号線  $X1$ 、 $X2$ 、... は、図 1 に示すように、各々が表示画素  $PX$  の列方向（ $Y$  方向）に伸びている。これら信号線  $X1$ 、 $X2$ 、... は、信号線駆動回路 6 と各列の表示画素  $PX$  とに接続されている。

【0013】

また、制御信号出力回路 5 には、画素の行毎に設けられた制御線  $SG$ 、 $BG1$ 、 $BG2$  が接続されている。制御線  $SG$ 、 $BG1$ 、 $BG2$  は、図 1 に示すように、各々が表示画素  $PX$  の行方向（ $X$  方向）に伸びている。これら制御線  $SG$ 、 $BG1$ 、 $BG2$  は、制御信号出力回路 5 と各行の表示画素  $PX$  とに接続されている。

40

【0014】

制御信号出力回路 5 と信号線駆動回路 6 とは、コントローラ 3 からのタイミングパルスにより駆動される。コントローラ 3 には、不図示の入力端子を介して、映像信号に同期したタイミング信号及びクロック信号が供給される。従って、コントローラ 3 は、制御信号出力回路 5 と信号線駆動回路 6 とに対して、映像信号に同期した各種のタイミングパルスを与えることができる。

【0015】

制御信号出力回路 5 は、映像信号を記憶させるために、行方向（ $X$  方向）に配列した複数の表示画素  $PX$  を選択する。制御信号出力回路 5 が、第 1 制御信号線  $SG(1)$ 、 $SG$

50

(2)、・・・のいずれかを選択してアクティブ状態にすると、アクティブ状態となった第1制御線SGに接続する複数の表示画素PXが映像信号(画像データと称しても良い)を記憶可能な状態となる。

【0016】

信号線駆動回路6は、不図示の入力端子を介して映像信号を取り込む。取込んだ映像信号は、行方向(X方向)の各表示画素PXの映像信号電流に変換され、対応する信号線X1、X2、・・・に出力される。アクティブ状態となっている表示画素PXが、対応する信号線X1、X2、・・・を介して映像信号電流を取込み記憶する。

n番目のラインに必要な映像信号が、対応する信号線X1、X2、・・・を介してn番目のラインの各表示画素PXに供給されると、次のn+1番目のラインに必要な映像信号が、対応する信号線X1、X2、・・・を介してn+1番目のラインの各表示画素PXに供給される。第1制御信号線SG(1)、SG(2)、・・・の選択は、制御信号出力回路5により行われる。

【0017】

更に、制御信号出力回路5は、第2、第3制御信号線BG1、BG2をアクティブ状態にして、各表示画素PXに記憶された映像信号に対応した発光電流を有機EL素子に供給する動作を制御する。この動作については後で詳細に説明する。

また、列方向(Y方向)の隣り合う表示画素PX同士は信号ラインによって接続されている。この内容については後で詳細に説明する。

【0018】

各表示画素PXには、電源を供給するための電源ラインが接続されている。そして、図示していないが、制御信号出力回路5、信号線駆動回路6、及びコントローラ3にも、電源を供給するための電源ラインが導かれている。

なお、制御信号出力回路5、信号線駆動回路6、及びコントローラ3は、基板2上に形成されても良く、基板2の外に外部ICとして設けられても良い。

【0019】

次に、表示画素PXについて説明する前に、本実施の形態に係る表示画素PXの基本構成である従来の表示画素PX'について説明する。

図2は、従来の表示画素PX'の等価回路を示す図である。本画素回路は電流信号からなる映像信号に応じて有機EL素子OLEDの発光を制御する電流信号方式の画素回路であり、薄膜トランジスタSST(以下、SSTと称す)、薄膜トランジスタDRT(以下、DRTと称す)、薄膜トランジスタTCT(以下、TCTと称す)、薄膜トランジスタBCT(以下、BCTと称す)、および保持容量Csを備えている。

SST、DRT、TCT、BCTは、同一導電型、例えばPチャネル型の薄膜トランジスタにより構成されている。

【0020】

DRT、BCT、および有機EL素子OLEDは、高電位電源線Vddと低電位電源線Vssとの間で直列に接続されている。DRTのソースは高電位電源線Vddに接続されている。有機EL素子OLEDは、一方の電極、ここでは陰極が低電位電源線Vssに接続されている。BCTは、ソースがDRTのドレインに、ドレインが有機EL素子OLEDの陽極にそれぞれ接続され、更に、ゲートが発光制御線BGに接続されている。高電位電源線Vddと低電位電源線Vssは、例えば+5Vおよび-5.5Vの電位にそれぞれ設定される。

【0021】

DRTは、映像信号に応じた信号電流を有機EL素子OLEDに出力する。BCTは、発光制御線BGからの制御信号によりオン(導通状態)、オフ(非導通状態)制御され、DRTと有機EL素子OLEDとの接続、非接続を制御する。

【0022】

保持容量Csは、DRTのソース、ゲート間に接続され、映像信号により決定されるDRTのゲート制御電位を保持する。保持容量Csは互いに平行に対向した一対の平板状の

10

20

30

40

50

電極を有し、ここでは、D R Tのゲート電極膜と、ポリシリコン層とにより平行平板容量として形成されている。

【0023】

S S Tは、対応する信号線XとD R Tのドレインとの間に接続され、そのゲートは第1制御線S Gに接続されている。S S Tは、第1制御線S Gから供給される制御信号に応答してオン（導通状態）、オフ（非導通状態）制御され、対応信号線Xから映像信号を取り込む。

【0024】

T C Tは、D R Tのドレイン、ゲート間に接続され、そのゲートが第1制御線S Gに接続されている。T C Tは、第1制御線S Gからの制御信号に応じてオン（導通状態）、オフ（非導通状態）制御され、D R Tのゲート、ドレイン間の接続、非接続を制御する。

【0025】

本実施形態において、画素回路を構成する薄膜トランジスタは全て同一工程、同一層構造で形成され、半導体層にポリシリコンを用いたトップゲート構造の薄膜トランジスタである。全て同一の導電型の薄膜トランジスタで構成することにより、製造工数の増大を抑制することができる。

【0026】

次に、図2を参照しつつ、従来の画素回路の動作について説明する。

映像信号電流の書込時においては、制御信号出力回路5は、発光制御線B Gにオフ電位を設定してB C Tを非導通状態とし、第1制御線S Gにオン電位を設定してS S TとT C Tを導通状態とする。そして信号線駆動回路6によって、映像信号線Xに映像信号電流が流れ、D R Tのゲートソース間電圧が保持可能な保持容量C sに書き込まれる。これによって、D R Tのゲート電位はこの電流量に応じた電位に設定される。

映像表示時においては、制御信号出力回路5は、第1制御線S Gにオフ電位を設定してS S TとT C Tを非導通状態とすることによって、画素回路と映像信号線Xとを切り離すが、書き込まれた映像電流に対応したD R Tのゲート電位は、保持容量C sによって保持されている。

次に制御信号出力回路5は、発光制御線B Gにオン電位を設定してB C Tを導通状態とする。そうすると、D R Tのゲートソース間電圧に対応した発光電流が有機E L素子O L E Dに流れ、有機E L素子O L E Dは、発光電流に対応した輝度で発光する。

【0027】

図3は、D R Tおよび有機E L素子O L E Dの構造を示す断面図である。図3を参照して、D R Tの構成を詳細に説明する。

【0028】

D R Tを構成したPチャネル型の薄膜トランジスタは、絶縁基板2上に形成されたポリシリコンからなる半導体層50を備え、この半導体層はソース領域50a、ドレイン領域50b、およびソース、ドレイン領域間に位置したチャネル領域50cを有している。半導体層50に重ねてゲート絶縁膜52が形成され、このゲート絶縁膜上にゲート電極Gが設けられチャネル領域50cと対向している。ゲート電極Gに重ねて層間絶縁膜54が形成され、この層間絶縁膜上にソース電極（ソース）Sおよびドレイン電極（ドレイン）Dが設けられている。

ソース電極Sおよびドレイン電極Dは、それぞれ層間絶縁膜54およびゲート絶縁膜52に貫通形成されたコンタクトを介して半導体層50のソース領域50aおよびドレイン領域50bにそれぞれ接続されている。D R Tのドレイン電極Dは、層間絶縁膜54上に形成された配線を介してB C Tに接続されている。なお、画素スイッチ20、スイッチ24、B C Tを構成する各薄膜トランジスタも上記と同一の構造に形成されている。

【0029】

層間絶縁膜54上には映像信号配線Xを含む複数の配線が設けられている。また、層間絶縁膜54上にはソース電極S、ドレイン電極D、配線を覆って保護膜56が形成されている。保護膜56上には、親水膜58、隔壁膜60が順に積層されている。

10

20

30

40

50

## 【 0 0 3 0 】

有機 E L 素子 O L E D は、ルミネセンス性有機化合物を含む有機発光層 6 4 を陽極 6 2 および陰極 6 6 間に挟持した構造を有している。陽極 6 2 は、I T O (インジウム・ティン・オキサイド)等の透明電極材料から形成され、保護膜 5 6 上に設けられている。親水膜 5 8 および隔壁膜 6 0 の内、陽極 6 2 と対応した部分はエッチングにより除去されている。そして、陽極 6 2 上に陽極バッファ層 6 3 および有機発光層 6 4 が形成され、更に、有機発光層 6 4 および隔壁膜 6 0 に重ねてバリウム・アルミ合金から成る陰極 6 6 が積層されている。

## 【 0 0 3 1 】

このような構造の有機 E L 素子 O L E D では、陽極 6 2 から注入されたホールと、陰極 6 6 から注入された電子とが有機発光層 6 4 の内部で再結合したときに、有機発光層を構成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光し、この光が有機発光層 6 4 から透明な陽極 6 2 および絶縁基板 2 を介して外部へ放出される。

10

## 【 0 0 3 2 】

ここで、陽極 6 2 を B C T および P チャネル型の D R T を介して高電位電源線 V d d に接続し、陰極 6 6 を低電位電源線 V s s に接続する場合について説明したが、陰極 6 6 を B C T のドレインを介して D R T のドレインに、陽極 6 2 を低電位電源線 V s s に接続してもよい。いずれの場合も光出射面側を透明導電材料で形成する必要があり、例えば陰極 6 6 を光出射面側に配置する場合には、アルカリ土類金属、希土類金属を光透過性を有する程度に薄く形成することで達成できる。

20

## 【 0 0 3 3 】

図 4 は、本実施の形態の表示画素 P X の等価回路を示す図である。表示画素 P X は、点線で囲まれた部分で表している。

ここで、以降の説明では何行目の表示画素 P X についての説明であることを明確にするため、参照符号には行数を表す数字を含む括弧を付加する。例えば、N 行目の表示素子 P X は、P X ( N ) と表し、N 行目の表示素子 P X の B C T は、B C T ( N ) と表す。

## 【 0 0 3 4 】

上述の表示画素 P X ' の画素回路と比較すると、本表示画素 P X では、新たに B C T ' が設けられている。即ち、従来の表示画素 P X ' の B C T のソースに新たに B C T ' のソースが接続されている。

30

そして、この B C T ' を介して列方向 ( Y 方向 ) に隣り合う表示画素 P X 同士が接続されている。即ち、N 行にある表示画素 P X ( N ) と N + 1 行にある表示画素 P X ( N + 1 ) とを参照すると、表示画素 P X ( N ) の B C T ' ( N ) のドレインが、表示画素 P X ( N + 1 ) の B C T ( N + 1 ) のソース、即ち有機 E L 素子 O L E D ( N + 1 ) の陽極に接続されている。

また、B C T ( N ) のゲート端子には第 2 の制御線 B G 1 ( N ) が接続され、B C T ' ( N ) のゲート端子には第 3 の制御線 B G 2 ( N ) が接続されている。従って、制御線 B G 1 ( N )、B G 2 ( N ) の電位を制御することで、それぞれ B C T ( N ) 及び B C T ' ( N ) のスイッチ動作を制御することができる。

40

## 【 0 0 3 5 】

図 5 は、本画素回路を駆動する制御信号のタイムチャートである。

図 5 乃至図 9 を参照しつつ本画素回路の動作を説明する。

## 【 0 0 3 6 】

図 5、図 6、図 7 において、奇数フレームの期間 a では、第 1 制御線 S G ( N ) がロー電位になると、N 行目の表示画素 P X ( N ) の S S T ( N ) と T C T ( N ) が導通状態となる。すると、映像信号線 X に映像信号電流 I d r ( N ) が流れ、D R T ( N ) のゲートソース間電圧が保持可能な保持容量 C s に書き込まれる。これによって、D R T ( N ) のゲート電位はこの電流量に応じた電位に設定される。

## 【 0 0 3 7 】

50

奇数フレームの期間  $b$  では、第 1 制御線  $SG(N)$  がハイ電位になる。この結果、 $SST(N)$  と  $TC T(N)$  とが非導通状態になって、画素回路と映像信号線  $X$  とが切り離される。そして、第 2 制御線  $BG1(N)$  がロー電位になると、 $BCT(N)$  が導通状態となる。そうすると、 $DRT(N)$  のゲートソース間電圧に対応した電流が有機 EL 素子  $OLED(N)$  に流れ、有機 EL 素子  $OLED(N)$  は、この電流に対応した輝度で発光する。即ち、映像の表示が行われる。

【0038】

一方、奇数フレームの期間  $b$  では、第 1 制御線  $SG(N+1)$  がロー電位になると、 $N+1$  行目の表示画素  $PX(N+1)$  の  $SST(N+1)$  と  $TC T(N+1)$  が導通状態となる。すると、映像信号線  $X$  に映像信号電流  $I_{dr}(N+1)$  が流れ、 $DRT(N+1)$  のゲートソース間電圧が保持可能な保持容量  $C_s$  に書き込まれる。これによって、 $DRT(N+1)$  のゲート電位はこの電流量に応じた電位に設定される。

10

【0039】

奇数フレームの期間  $c$  では、第 1 制御線  $SG(N+1)$  がハイ電位になる。この結果、 $SST(N+1)$  と  $TC T(N+1)$  とが非導通状態になって、画素回路と映像信号線  $X$  とが切り離される。そして、第 2 制御線  $BG1(N+1)$  がロー電位になると、 $BCT(N+1)$  が導通状態となる。そうすると、 $DRT(N+1)$  のゲートソース間電圧に対応した電流が有機 EL 素子  $OLED(N+1)$  に流れ、有機 EL 素子  $OLED(N+1)$  は、この電流に対応した輝度で発光する。即ち、映像の表示が行われる。

【0040】

以降、上述の映像信号の書き込み動作と表示動作とが  $N+2$  行目、 $N+3$  行目、・・・と繰り返して実行される。

20

この奇数フレームについての画素回路の動作は従来と同じ動作である。

【0041】

図 5、図 8、図 9 において、偶数フレームの期間  $a$  では、第 1 制御線  $SG(N)$  がロー電位になると、 $N$  行目の表示画素  $PX(N)$  の  $SST(N)$  と  $TC T(N)$  が導通状態となる。すると、映像信号線  $X$  には  $N+1$  行目の映像信号電流  $I_{dr}(N+1)$  が流れ、 $DRT(N)$  のゲートソース間電圧が保持可能な保持容量  $C_s$  に書き込まれる。これによって、 $DRT(N)$  のゲート電位はこの電流量に応じた電位に設定される。

【0042】

偶数フレームの期間  $b$  では、第 1 制御線  $SG(N)$  がハイ電位になる。この結果、 $SST(N)$  と  $TC T(N)$  とが非導通状態になって、画素回路と映像信号線  $X$  とが切り離される。そして、第 3 制御線  $BG2(N)$  がロー電位になると、 $BCT'(N)$  が導通状態となる。そうすると、 $DRT(N)$  のゲートソース間電圧に対応した電流が  $N+1$  行目の有機 EL 素子  $OLED(N+1)$  に流れ、有機 EL 素子  $OLED(N+1)$  は、この電流に対応した輝度で発光する。即ち、 $N+1$  行目の映像の表示が行われる。

30

【0043】

一方、偶数フレームの期間  $b$  では、第 1 制御線  $SG(N+1)$  がロー電位になると、 $N+1$  行目の表示画素  $PX(N+1)$  の  $SST(N+1)$  と  $TC T(N+1)$  が導通状態となる。すると、映像信号線  $X$  には  $N+2$  行目の映像信号電流  $I_{dr}(N+2)$  が流れ、 $DRT(N+1)$  のゲートソース間電圧が保持可能な保持容量  $C_s$  に書き込まれる。これによって、 $DRT(N+1)$  のゲート電位はこの電流量に応じた電位に設定される。

40

【0044】

偶数フレームの期間  $c$  では、第 1 制御線  $SG(N+1)$  がハイ電位になる。この結果、 $SST(N+1)$  と  $TC T(N+1)$  とが非導通状態になって、画素回路と映像信号線  $X$  とが切り離される。そして、第 2 制御線  $BG1(N+1)$  がロー電位になると、 $BCT'(N+1)$  が導通状態となる。そうすると、 $DRT(N+1)$  のゲートソース間電圧に対応した電流が有機 EL 素子  $OLED(N+2)$  に流れ、有機 EL 素子  $OLED(N+2)$  は、この電流に対応した輝度で発光する。即ち、 $N+2$  行目の映像の表示が行われる。

【0045】

50

以降、上述の映像信号の書き込み動作と表示動作とが  $N + 2$  行目、 $N + 3$  行目、・・・と繰り返して実行される。

この偶数フレームについては、 $N$  行目の画素回路には  $N + 1$  行目の映像信号が書き込まれ、 $N + 1$  行目の有機 EL 素子にはこの  $N$  行目の画素回路からの映像電流が供給される。

【0046】

以上説明したように本実施の形態では、1つの有機 EL 素子を複数行の DRT で時分割駆動している。従って、表示される映像は時間的に平均化されて観測されるため、DRT の特性に基づく輝度ムラが固定化されず、表示における輝度ムラを解消することができる。

【0047】

10

なお本実施の形態では、 $N$  行の表示素子を、当該  $N$  行及び  $N - 1$  行目の画素回路を用いて表示しているが、当該  $N$  行及び  $N + 1$  行目の画素回路を用いて表示しても良い。また2つの行の画素回路に限られず複数の行の画素回路を用いて表示しても良い。

更に、1フレーム毎に用いる画素回路を切替えるだけでなく、 $n$  (2以上) フレーム毎に画素回路を切替えるようにしても良い。

【0048】

なお本発明は、実施の形態に示す電流を映像信号とするアクティブマトリクス型表示装置に限られず、図10に示すような電圧を映像信号とするアクティブマトリクス型表示装置にも適用することが可能である。

この回路の動作は、上述の電流プログラム画素回路の動作と同様であるため、その詳細の説明は省略する。

20

【0049】

前述した実施形態では、画素回路を構成する薄膜トランジスタを全て同一の導電型、ここではPチャネル型で構成する場合について説明したが、これに限定されず、全てをNチャネル型の薄膜トランジスタで構成することも可能である。また、SST、TCTをNチャネル型の薄膜トランジスタ、DRT、BCTをPチャネル型の薄膜トランジスタでそれぞれ構成するなど、画素回路を異なる導電型の薄膜トランジスタを混在して形成することも可能である。

【0050】

更に、薄膜トランジスタの半導体層は、ポリシリコンに限らず、アモルファスシリコンで構成することも可能である。表示画素を構成する自己発光素子は、有機 EL 素子に限定されず自己発光可能な様々な発光素子を適用可能である。

30

【0051】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0052】

40

【図1】本発明の実施の形態に係るアクティブマトリクス型表示装置を概略的に示すブロック図。

【図2】従来の表示画素の等価回路を示す図。

【図3】駆動トランジスタおよび有機 EL 素子の構造を示す断面図。

【図4】本実施の形態の表示画素の等価回路を示す図。

【図5】本画素回路を駆動する制御信号のタイムチャート。

【図6】奇数フレームでの信号の書き込み方を説明する図。

【図7】奇数フレームでの信号の表示方法を説明する図。

【図8】偶数フレームでの信号の書き込み方を説明する図。

【図9】偶数フレームでの信号の表示方法を説明する図。

50

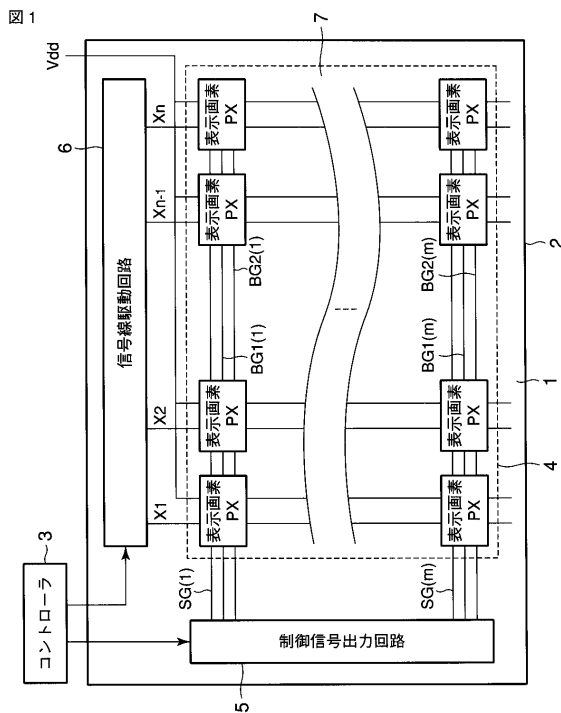
【図 10】他の実施の形態の表示画素の等価回路を示す図。

【符号の説明】

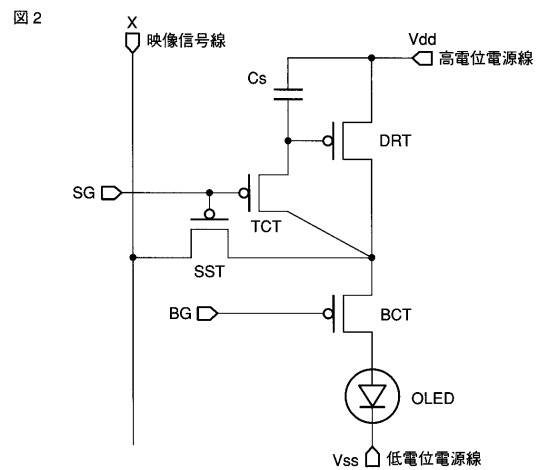
【0053】

P X ... 表示画素、S G ... 第 1 制御信号線、X ... 信号線、O L E D ... 有機 E L 素子、S S T ... 薄膜トランジスタ、D R T ... 薄膜トランジスタ、T C T ... 薄膜トランジスタ、B C T ... 薄膜トランジスタ、C s ... 保持容量、V d d ... 高電位電源線、V s s ... 低電位電源線、B G ... 発光制御線、B G 1 ... 第 2 制御信号線、B G ... 第 3 制御信号線、1 ... 有機 E L パネル、2 ... 基板、3 ... コントローラ、5 ... 制御信号出力回路、6 ... 信号線駆動回路、7 ... 表示領域。

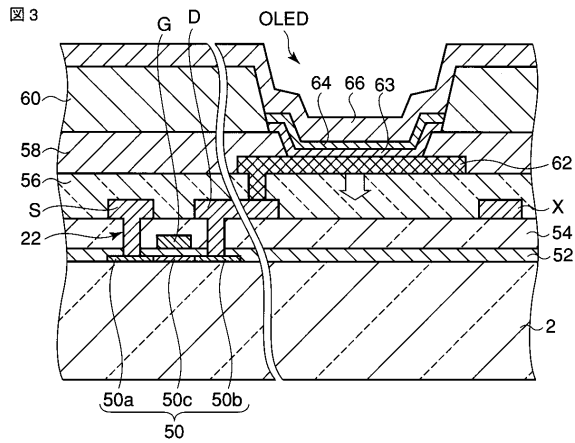
【図 1】



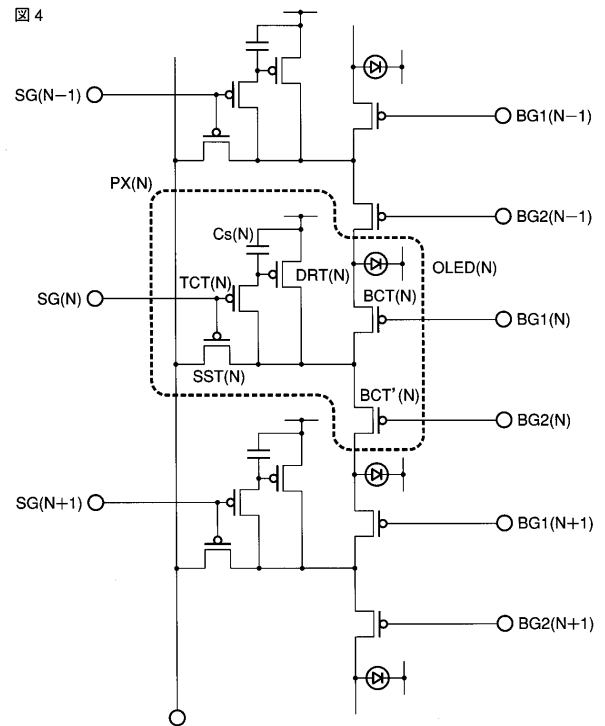
【図 2】



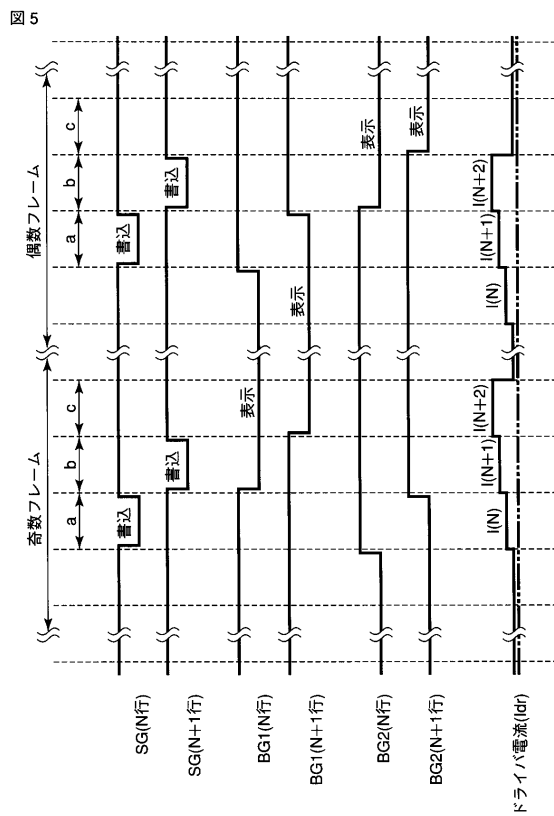
【 図 3 】



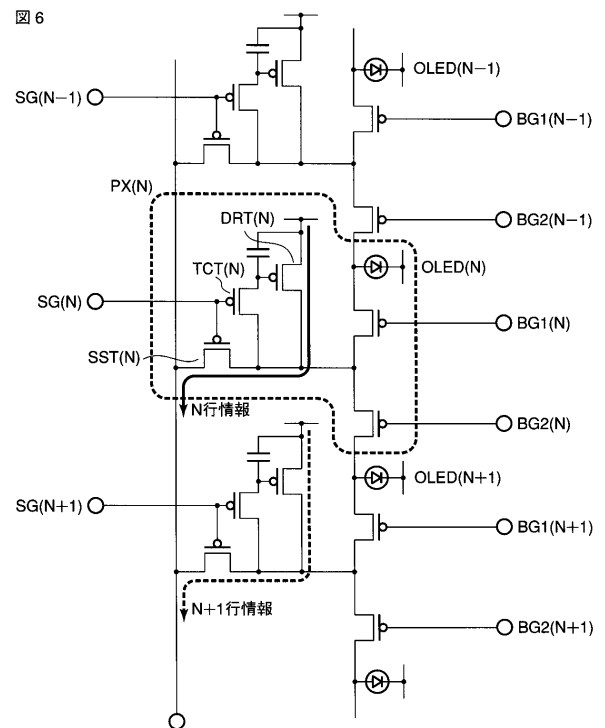
【 図 4 】



【 図 5 】

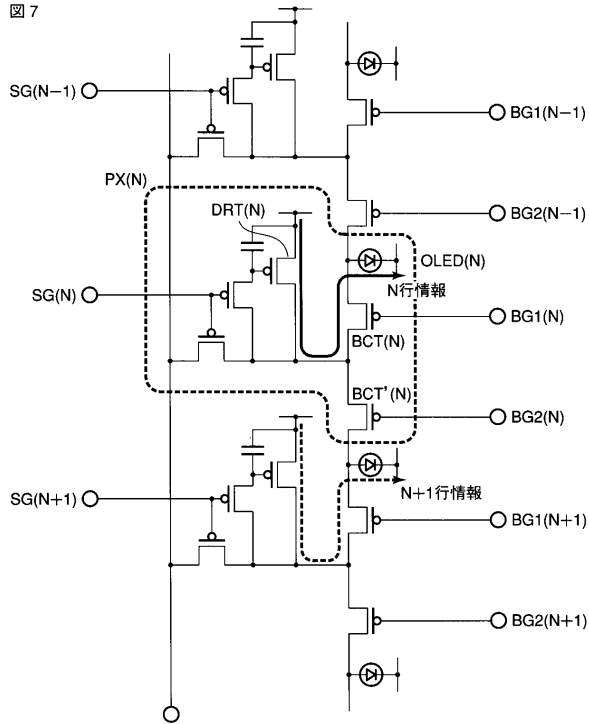


【 図 6 】



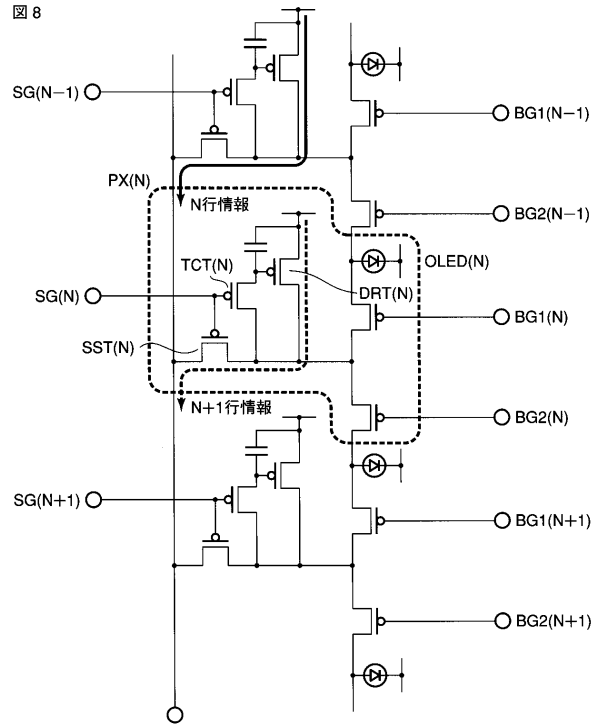
【図 7】

図 7



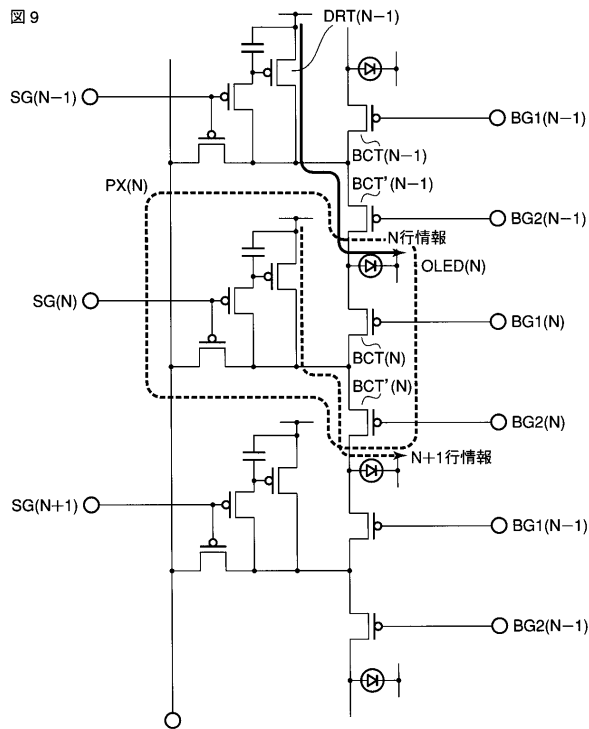
【図 8】

図 8



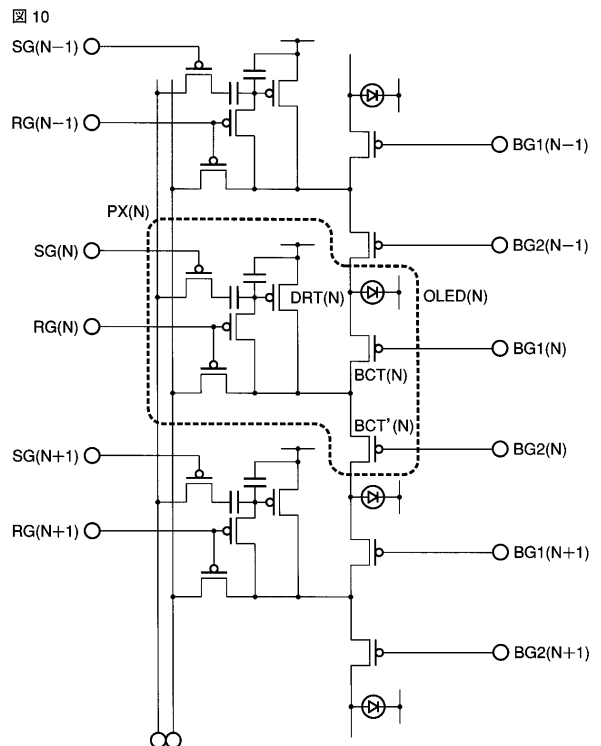
【図 9】

図 9



【図 10】

図 10



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 2 2 A

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 渋谷 誠

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 5C080 AA06 BB05 DD02 EE28 EE29 FF11 JJ02 JJ03 JJ04 JJ06

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有源矩阵显示                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 公开(公告)号        | <a href="#">JP2009025413A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | 公开(公告)日 | 2009-02-05 |
| 申请号            | JP2007186190                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 申请日     | 2007-07-17 |
| [标]申请(专利权)人(译) | 东芝松下显示技术股份有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 申请(专利权)人(译)    | 东芝松下显示技术有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| [标]发明人         | 渋沢 誠                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| 发明人            | 渋沢 誠                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| IPC分类号         | G09G3/30 G09G3/20                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| FI分类号          | G09G3/30.K G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.622.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G3/3291                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| F-TERM分类号      | 5C080/AA06 5C080/BB05 5C080/DD02 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB23 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB17 5C380/CC13 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC45 5C380/CC46 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC77 5C380/CD014 5C380/CD015 5C380/CD026 5C380/CE19 5C380/CE20 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA35 |         |            |
| 代理人(译)         | 河野 哲<br>中村 诚                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |

#### 摘要(译)

提供了一种有源矩阵型显示装置，其中由于驱动薄膜晶体管的特性的变化，即使是低灰度图像也具有较少的显示不均匀性。在基板上以矩阵形式布置的像素单元PX包括连接在低电位电源线Vss和高电位电源线Vdd之间的显示元件OLED，高电位电源线和显示元件。连接在驱动晶体管DRT之间，该驱动晶体管DRT被连接在驱动晶体管DRT和显示元件之间，以根据栅极控制电压来控制发光电流，并且被来自第一发光控制线BG1的控制信号导通/截止。它被连接在受控的第一开关BCT与驱动晶体管的漏极和在行方向上相邻的像素部分的另一个显示元件之间，并且通过来自第二发光控制线BG2的控制信号来执行开/关控制。第二开关BCT#39;连接到驱动晶体管的栅极和连接在驱动晶体管的源极和源极之间的存储电容器Cs。[选择图]图4

