

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-502933

(P2008-502933A)

(43) 公表日 平成20年1月31日 (2008.1.31)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3 K 1 0 7
G09G 3/20 (2006.01)	G09G 3/20 6 2 4 B	5 C 0 8 0
H01L 51/50 (2006.01)	G09G 3/30 K	
	G09G 3/20 6 4 1 D	
	G09G 3/20 6 1 1 D	
審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2007-516017 (P2007-516017)
 (86) (22) 出願日 平成17年6月17日 (2005.6.17)
 (85) 翻訳文提出日 平成18年12月19日 (2006.12.19)
 (86) 国際出願番号 PCT/FR2005/050456
 (87) 国際公開番号 W02006/092473
 (87) 国際公開日 平成18年9月8日 (2006.9.8)
 (31) 優先権主張番号 0451293
 (32) 優先日 平成16年6月18日 (2004.6.18)
 (33) 優先権主張国 フランス (FR)

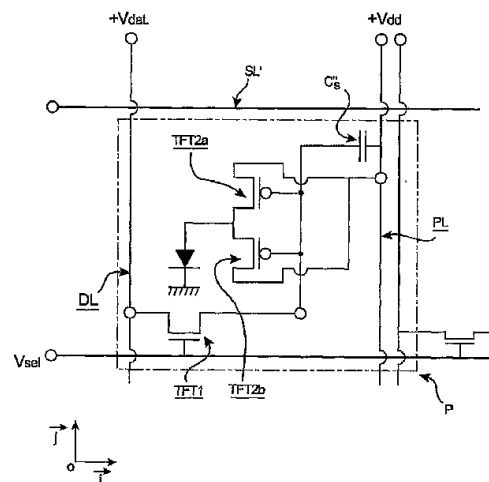
(71) 出願人 590000514
 コミッサリア タ レネルジー アトミー
 ク
 フランス・75015・パリ・イムブル・
 ”ル・ポナン・デー”・リュ・ルブラン・
 25
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 O L E D画素レイアウト

(57) 【要約】

本発明は、光放射が生成され、とりわけ、例えばO L E Dタイプのスクリーンまたはディスプレイの強化された画素を形成するために使われるマイクロ電子デバイスに関わる。



【特許請求の範囲】

【請求項 1】

複数の画素を含むマトリクスが提供された、光放射が生成されうるマイクロ電子デバイスであって、それぞれの前記画素は層のスタックによって形成され、かつ

- ・入力電流に応じて光放射を発生することができるエレクトロルミニセント手段（OEL）と、

- ・データのライン（DL）によって転送された制御信号に従って前記エレクトロルミニセント手段の前記インプット電流を変調することができる電流変調手段（TF T 2 a , T F T 2 b）と、

- ・前記データのライン（DL）に接続され、選択信号に応じて前記電流変調手段に前記制御信号を伝達することが可能となるか、またはならない、スイッチング手段（TF T 1）と、

- ・前記スイッチング手段に接続され、前記スイッチング手段の方に前記選択信号を転送することができる選択ライン（SL）と、

- ・前記電流変調手段に接続され、前記電流変調手段にバイアスをかけるための信号を転送することができるバイアスライン（PL）と、

- ・前記電流変調手段の入力において前記制御信号を維持することができ、また前記電流変調手段に接続された第 1 の電極、他の画素（P'）を選択するためのライン（SL'）に接続された第 2 の電極を有するストレージキャパシタであって、かつ前記スタック内で前記電流変調手段が前記ストレージキャパシタと前記スイッチング手段との間に位置するようにしたキャパシタ（Cs）と、

を有することを特徴とするマイクロ電子デバイス。

【請求項 2】

前記ストレージキャパシタ（Cs）は、少なくとも 50 μ m または画素（P）の幅の半分の距離を超えて前記他の隣接した画素（P'）を選択するために前記ライン（SL'）に接続されることを特徴とする請求項 1 に記載のマイクロ電子デバイス。

【請求項 3】

前記ストレージキャパシタ（Cs）は、前記バイアスライン（PL）と前記エレクトロルミニセント手段との間に位置する部分と、前記エレクトロルミニセント手段と前記他の画素（P'）を選択するための前記ライン（SL'）との間に位置する他の部分と、を有することを特徴とする請求項 1 または 2 に記載のマイクロ電子デバイス。

【請求項 4】

複数の画素を含むマトリクスが提供された、光放射が生成されうるマイクロ電子デバイスであって、それぞれの前記画素は層のスタックによって形成され、かつ

- ・入力電流に応じて光放射を発生することができるエレクトロルミニセント手段（OEL）と、

- ・電流変調手段と、

- ・前記データのライン（DL）に接続され、選択信号に応じて前記電流変調手段に前記制御信号を伝達することが可能となるか、またはならない、スイッチング手段（TF T 1）と、

- ・前記スイッチング手段に接続され、前記スイッチング手段の方に前記選択信号を転送することができる選択ライン（SL）と、

- ・前記電流変調手段に接続され、前記電流変調手段にバイアスをかけるための信号を転送することができるバイアスライン（PL）と、

- ・前記電流変調手段の入力において前記制御信号を維持することができ、また前記電流変調手段に接続された第 1 の電極、前記バイアスライン（PL）に接続されたキャパシタの第 2 の電極を有するストレージキャパシタであって、前記電流変調手段が前記ストレージキャパシタと前記スイッチング手段との間の前記スタック内に位置するようにしたキャパシタ（Cs）と、

を有することを特徴とするマイクロ電子デバイス。

10

20

30

40

50

【請求項 5】

前記電流変調手段は少なくとも 1 つの薄膜トランジスタを有することを特徴とする請求項 1 から 4 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 6】

前記電流変調手段は、共通のドレイン領域および共通のソース領域を共有する第 1 の薄膜トランジスタ (TF T 2 a) と第 2 の薄膜トランジスタ (TF T 2 b) とを有することを特徴とする請求項 1 から 5 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 7】

前記ストレージキャパシタは L 字形をしていることを特徴とする請求項 1 から 6 のいずれか 1 項に記載のマイクロ電子デバイス。

10

【請求項 8】

前記ストレージキャパシタ (C' s) は、並列に配置された 2 つのキャパシタ (C' s 1, C' c 2) により形成されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 9】

前記マトリクスは、少なくとも 1 つの活性層、トランジスタのゲート材料をベースとする少なくとも 1 つの層、少なくとも 1 つの金属層、を有する薄層のスタックにより形成され、前記ストレージキャパシタ (C s) は、前記活性層に形成された電極 (C' s 1)、および前記ゲート材料層内に形成された電極が提供された第 1 のキャパシタ (C' s 1) と、さらに

20

前記金属層内に形成された電極、および前記第 1 のキャパシタの前記他の電極と共通の電極が提供された第 2 のキャパシタ (C' s 2) と、から形成されることを特徴とする請求項 8 に記載のマイクロ電子デバイス。

【請求項 10】

前記スイッチング手段 (TF T 1) は少なくとも 1 つの薄膜トランジスタを有することを特徴とする請求項 1 から 9 のいずれか 1 項に記載のマイクロ電子デバイス。

【請求項 11】

前記エレクトロルミネセント手段は有機物特性からなる少なくとも 1 つの層によって形成された電極を有し、前記マトリクスは O L E D 画素マトリクスであることを特徴とする請求項 1 から 10 のいずれか 1 項に記載のマイクロ電子デバイス。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光放射が発散されうる、また、例えば O L E D (< < 有機発光ディスプレイ > >) タイプのディスプレイまたはスクリーンの、強化された画素マトリクスを形成するのに使うことができるマイクロエレクトロニックデバイスに関わる。

【背景技術】

【0002】

O L E D タイプのスクリーンは、有機 O L E D ダイオードの発光特性を使ったフラット (平板) スクリーンである。スクリーンまたはディスプレイピクセルと関連付けられる O L E D ダイオードの発光を調整するために、画素に集積化される電流アドレッシング (current-addressing) デバイスが一般に提供される。

40

【0003】

O L E D タイプの発光ダイオード 10 に関連付けられるデバイスの、このようなアドレッシングの従来技術による例について、図 1 に示す。この模範的なアドレッシングデバイスは、まず第 1 に、11 と表示したスイッチとして動作される第 1 の薄膜トランジスタまたは T F T を含み、その開路または閉路は、それ (第 1 の薄膜トランジスタまたは T F T) のゲート上に印加される電圧として、例えば v l i n と表示した電圧としての選択信号によって制御される。

【0004】

50

アドレッシングデバイスは、12と表示した少なくとも1つの第2の薄膜トランジスタまたはTFTをさらに含み、それによる電流*i_d*は、制御電圧*v_{dat}*に応じて発光ダイオード10の入力に提供でき、電流*i_d*はダイオード10による放射を発生させる。

【0005】

制御電圧*v_{dat}*は、ダイオード10によって発せられた放射が好ましく設定されるような光強度値または輝度値に依存する。選択信号*v_{lin}*のある値に対して、第1のトランジスタ11は<<閉>>状態にセットされうる。次に、制御電圧*v_{dat}*が、第1の薄膜トランジスタ11のドレイン上に印加され、第1のトランジスタ11のソースに接続された第2の薄膜トランジスタ12のゲートに伝達され、次に第2のトランジスタ12が発光ダイオード10の入力に電流*i_d*を発生する。このように第2のトランジスタ12は、ダイオード10の入力において電流変調装置(current modulator)の役割を果たす。

10

【0006】

そのドレインとそのソースの間の電圧変動に対する最大の電流安定度と最小の検出感度からの利益を得るために、第2のトランジスタ12は一般に、例えば、第2のトランジスタ12のドレインに印加される+1.6V程度の*V_{dd}*で表示されたバイアス電圧により、飽和状態においてバイアスがかけられる。

【0007】

今述べたタイプのスクリーンまたはディスプレイ画素アドレッシングデバイスにおいて、第1のトランジスタ11と第2のトランジスタ12は、例えばアモルファスシリコンまたは多結晶シリコンをベースとする活性層で形成された、TFTタイプのトランジスタでありうる。

20

【0008】

とりわけ、特許文献1に記載された代案においては、このようなアドレッシングデバイスの電流変調トランジスタ12が、場合に応じて電圧+*V_{dd}*にバイアスされた2つの共通ドレイントランジスタに置き換えられ、そしてそれぞれのソースが発光ダイオード10の電極に接続される。この特許文献1に記載のように、この代案によってOLED画素マトリクスを生産する方法の収率を改善することが可能である。この収率は、この場合、製造方法の終盤で使われる回路の個数と、製造方法で最初に扱われる回路の全個数との間の比率によって定義される。

【0009】

30

このアドレッシングデバイスは、<<ストレージ>>キャパシタ(記憶キャパシタ)と呼ばれるキャパシタ13も有し、これは、制御信号*v_{dat}*が第2の薄膜トランジスタ12のゲートに伝達された時にこの信号を維持するために提供される。

【0010】

キャパシタ13は、一般的に、14と表示したその電極の1つが電流変調トランジスタ12のゲートと第1のスイッチングトランジスタ11のソースに接続し、一方で他の電極15が接地(アース)または固定された電圧に接続されるように設計されている。この接地またはこの固定電圧は、一般にラインまたはバスによって提供され、そのラインやバスの役割は、例えば前述の特許文献1と、さらに特許文献2に記載されているように、ストレージキャパシタ*C_s*の前記第2の電極にバイアスをかけることを排他的に専門としている。画素のマトリクスでは、異なる画素のストレージキャパシタ(コンデンサ)*C_s*にバイアスをかけるのに使われるラインまたはバスのレイアウトは、一般に、それらのラインまたはそれらのバスが、例えばデータ信号あるいは電流変調手段にバイアスをかけるための信号を転送するための他のラインと交差するようになっており、<<クロストーク>>とも呼ばれるノイズ源となりうる。

40

【0011】

このタイプのデバイスにおけるトランジスタ11と12の漏洩現象を補正するために、キャパシタ13の容量(キャパシタンス)値は一般に高く、そのキャパシタのかなりのかさばりを誘発する。このかさばりは画素の開口率を制限しうる。しかも、特定のラインによってストレージキャパシタ*C_s*の第2の電極にバイアスをかけることと、このキャパシ

50

タによって生じるかさばりは、画素の様々な部品のお互いに対するレイアウトのデリケートさを生み出している。

【特許文献 1】欧州特許出願公開第 1 1 9 3 7 4 1 A 2 号明細書

【特許文献 2】欧州特許出願公開第 1 2 9 8 6 3 4 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

部品のレイアウトの最適化と、このタイプの回路におけるエレクトロルミネセント(electroluminescent: 電子発光)手段のレイアウトの観点からのアドレッシングデバイスのサイズの縮小とが、絶えず追及されている。

10

【0013】

従って、例えば OLED タイプのための、とりわけ開口率に関するスクリーンまたはディスプレイの画素の性能を改善することについての課題が提起される。また、このような画素をアドレッシングするための装置の電子的性能を改善することについての課題も提起される。

【課題を解決するための手段】

【0014】

本発明は、複数の画素を含むマトリクスが提供された、光放射が生成されうるマイクロ電子デバイスであって、それぞれの前記画素は層のスタック(積層)によって形成され、かつ

20

- ・入力電流に応じて光放射を発生することができるエレクトロルミネセント手段と、
- ・データのラインによって転送された制御信号に従って前記エレクトロルミネセント手段の前記インプット電流を変調することができる電流変調手段と、
- ・前記データのラインに接続され(関係付けられ)、選択信号に応じて前記電流変調手段に前記制御信号を伝達することが可能となるか、またはならない、スイッチング手段と

- ・前記スイッチング手段に接続され、前記スイッチング手段の方に前記選択信号を転送することができる選択ラインと、

- ・前記電流変調手段に接続され、前記電流変調手段にバイアスをかけるための信号を転送することができるバイアスラインと、

30

- ・前記電流変調手段の入力において前記制御信号を維持することができ、また前記電流変調手段に接続された第 1 の電極、マトリクスの他の画素を選択するための他のラインまたは前記バイアスラインに接続されたキャパシタの第 2 の電極を有するストレージキャパシタと、

を有することを特徴とするマイクロ電子デバイスを提案する。

【0015】

電流変調手段は複数層の前記スタック内のスイッチング手段とストレージキャパシタとの間に位置することができる。

【0016】

このようなレイアウトは、それぞれの画素内の様々なライン間、あるいは半導体領域および/または金属領域間の交差数に関する制限を提供することができる。

40

【0017】

デバイスのレイアウトの可能性によれば、電流変調手段と、さらにストレージキャパシタの少なくとも 1 部は、バイアスラインとエレクトロルミネセント手段との間に位置することもできる。

【0018】

本発明による画素のマトリクスでは、キャパシタの前記第 2 の電極はラインまたはバスに接続されず、その役割は、特に、また排他的に、それ(第 2 の電極)にバイアスをかけることを専門とはしているが、他の機能、例えば他の画素を選択するための信号を転送する機能、あるいは、例えば前記画素の電流変調手段にバイアスをかける機能を持ったライ

50

ンのためのものである。

【0019】

これにより、明らかに、前記画素の部品をレイアウトすることを容易にするだけでなく、マトリクスそれぞれの画素内のスペースの獲得をも容易にすることが可能である。このスペースの獲得により、サイズを減少した画素を得ること、および／または、前記画素それぞれの開口率を改善することが可能である。これにより、同じ画素内で電気信号を転送できるライン間の交差数を減らすこともでき、従ってそれらの交差によって生じうる<<クロストーク>>タイプの干渉を減らすこともできる。

【0020】

電流変調手段はバイアスラインに接続される。これにより、マトリクスそれぞれの画素と標準的なアドレッシング電子回路とを関連付けることができ、特定のアドレッシング回路から自身を保護することが可能である。

10

【0021】

本発明によるマイクロ電子デバイスの実施の態様によれば、変調手段は前記制御信号を受け取ることができる少なくとも1つのゲートを含み、ゲート材料層と呼ばれる層から形成され、その状況で、ストレージキャパシタの第1の電極が前記ゲートと接続され、ゲート材料層とは異なる活性層と呼ばれる層から形成されうる。

【0022】

キャパシタの第2の電極と他の画素を選択するための前記他のラインは同じ層、例えばゲート材料層から接続され、形成される。

20

【0023】

このようなレイアウトにより、それぞれの画素内のライン間、あるいは半導体領域および／または金属領域間の交差数を制限でき、ノイズのみならず回路短絡の危険性をできる。

【0024】

前記エレクトロルミニセント手段は有機物特性からなる少なくとも1つの層によって形成された電極を有することができる。そして前記マトリクスはOLED画素マトリクスでありうる。

【0025】

前記スイッチング手段は少なくとも1つの薄膜トランジスタを有することができる。電流変調手段については、少なくとも1つの薄膜トランジスタを有することができる。

30

【0026】

一つの可能性によれば、電流変調手段も薄膜トランジスタを有することができる。

【0027】

一つの選択肢によれば、共通のドレイン領域を共有する第1の薄膜トランジスタと第2の薄膜トランジスタとを有することができる。

【0028】

キャパシタの第2の電極が他の画素を選択するための他のラインに接続されるならば、前記他の画素は前記一の画素の隣接した画素であり、例えば、画素のマトリクスにおける、後者（前記一の画素）と同じ縦の列上に位置することができる。ストレージキャパシタは、50 μm または画素の幅の半分の距離を超えて前記隣接した画素を選択するために前記他のラインに接触することができる。

40

【0029】

ストレージキャパシタはいくつかの形状をとることができる。有利な実施の態様によれば、それは、バイアスラインとエレクトロルミニセント手段との間に位置する一の部分、および、エレクトロルミニセント手段と前記他の画素を選択するための前記ラインとの間に位置する他の部分を含む。

【0030】

本発明によるデバイスの特定の実施の態様によれば、前記ストレージキャパシタは、それぞれの画素内の部品のレイアウトを容易にすることができるようなL字形を特に持つこ

50

とができる。この特定の形状により、「L」を構成する1つのバーが他の画素を選択するためのラインと接触しかつそれと平行であるとき、良好な電気的特性を持ったストレージキャパシタを得ることもできる。

【0031】

本発明による画素マトリクスにおいて、ストレージキャパシタは場合に応じて並列に配置された2つのキャパシタで形成されうる。

【0032】

本発明は、複数の画素を含むマトリクスが提供された、光放射が生成されうるマイクロ電子デバイスであって、それぞれの前記画素は層のスタックによって形成され、かつ

- ・入力電流に応じて光放射を発生することができるエレクトロルミネセント手段と、
 - ・電流変調手段と、
 - ・前記データのラインに接続され、選択信号に応じて前記電流変調手段に前記制御信号を伝達することが可能となるか、またはならない、スイッチング手段と、
 - ・前記スイッチング手段に接続され、前記スイッチング手段の方に前記選択信号を転送することができる選択ラインと、
 - ・前記電流変調手段に接続され、前記電流変調手段にバイアスをかけるための信号を転送することができるバイアスラインと、
 - ・前記電流変調手段の入力において前記制御信号を維持することができ、また前記電流変調手段に接続された第1の電極、前記バイアスラインに接続されたキャパシタの第2の電極を有するストレージキャパシタであって、前記電流変調手段が前記ストレージキャパシタと前記スイッチング手段との間の前記スタック内に位置するようにしたキャパシタと、
- を有することを特徴とするマイクロ電子デバイスにも接続されている。

【0033】

1つの可能性によれば、変調手段は前記制御信号を受け取ることができる少なくとも1つのゲートを含み、ゲート材料層と呼ばれる層から形成され、ストレージキャパシタの第1の電極は前記ゲートと接続され、ゲート材料層とは異なる「活性層」と呼ばれる層から形成されうる。

【0034】

デバイスのレイアウトの可能性によれば、電流変調手段と、さらにストレージキャパシタの少なくとも1部は、バイアスラインとエレクトロルミネセント手段との間に位置することもできる。

【発明を実施するための最良の形態】

【0035】

本発明は、添付の図面を参照しつつ、専ら示唆的に、かつ決して限定的でない方法で与えられた模範的な実施形態の説明を読むことで、より良く理解されるであろう。

【0036】

図面をより読みやすくするため、図面で示された異なる部分は必ずしも統一的な尺度に従っていない。

【0037】

さて、本発明によって実施されるマイクロ電子デバイスを図2と関連付けながら説明する。このデバイスは、画素またはOLEDタイプセルに、mのライン（mは整数）または<<横の列>>（この図に規定されている基準直交座標系

【0038】

【数1】

$$[0; \vec{i}; \vec{j}]$$

【0039】

の

【 0 0 4 0 】

【 数 2 】

 $\vec{i}$

【 0 0 4 1 】

軸方向に沿う)、および p のカラム (p は整数) または < 縦の列 > (基準直交座標系

【 0 0 4 2 】

【 数 3 】

 $[0; \vec{i}; \vec{j}]$

10

【 0 0 4 3 】

の

【 0 0 4 4 】

【 数 4 】

 $\vec{j}$

【 0 0 4 5 】

軸方向に沿う) のマトリクスを有する。

20

【 0 0 4 6 】

図 2 において、画素 P は明確に識別され、それは、まず第一に、例えば OEL と表示した $OLED$ タイプダイオードのような、有機物特性からなるエレクトロルミネセント手段を有する。この OEL ダイオードは、例えば第 1 の薄膜トランジスタ $TFT2a$ および $TFT2b$ と表示した第 2 の薄膜トランジスタのような電流変調手段によって、入力部に供給される電流に応じて光放射を発することができる。第 1 の薄膜トランジスタ $TFT2a$ および第 2 の薄膜トランジスタ $TFT2b$ のそれぞれのソース領域は、 OEL ダイオードのアノードにそれぞれ接続されている。電流変調手段は、あるバイアス電圧 $+V_{dd}$ 、例えば $+16V$ によりバイアスがかけられ、 $TFT2a$ と $TFT2b$ トランジスタに共通なドレイン領域に接続され、 PL と表示したバイアスラインによってその電圧が転送される。

30

【 0 0 4 7 】

この例では、バイアスライン PL は画素のマトリクスの縦の列と同じ方向に延在する。バイアスライン PL は、マトリクスの画素 P と同じ縦の列に属する幾つかの画素によって、あるいはマトリクスの画素 P と同じ縦の列に属する画素の全体に対してさえ共有できる。

【 0 0 4 8 】

電流変調手段 $TFT2a$ と $TFT2b$ から画素 P の OEL ダイオードの方に発せられた電流は、 DL と表示されまた < データライン > と呼ばれるラインによって転送された制御電圧 v_{dat} に特に依存する。このデータライン DL は、この例ではマトリクスの縦の列の方向に延在する。データライン DL は、いくつかの画素によって、あるいは画素 P と同じ縦の列に属する画素の全体によってさえ共有できる。

40

【 0 0 4 9 】

データライン DL は、スイッチング手段に接続され、例えば $TFT1$ と表示した薄膜トランジスタ形状をとる。 $TFT1$ トランジスタのソースは $TFT2a$ と $TFT2b$ トランジスタのゲートに接続されている。 $TFT1$ トランジスタによって、制御電圧 v_{dat} は、 v_{sel} と表示した選択信号と呼ばれる信号に応じて $TFT2a$ トランジスタのゲートに伝えられるかまたは伝えられないかの、いずれかにできる。

【 0 0 5 0 】

選択信号 v_{sel} は例えばトランジスタ $TFT1$ のゲートに印加される。

50

【 0 0 5 1 】

画素 P の選択電圧 v_{sel} は、この例ではマトリクスの横の列と同じ方向に延在し、選択ラインと呼ばれ、 S_L と表示したラインによって転送される。この選択ライン S_L は幾つかの画素によって、あるいは画素 P と同じ縦の列に属する画素の全体によってさえ共有できる。従って、この例では、マトリクスの画素は横の列毎にアドレッシングされる。

【 0 0 5 2 】

画素 P は、制御信号 v_{dat} が電流変調手段 $TFT2a$ と $TFT2b$ に伝達された時に、この信号を維持することができる、ストレージキャパシタ C_s と呼ばれるキャパシタをさらに有する。キャパシタ C_s は、変調トランジスタ $TFT2a$ と $TFT2b$ のそれぞれのゲートにその電極の 1 つが接続されるようにレイアウトされるが、一方、その第 2 の電極は、接地または固定電圧ラインの役割を果たすラインまたはバスに接続される。

10

【 0 0 5 3 】

画素内の強化されたレイアウトによれば、変調トランジスタ $TFT2a$ と $TFT2b$ はスイッチングトランジスタとストレージキャパシタ C_s との間に位置することができる。このようなレイアウトは画素内のクロストークノイズと呼ばれるノイズの縮小を提供することができる。

【 0 0 5 4 】

キャパシタ C_s の第 2 の電極に接続されたラインまたはバスは、この例では画素 P に隣接する他の画素 P' の選択ライン S_L' に対応し、それ（画素 P ）と同じ縦の列上に位置する。隣接する画素 P' に属する選択ライン S_L' は、前記隣接する画素 P' を選択するための信号の転送を提供する。

20

【 0 0 5 5 】

この模範的なマトリクスでは、画素が横の列毎にアドレッシングされるのに応じて、画素 P と関連付けられた OEL ダイオードの光強度が変えられると、選択ライン S_L が画素 P に選択信号 v_{sel} を転送するが、それに対し、前記隣接する画素 P' の他の選択ライン S_L' は不活性となり、いかなる選択信号をも転送しない。 P' は、好ましくは前にアドレッシングされたラインに隣接する画素である。実際に、もし P' が P の後でアドレッシングされるならば、キャパシタ C_s の端子上の電荷は、電極として使用するラインのアドレッシングの際に変わる可能性が高い。そして他の選択ライン S_L' はキャパシタ C_s の第 2 の電極の接地の役割を果たすことができる。 S_L' が不活性な場合、それは例えば - 2 V と + 2 V の間、一般には 0 V 近くの固定電圧に保たれる。

30

【 0 0 5 6 】

この例では、所定の画素のためにラインまたはバスは使われずに、その役割は排他的にまた特にストレージキャパシタ C_s の第 2 の電極にバイアスをかけることを専門としている。この例でのこのバイアスは、前記隣接する画素 P' を選択するためのライン S_L' によって提供され、またそれは前記隣接する画素 P' を選択するための信号を転送する役割をも持っている。

【 0 0 5 7 】

このような画素レイアウトは標準的なアドレッシング電子回路、例えば LCD （液晶ディスプレイ）マトリクスのために使われるタイプの回路と互換性をもつことができる。

40

【 0 0 5 8 】

先に説明した模範的なデバイスの代案によれば、共通のドレインを備えるトランジスタ $TFT2a$ と $TFT2b$ は、場合に応じて単一の薄膜トランジスタに置き換えることができ、それに対しては、ドレインはライン PL によってバイアスをかけられ、ソースはエレクトロルミニセント手段 OEL のアノードに接続され、そしてゲートはストレージキャパシタの第 1 の電極に接続される。この変調トランジスタはスイッチングトランジスタとストレージキャパシタの間に位置することができる。

【 0 0 5 9 】

図 3 は先に説明した模範的なデバイスの代案を示す。マトリクスのそれぞれの画素において構成され、また画素 P に特徴的なストレージキャパシタはここでは C''_s と表示さ

50

れ、まず電流変調トランジスタ T F T 2 a と T F T 2 b のゲートに接続された第 1 の電極と、そして画素 P のバイアスライン P L に接続された第 2 の電極を有している。

【 0 0 6 0 】

この例では、所定の画素に対して先に説明した例のように、ラインまたはバスは使われずに、その役割は排他的にまた特にストレージキャパシタの第 2 の電極にバイアスをかけることを専門としている。このバイアスは、電流変調トランジスタ T F T 2 a と T F T 2 b にバイアスをかける信号がさらに転送されうるライン P L によって提供される。画素内のレイアウトは、電流変調トランジスタ T F T 2 a と T F T 2 b がスイッチングトランジスタとストレージキャパシタの間に位置するようなものにできる。このようなレイアウトは画素内の < クロストーク > ノイズと呼ばれるノイズの減少を提供することができる。

10

【 0 0 6 1 】

バイアスライン P L は、例えば + 1 6 V 程度の固定電圧に保たれ、制御電圧 v dat と画素 P の選択電圧 v sel のために使われる電圧レベルは、図 2 に関連して先に説明した例で使われるものとは異なることになる。通常、v dat は 1 0 V 程度で、v sel は 1 5 V 程度である。

【 0 0 6 2 】

図 4 は上部から見た技術的スタックまたは層のスタックを示し、図 2 に関連して先に説明したタイプの O L E D セルまたは画素マトリクスの一部である。このスタックの例示においては、電気信号を転送するためのラインまたはバスによりそれぞれの側面において画

20

定された画素 P を明確に見ることができる。

【 0 0 6 3 】

画素 P は、それに属する 1 1 2 と表示したラインと、マトリクスの画素 P と同じ横の列に位置する隣接した画素 P ' ' に属する 3 1 2 と表示した他のラインとによって明確に画

定される。ライン 1 1 2 と 3 1 2 は、図 4 に規定されている基準直交座標系

【 0 0 6 4 】

【 数 5 】

$$[0 ; \vec{i} ; \vec{j}]$$

30

【 0 0 6 5 】

の

【 0 0 6 6 】

【 数 6 】

$$\vec{j}$$

【 0 0 6 7 】

軸に平行な方向に延在し、それはマトリクスの 1 つの縦の列と同じ方向に対応する。ライン 1 1 2 と 3 1 2 は、画素 P の制御信号 v dat を転送することができるデータライン D L と、隣接する画素 P ' ' の制御信号を転送することができる D L ' ' と表示したデータラインと、にそれぞれ対応する。

40

【 0 0 6 8 】

画素 P は、それに属する 1 0 6 と表示したラインの他のペアと、マトリクスの画素 P と同じ縦の列に位置する隣接した他の画素 P ' に属する 2 0 6 と表示した他のものによってさらに画定される。

【 0 0 6 9 】

ライン 1 0 6 と 2 0 6 は、マトリクスの 1 つの縦の列と同じ方向に対応する基準直交座標系

【 0 0 7 0 】

50

【数 7】

$$[0; \vec{i}; \vec{j}]$$

【0071】

の

【0072】

【数 8】

$$\vec{i}$$

10

【0073】

軸に平行な方向に延在する。ライン 106 と 206 は、画素 P の制御信号 v_{sel} を転送することができる選択ライン SL と、隣接する画素を選択するための信号 v_{sel}' を転送することができるデータ SL' の他のラインと、にそれぞれ対応する。

【0074】

この例の画素 P のレイアウトは、スイッチングトランジスタ TFT_1 が、データ DL のラインと選択ライン SL との間の交差点のみならず、電流変調トランジスタ TFT_{2a} と TFT_{2b} にも近接して配置されるようなものである。トランジスタ TFT_{2a} と TFT_{2b} については、 OEL 発光ダイオードの電極に対応する長方形の 140 と表示した領域と、128 と表示したラインとの間に配置され、そして基準直交座標系

20

【0075】

【数 9】

$$[0; \vec{i}; \vec{j}]$$

【0076】

の

【0077】

【数 10】

30

$$\vec{j}$$

【0078】

軸に平行な方向に延在し、またそれは前記電流変調トランジスタ TFT_{2a} と TFT_{2b} のバイアスライン PL に対応する。薄層のスタック内において、変調トランジスタ TFT_{2a} と TFT_{2b} も、スイッチングトランジスタ TFT_1 とストレージキャパシタ C_s との間に位置しうる。このレイアウトにおいては、画素における横と縦の半導体および / または金属領域、あるいはラインの間の交差点の数を減らすことが可能である。これによって、クロストークタイプノイズまたは交差点からのノイズと、回路短絡の危険性を減少できる。

40

【0079】

画素 P のストレージキャパシタについては、発光ダイオードの電極 140 の形状に適合している。このストレージキャパシタ C_s は、発光ダイオードの電極 140 とバイアスライン PL の間に位置する第 1 の部分と、前記隣接する画素 p' の選択ライン SL' と発光ダイオードの電極 140 の間に位置する第 2 の部分と、を含む。

【0080】

前記技術的スタックは、例えばポリシリコンをベースとして特に活性層により形成され、さらにそのパターンが図 5A の平面図で示されている。この活性層の 100 と表示した領域において、スイッチングトランジスタ TFT_1 のドレイン領域 100a と、さらにソ

50

ース領域 1 0 0 b が明確に形成される。

【 0 0 8 1 】

1 0 2 と表示した他の領域においては、第 1 の電流変調トランジスタ T F T 2 a のソース領域 1 0 2、第 2 の電流変調トランジスタ T F T 2 b の他のソース領域 1 0 2 b と、さらに第 1 および第 2 の電流変調トランジスタに共通なドレイン領域 1 0 2 c が、それぞれ形成される。

【 0 0 8 2 】

「 L 」字の形をとっている 1 0 4 と表示した活性層の他の領域については、ストレージキャパシタ C s の第 1 の電極に対応する。この第 1 の電極は、例えば S i O ₂ をベースとする絶縁体（図示せず）で覆われ、その絶縁体はトランジスタ T F T 1、T F T 2 a、および T F T 2 b のゲート絶縁膜とそれぞれ同じ層内に形成されうる。

10

【 0 0 8 3 】

領域 1 0 0、1 0 2、1 0 4 のレイアウトは、領域 1 0 2 が領域 1 0 0 と領域 1 0 4 の間に位置するようなものでありうる。換言すれば、電流変調トランジスタ T F T 2 a と T F T 2 b の活性領域が、スイッチングトランジスタ T F T 1 の活性層とストレージキャパシタ C s の第 1 の電極との間に位置する。

【 0 0 8 4 】

例えばアルミニウムなどのゲート材料をベースとする層はゲートとキャパシタ C s の前記絶縁体の上にある。ゲート材料をベースとするこの層のパターンを図 5 B に示すが、画素 P を選択するための前記ライン S L に対応するライン 1 0 6 を明確に有している。

20

【 0 0 8 5 】

1 0 7 a、1 0 7 b、1 0 7 c と表示した並列領域は、それぞれライン 1 0 6 に接続されている。図 4 にスタックで示したように、これらの並列領域 1 0 7 a、1 0 7 b、1 0 7 c は活性層の領域 1 0 0（図 5 A）の一部を覆い、スイッチングトランジスタ T F T 1 のためのマルチゲート構造を形成する。

【 0 0 8 6 】

ゲート材料をベースとする層は部分 1 0 8 と 1 0 9 をも有し、図 4 にスタックで示したように、第 1 のスイッチングトランジスタ T F T 2 a のゲートと第 2 のスイッチングトランジスタ T F T 2 b のゲートとにそれぞれ対応する活性層の領域 1 0 2 の一部を覆う。

【 0 0 8 7 】

「 L 」字の形をとっている、図 5 B で 1 1 0 と表示したゲート材料層の他の領域については、ストレージキャパシタ C s の第 2 の電極に対応する。第 1 のスイッチングトランジスタ T F T 2 a のゲートと第 2 のスイッチングトランジスタ T F T 2 b のゲートとにそれぞれ対応するゲート材料をベースとする層の部分 1 0 8 と 1 0 9 は、ゲート材料をベースとする層の領域 1 1 0 から分離される。

30

【 0 0 8 8 】

第 2 の電極については、前記隣接する画素 P ' の選択ライン S L ' に対応する、2 0 6 と表示したラインに接続されている。それによって、キャパシタの第 2 の電極と画素 P ' の選択ライン S L ' とは、同じ層、特にゲート材料層から接続および形成できる。

【 0 0 8 9 】

ライン 2 0 6 はキャパシタの第 2 の電極に対する固定電圧ラインか接地ラインとして使用される。本発明による画素は、特にストレージキャパシタの第 2 の電極に対する接地ラインまたは固定電圧ラインを専門とする役割を持った、いかなるラインも領域も有しない。この例では、その役割を果たし、かつ、隣接する画素 P ' のためにの選択ライン S L ' としても使用されるライン 2 0 6 がそれである。

40

【 0 0 9 0 】

領域 1 1 0 の 1 1 0 a と表示した部分は、基準直交座標系

【 0 0 9 1 】

【数 1 1】

$$[0; \vec{i}; \vec{j}]$$

【0 0 9 2】

の

【0 0 9 3】

【数 1 2】

$$\vec{i}$$

10

【0 0 9 4】

軸に平行な方向に延在し、そして「L」字形の横のバーを形成する。この部分 1 0 0 a は $50 \mu\text{m}$ 程度、例えば $58 \mu\text{m}$ である長さ d_1 を持ち、そして距離 d_1 と等しい距離に亘って隣接する画素 P' の選択ライン SL' に接触している。

【0 0 9 5】

キャパシタ C_s の第 2 の電極と隣接する画素の選択ライン SL' との間の接触距離は、キャパシタ C_s の形状に応じて変化する。

【0 0 9 6】

キャパシタの第 2 の電極と選択ライン SL' の間の接触距離は、例えば $120 \mu\text{m} \times 360 \mu\text{m}$ 規模の画素に対して例えば $10 \mu\text{m}$ から $90 \mu\text{m}$ が可能であり、あるいは、例えば最低で画素の幅の $1/5$ から最高で画素の幅の $4/5$ ままで可能である。キャパシタ C_s の第 2 の電極を形成する領域 1 1 0 は、 1.2 pF 程度のキャパシタの静電容量に対して、例えば $3,300 \mu\text{m}^2$ 程度の表面積を持つことができる。この領域 1 1 0 の 1 1 0 b と表示した他の部分は、「L」字形の横のバーを形成し、そして基準直交座標系

20

【0 0 9 7】

【数 1 3】

$$[0; \vec{i}; \vec{j}]$$

30

【0 0 9 8】

の

【0 0 9 9】

【数 1 4】

$$\vec{j}$$

【0 1 0 0】

軸に平行な方向に延在する。この部分 1 0 0 b は $60 \mu\text{m}$ 程度、例えば $67 \mu\text{m}$ である長さ d_1 を持つ。

40

【0 1 0 1】

本発明によって実施した画素は、「L」字の形状に限定されない。この「L」字形状により、キャパシタの第 2 の電極と、隣接する画素 P' の選択ライン SL' との間に、かなりの接触距離を保持することが可能となり、ストレージキャパシタ C_s の良好な電気的特性を可能にし、一方でその（ストレージキャパシタの）かさばりを制限することができる。

【0 1 0 2】

例えば SiO_2 などの誘電体材料（図示せず）をベースとする層は、ゲート材料をベースとする層 1 1 1 上に配置される。図 5 C に示したパターンの金属層が、誘電体材料をベースとする前記層の上に構築される。例えばモリブデンをベースとするこの金属層に、ラ

50

イン 1 1 2 が形成され、それは画素 P のデータライン D L に対応する。このデータライン D L に属する 1 1 4 と表示したノードは、1 1 5 と表示した縦のコンタクトまたはビアを通して、T F T 1 トランジスタのドレイン領域に電氣的に接続されている。

【 0 1 0 3 】

金属層としても形成された第 2 のノード 1 1 6 は、スイッチングトランジスタ T F T 1 のソース領域と第 1 の電流変調トランジスタ T F T 2 a のゲート 1 0 8 との間に、1 1 7 および 1 1 8 と表示した垂直のコンタクトまたはビアを通して接続を提供することができる。同じこの金属層において、1 2 1 および 1 2 2 と表示した垂直のコンタクトまたはビアを通した 1 2 0 と表示した第 3 の接続ノードは、第 1 の電流変調トランジスタ T F T 2 のソース領域と、O E L 発光ダイオードのためのアノードとして使用される 1 4 0 と表示した領域との間に電氣的接続を提供する。

10

【 0 1 0 4 】

1 2 4 と表示した第 4 の接続ノードについては、1 2 5 および 1 2 6 と表示した垂直のコンタクトを通して第 2 の電流変調トランジスタ T F T 2 b のソース領域と O E L ダイオードのアノード領域 1 4 0 との間に電氣的接続を提供する。

【 0 1 0 5 】

1 2 8 と表示した第 5 の接続ノードは同じく金属層で形成され、キャパシタ C s の第 1 の電極と電流変調トランジスタ T F T 2 a のゲート領域との間に、垂直のコンタクト 1 2 9 および 1 3 0 を通して接続を提供する役割を持っている。

【 0 1 0 6 】

20

ストレージキャパシタの第 1 の電極は、電流変調トランジスタ T F T 2 a の前記ゲートに接続し、またそれによって、制御信号を受け取ることができる。ストレージキャパシタの第 1 の電極と電流変調トランジスタ T F T 2 a のゲートは異なる層から形成される。

【 0 1 0 7 】

電流変調トランジスタ T F T a と T F T 2 b のバイアスライン P L に対応する 1 3 1 と表示したラインは、金属層にも形成される。垂直のコンタクト 1 3 3 を通して、このバイアスライン P L に属する 1 3 2 と表示した接続ノードは、トランジスタ T F T 2 a と T F T 2 b に共通のドレイン領域に電氣的に接続される。

【 0 1 0 8 】

この技術的スタックは、図 5 B に示した金属層と、さらに図 5 D に示した他の層の上に、さらにパシベーション層を有することができ、上記他の層はそのパシベーション層の上であって、O E L 発光ダイオードのアノードを形成する領域 1 4 0 が作られる。この領域 1 4 0 は I T O (インジウムスズ酸化物) をベースとし、そして図 5 D において基準直交座標系

30

【 0 1 0 9 】

【 数 1 5 】

$$[0 ; \vec{i} ; \vec{j}]$$

【 0 1 1 0 】

の

40

【 0 1 1 1 】

【 数 1 6 】

$$\vec{j}$$

【 0 1 1 2 】

軸に平行な方向に規定される、長さ L、例えば 2 5 0 μm 程度、例として 2 5 3 μm 程度の例えば長方形の形状を持つことができる。

【 0 1 1 3 】

50

例えば光放射を発することのできる A 1 q 3 をベースとし、キャリア（図示せず）の注入された有機物特性からなる少なくとも 1 つの層によって、図 4、および図 5 A ~ 図 5 D に示したスタックが、O E L 発光ダイオードのアノードを形成する I T O ベースの層の上に完成される。本発明によって実施された画素では、ストレージキャパシタ C s の第 2 の電極のためにいかなる特定の電力供給部もバイアスラインも使わない。この第 2 の電極が他の画素の選択ライン S L ' に接続されるのに応じて、技術的スタックについて今説明した画素は、従来技術による画素よりも少ない数のバスを持ち、そしてそれは前記画素のレイアウトにおけるスペースの利益を明確に提供してその開口率を改善し、あるいは、従来技術に比較して減少した大きさの画素の形成をおそらく実現することができる。

【 0 1 1 4 】

10

本発明による画素内のバスの数が減少するのに応じて、同一画素内で電気信号が転送されるバスまたはライン間の交差数も減少され、そしてそれらの交差に起因するある特定のノイズまたはクロストーク現象を明確に減少することができる。

【 0 1 1 5 】

図 6 は先に説明したタイプの、他の模範的な技術的スタックを示すが、それぞれの画素に含まれたストレージキャパシタの構造および形状のレベルが明確に異なっている。

【 0 1 1 6 】

この例では、画素内に含まれたストレージキャパシタ C s が、互いに並列配置された 2 つのキャパシタ C ' s 1 と C ' s 2 で形成されている、という点で、図 4 と関連して示したものとは異なっている。さらに、キャパシタ C ' s は長方形の形状（この図 6 に規定されている基準直交座標系

20

【 0 1 1 7 】

【 数 1 7 】

$$[0 ; \vec{i} ; \vec{j}]$$

【 0 1 1 8 】

の

【 0 1 1 9 】

【 数 1 8 】

30

$$\vec{j}$$

【 0 1 2 0 】

軸に平行な長軸）を持っており、またバイアスライン P L と発光ダイオードの電極 1 4 0 との間に配置されつつ構築される。

【 0 1 2 1 】

図 6 の技術的スタックは明確に活性層を有し、そのパターンを図 7 A に示す。その活性層のパターンは、4 0 4 と表示した領域において明確に、先に説明した模範的なスタックに含まれる活性層とは異なっており、キャパシタ C ' s 1 のための第 1 の電極を形成し、この例では、基準直交座標系

40

【 0 1 2 2 】

【 数 1 9 】

$$[0 ; \vec{i} ; \vec{j}]$$

【 0 1 2 3 】

の

【 0 1 2 4 】

【数 2 0】

 $\vec{j}$

【0 1 2 5】

軸に平行な長軸の長方形の形状を持つ。活性層の 4 0 2 と表示した領域は、変調トランジスタ T F T 2 a と T F T 2 b の活性層を形成し、キャパシタ C ' s 1 の第 1 の電極と、スイッチングトランジスタ T F T 1 の活性層の役割を果たす活性層の 4 0 0 と表示した他の領域と、の間に位置する。

【0 1 2 6】

図 6 の技術的スタックは、活性層の上に、4 1 1 と表示したゲート材料をベースとする層をも有し、そのパターンを図 7 B に示す。4 1 1 と表示したゲート材料をベースとする層のパターンの間で、基準直交座標系

【0 1 2 7】

【数 2 1】

 $[0; \vec{i}; \vec{j}]$

【0 1 2 8】

の

【0 1 2 9】

【数 2 2】

 $\vec{j}$

【0 1 3 0】

軸に平行な長軸の長方形をもつ形状の 4 1 0 と表示した領域が、キャパシタ C ' s 1 のための第 2 の電極を形成する。先に説明した画素の例としてのこの第 2 の電極は画素 P に隣接する他の画素 P ' の選択ライン S L ' に接続され、そのマトリクスの画素 P と同じ縦の列上に位置する。4 1 0 と表示した領域はキャパシタ C ' s 2 のための電極を形成する。ゲート材料層の領域は、4 0 8 および 4 0 9 と表示した部分を含み、第 1 の変調トランジスタ T F T 2 a のゲートと第 2 の変調トランジスタ T F T 2 b のゲートとを形成することができ、領域 4 1 0 と 1 0 7 a 、 1 0 7 b 、 1 0 7 c と表示した並列の領域との間に位置し、スイッチングトランジスタ T F T 1 のためのマルチゲート構造を形成する。

【0 1 3 1】

この技術的スタックは、ゲート材料 4 1 1 をベースとする層の上に位置する 4 3 5 と表示した金属層をさらに有し、そのパターンを図 7 C に示す。バイアスライン P L のみならずデータライン D L は、金属層 4 3 5 に明確に形成される。先に説明した模範的なスタックの金属層 2 3 5 に比較して、金属層 4 3 5 は、基準直交座標系

【0 1 3 2】

【数 2 3】

 $[0; \vec{i}; \vec{j}]$

【0 1 3 3】

の

【0 1 3 4】

10

20

30

40

【数 2 4】

 $\bar{j}$

【0135】

軸に平行な長軸をもつ長方形の形状の、436と表示した追加のパターンを明確に有する。パターン436はキャパシタC's 2のための他の電極を形成する。この第2の電極は、活性層405内に形成されたキャパシタC's 1の第1の電極に、437と表示したピアまたは垂直のコンタクトを通して接続されている。パターン436は金属層435内に形成された追加の他のパターン438に接続され、そしてピアまたは垂直のコンタクト439を通して第1の電流変調トランジスタTF T 2 bのゲートに接続される。

10

【0136】

これは、発光表面における利益を提供するようにコンタクト（埋設コンタクト）を作ることができるような、ここでの選択肢である。このタイプのコンタクトは、図5Cにおいて非常に良好に使うことができるであろう。

【0137】

図8Aおよび図8Bは、図3に関連して先に説明したマトリクスに含めたタイプの、画素の代案の技術的スタックを平面図によって示す。

【0138】

図8Aに、活性層から形成された領域500、502、504を示す。領域502は電流変調トランジスタのための活性領域として使用され、スイッチングトランジスタの活性領域の役割を果たす領域500とストレージキャパシタの第1の電極として使用される領域504との間に位置する。

20

【0139】

図8Bでは、活性層の上に位置したゲート材料をベースとする層と、層511の上に位置した他の金属層535とを示す。ゲート材料をベースとする層では、領域510が、例えば画素PのバイアスラインPLのその長軸に平行な長方形の形状に、明確に形成される。画素PのバイアスラインPLについては、金属層535に形成される。

【0140】

ゲート材料層の領域510は、ストレージキャパシタC'sの第2の電極を形成する。領域510と比較したバイアスラインPLのレイアウトは、領域510とラインPLの同じ平面上への直角投影が少なくとも部分的に一致するようなものである。領域510は垂直のコンタクト532を通してバイアスラインPLに電氣的に接続される。従ってバイアスラインPLは、キャパシタC'sの1つの電極に対する固定電圧ラインとして使用される。キャパシタC'sの他の電極（この図に示さない）は、金属層535に形成された相互接続537を通して、電流変調トランジスタTF T 2 aのゲートに連結または接続されている。

30

【0141】

この選択肢によれば、この技術的スタックにおいて、電流変調トランジスタTF T 2 aとTF T 2 bはスイッチングトランジスタとストレージキャパシタCsとの間に位置することができる。電流変調トランジスタTF T 2 aとTF T 2 b、およびストレージキャパシタCsは、バイアスラインPLと発光ダイオードとの間に位置することができる。

40

【図面の簡単な説明】

【0142】

【図1】従来技術によるOLED画素の電気回路図を示す。

【図2】本発明による模範的な画素マトリクスの電気回路図を示す。

【図3】本発明による模範的な画素マトリクスの電気回路図を示す。

【図4】本発明による画素のマトリクスにおいて構成される層の模範的なスタックを示す。

。

【図5A】上記のようなスタックの様々な層のパターンを示す。

50

【図 5 B】上記のようなスタックの様々な層のパターンを示す。

【図 5 C】上記のようなスタックの様々な層のパターンを示す。

【図 5 D】上記のようなスタックの様々な層のパターンを示す。

【図 6】本発明による画素の別のマトリクスにおいて構成される層の他のスタックを示す。

【図 7 A】上記のようなスタックの様々な層のパターンを示す。

【図 7 B】上記のようなスタックの様々な層のパターンを示す。

【図 7 C】上記のようなスタックの様々な層のパターンを示す。

【図 8 A】本発明によるさらに別の O L E D 画素マトリクスにおいて構成される層の他の模範的なスタックを示す。

【図 8 B】本発明によるさらに別の O L E D 画素マトリクスにおいて構成される層の他の模範的なスタックを示す。

【符号の説明】

【 0 1 4 3 】

1 0 発光ダイオード

1 1 トランジスタ

1 2 電流変調トランジスタ

T F T 2 a 第 1 の薄膜トランジスタ (電流変調手段)

T F T 2 b 第 2 の薄膜トランジスタ (電流変調手段)

T F T 1 薄膜トランジスタ

O E L O L E D タイプダイオード

C s ストレージキャパシタ (コンデンサ)

C ' s ストレージキャパシタ

C ' s 1 、 C ' c 2 キャパシタ

C ' ' s ストレージキャパシタはここでは

P L バイアスライン

D L データライン

D L ' ' データライン

S L 選択ライン

S L ' 選択ライン

P 画素

P ' 画素

v l i n 選択信号

V d d バイアス電圧

v s e l 選択信号

v d a t 制御電圧

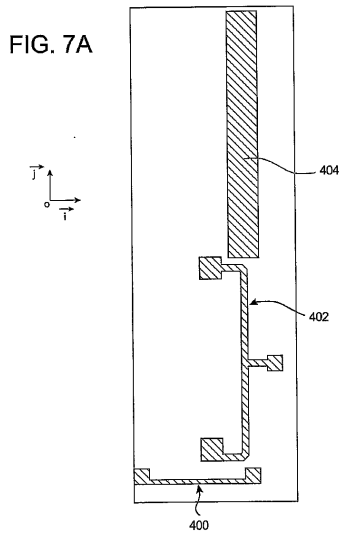
v s e l ' 隣接画素の選択信号

10

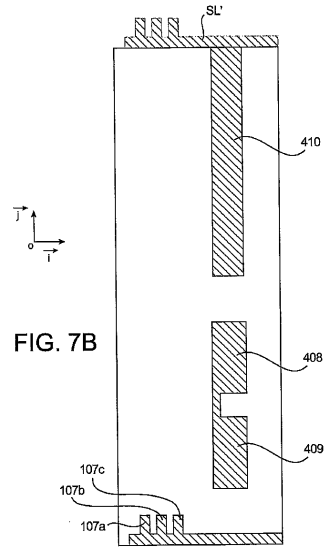
20

30

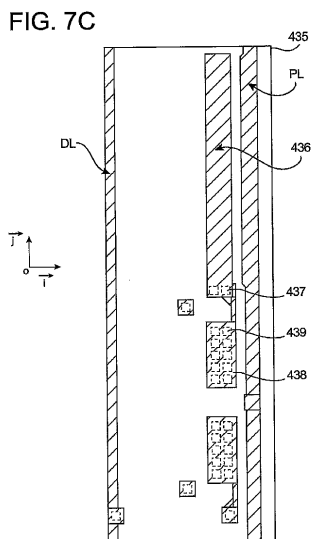
【図 7 A】



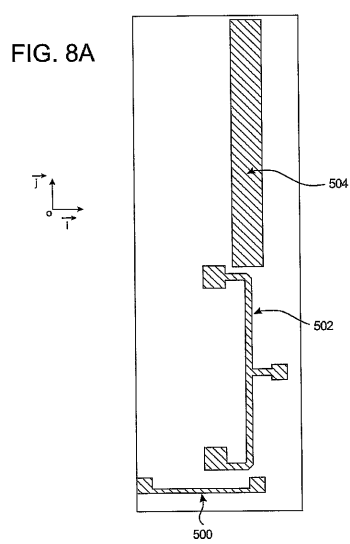
【図 7 B】



【図 7 C】



【図 8 A】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/FR2005/050456

A. CLASSIFICATION OF SUBJECT MATTER INV. G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/170944 A1 (KIMURA HAJIME) 11 September 2003 (2003-09-11)	1,4,8-11
Y	paragraphs [0075] - [0080], [0192] - [0199]; figures 1-5,13	6,7
A		2
X	US 2002/101177 A1 (BAE SUNG JOON ET AL) 1 August 2002 (2002-08-01)	4,8,9,11
	paragraphs [0049] - [0052]; figure 8	
X	US 2002/190924 A1 (ASANO MITSURU ET AL) 19 December 2002 (2002-12-19)	4,8,9,11
	paragraphs [0022] - [0026]; figure 1	
Y	US 2003/117059 A1 (KOO JAE-BON ET AL) 26 June 2003 (2003-06-26)	6,7
	paragraph [0048]; figure 3a	
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 27 July 2006		Date of mailing of the international search report 21/08/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gonzalez Ordenez, O

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2005/050456

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003170944 A1	11-09-2003	NONE	
US 2002101177 A1	01-08-2002	JP 2002258798 A KR 2002052136 A	11-09-2002 02-07-2002
US 2002190924 A1	19-12-2002	JP 2002215063 A	31-07-2002
US 2003117059 A1	26-06-2003	CN 1429056 A KR 2003054777 A	09-07-2003 02-07-2003

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2005/050456

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G09G3/32

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

G09G H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2003/170944 A1 (KIMURA HAJIME) 11 septembre 2003 (2003-09-11)	1,4,8-11
Y	alinéas [0075] - [0080], [0192] - [0199]; figures 1-5,13	6,7
A	-----	2
X	US 2002/101177 A1 (BAE SUNG JOON ET AL) 1 août 2002 (2002-08-01)	4,8,9,11
	alinéas [0049] - [0052]; figure 8	
X	US 2002/190924 A1 (ASANO MITSURU ET AL) 19 décembre 2002 (2002-12-19)	4,8,9,11
	alinéas [0022] - [0026]; figure 1	
Y	US 2003/117059 A1 (KOO JAE-BON ET AL) 26 juin 2003 (2003-06-26)	6,7
	alinéa [0048]; figure 3a	

☐ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

A document définissant l'état général de la technique, non considéré comme particulièrement pertinent

E document antérieur, mais publié à la date de dépôt international ou après cette date

L document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

O document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

P document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

27 juillet 2006

Date d'expédition du présent rapport de recherche internationale

21/08/2006

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentplan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Gonzalez Ordonez, O

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2005/050456

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2003170944	A1	11-09-2003	AUCUN	
US 2002101177	A1	01-08-2002	JP 2002258798 A KR 2002052136 A	11-09-2002 02-07-2002
US 2002190924	A1	19-12-2002	JP 2002215063 A	31-07-2002
US 2003117059	A1	26-06-2003	CN 1429056 A KR 2003054777 A	09-07-2003 02-07-2003

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ワリド・ベンツアルティ

フランス・F - 3 8 1 0 0・グルノーブル・リュ・ドゥ・スタリングラッド・5 5 ビス

Fターム(参考) 3K107 AA01 BB01 CC36 EE04 HH05

5C080 AA06 BB05 DD10 DD23 EE29 FF11 FF12 HH09 JJ03 JJ06

专利名称(译)	OLED像素布局		
公开(公告)号	JP2008502933A	公开(公告)日	2008-01-31
申请号	JP2007516017	申请日	2005-06-17
[标]申请(专利权)人(译)	原子能委员会		
申请(专利权)人(译)	コミツサリア タ レネルジー アトミック		
[标]发明人	ワリドベンツアルティ		
发明人	ワリド・ベンツアルティ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0842 G09G2300/0876 H01L27/326		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/30.K G09G3/20.641.D G09G3/20.611.D H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC36 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD10 5C080/DD23 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ03 5C080/JJ06		
代理人(译)	渡边 隆 村山彦		
优先权	2004051293 2004-06-18 FR		
外部链接	Espacenet		

摘要(译)

微电子器件技术领域本发明涉及微电子器件，其中产生光辐射并且尤其用于形成例如OLED型屏幕或显示器的增强像素。

