

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-122497

(P2008-122497A)

(43) 公開日 平成20年5月29日(2008.5.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611D	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 611A	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 14 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2006-303772 (P2006-303772)	(71) 出願人	000002185
(22) 出願日	平成18年11月9日 (2006.11.9)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	浅野 慎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	富田 昌嗣
			東京都品川区東五反田2丁目17番1号
			ソニーイーエムシーエス株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC14 CC33 CC35
			CC42 EE03 HH04 HH05
			5C080 AA06 BB05 DD10 DD26 EE29
			FF11 JJ02 JJ03 JJ04

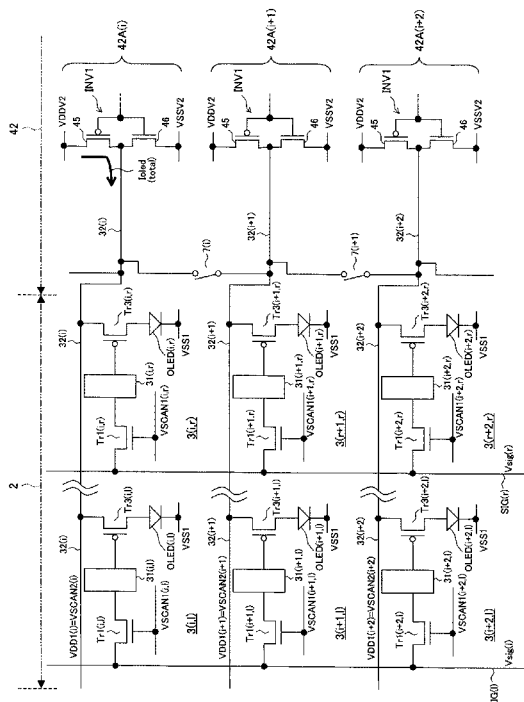
(54) 【発明の名称】 表示パネルの駆動回路、表示装置および画素回路の駆動方法

(57) 【要約】

【課題】クロストークを抑制して表示パネルの大型化、高精細化および低消費電力化を図る。

【解決手段】電流駆動される電気光学素子(OLED(i,j))を各々が含む画素回路3(i,j)がマトリクス状に配置されている表示パネル内で第1電源線32(i)に並列接続される画素回路群ごとに配置され、対応する画素回路群に接続する第1電源線と第2電源線との一方(電源線32(i))の電位を駆動レベル(VDDV2)と非駆動レベル(VSSV2)に交互に切り替えて、電気光学素子(OLED(i,j))に流す電流をAC駆動する複数の駆動ユニット42A(i)と、入力されるデータ電圧Vsigに応じて発光が制御される駆動対象の画素回路群に接続されてAC駆動される電源線(32(i))を含む、複数の第1電源線同士(32(i)と32(i+1))を短絡するスイッチ7(i)と、を有する。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

電流によって駆動される電気光学素子を各々が含む画素回路がマトリクス状に配置されている表示パネルの駆動回路であって、

前記表示パネル内で第 1 電源線と第 2 電源線との間に並列接続される画素回路群ごとに配置され、対応する画素回路群に接続する前記第 1 電源線と前記第 2 電源線との一方の電位を駆動レベルと非駆動レベルに交互に切り替えて、前記電気光学素子に流す電流を A C 駆動する複数の駆動ユニットと、

入力されるデータ電圧に応じて発光が制御される駆動対象の前記画素回路群に接続されて前記 A C 駆動される前記第 1 電源線あるいは前記第 2 電源線を含む、複数の第 1 電源線同士、または、複数の第 2 電源線同士を短絡するスイッチと、

を有する表示パネルの駆動回路。

【請求項 2】

前記動作対象の画素回路群に対応する前記駆動ユニットと、前記スイッチによって電源線が短絡される非動作対象の画素回路群に対応する一または複数の他の駆動ユニットを同時に動作させる

請求項 1 に記載の表示パネルの駆動回路。

【請求項 3】

前記駆動ユニットは出力段を有し、

前記出力段の入力レベルが所定の閾値より高いか低いかに応じて、前記スイッチを制御する

請求項 1 に記載の表示パネルの駆動回路。

【請求項 4】

前記スイッチが、A C 駆動される前記第 1 または第 2 電源線において、隣り合う 2 本の電源線間に接続され、

前記隣り合う電源線を各々駆動する 2 つの前記駆動ユニットに対し、一方の駆動ユニット内に備える前記出力段の入力レベルと、他方の駆動ユニット内に備える前記出力段の入力レベルとに基づいて、前記スイッチを制御する

請求項 3 に記載の表示パネルの駆動回路。

【請求項 5】

前記スイッチは、前記 A C 駆動される前記第 1 または第 2 電源線である駆動対象の電源線に対し、前記駆動ユニットが接続される側と反対側に接続され、

前記駆動対象の電源線にハイインピーダンスの結合回路が接続され、

前記結合回路の出力に基づいて前記スイッチを制御する

請求項 1 に記載の表示パネルの駆動回路。

【請求項 6】

前記スイッチは、前記 A C 駆動される前記第 1 または第 2 電源線である駆動対象の電源線に対し、前記駆動ユニットが接続される側と反対側で隣り合う 2 本の電源線間に接続されている P チャネル型の電界効果トランジスタであり、

前記駆動対象の電源線ごとに前記結合回路としてインバータが接続され、

前記隣り合う 2 本の電源線にそれぞれ設けられている 2 つの前記インバータの出力に基づいて前記スイッチを制御する

請求項 5 に記載の表示パネルの駆動回路。

【請求項 7】

前記インバータの出力と前記電界効果トランジスタのゲートとの間に、前記駆動対象の電源線が電位変化するより早く前記電界効果トランジスタのゲート制御論理を確定する論理回路が接続されている

請求項 6 に記載の表示パネルの駆動回路。

【請求項 8】

前記論理回路は、

10

20

30

40

50

前記 2 つのインバータの出力を入力する第 1 オアゲート回路と、

前記第 1 オアゲート回路の出力を一方入力で受け、他方入力に前記動作対象の電源線がハイレベルからローレベルに遷移する前にローレベルからハイレベルに遷移する制御信号が入力可能であり、出力に前記電界効果トランジスタのゲートが接続されている第 2 オアゲート回路と、

を含む請求項 7 に記載の表示パネルの駆動回路。

【請求項 9】

前記駆動対象の電源線と前記ハイインピーダンスの結合回路の入力との間に、前記駆動対象の電源線の電圧を前記駆動ユニットから出力される電源電圧に近づける電圧補償回路が接続されている

10

請求項 5 に記載の表示パネルの駆動回路。

【請求項 10】

前記駆動ユニットは、前記電気光学素子が接続されている前記画素回路内の経路に第 1 電源電圧と第 2 電源電圧を印加して前記電気光学素子に駆動電流を流す際に、前記第 1 電源電圧と前記第 2 電源電圧の一方を“H”レベル電位と“L”レベル電位の 2 値で切り替える AC 駆動を行い、

前記“H”レベルと前記“L”レベルの一方と、前記第 1 および第 2 電源電圧のうち AC 駆動されない電源電圧の電位との電位差により、前記電気光学素子に電流が供給され、前記“H”レベルと前記“L”レベルの他方の電位と、前記 AC 駆動されない電源電圧の電位との電位差では前記電気光学素子に電流が流れないように、前記“H”レベルおよび前記“L”レベルと、前記 AC 駆動されない電源電圧の電位との相対的電位差が決められている

20

請求項 1 に記載の表示パネルの駆動回路。

【請求項 11】

前記画素回路は、

前記第 1 電源線と前記第 2 電源線との間に縦続接続されている P チャネル型の駆動トランジスタおよび前記電気光学素子と、

前記駆動トランジスタのゲートと信号入力線との間に結合キャパシタを介して接続されているスイッチング・トランジスタと、

前記結合キャパシタと前記スイッチング・トランジスタとの接続ノードと所定電圧との間に接続されている保持キャパシタと、

30

前記接続ノードとオフセット電圧の供給線との間に接続されているオフセット・トランジスタと、

前記駆動トランジスタのゲートとドレインとの間に接続されているシャント・トランジスタと、

を含む請求項 1 に記載の表示パネルの駆動回路。

【請求項 12】

前記画素回路は、

前記第 1 電源線と前記第 2 電源線との間に縦続接続されている N チャネル型の駆動トランジスタおよび前記電気光学素子と、

40

前記駆動トランジスタのゲートと信号入力線との間に接続されているスイッチング・トランジスタと、

前記駆動トランジスタのゲートとソース間に接続されている保持キャパシタと、

前記駆動トランジスタのゲートとオフセット電圧の供給線との間に接続されているオフセット・トランジスタと、

を含む請求項 1 に記載の表示パネルの駆動回路。

【請求項 13】

第 1 電源線および第 2 電源線の電位差により発生する電流によって駆動される電気光学素子を画素回路ごとに含む画素回路群を行表示の単位として有する表示部と、

前記表示部を駆動する駆動部と、

50

を備え、

前記駆動部が、

前記画素回路群ごとに設けられ、前記第 1 電源線と前記第 2 電源線の一方の電位を駆動レベルと非駆動レベルに交互に切り替えて A C 駆動する複数の駆動ユニットと、

入力されるデータ電圧に応じて発光が制御される駆動対象の前記画素回路群に接続されて前記 A C 駆動される前記第 1 電源線あるいは前記第 2 電源線を含む、複数の第 1 電源線同士、または、複数の第 2 電源線同士を短絡するスイッチと、

を有する表示装置。

【請求項 14】

共通の電源線に並列に接続され、各々が電気光学素子を含む複数の画素回路を、前記電源線の印加電圧により電流駆動する画素回路の駆動方法であって、

前記電源線の一方端側で印加電圧を駆動レベルと非駆動レベルに交互に切り替える A C 駆動のステップと、

前記電源線の前記一方端側または他方端側で、前記 A C 駆動される前記電源線の電位変化に应答して、当該駆動対象の前記画素回路群に接続されて前記 A C 駆動される電源線を含む、複数の電源線同士を短絡する電源線短絡のステップと、

を有する画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流によって駆動される電気光学素子を各々を含む画素回路がマトリクス状に配置されている表示パネルの駆動回路、表示装置、ならびに、画素回路の駆動方法に関する。

【背景技術】

【0002】

電流駆動により画素を駆動する表示装置（ディスプレイ）としては、赤（R）、緑（G）、青（B）の LED 部品を集積化している画素ユニットをマトリクス状に配置して、主に屋外ディスプレイに用いられるもの（以下、単に「LED ディスプレイ」という）の他に、いわゆる有機 EL ディスプレイが知られている。

有機 EL ディスプレイは、複数の画素回路をマトリクス状に配置する表示部と、その駆動部とを、1 枚の基板に半導体プロセス技術を用いて TFT (thin film transistor) により形成した表示パネルを有する。あるいは、表示パネルの駆動回路はフレキシブル基板により提供され、両者の電氣的接続を行う。

【0003】

有機 EL ディスプレイの画素回路は様々なものが提案されている（例えば、特許文献 1、2 参照）。

主なものでは 4 トランジスタ（4 T）・1 キャパシタ（1 C）型や 4 T・2 C 型（上記特許文献 1）、5 T・1 C 型や 3 T・1 C 型（上記特許文献 2）などが知られている。

【0004】

これらは何れも TFT の特性バラツキに起因する画質低下を防止するものであり、画素回路内部で駆動電流を一定に制御し、これによって画面全体のユニフォミティを向上させることを目的とする。とくに画素回路内で有機 LED を電源に接続するとき、入力する映像信号の画素データに応じて電流量を制御する駆動トランジスタの特性バラツキが、直接的に有機 LED の発光輝度に影響を与える。このため、駆動トランジスタの特性、すなわち閾値電圧の補正を行う必要がある。さらには、閾値電圧補正を前提として、駆動トランジスタの電流駆動能力から閾値バラツキ起因成分等を減じた駆動能力成分（一般には、移動度と称されている）を補正すると、より一層高いユニフォミティが得られる。

【0005】

このような補正機能を画素回路ごとに持たせると、一般には、画素回路内のトランジスタ数やキャパシタ数が増加する。また、より高い補正精度にするには、さらに画素回路の

10

20

30

40

50

素子数が増える傾向にある。

【 0 0 0 6 】

ところで、駆動部の構成も種々知られている。

前述した特許文献 1 および 2 に開示されているように、表示部はアクティブマトリックス駆動され、駆動部として、表示部の水平辺（画面の横方向）に沿って配置される水平駆動回路（H スキャナ）と、垂直辺（画面の縦方向）に沿って配置される垂直駆動回路（V スキャナ）とを備える有機 E L ディスプレイが一般的である。

【 0 0 0 7 】

ところが、特許文献 1 や 2 に開示されている画素回路は、発光時間の終点制御等の目的で設けられ、有機 L E D の駆動電流経路の遮断を制御するためだけにトランジスタを有することから、その分、画素回路の面積が大きい。

10

【 0 0 0 8 】

電流遮断制御のトランジスタを画素回路から削除するためには、電源線をハイレベルとローレベルで電位変化させる、電源供給の A C 駆動を行うとよい。

A C 駆動のためには、スキャナが電源供給の A C 駆動のために必要となる。ただし、電流遮断制御のトランジスタを画素回路ごとに有する上記特許文献 1 や 2 のディスプレイにおいても、電流遮断制御のトランジスタをオンまたはオフさせるスキャナが必要であるため、スキャナ数は変わらない。

よって、この電源供給の A C 駆動の技術は、画素回路の内のトランジスタを減らし表示部の画素集積度を上げて高精細化しても、駆動部の回路規模は増大しないという利点がある。

20

【特許文献 1】特表 2 0 0 2 - 5 1 4 3 2 0 号公報

【特許文献 2】特開 2 0 0 5 - 3 4 5 7 2 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

L E D ディスプレイや有機 E L ディスプレイ等の電流駆動型の表示装置は、他のタイプの表示装置と同様に大画面化、高精細化の要求が強い。特に有機 E L ディスプレイは、上述した T F T に起因するトランジスタ特性バラツキ、有機（L E D）薄膜の特性低下によって大画面化、高精細化が困難とされてきたが、近年、画素回路改良や有機薄膜の膜質の改善が進み、テレビジョン受像やビデオ再生に適した大画面化および高精細化への期待が高まっている。

30

【 0 0 1 0 】

前述した電源供給を A C 駆動する画素回路は、トランジスタ数の削減により、この期待に応えるものであるが、その一方で、以下の欠点がある。

表示画面が大きくなり、あるいは高精細化すると、スキャナにより A C 駆動する電源線の負荷が大きくなり、とくに配線抵抗により画素回路に印加する電源電圧の電圧降下が顕著になる。駆動回路が表示部の T F T と同じプロセスで同一基板に形成されている有機 E L ディスプレイの場合、その基板の多層配線構造内に電源線が形成される。また、有機 E L ディスプレイは電流駆動のため、配線抵抗が大きいと、その影響が電源電圧の電圧降下に顕著に現れる。この電源電圧の電圧降下を抑制するには、大画面化、高精細化の進展とともに電源線の配線抵抗を下げる必要があるが、基板に形成される多層配線構造では、その対策がとりにくい。

40

【 0 0 1 1 】

電源供給の A C 駆動のためのスキャナを、V スキャナのの一つとして例えば表示部の水平方向の一方側に 1 つ配置すると、当該スキャナから距離が遠くなる表示部の他方端側ほど上記電源電圧の電圧降下が著しい。

なお、電源駆動以外の他のスキャナは、一般的に、映像信号（画素データ）のサンプリングや補正等のために画素回路内に設けられている M O S トランジスタの絶縁ゲートに接続されるため、駆動電流が余り流れない。つまり、上記電圧降下の不利益は、A C 駆動さ

50

れる電源線に特有である。

【 0 0 1 2 】

この電源線の電圧降下が著しいと、スキャナに近い側と遠い側で、徐々に有機 L E D (画素) の輝度差が変化する。これはユニフォミティ低下現象の一種であり、一般に、シェーディングと称される画質低下の原因となる。

【 0 0 1 3 】

図 1 (A) および図 1 (B) はシェーディングの説明図である。

図 1 (A) に映像信号が持つ輝度を、表示配列に合わせて模式的に示す。また、図 1 (B) に、表示映像の画素の輝度を示す。ここで白抜きは輝度が高く、斜線は輝度が低いことを表している。

図 1 (B) に示すように、水平方向のアドレス r の画素カラムがスキャナに最も近い画素カラムであり、水平方向のアドレス l の画素カラムがスキャナに最も遠い。これらの 2 つの画素カラムは、表示前の映像信号の輝度差でみると差がない場合であっても (図 1 (A))、実際にパネルに表示させると、図 1 (B) に示すように、スキャナまでの距離が異なると輝度差が明確に生じる (シェーディング)。

【 0 0 1 4 】

一方、シェーディングが生じない場合でも、ある行の画素回路群を駆動して当該行の映像を表示し、次に隣の行の画素回路群を駆動して当該行の映像を表示するときに、各行に供給される映像信号のデータ電圧が異なるため、電源線の駆動時負荷が異なり、よって電源線に流れる電流量が異なる。これは上記 2 つの行間で隣接する画素回路対で表示しようとするデータ輝度が異なるためである。そのデータ輝度差の 1 行分の総和が、およそ、駆動電流の差となって生じる。

このため、2 行間で輝度差がある画素対では目立たないが、もともとと同じ輝度差で表示しようとする画素対が表示映像では同じ輝度 (明るさ) にならない現象が生じる。これはユニフォミティ低下現象の一種であり、映像信号差による表示画素干渉という意味で、一般に、クロストークと称される。

【 0 0 1 5 】

図 2 (A) および図 2 (B) はクロストークの説明図である。

図 1 と同様、図 2 (A) に映像信号が持つ輝度を、表示配列に合わせて模式的に示す。また、図 2 (B) に、表示映像の画素の輝度を示す。ここで白抜きは輝度が高く、斜線は輝度が低いことを表している。また、網目は、輝度がさらに低いことを表している。

図 2 (B) に示すように、水平方向のアドレス r の画素カラムがスキャナに最も近く、水平方向のアドレス l の画素カラムがスキャナに最も遠い。これらの 2 つの画素カラムは、表示前の映像信号の輝度差でみると差がない場合であっても (図 2 (A))、実際にパネルに表示させると、図 2 (B) に示すように、画素行間で、映像信号に輝度差がない場合でも実際の表示画面では輝度差が生じることがある (クロストーク)。

【 0 0 1 6 】

画素回路の構成によるが、低い輝度のデータ電圧が入力される場合に、より多くの駆動電流が有機発光ダイオードに流れる。この場合、図 2 に示す第 $(i+1)$ 行の画素群で、多くの駆動電流を消費する低輝度表示の画素 (網目部分) の割合が高いと、高輝度表示でかつ隣接画素と同じ輝度表示をさせようとする第 $(i+1)$ 行、第 1 列の画素において、隣の画素との輝度ムラが生じることがある。この表示映像上の輝度ムラ (クロストーク) は、上述したシェーディングの原因である電源線の配線抵抗が大きいと増強されるため、スキャナから遠いほど生じやすい傾向がある。

クロストークは、上記シェーディングと共に、電流駆動の電気光学素子を自発光させるディスプレイの大画面化、高精細化の進展を阻害している。

【 0 0 1 7 】

クロストークの対策は、スキャナの駆動能力を大きくすることであるが、スキャナの駆動能力を大きくすると回路規模が増大し、これがコスト増の要因となる。また、クロストークは特定の条件で発生するため、この条件が揃わない多くの画面部分では、このような

10

20

30

40

50

大きな駆動能力を一律に持たせることが能力の過剰（オーバーヘッド）となり無駄が多い。

【 0 0 1 8 】

本発明が解決しようとする課題は、表示行間で消費される駆動電流の大きさの違いに起因する隣接画素行間の輝度ムラ（クロストーク）を抑制して表示部の大型化、高精細化および低消費電力化が可能な表示装置を提供することである。

【課題を解決するための手段】

【 0 0 1 9 】

本発明に係る表示パネルの駆動回路は、電流によって駆動される電気光学素子を各々が含む画素回路がマトリクス状に配置されている表示パネルの駆動回路であって、前記表示パネル内で第 1 電源線と第 2 電源線との間に並列接続される画素回路群ごとに配置され、対応する画素回路群に接続する前記第 1 電源線と前記第 2 電源線との一方の電位を駆動レベルと非駆動レベルに交互に切り替えて、前記電気光学素子に流す電流を A C 駆動する複数の駆動ユニットと、入力されるデータ電圧に応じて発光が制御される駆動対象の前記画素回路群に接続されて前記 A C 駆動される前記第 1 電源線あるいは前記第 2 電源線を含む、複数の第 1 電源線同士、または、複数の第 2 電源線同士を短絡するスイッチと、を有する。

10

【 0 0 2 0 】

本発明の一実施形態では好適に、前記動作対象の画素回路群に対応する前記駆動ユニットと、前記スイッチによって電源線が短絡される非動作対象の画素回路群に対応する一または複数の他の駆動ユニットを同時に動作させる。

20

本発明の一実施形態では好適に、前記駆動ユニットは出力段を有し、前記出力段の入力レベルが所定の閾値より高いか低いかに応じて、前記スイッチを制御する。

【 0 0 2 1 】

他の実施形態としては、本発明は好適に、前記スイッチが、A C 駆動される前記第 1 または第 2 電源線において、隣り合う 2 本の電源線間に接続され、前記隣り合う電源線を各々駆動する 2 つの前記駆動ユニットに対し、一方の駆動ユニット内に備える前記出力段の入力レベルと、他方の駆動ユニット内に備える前記出力段の入力レベルとに基づいて、前記スイッチを制御する。

【 0 0 2 2 】

30

他の実施形態として、本発明は好適に、前記スイッチは、前記 A C 駆動される前記第 1 または第 2 電源線である駆動対象の電源線に対し、前記駆動ユニットが接続される側と反対側に接続され、前記駆動対象の電源線にハイインピーダンスの結合回路が接続され、前記結合回路の出力に基づいて前記スイッチを制御する。

この実施形態において、好ましくは、前記スイッチは、前記 A C 駆動される前記第 1 または第 2 電源線である駆動対象の電源線に対し、前記駆動ユニットが接続される側と反対側で隣り合う 2 本の電源線間に接続されている P チャネル型の電界効果トランジスタであり、前記駆動対象の電源線ごとに前記結合回路としてインバータが接続され、前記隣り合う 2 本の電源線にそれぞれ設けられている 2 つの前記インバータの出力に基づいて前記スイッチを制御する。

40

また、好ましくは、前記インバータの出力と前記電界効果トランジスタのゲートとの間に、前記駆動対象の電源線が電位変化するより早く前記電界効果トランジスタのゲート制御論理を確定する論理回路が接続されている。

さらに好ましくは、前記論理回路は、前記 2 つのインバータの出力を入力する第 1 オアゲート回路と、前記第 1 オアゲート回路の出力を一方入力で受け、他方入力に前記動作対象の電源線がハイレベルからローレベルに遷移する前にローレベルからハイレベルに遷移する制御信号が入力可能であり、出力に前記電界効果トランジスタのゲートが接続されている第 2 オアゲート回路と、を含む。

また、好ましくは、前記駆動対象の電源線と前記ハイインピーダンスの結合回路の入力との間に、前記駆動対象の電源線の電圧を前記駆動ユニットから出力される電源電圧に近

50

づける電圧補償回路が接続されている。

【0023】

本発明に係る表示装置は、第1電源線および第2電源線の電位差により発生する電流によって駆動される電気光学素子を画素回路ごとを含む画素回路群を行表示の単位として有する表示部と、前記表示部を駆動する駆動部と、を備え、前記駆動部が、前記画素回路群ごとに設けられ、前記第1電源線と前記第2電源線の一方の電位を駆動レベルと非駆動レベルに交互に切り替えてAC駆動する複数の駆動ユニットと、入力されるデータ電圧に応じて発光が制御される駆動対象の前記画素回路群に接続されて前記AC駆動される前記第1電源線あるいは前記第2電源線を含む、複数の第1電源線同士、または、複数の第2電源線同士を短絡するスイッチと、を有する。

10

【0024】

本発明に係る画素回路の駆動方法は、共通の電源線に並列に接続され、各々が電気光学素子を含む複数の画素回路を、前記電源線の印加電圧により電流駆動する画素回路の駆動方法であって、前記電源線の一方端側で印加電圧を駆動レベルと非駆動レベルに交互に切り替えるAC駆動のステップと、前記電源線の前記一方端側または他方端側で、前記AC駆動される前記電源線の電位変化に応答して、当該駆動対象の前記画素回路群に接続されて前記AC駆動される電源線を含む、複数の電源線同士を短絡する電源線短絡のステップと、を有する。

【0025】

以上の構成によれば、ある画素行を駆動する際に、駆動対象の画素回路群が非駆動対象の画素回路群と電氣的に接続される。このため、何も対策されない場合はクロストークが生じるような、同程度の輝度で発光する画素対で、電流駆動時の負荷のばらつきが抑制または低減される。

20

【発明の効果】

【0026】

本発明によれば、いわゆるクロストークと呼ばれる画面の輝度ムラを抑制して表示部の大型化、高精細化および低消費電力な表示パネルの駆動回路、表示装置、および、画素回路の駆動方法を提供できる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態を、有機発光ダイオード（有機LED）を電気光学素子として画素回路ごとを含む有機ELディスプレイを例として図面を参照して説明する。なお、本発明は有機ELディスプレイに限らず、たとえば個別部品のLEDを実装して画素ユニットを構成したLEDディスプレイ等、電流駆動の電気光学素子を画素回路に含む表示装置に広く適用できる。

30

【0028】

図3に、実施形態に関わる有機ELディスプレイの主要な構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路（PIXEL）3がマトリクス状に配置されている表示部2と、表示部2を動作する各種回路を含む周辺回路部とを有する。図3には、周辺回路部内の垂直駆動回路（Vスキャナ）4が示されている。

40

なお、図3に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向（縦方向）のアドレスiと、水平方向（横方向）のアドレスjを持つことを意味する。これらのアドレスiとjは共に1以上の整数をとる。このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【0029】

後述するように画素回路3(i,j)の構成に応じて、Vスキャナ4が走査して電圧供給すべき画素回路の制御ノード数は異なる。ここでは一例として、画素回路の制御ノード数は4であり、それに対応してVスキャナ4は4つのスキャナ、すなわち第1スキャナ（V.SCAN.1）41、第2スキャナ（V.SCAN.2）42、第3スキャナ（V.SCAN.3）43、および、第4スキャナ（V.SCAN.4）44を含む。

50

【0030】

第1スキヤナ41は、第1スキャン信号VSCAN1(1), VSCAN1(2), VSCAN1(3), ... (以下、VSCAN1(i)と表記)を、例えばこの順で表示部2に供給する。同様に、第2スキヤナ42は、第2スキャン信号VSCAN2(1), VSCAN2(2), VSCAN2(3), ... (以下、VSCAN2(i)と表記)を、例えばこの順で表示部2に供給する。また、第3スキヤナ43は、第3スキャン信号VSCAN3(1), VSCAN3(2), VSCAN3(3), ... (以下、VSCAN3(i)と表記)を、例えばこの順で表示部2に供給する。

【0031】

垂直アドレス $i = 1$ を持ち第1行に配列されている複数の画素回路3(1,j)に、第1スキャン信号VSCAN1(1)が第1スキヤナ41から並列に入力され、第2スキャン信号VSCAN2(1)が第2スキヤナ42から並列に入力され、第3スキャン信号VSCAN3(1)が第3スキヤナ43から並列に入力され、第4スキャン信号VSCAN4(1)が第4スキヤナ44から並列に入力されることが可能に、4本の走査線が接続されている。

このことは第2行の画素回路3(2,j)に入力される4本の走査線、さらには、第3行の画素回路3(3,j)に入力される4本の走査線についても同様である。

【0032】

第1列の画素回路3(i,1)は、その各信号入力ノードが第1信号線SIG(1)に共通接続されている。同様に、第2列の画素回路3(i,2)は、その各信号入力ノードが第2信号線SIG(2)に共通接続され、第3列の画素回路3(i,3)は、その各信号入力ノードが第3信号線SIG(3)に共通接続されている。

これらの信号線SIG(1), SIG(2), SIG(3), ... (以下、信号入力線SIG(j)という)に対し、表示行(表示ラインともいう)を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の信号入力線SIG(j)に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

なお、カラー表示の場合、赤(R), 緑(G), 青(B)ごとに画素回路が割り当てられ、その3色を1組として駆動を行う。

【0033】

図4(A)と図4(B)に、概略的な画素回路の構成と、2つのAC駆動方法を示す。

図解する第i行, 第j列の画素回路3(i,j)は、電気光学素子としての有機発光ダイオードOLED(i,j)、NMOSトランジスタからなるトランジスタTr1、PMOSトランジスタからなるトランジスタTr3、および、補正部31(i,j)を有する。

【0034】

有機発光ダイオードOLED(i,j)は、特に図示しないが、例えば、透明ガラス等からなる基板の上に、透明導電層などからなる第1電極(アノード電極)、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機膜を構成する積層体を形成し、この積層体の上に第2電極(カソード電極)を形成した構造を有する。アノード電極が正側の第1電源に接続され、カソード電極が負側の第2電源に接続される。これらの電極間に所定のバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に自発光する。有機発光ダイオードOLEDは、有機膜を構成する有機材料を適宜選択することで赤(R), 緑(G), 青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR, G, Bの発光が可能に配列することで、カラー表示が可能となる。

【0035】

図4(A)および図4(B)において、有機発光ダイオードOLED(i,j)のカソードが第2電源電圧VSS1に接続されている。

トランジスタTr3は、有機発光ダイオードOLED(i,j)のアノードと第1電源電圧VDD1との間に接続されている。トランジスタTr3は、第1電源電圧VDD1と第2電源電圧VSS1との電位差に応じて流れる駆動電流量を制御することから、以下、“駆動トランジスタ”と称する。

【0036】

10

20

30

40

50

駆動トランジスタ T_r3 の特性、特に閾値電圧 V_t は、有機発光ダイオード $OLED(i,j)$ の駆動電流量に直接的に影響し、この閾値電圧 V_t がばらつくと、有機発光ダイオード $OLED(i,j)$ の発光輝度もばらつく。また、さらに発光輝度の均一性を上げるには、いわゆる移動度 μ と呼ばれているデバイス特性のパラツキも抑制する必要がある。

【0037】

補正部31(i,j)は、これらのパラツキ補正のために設けられ、本実施形態で、その構成は任意である。

補正部31(i,j)はトランジスタ T_r1 のソースとドレインの一方と、駆動トランジスタ T_r3 のゲートとの間に接続されている。ただし、図解する、この接続は一般的に示すもので、より正確には、有機発光ダイオード $OLED(i,j)$ のアノードと駆動トランジスタ T_r3 のゲート間等に接続される素子(キャパシタやトランジスタ等)が、この補正部31(i,j)に含まれる。なお、後述する画素回路例で、補正部の具体的構成を述べる。

10

【0038】

トランジスタ T_r1 のソースとドレインのもう片方は、信号入力線 $SIG(j)$ に接続されている。信号入力線 $SIG(j)$ に、不図示のHスキャナ等からデータ電圧 $Vsig(j)$ が印加される。トランジスタ T_r1 は、このデータ電圧印加期間の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、データ電圧 $Vsig(j)$ を有効レベルとするデータパルスの先頭または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

また、トランジスタ T_r1 は、補正部31(i,j)内の、例えばオフセットレベル(初期レベル)を取り込むトランジスタと兼用されることがある。その場合、信号入力線 $SIG(j)$ に、このオフセットレベルとデータ電圧 $Vsig(j)$ を交互に印加する必要があり、その役目は不図示のHスキャナが担う。

20

【0039】

図4(A)では、第1電源電圧 $VDD1$ をAC駆動する。駆動トランジスタ T_r3 のソースに、第1電源電圧 $VDD1$ として2値変化する第2スキャン信号(以下、電源スキャン信号という) $VSCAN2(i)$ が印加される。この信号は、図2の第2スキャナ42から第1行の画素回路3(1,j)に並列に供給され、図4(A)に示すように、第2電源電圧 $VSS1$ と同等なローレベル $VSSV2$ と、それより十分高いハイレベル $VDDV2$ との何れかを持つ。電源スキャン信号 $VSCAN2(i)$ がハイレベル $VDDV2$ を持つとき、有機発光ダイオード $OLED(i,j)$ が発光可能である。このため $VDDV2$ が駆動レベル、 $VSSV2$ が非駆動レベルである。

30

【0040】

図4(B)では、第2電源電圧 $VSS1$ をAC駆動する。有機発光ダイオード $OLED(i,j)$ のカソードに、第2電源電圧 $VSS1$ として2値変化する $VSCAN2(i)$ が印加される。この信号は、図4(B)に示すように、図4(A)の電源パルスを反転した信号として、図2の第2スキャナ42から第1行の画素回路3(1,j)に並列に供給される。よって、駆動レベルと非駆動レベルの関係が、上記図4(A)の場合と逆になる。この場合、有機発光ダイオード $OLED(i,j)$ のカソード電位を引き下げることによって、当該LEDが発光可能である。

40

【0041】

ここで駆動トランジスタ T_r3 を通して供給される駆動電流は、駆動トランジスタ T_r3 のゲート-ソース間電圧 V_{gs} に依存して、その電流量が制御される。ゲート電位が上がるとゲート-ソース間電圧 V_{gs} が小さくなって駆動トランジスタ T_r3 の駆動電流量が減少する。逆に、ゲート電位が下がるとゲート-ソース間電圧 V_{gs} が大きくなって駆動トランジスタ T_r3 の駆動電流量が増加する。

【0042】

概略的な動作を、閾値電圧 V_t 補正を行う場合で説明すると、以下の如くである。

駆動トランジスタ T_r3 のゲートには、信号入力線 $SIG(j)$ からのデータ電圧 $Vsig(j)$ がサンプリング・トランジスタ T_r1 でサンプリングされた後、補正部31(i,j)を通

50

て印加される。

より詳しくは、サンプリングの前に、補正部 3 1 (i, j) 内の保持キャパシタ（不図示）によって、駆動トランジスタ T_{r3} のゲート電位が、その閾値電圧 V_t のレベルで保持され、その状態のゲートにサンプリング後のデータ電圧 $V_{sig}(j)$ が加わるため、ゲート電位は “ $V_t + V_{sig}(j)$ ” となって保持される。このときのデータ電圧 $V_{sig}(j)$ の大きさに応じて駆動トランジスタ T_{r3} がオンする。閾値電圧 V_t が大きくオンし難い駆動トランジスタ T_{r3} の場合は “ $V_t + V_{sig}(j)$ ” も大きい、逆に、閾値電圧 V_t が小さくオンし易い駆動トランジスタ T_{r3} の場合は “ $V_t + V_{sig}(j)$ ” も小さい。よって駆動電流から閾値電圧 V_t のバラツキの影響が排除され、データ電圧 $V_{sig}(j)$ が一定ならば、駆動電流も一定となる。

10

この一定な電流値に駆動されて有機発光ダイオード $OLED(i, j)$ が発光する。

【 0 0 4 3 】

図 4 (A) および図 4 (B) に示す A C 駆動パルス波形における期間 T は、有機発光ダイオード $OLED(i, j)$ に電流を流さない非駆動期間を規定するものであるが、この期間 T の間に補正部 3 1 (i, j) により補正動作の大部分が行われる。また、期間 T の前エッジは、その前の動作サイクルにおける有機発光ダイオード $OLED(i, j)$ の発光時間の終点を制御する。期間 T の長さは、この補正と発光時間制御という 2 つの観点から決められる。

【 0 0 4 4 】

なお、トランジスタ T_{r1} を P M O S トランジスタ、駆動トランジスタ T_{r3} を N M O S トランジスタとすることもできる。

20

また、個別部品の L E D を発光させる L E D ディスプレイでは、製品として駆動トランジスタ T_{r3} のバラツキが保証されている場合、補正部 3 1 (i, j) を省略可能である。

【 0 0 4 5 】

図 5 は、画素回路 3 (1, j) を行単位で A C 電源駆動する際の不都合を説明するための図である。

表示部 2 は図 4 (A) に示す画素回路 3 (i, j) がマトリクス状に配置されている。表示部 2 の水平方向（横方向）の一方側に、電源線 3 2 (i) を A C 駆動する第 2 スキャナ 4 2 が配置されている。ここで図 5 では、第 2 スキャナ 4 2 に最も近い第 r 列の画素回路 3 (i, r) と、第 2 スキャナ 4 2 から最も遠い第 1 列の画素回路 3 (i, l) のみ示す。

30

第 2 スキャナ 4 2 は、画素回路の行ごとに、第 1 電源電圧 V_{DD1} の電源線 3 2 (i) を A C 駆動する駆動ユニット 4 2 A (i) を備える。駆動ユニット 4 2 A (i) は、その出力段にインバータ $INV1$ （バッファでも可）を有する。インバータ $INV1$ は、ハイレベル V_{DDV2} の電源線とローレベル V_{SSV2} の電源線との間に縦続接続されている P M O S トランジスタ 4 5 と N M O S トランジスタ 4 6 を有する。インバータ $INV1$ は、その出力が第 1 電源電圧 V_{DD1} の電源線 3 2 (i) に接続され、電源線 3 2 (i) を電源スキャン信号 $V_{SCAN2}(i)$ で A C 駆動する。

【 0 0 4 6 】

ここで画素行と同じ数だけ駆動ユニット 4 2 A (i), 4 2 A (i+1), 4 2 A (i+3), ... が設けられおり、どの駆動ユニットも構成が同じで、駆動能力も等しい。

40

ただし、入力される映像信号に応じて駆動時の負荷が異なり、したがって各駆動ユニット 4 2 A (i) が対応する電源線 3 2 (i) に流すトータルの駆動電流 $I_{oled}(total)$ が、異なる。

また、このとき電源線 3 2 (i) は配線抵抗を有するため電圧降下が生じる。したがって、第 2 スキャナ 4 2 に最も近い第 r 列の画素回路 3 (i, r) の電源供給ノード ND_r に比べ、第 2 スキャナ 4 2 から最も遠い第 1 列の画素回路 3 (i, l) の電源供給ノード ND_1 での電圧降下が著しく大きくなる。その間の他の列では、第 2 スキャナ 4 2 から遠くなるほど電圧降下も次第に大きくなる。

これにより、映像信号上のデータ電圧レベルが同じであるが、表示行が異なる 2 つの画素で、有機発光ダイオード $OLED(i, j)$ の駆動電流 I_{oled} が異なり、これがスキャナが

50

らの距離が遠いほど顕著になり、その結果、表示映像に前述したクロストークが生じる。

【 0 0 4 7 】

以下、このクロストーク抑制の対処として、新たに設ける回路手段の実施形態を説明する。

なお、第2スキャナ42に近い側で対策を採るやり方と、遠い側で対策を採るやり方がある。前者は制御信号を第2スキャナ42から得やすく安定動作する利点があり、後者は、クロストークのみならずシェーディングも合わせて抑制できる利点がある。以下、近い側で対策を採るやり方と遠い側で対策を採るやり方の順で説明する。

【 0 0 4 8 】

《 第 1 実施形態 》

図6は、第1実施形態に関わる表示部2およびその駆動部の一部を示す回路図である。

本実施形態では、駆動ユニット42A(i)の出力に接続されている電源線32(i)と、その隣の駆動ユニット42A(i+1)の出力に接続されている電源線32(i+1)とを短絡するスイッチ7(i)を設けている。同様に、電源線32(i+1)と、その隣の他の電源線32(i+2)とを短絡するスイッチ7(i+1)を設けている。このような構成が他の隣り合う電源線間でも同様に採られている。

【 0 0 4 9 】

スイッチ7(i), 7(i+1), ... のそれぞれは、当該スイッチに接続されている電源線32(i), 32(i+1), ... に接続されている駆動ユニット42A(i), 42A(i+1), ... によるAC駆動に 응답してオンとオフが制御される。以下、スイッチ7(i)で代表させる場合を説明するが、その動作はスイッチ7(i+1)でも同様である(他の実施形態においても同様)。

【 0 0 5 0 】

このスイッチ7(i)は、対応する駆動ユニット42A(i)および42A(i+1)が“H”レベル(ハイレベルVDDV2)を出力するとき、すなわち有機発光ダイオードOLED(i, j)およびOLED(i+1, j)に電流を流して発光可能とするときにオンし、それ以外でオフするように制御される。

【 0 0 5 1 】

これによって、パネル表示エリアの垂直方向に隣接する画素間で駆動電流の差を小さくすることができる。これは、以下の理由による。

従来は、1つの駆動ユニット42Aで1本の電源線32を駆動する。よって、駆動ユニット42A(i)の出力端での電圧は、その駆動ユニットの出力段に設けられているインバータINV1のPMOSTランジスタ45のインピーダンスの影響を受け、有機発光ダイオードOLED(i, j) (j=r~l)の電流の総和によって影響を受ける。有機発光ダイオードOLED(i, j) (j=r~l)の電流の総和と、隣の画素行の有機発光ダイオードOLED(i+1, j) (j=r~l)の電流の総和とが異なる場合、駆動ユニット42A(i)の出力端での電圧と駆動ユニット42A(i+1)の出力端での電圧が異なり、これがクロストークの原因となる。

これに対し、本実施形態では、スイッチ7(i)によって、駆動ユニット42A(i)の出力端と駆動ユニット42A(i+1)の出力端が接続された場合、有機発光ダイオードOLED(i, j) (j=r~l)の電流と、有機発光ダイオードOLED(i+1, j) (j=r~l)の電流との総和を、駆動ユニット42A(i)と駆動ユニット42A(i+1)の並列接続で駆動する。したがって、駆動ユニット42A(i)の出力端での電圧と駆動ユニット42A(i+1)の出力端での電圧が同一になる。

以上の結果、表示パネル内で垂直方向に隣接する画素間の表示輝度差、すなわちクロストークが抑制できる。

【 0 0 5 2 】

なお、駆動対象の行の画素回路群に接続されている駆動ユニット42A(i)のほかに、隣接する駆動ユニット42A(i+1)も動作するとしたが、これは、駆動ユニット42A(i+1)は常に電源供給を受けて動作待機状態にあり、出力変化があると駆動ユニット42A(i)と同様に動作するからである。

10

20

30

40

50

【 0 0 5 3 】

《 第 2 実施形態 》

図 7 は、第 2 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

図 7 においてスイッチ 7 (i) を有することは第 1 実施形態 (図 5) と共通する。

ただし、ここではスイッチ 7 (i) が P M O S トランジスタから構成されている。スイッチ 7 (i) が N M O S トランジスタでもよいが、P M O S トランジスタにすると、いわゆる“ V t h 落ち (Vth drop) ”と呼ばれるトランジスタ自身による電圧降下が防止でき、その分、電源線 3 2 (i) と電源線 3 2 (i+1) の電位等化の効果が高いため好ましい。

【 0 0 5 4 】

スイッチ 7 (i) を P M O S 構成としたことに関連して、その制御信号を駆動ユニット 4 2 A の出力段に設けられているインバータ I N V 1 の入力から得ている。具体的には、駆動ユニット 4 2 A (i) のインバータ I N V 1 の入力に一方入力が接続され、その隣の駆動ユニット 4 2 A (i+1) のインバータ I N V 1 の入力に他方入力が接続されているオア回路 O R 2 を設け、その出力をスイッチ 7 (i) を構成する P M O S トランジスタのゲートに接続している。これによって、駆動ユニット 4 2 A (i) と駆動ユニット 4 2 A (i+1) の双方が動作して出力端を“ H ”レベル (V D D V 2 レベル) に駆動するときに、その 2 つの駆動ユニットのインバータ I N V 1 の入力が共に“ L ”レベルになると、オア回路 O R 2 の出力が“ L ”レベルとなってスイッチ 7 (i) がオンする。

なお、スイッチ 7 (i) を P M O S トランジスタと N M O S トランジスタとのソース同士、ドレイン同士を接続してトランスミッション・ゲートとしてもよい。この場合、N M O S トランジスタのゲートは不図示のインバータを介して制御され、P M O S トランジスタのゲートはオア回路 O R 2 の出力により直接接続される。

【 0 0 5 5 】

本実施形態によれば、第 1 実施形態と同様にいわゆるクロストークの抑制効果が得られ、そのときスイッチ 7 (i) を P M O S トランジスタとしたことによる電源線間の高い電位等化効果が得られる。

【 0 0 5 6 】

以下の実施形態は、スキャナから遠い側で対策を採る場合である。

【 0 0 5 7 】

《 第 3 実施形態 》

図 8 は、第 3 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

表示パネルの、表示部 2 以外のエリアのうち、画素回路アレイから見て第 2 スキャナ 4 2 と反対の側 (図 2 のエリア 5) に、隣り合う電源線 3 2 (i) と 3 2 (i+1) の接続と非接続を制御するスイッチ 7 (i) が設けられている。

【 0 0 5 8 】

このスイッチ 7 (i) は、第 1 実施形態と同様に、当該スイッチに接続されている電源線 3 2 (i), 3 2 (i+1), ... に接続されている駆動ユニット 4 2 A (i), 4 2 A (i+1), ... による A C 駆動に応答してオンとオフが制御される。このため、スイッチ 7 (i) は、対応する駆動ユニット 4 2 A (i) および 4 2 A (i+1) が“ H ”レベル (ハイレベル V D D V 2) を出力するとき、すなわち有機発光ダイオード O L E D (i, j) および O L E D (i+1, j) に電流を流して発光可能とするときにオンし、それ以外でオフするように制御される。

【 0 0 5 9 】

これにより、第 1 実施形態と同様に、いわゆるクロストークの抑制効果が得られる。これに加え、スイッチ 7 (i) により短絡された電源線 3 2 (i) と電源線 3 2 (i+1) が同電位となるため、これによって電源線 3 2 (i) の配線抵抗による電圧降下の影響が低減され、その結果、水平方向の画素位置に依存した輝度ムラ (シェーディング) が抑制される効果が得られる。このシェーディング抑制効果は、上記クロストーク抑制効果をアシストするもので、さらにクロストークの抑制が可能である。

【 0 0 6 0 】

《 第 4 実施形態 》

10

20

30

40

50

図 9 は、第 3 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

第 3 実施形態のように第 2 スキャナ 4 2 から遠い側にスイッチ 7 (i) を設けると、その制御信号を第 2 スキャナ 4 2 から得るのは現実的でない。

そこで本実施形態では、電源線 3 2 (i) に、ハイインピーダンスの結合回路、例えばインバータ IN V 4 を設け、その出力から制御信号を得る。制御信号の用い方は、図 7 の第 2 実施形態と同様である。すなわち、電源線 3 2 (i) に入力が結合するインバータ IN V 4 の出力に一方入力が接続され、その隣の電源線 3 2 (i+1) に入力が結合する他のインバータ IN V 4 の出力に他方入力が接続されているオア回路 OR 2 を設け、その出力を、スイッチ 7 (i) を構成する PMOS トランジスタのゲートに接続している。これによって、駆動ユニット 4 2 A (i) と 4 2 A (i+1) が動作し、その出力に接続されている 2 つのインバータ IN V 4 の出力が共に “ L ” レベルになると、オア回路 OR 2 の出力が “ L ” レベルとなってスイッチ 7 (i) がオンする。

【 0 0 6 1 】

なお、スイッチ 7 (i) を PMOS トランジスタと NMOS トランジスタとのソース同士、ドレイン同士を接続してトランスミッション・ゲートとしてもよい。

【 0 0 6 2 】

本実施形態によれば、第 1 実施形態と同様なクロストークの抑制効果、第 3 実施形態と同様なシェーディング抑制効果に加え、第 2 実施形態と同様にスイッチ 7 (i) を PMOS トランジスタとしたことによる電源線間の高い電位等化効果が得られる。

【 0 0 6 3 】

《 第 5 実施形態 》

上記第 4 実施形態の回路 (図 9) では、2 つの駆動ユニット 4 2 A (i) と 4 2 A (i+1) の出力が共に “ H ” レベルから “ L ” レベルに切り替わるとき、スイッチ 7 (i) がオンしている。このため、電源線 3 2 (i) または電源線 3 2 (i+1) に接続されている 2 つのインバータ IN V 4 の入力から見た場合、2 本の電源線 3 2 (i) と 3 2 (i+1) が負荷として見える。したがって、2 つのインバータ IN V 4 は、スイッチ 7 (i) をオフすべき電源線変化があっても、その電源線変化が電源線短絡によって小さくなる上、負荷が大きいため、その電源線変化に対応してインバータ出力を反転できない可能性がある。また、適切にインバータ出力を切り替えできるにしても、その動作が遅くなるという不都合がある。

【 0 0 6 4 】

本実施形態は、この点を改善するものである。

図 1 0 は、第 5 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

図 1 0 において、第 2 スキャナ 4 2 と反対の側 (図 2 のエリア 5) に、スイッチ 7 (i)、インバータ IN V 4 およびオア回路 OR 2 が設けられていることは第 4 実施形態 (図 9) と共通する。

【 0 0 6 5 】

ただし、本実施形態では、図 1 0 に示すように、オア回路 OR 3 が新たに、オア回路 OR 2 とスイッチ 7 (i) のゲートとの間に設けられている。オア回路 OR 3 の一方入力にオア回路 OR 2 の出力が接続されている。オア回路 OR 3 の他方入力は、列 (カラム) 方向の複数のオア回路 OR 3 で共通なイネーブル信号線 5 1 に接続されている。また、オア回路 OR 3 の出力がスイッチ 7 (i) のゲートに接続されている。イネーブル信号線 5 1 には、インバータ IN V 3 を介してローアクティブのイネーブル信号 V E N B 2 が印加されている。なお、イネーブル信号 V E N B 2 がハイアクティブであればインバータ IN V 3 は不要である。

【 0 0 6 6 】

ここでイネーブル信号 V E N B 2 は電源線 3 2 (i) がハイレベル V D D V 2 からローレベル V S S V 2 に遷移するより若干前に、“ L ” レベルに遷移しスイッチのオフ動作を許可する信号である。よって、イネーブル信号 V E N B 2 が “ L ” レベルとなり、オア回路 OR 3 の一方入力が “ H ” レベルとなると、オア回路 OR 3 の出力が “ H ” レベルとなり

スイッチ 7 (i) がオフし、その後、若干遅れて電源線 3 2 (i) がハイレベル $V_{DD} V_2$ からローレベル $V_{SS} V_2$ に遷移する。

このようにオア回路 OR 3 を設けることによって、スイッチ 7 (i) がオンからオフするゲート制御論理がいち早く確定し、その後に、電源線 3 2 (i) と 3 2 (i+1) が電位低下するため、スイッチ 7 (i) を確実にオフすることが可能となる。

【 0 0 6 7 】

図 1 1 (A) ~ (F) に、この動作のタイミングを示す。

イネーブル信号 $V_{ENB} 2$ のレベル遷移によりスイッチ 7 (i) のゲート制御論理が確定してから実際の接続と非接続のスイッチングが行われていることが分かる。なお、この場合、2 本の電源線を短絡し、短絡する電源線の組み合わせが電源線 1 本ずつシフトするため、スイッチ 7 (i) の非接続期間は、図 1 1 (D) および図 1 1 (E) に示すように 2 行表示分、すなわち電源スキャン信号 $V_{SCAN} 2 (i)$ の AC 駆動解除期間 (“ L ” レベル期間) の 2 倍になっている。

10

【 0 0 6 8 】

本実施形態によれば、第 1 実施形態と同様なクロストークの抑制効果、第 2 実施形態と同様にスイッチ 7 (i) を PMOS トランジスタとしたことによる電源線間の高い電位等化効果、第 3 実施形態と同様なシェーディング抑制効果に加え、スイッチ 7 (i) のスイッチ動作が確実に行えるという効果が得られる。

【 0 0 6 9 】

《 第 6 実施形態 》

20

上述した第 4 および第 5 実施形態では、さらに改善すべき点としてインバータ INV 4 の貫通電流の発生がある。

インバータ INV 4 は入力電位が十分高いとき、または、十分低いときは、出力をハイレベル $V_{DD} V_2$ またはローレベル $V_{SS} V_2$ に接続している。このときは、PMOS トランジスタ 7 1 と NMOS トランジスタ 7 2 の一方がオフしているため、これらを通してハイレベル $V_{DD} V_2$ からローレベル $V_{SS} V_2$ に貫通電流が流れない。ところが、本実施形態のように電圧降下が生じている電源線 3 2 (i) の電位を入力する場合、インバータ INV 4 の入力がハイレベルとローレベルの中間の任意の電位を持つことになり、その場合、PMOS トランジスタ 7 1 と NMOS トランジスタ 7 2 が共に弱いオン状態となって、インバータ INV 4 に貫通電流が流れる。よって、インバータ INV 4 による大きな電力消費が生じる。この電力消費量は単一のインバータ INV 4 では比較的小さい場合でも、表示パネル全体では大きい。

30

【 0 0 7 0 】

本実施形態は、この点を改善するものである。

図 1 2 は、第 4 実施形態を、貫通電流防止の点において改善する表示部 2 およびその駆動部の一部を示す回路図である。

図 1 2 において、第 2 スキャナ 4 2 と反対の側 (図 2 のエリア 5) に、スイッチ 7 (i)、インバータ INV 4 およびオア回路 OR 2 が設けられていることは第 4 実施形態 (図 9) と共通する。

【 0 0 7 1 】

40

ただし、本実施形態では、図 1 2 に示すように、電源線 3 2 (i) とインバータ INV 4 の入力の間に、電源線 3 2 (i) の電圧降下を補償して駆動ユニット 4 2 A (i) の出力レベルに戻す電圧補償回路 (V_{COMP}) 6 0 が新たに設けられている。

【 0 0 7 2 】

図 1 3 (A) は電圧補償回路 6 0 の入出力接続関係を示すブロック図、図 1 3 (B) は具体例としての回路図である。

図 1 3 (A) に示す電圧補償回路 6 0 の入力 (in) には電源スキャン信号 $V_{SCAN} 2 (i)$ が印加されるため、その電位がハイレベルとローレベルに交互に変化する。電圧補償回路 6 0 の出力 (out) はインバータ INV 4 の入力に接続されている。電圧補償回路 6 0 には、図 1 2 の駆動ユニット 4 2 A (i) の駆動電圧、すなわちハイレベル $V_{DD} V_2$ とロー

50

レベル $V_{SS} V_2$ の電源電圧が供給されている。

【0073】

より詳細には、図13(B)に示すように、ハイレベル $V_{DD} V_2$ とローレベル $V_{SS} V_2$ の2電源間に、2つのCMOS対、すなわちPMOSトランジスタ61inとNMOSトランジスタ62inからなるCMOS対と、PMOSトランジスタ61outとNMOSトランジスタ62outからなるCMOS対が互いに並列に接続されている。

PMOSトランジスタ61inのゲートがPMOSトランジスタ61outとNMOSトランジスタ62outの接続点と結合し、PMOSトランジスタ61outのゲートがPMOSトランジスタ61inとNMOSトランジスタ62inの接続点と結合し、これにより4トランジスタによるラッチ回路が構成されている。PMOSトランジスタ61outとNMOSトランジスタ62outの接続点インバータINV4に接続されて出力(out)(図13(A))を構成している。NMOSトランジスタ62outのゲートは当該電圧補償回路60の基準電圧として、電源振幅の半分の電位を与える電圧 $(V_{DD} V_2 + V_{SS} V_2) / 2$ が付与されている。

【0074】

この回路構成では、入力論理が“H”レベルのときに出力も“H”レベルをとるが、入力が理想的なハイレベル $V_{DD} V_2$ から下がっていても、当該ラッチ回路が反転動作する中間レベル(上記基準電圧)まで下がらなければ、出力を理想的なハイレベル $V_{DD} V_2$ に引き上げる電圧補償を行う。入力論理が“L”レベルの場合は逆の動作となるが、本実施形態では電源スキャン信号 $V_{SCAN} 2(i)$ のハイレベルの電圧低下を防止する目的であるため、ハイレベル側の電圧補償効果に大きな意味がある。

【0075】

なお、当該電圧補償回路60はノイズ吸収の機能もあり、その場合、ハイレベル側とローレベル側の電圧補償の双方が有効に働いて負または正のノイズを電源線32(i)から有効に除去する。

【0076】

本実施形態によれば、第1実施形態と同様なクロストークの抑制効果、第2実施形態と同様にスイッチ7(i)をPMOSトランジスタとしたことによる電源線間の高い電位等化効果、第3実施形態と同様なシェーディング抑制効果に加え、電圧補償回路60の電圧補償効果によりインバータINV4の貫通電流発生を防止して消費電力の低減を図るという効果が得られる。

【0077】

なお、本実施形態を第5実施形態に適用することも可能である。この場合、電圧補償回路60を図10の電源線32(i)とインバータINV4の間に接続すると、上述した電圧補償効果が同様に得られる。この場合、スイッチ7(i)のスイッチ動作を確実に行えるという第5実施形態の効果が、上述した効果に追加される。

【0078】

電圧補償回路60の電圧補償効果は、ハイレベル側で電圧降下した電源線32(i)を短絡線73に接続するため、ハイレベル $V_{DD} V_2$ の電源線を介して、2つの電源線32(i)と32(i+1)を電氣的に短絡するというスイッチ7(i)の機能を同時に実行しているという見方ができる。よって、スイッチ7(i)をアシストする効果もある。

この点を考慮すると、電圧補償回路60をスイッチ7(i)の代わりに用いることができる。つまり、本発明ではスイッチ7(i)を介した電源線間の直接的な接続に限定されるものでなく、ハイレベル $V_{DD} V_2$ の電源線を介した間接的(仮想的)な短絡を含むものである。

【0079】

《第7実施形態》

図14は、第7実施形態に関わる表示部2およびその駆動部の一部を示す回路図である。

画素回路アレイから見て第2スキャナ42と反対の側(図2のエリア5)に、短絡線7

10

20

30

40

50

3 が列 (カラム) 方向に配線されている。そして、第 2 スキャナ 4 2 と各電源線 3 2 (i) との接続と非接続を制御するスイッチ 4 8 (i) が設けられている。このスイッチは上述した他の実施形態におけるスイッチ 7 (i) と同じ機能を隣接する 2 つのスイッチ、たとえば 4 8 (i) と 4 8 (i + 1) ならびに短絡線 7 3 によって実現するものである。

スイッチ 4 8 (i) は、当該スイッチに接続されている電源線 3 2 (i) の駆動ユニット 4 2 A (i) による A C 駆動に応答してオンとオフが制御される。このときスイッチ 4 8 (i) は隣接する他のスイッチ 4 8 (i + 1) とペアでオンされ、次の画素回路の行を駆動するときは、スイッチの組み合わせを 1 つずらしてオンされる。

このスイッチ 4 8 (i) は、対応する駆動ユニット 4 2 A (i) が “ H ” レベル (ハイレベル V D D V 2) を出力するとき、すなわち有機発光ダイオード O L E D (i , j) に電流を流して発光可能とするときにオンし、それ以外でオフするように制御される。

10

【 0 0 8 0 】

これによって、図 8 に示す第 3 実施形態と同様な効果が得られる。

【 0 0 8 1 】

《 第 8 実施形態 》

図 1 5 は、第 8 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

図 1 5 において短絡線 7 3 およびスイッチ 4 8 (i) を有することは第 7 実施形態 (図 1 4) と共通する。

ただし、ここではスイッチ 4 8 (i) が P M O S トランジスタから構成されている。

20

【 0 0 8 2 】

スイッチ 4 8 (i) を P M O S 構成としたことに関連して、電源線 3 2 (i) の電位論理を反転するインバータ I N V 2 が設けられている。

インバータ I N V 2 は、ハイレベル V D D V 2 の電源線とローレベル V S S V 2 の電源線との間に縦続接続されている P M O S トランジスタ 4 9 と N M O S トランジスタ 5 0 を有する。インバータ I N V 2 の入力電源線 3 2 (i) に接続され、出力がスイッチ 4 8 (i) (P M O S トランジスタ) のゲートに接続されている。

なお、スイッチ 4 8 (i) を P M O S トランジスタと N M O S トランジスタとのソース同士、ドレイン同士を接続してトランスミッション・ゲートとしてもよい。この場合、P M O S トランジスタのゲートはインバータ I N V 2 を介して電源線 3 2 (i) に接続され、N M O S トランジスタのゲートは電源線 3 2 (i) に直接接続される。

30

【 0 0 8 3 】

なお、スイッチ 4 8 (i) を N M O S トランジスタとする場合は、例えばインバータを 2 段接続するバッファ構成とするとよい。

本実施形態によれば、第 4 実施形態と同様な効果が得られる。

【 0 0 8 4 】

《 第 9 実施形態 》

上記第 8 実施形態の回路 (図 1 5) では、スイッチ 4 8 (i) がオンしているとき、当該スイッチ自身で電源線 3 2 (i) の “ H ” レベルを支えていることから、つぎに電源線 3 2 (i) の電位が “ L ” レベルに遷移しようとするとき、スイッチ自身が電圧降下を補償するため電荷を補おうとするフィードバックがかかり、さらにゲートを開く向きに制御される。したがって、スイッチ 4 8 (i) とインバータ I N V 2 のトランジスタサイズを最適化しないとスイッチ 4 8 (i) のオフ動作ができない、あるいは、できても時間がかかる。

40

【 0 0 8 5 】

本実施形態は、この点を改善するものである。

図 1 6 は、第 9 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

図 1 6 において短絡線 7 3 およびスイッチ 4 8 (i) を有することは第 7 および第 8 実施形態 (図 1 4 , 図 1 5) と共通する。また、スイッチ 4 8 (i) を制御するためのインバータ I N V 2 を有すること自体は第 8 実施形態 (図 1 5) と共通する。

50

【 0 0 8 6 】

ただし、本実施形態では、図 1 6 に示すように、オア回路 O R 1 が新たに設けられている。オア回路 O R 1 の一方入力にインバータ I N V 2 の出力が接続されている。オア回路 O R 1 の他方入力は、列（カラム）方向の複数のオア回路 O R 1 で共通なイネーブル信号線 5 1 に接続されている。また、オア回路 O R 1 の出力がスイッチ 4 8 (i) のゲートに接続されている。イネーブル信号線 5 1 には、インバータ I N V 3 を介してローアクティブのイネーブル信号 V E N B 2 が印加されている。なお、イネーブル信号 V E N B 2 がハイアクティブであればインバータ I N V 3 は不要である。

【 0 0 8 7 】

ここでイネーブル信号 V E N B 2 は電源線 3 2 (i) がハイレベル V D D V 2 からローレベル V S S V 2 に遷移するより若干前に、“ L ” レベルに遷移しスイッチ動作を許可する信号である。よって、イネーブル信号 V E N B 2 が “ L ” レベルとなり、オア回路 O R 1 の一方入力が “ H ” レベルとなると、オア回路 O R 1 の出力が “ H ” レベルとなりスイッチ 4 8 (i) がオフし、その後、若干遅れて電源線 3 2 (i) がハイレベル V D D V 2 からローレベル V S S V 2 に遷移する。

このようにオア回路 O R 1 を設けることによって、スイッチ 4 8 (i) がオンからオフするゲート制御論理がいち早く確定し、その後に、電源線 3 2 (i) が電位低下するため、スイッチ 4 8 (i) を確実にオフすることが可能となる。

【 0 0 8 8 】

本実施形態によれば、第 5 実施形態と同様な効果が得られる。

つまり、イネーブル信号 V E N B 2 のレベル遷移によりスイッチ 4 8 (i) のゲート制御論理が確定してから実際の接続と非接続のスイッチングを行うことにより、第 5 実施形態（図 1 0 および図 1 1 (A) ~ (F) ）で追加された効果、すなわちスイッチング動作が安定するという効果が得られる。

【 0 0 8 9 】

《 第 1 0 実施形態 》

上述した第 8 および第 9 実施形態では、さらに改善すべき点としてインバータ I N V 2 の貫通電流の発生がある。

インバータ I N V 2 は入力電位が十分高いとき、または、十分低いときは、出力をハイレベル V D D V 2 またはローレベル V S S V 2 に接続している。このときは、P M O S トランジスタ 4 9 と N M O S トランジスタ 5 0 の一方がオフしているため、これらを通してハイレベル V D D V 2 からローレベル V S S V 2 に貫通電流が流れない。ところが、本実施形態のように電圧降下が生じている電源線 3 2 (i) の電位を入力する場合、インバータ I N V 2 の入力がハイレベルとローレベルの中間の任意の電位を持つことになり、その場合、P M O S トランジスタ 4 9 と N M O S トランジスタ 5 0 が共に弱いオン状態となって、インバータ I N V 2 に貫通電流が流れる。よって、インバータ I N V 2 による大きな電力消費が生じる。この電力消費量は単一のインバータ I N V 2 では比較的小さい場合でも、表示パネル全体では大きい。

【 0 0 9 0 】

本実施形態は、この点を改善するものである。

図 1 7 は、第 8 実施形態を、貫通電流防止の点において改善する表示部 2 およびその駆動部の一部を示す回路図である。

図 1 7 において短絡線 7 3 およびスイッチ 4 8 (i) を有すること、スイッチ 4 8 (i) を制御するためのインバータ I N V 2 を有すること自体は第 8 実施形態（図 1 5 ）と共通する。

【 0 0 9 1 】

ただし、本実施形態では、図 1 7 に示すように、電源線 3 2 (i) とインバータ I N V 2 の入力の間に、電源線 3 2 (i) の電圧降下を補償して駆動ユニット 4 2 A (i) の出力レベルに戻す電圧補償回路（ V . C O M P ） 6 0 が新たに設けられている。

電圧補償回路 6 0 の回路構成および動作は図 1 3 を用いて既に説明した第 6 実施形態と

10

20

30

40

50

共通するため、ここでの説明を省略する。

【0092】

本実施形態によれば、第6実施形態と同様な効果が得られる。

なお、本実施形態を第9実施形態に適用することも可能である。この場合、電圧補償回路60を図16の電源線32(i)とインバータINV2の間に接続すると、上述した電圧補償効果が同様に得られる。この場合、スイッチ48(i)のスイッチ動作を確実に行えるという効果が、第9実施形態で述べた種々の効果に追加される。

【0093】

電圧補償回路60の電圧補償効果は、ハイレベル側で電圧降下した電源線32(i)を短絡線73に接続するというスイッチ48(i)の機能を同時に実行しているという見方ができる。よって、スイッチ48(i)をアシストする効果もある。

10

この点を考慮すると、電圧補償回路60をスイッチ48(i)と短絡線73の代わりに用いることができる。つまり、特に図示しないが、スイッチ48(i)を電圧補償回路60で置き換え、短絡線73を省略し、電圧補償回路60の出力はオープンとする。これにより電圧補償回路60が持つ閾値レベルを基準として、それより高い電圧範囲内ならば電源線32(i)に電圧降下が生じて、当該電源線の電位をハイレベルVDDV2に速やかに引き上げることができる。その際、隣接する電源線32(i)と電源線32(i+1)はハイレベルVDDV2の電源線を介して間接的(仮想的)に短絡される。

【0094】

上述した第1～第10実施形態では、ハイレベルVDDV2をAC駆動したが、図3(B)に示すようにローレベルVSSV2をAC駆動してもよい。

20

【0095】

つぎに、以上の第1～第10実施形態に適用可能な画素回路例を、2例以下に説明する。

【0096】

[画素回路例1]

図18に、PMOSドライブの画素回路を示す。

図解する画素回路3A(3(i,j)に相当)は、4つのトランジスタTr1, Tr3, Tr4, Tr5、2つのキャパシタCs, Cc、および、1つの有機発光ダイオードOLEDを有する。

30

駆動トランジスタTr3はPMOSトランジスタであり、そのソースが電源スキャン信号VSCAN2(i)によりAC駆動される第1電源電圧VDD1の供給線に接続されている。また、駆動トランジスタTr3のドレインが有機発光ダイオードOLEDのアノードに接続されている。有機発光ダイオードOLEDのカソードは一定な第2電源電圧VSS1の供給線に接続されている。

【0097】

駆動トランジスタTr3のゲートと信号入力線SIGとの間に結合キャパシタCcとサンプリング・トランジスタTr1が直列接続されている。駆動トランジスタTr3のゲートとドレイン間にシャント・トランジスタTR4が接続されている。

駆動トランジスタTr3のゲートとソース間に蓄積キャパシタCsが接続されている。また、結合キャパシタCcとサンプリング・トランジスタTr1の接続ノードとオフセット電圧Vofsの供給線との間に、オフセット・トランジスタTR5が接続されている。

40

【0098】

サンプリング・トランジスタTr1は第1スキャン信号VSCAN1(i)によりオンとオフが制御され、シャント・トランジスタTR4は第3スキャン信号VSCAN3(i)によりオンとオフが制御され、さらに、オフセット・トランジスタTR5は第4スキャン信号VSCAN4(i)によりオンとオフが制御される。これらの制御タイミングおよびAC電源駆動タイミングは、図3に示す4つの第1～第4スキャナ41～44により制御される。

【0099】

50

図 19 (A) ~ (G) に、図 18 の画素回路 3 A の動作タイミングチャートを示す。

図 19 (E) に示すように時間 T_0 で V_{th} 補正期間が開始されると、図 19 (B) に示すように第 3 スキャン信号 (以下、“入力等化スキャン信号”という) $V_{SCAN3}(i)$ が “H” レベルに遷移して、駆動トランジスタ T_{r3} のゲートがドレインと接続される。また、図 19 (C) に示すように第 4 スキャン信号 $V_{SCAN4}(i)$ が “H” レベルに遷移して、オフセット・トランジスタ T_{R5} がオンし、図 19 (E) に示すようにノード $ND1$ の電位 (V_{in}) が、オフセット電圧 V_{ofs} に設定される。

一方、図 12 (B) に示すように電源スキャン信号 $V_{SCAN2}(i)$ が “H” レベル (ハイレベル V_{DDV2}) から “L” レベル (ローレベル V_{SSV2}) に遷移する。ここで、ローレベル V_{SSV2} は、駆動トランジスタ T_{r3} と $OLED$ の直列接続に微小な電流が流れるような電圧値を有する。十分な時間が経過すると、図 12 (F) に示すように、駆動トランジスタ T_{r3} のゲート電圧 V_g は、ローレベル V_{SSV2} から駆動トランジスタ T_{r3} のしきい値電圧 V_{th3} だけ高い電圧 ($V_{SSV2} + V_{th3}$) に収束する。

【0100】

つぎに、図 19 (C) および (D) に示すように、時間 T_1 にて第 3 スキャン信号 $V_{SCAN3}(i)$ と第 4 スキャン信号 $V_{SCAN4}(i)$ が共に “L” レベルになると、シャント・トランジスタ T_{R4} およびオフセット・トランジスタ T_{R5} がオフする。これにより、ノード $ND1$ がフローティングになるとともに、駆動トランジスタ T_{r3} のゲートとドレインが切り離され、図 19 (G) に示すように V_{th} 補正期間が終了する。

【0101】

この状態で、図 19 (A) に示すように、時間 T_2 にて第 1 スキャン信号 $V_{SCAN1}(i)$ が “H” レベルに遷移してデータ書き込み期間が開始される (図 19 (G))。

データ電圧 $V_{sig}(i)$ がサンプリング・トランジスタ T_{r1} によってサンプリングされ、図 19 (E) に示すように、ノード $ND1$ の電位が、オフセット電圧 V_{ofs} からサンプリングデータ値 ($-V_{data}$) だけ変動する。ここで、結合キャパシタ C_c が蓄積キャパシタ C_s より十分大きく “ $C_c \gg C_s$ ” を満たす場合、駆動トランジスタ T_{r3} のゲート電圧 V_g は、結合キャパシタ C_c を介してノード $ND1$ と同様の値 ($-V_{data}$) だけ変動する。そのため、駆動トランジスタの T_{r3} のゲート電圧 V_g (ゲート - ソース間電圧 V_{gs}) は、図 19 (F) に示すように “ $V_{SSV2} - V_{data} + V_{th3}$ ” となる。この電圧 ($V_{SSV2} - V_{data} + V_{th3}$) は蓄積キャパシタ C_s に保持される。

図 19 (A) に示すように、時間 T_3 にて第 1 スキャン信号 $V_{SCAN1}(i)$ が “L” レベルになると、データ書き込み期間が終了する (図 19 (G))。

【0102】

次に、図 19 (B) に示すように、時間 T_4 にて、電源スキャン信号 $V_{SCAN2}(i)$ を “L” レベルから “H” レベルに遷移させる。これにより発光期間が開始する (図 19 (G))。

ここでハイレベル V_{DDV2} は、駆動トランジスタ T_{r3} が飽和動作に必要な電圧条件を満たしている。このとき、保持容量 C_s によって駆動トランジスタ T_{r3} のゲート - ソース間電圧 V_{gs} は一定値に保たれ、有機発光ダイオード $OLED$ の発光が可能となる。また、駆動トランジスタ T_{r3} のゲート電圧 V_g は、ハイレベル V_{DDV2} とローレベル V_{SSV2} の差電圧だけ上昇するため、駆動トランジスタ T_{r3} を流れる電流の増加分は、駆動トランジスタ T_{r3} のしきい値電圧 V_{th3} に依存しない値を有する。ただし、駆動トランジスタ T_{r3} のゲート電圧 V_g はサンプリングデータ値 V_{data} に依存しており、そのため、有機発光ダイオード $OLED$ はサンプリングデータ値 V_{data} (データ電圧 $V_{sig}(i)$) に応じた輝度で発光する。

【0103】

[画素回路例 2]

図 20 に、他の画素回路 3 B の構成図を示す。

図解する画素回路 3 B が図 18 と異なる点は、駆動トランジスタ T_{r3} が $NMOS$ 構成

であること、および、オフセット電圧 V_{ofs} がローレベルに規定されていることである。

【0104】

図21(A)～(E)に動作タイミングチャートを示す。

図21(C)に示すように、時間 T_0 にて第4スキャン信号 $V_{SCAN4}(i)$ が“L”レベルから“H”レベルに立ち上がると、オフセット・トランジスタ T_{R5} がオンし準備期間が始まる(図21(E))。

すると、図21(D)に示すように、駆動トランジスタ T_{r3} のゲートにオフセット電圧 V_{ofs} が設定され($V_g = V_{ofs}$)、このとき電源スキャン信号 $V_{SCAN2}(i)$ がローレベル V_{SSV2} であるため(図21(B))、駆動トランジスタ T_{r3} を介して、そのソース電位 V_s がローレベル V_{SSV2} をとる。

10

ここでオフセット電圧 V_{ofs} は、後述するしきい値補正後に駆動トランジスタ T_{r3} がオンしない値を有する。すなわち、有機発光ダイオード $OLED$ のしきい値電圧を $V_{th(oled)}$ 、駆動トランジスタ T_{r3} のしきい値電圧を V_{th3} とすると、オフセット電圧 V_{ofs} は次式(1)を満たす必要がある。

【0105】

[数1]

$$V_{ofs} < V_{SS1} + V_{th(oled)} + V_{th3} \dots (1)$$

【0106】

また、電源スキャン信号 $V_{SCAN2}(i)$ のローレベル V_{SSV2} は、駆動トランジスタ T_{r3} のゲート・ソース間電圧 V_{gs} がしきい値電圧 V_{th3} より大きくなるように、駆動トランジスタ T_{r3} のソースノードを下げる必要がある。すなわち、ローレベル V_{SSV2} は次式(2)を満たす必要がある。

20

【0107】

[数2]

$$V_{SSV2} < V_{ofs} - V_{th3} \dots (2)$$

【0108】

図21(E)に示すように、この状態で時間 T_1 にて V_{th} 補正期間が開始する。

電源スキャン信号 $V_{SCAN2}(i)$ が時間 T_1 にてハイレベル V_{DDV2} に立ち上がると、駆動トランジスタ T_{r3} がオンしてそのドレイン電位 V_d も持ち上がるが、ゲート・ソース間電圧 V_{gs} がしきい値電圧 V_{th3} と等しくなる($V_{gs} = V_{th3}$)時点で駆動トランジスタ T_{r3} がオフする。よって、 V_{th} 補正期間の終点(時間 T_2)以降、図21(E)に示すように、駆動トランジスタ T_{r3} のソース電位 V_s が“ $V_{ofs} - V_{th3}$ ”を維持し、しきい値電圧 V_{th3} が蓄積キャパシタ C_s に保持される。このとき、有機発光ダイオード $OLED$ がオンしないことは、オフセット電圧 V_{ofs} の設定により保証されている。

30

【0109】

図21(A)に示すように、時間 T_3 で第1スキャン信号 $V_{SCAN1}(i)$ がハイレベル V_{DDV2} になると、信号書き込み期間が開始する(図21(E))。信号書き込み期間は、同時に、移動度(μ)の補正期間を兼ねる。

なお、信号入力線 SIG からサンプリング・トランジスタ T_{r1} を介しての駆動トランジスタ T_{r3} のゲートへ信号を書き込む時の時定数は、後述する駆動トランジスタ T_{r3} のゲート・ソース間電圧 V_{gs} の放電時の時定数よりも短く設定される。以下の説明では、駆動トランジスタ T_{r3} のゲートへの書き込み時定数は、駆動トランジスタ T_{r3} のゲート・ソース間電圧 V_{gs} の放電時間の時定数に対して無視できるほど短いと仮定する。

40

【0110】

時間 T_3 にてサンプリング・トランジスタ T_{r1} がオンすると、図21(D)に示すように、駆動トランジスタ T_{r3} のゲート電圧 V_g が速やかに“ $V_{ofs} + V_{data}$ ”に設定される。ここで、有機発光ダイオード $OLED$ の容量 C_{oled} が蓄積キャパシタ C_s より十分大きく、駆動トランジスタ T_{r3} のソース電位 V_s は変動しないとする。

駆動トランジスタ T_{r3} のゲート電圧 V_g の電位上昇分(V_{data})は、しきい値電圧 V_{th3} を保持している蓄積キャパシタ C_s を介してソース電位 V_s に伝達されようとするが

50

、上記のようにソース電位 V_s が変動しないため、駆動トランジスタ T_{r3} のゲート - ソース間電圧 V_{gs} が “ $V_{th3} + V_{data}$ ” となる（蓄積キャパシタ C_s の保持電荷量がサンプリングデータ値 V_{data} 分だけ増える）。このため、駆動トランジスタ T_{r3} に電流が流れ、駆動トランジスタ T_{r3} のゲート - ソース間電圧 V_{gs} 、すなわち蓄積キャパシタ C_s の両端の電圧が放電される。このときの放電速度は、駆動トランジスタ T_{r3} の駆動能力（移動度 μ に比例）によって決まる。すなわち、駆動トランジスタ T_{r3} の駆動能力が小さい場合、その放電量は小さく、駆動トランジスタ T_{r3} の駆動能力が大きい場合、その放電量は大きい。このため、サンプリングデータ値 V_{data} が同じならば、放電の終点（時間 T_4 ）における駆動トランジスタ T_{r3} のソース電位 V_s は、駆動トランジスタ T_{r3} の駆動能力がばらついてもほぼ一定に保持され、結果として駆動能力、すなわち移動度 μ のバラツキが補正される。この移動度補正期間を兼ねる信号書き込み期間は、第 1 スキャン信号 $V_{SCAN1}(i)$ がローレベル V_{SSV2} になる時間 T_4 で終了する（図 21（A）および（E））。

【0111】

時間 T_4 の到達とともに発光期間が開始する（図 21（E））。

第 1 スキャン信号 $V_{SCAN1}(i)$ がローレベル V_{SSV2} になると、蓄積キャパシタ C_s に駆動トランジスタ T_{r3} のゲート - ソース間電圧 V_{gs} が保持されたまま、時間 T_4 で駆動トランジスタ T_{r3} によって決定される電流量になるように、駆動トランジスタ T_{r3} のソースノード、すなわち、有機発光ダイオード $OLED$ のアノード電位が $OLED$ 駆動電圧 V_{EL} になる。なお、このとき駆動トランジスタ T_{r3} が飽和動作するようにハイレベル V_{DDV2} を設定する必要がある。すなわち、ハイレベル V_{DDV2} は次式(3)を満たす必要がある。

【0112】

[数3]

$$V_{DDV2} > V_{EL} + (V_{gs} - V_{th3}) \dots (3)$$

【0113】

なお、図 18 および図 20 でサンプリング・トランジスタ T_{r1} と、シャント・トランジスタ T_{R4} を共有化して、データ電圧 V_{sig} とオフセット電圧 V_{ofs} を時分割的に書き込むことも可能である。

【0114】

本実施形態によれば、有機 EL ディスプレイの画素回路で、有機発光ダイオード $OLED(i, j)$ に電流を供給する画素電源を V スキャナで AC 駆動しながら、表示画素行に入力される映像信号の違いに起因して V スキャナの駆動負荷が異なり、これによって水平方向に隣接する画素間の表示輝度ムラ（クロストーク）を防止または抑圧できる。その際、第 1 ～ 第 6 実施形態で個別に述べた追加の効果が得られる。

また、電源電圧の AC 駆動により、有機発光ダイオード $OLED(i, j)$ への電源供給経路の遮断を制御する電源遮断制御トランジスタを 1 つ、画素回路から省略できる。本実施形態で例示する画素回路は TFT の閾値電圧 V_t （および移動度 μ ）に起因した輝度ムラを補正する機能を有する。第 2 スキャナ 42 の駆動力不足を補うため、その各駆動ユニット 42A の駆動能力を大きくして回路規模を増大させる必要がない。また同様な理由から、第 2 スキャナ 42 を複数設ける必要がない。従来と同じ駆動能力の第 2 スキャナ 42 であっても上記効果を発揮できるため、駆動部の占有面積がほとんど増大しない。

【0115】

以上より、 TFT ばらつきによる輝度ムラ補正、画素回路の素子数削減、垂直方向で隣接する画素間の表示輝度ムラ（クロストーク）の解消または抑制、 V スキャナの回路規模増大や数の増大が不要なことを同時に実現でき、高画質で高精細かつ低消費な有機 EL ディスプレイを実現することが可能である。

なお、表示部 2 の回路規模増大や、第 2 スキャナ 42 の複数配置が不要なことは、表示部 2 の映像表示に寄与しないエリアの増大を防ぎ、これによって、ディスプレイ装置の前面に大きく表示エリアをとって、そのデザインの自由度を高くすることができる有機 EL

表示パネルを提供できる。

【図面の簡単な説明】

【0116】

【図1】(A)および(B)はシェーディングの説明図である。

【図2】(A)および(B)はクロストークの説明図である。

【図3】本発明の実施形態に関わる有機ELディスプレイの主要な構成を示すブロック図である。

【図4】(A)および(B)は、概略的な画素回路の構成と、2つのAC駆動方法を示す図である。

【図5】画素回路を行単位でAC電源駆動する際の不都合を説明するための図である。

10

【図6】第1実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図7】第2実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図8】第3実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図9】第4実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図10】第5実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図11】(A)～(F)は第3実施形態の動作タイミングチャートである。

【図12】第6実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図13】(A)は電圧補償回路のブロック図、(B)はその回路図である。

【図14】第7実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

20

【図15】第8実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図16】第9実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図17】第10実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【図18】画素回路例1の回路図である。

【図19】(A)～(G)は画素回路例1の動作タイミングチャートである。

【図20】画素回路例2の回路図である。

【図21】(A)～(E)は画素回路例1の動作タイミングチャートである。

【符号の説明】

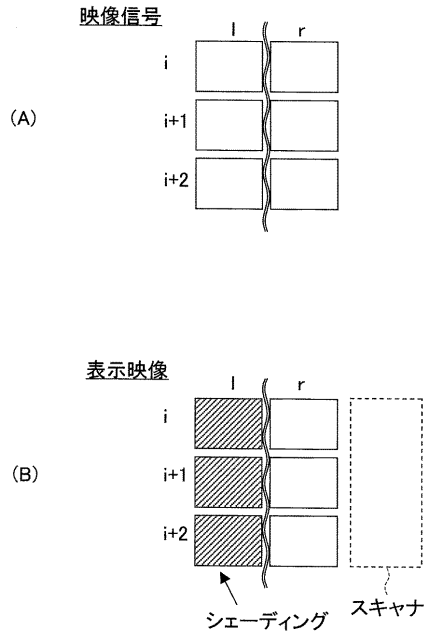
【0117】

1 ... 有機ELディスプレイ、2 ... 表示部、3(i,j) ... 第i行、第j列の画素回路、31(i,j) ... 補正部、4 ... Vスキャナ、41 ... 第1スキャナ、42 ... 第2スキャナ(AC電源駆動スキャナ)、42A(i) ... 第i行の駆動ユニット、43 ... 第3スキャナ、44 ... 第4スキャナ、45, 49, 61in, 61out, 71 ... PMOSトランジスタ、46, 50, 62in, 62out, 72 ... PMOSトランジスタ、47 ... 電圧供給線、48(i) ... スイッチ、51 ... イネーブル信号線、60 ... 電圧補償回路、OLED(i,j) ... 有機発光ダイオード、Tr1 ... サンプルング・トランジスタ、Tr3 ... 駆動トランジスタ、VSCAN1(i) ... 第1スキャン信号(サンプルング・スキャン信号)、VSCAN2(i) ... 第2スキャン信号(電源スキャン信号)、SIG(j) ... 信号入力線、Vsig ... データ電圧、Vdata ... サンプルングデータ値、VEL ... OLED駆動電圧、VDD1 ... 第1電源電圧、VSS1 ... 第2電源電圧、VDDV2 ... ハイレベル(駆動レベル)、VSSV2 ... ローレベル(非駆動レベル)、Ioled ... 駆動電流

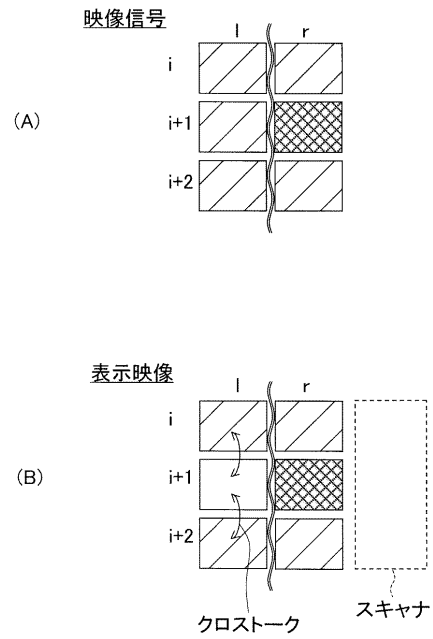
30

40

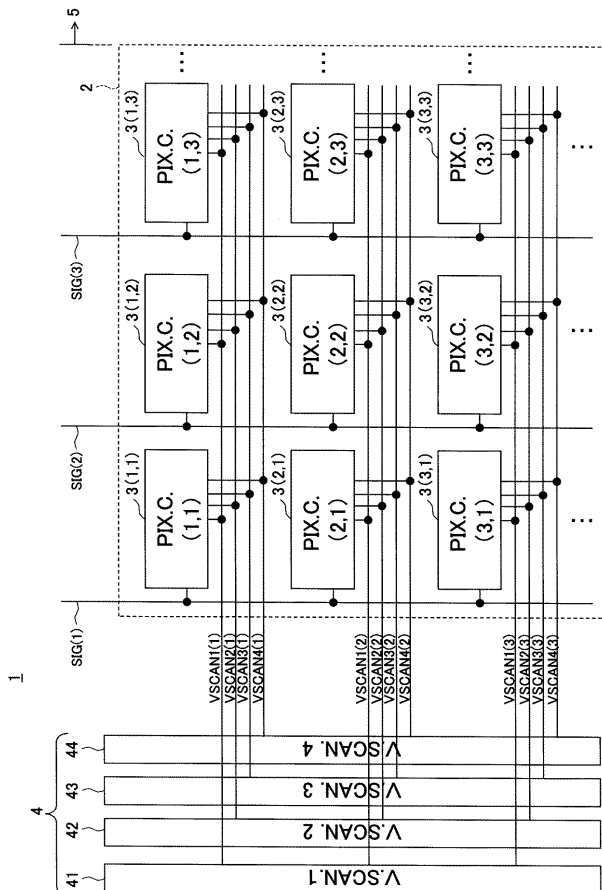
【図 1】



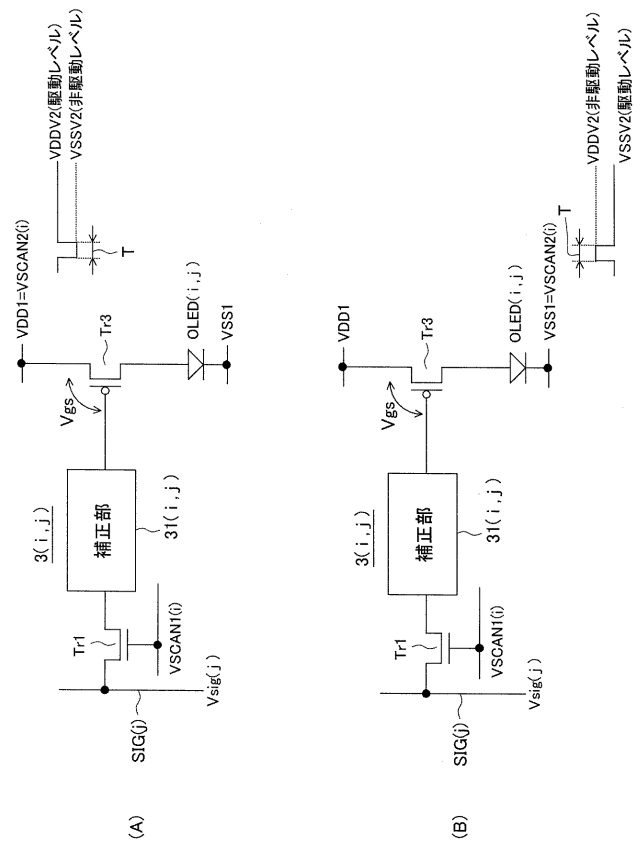
【図 2】



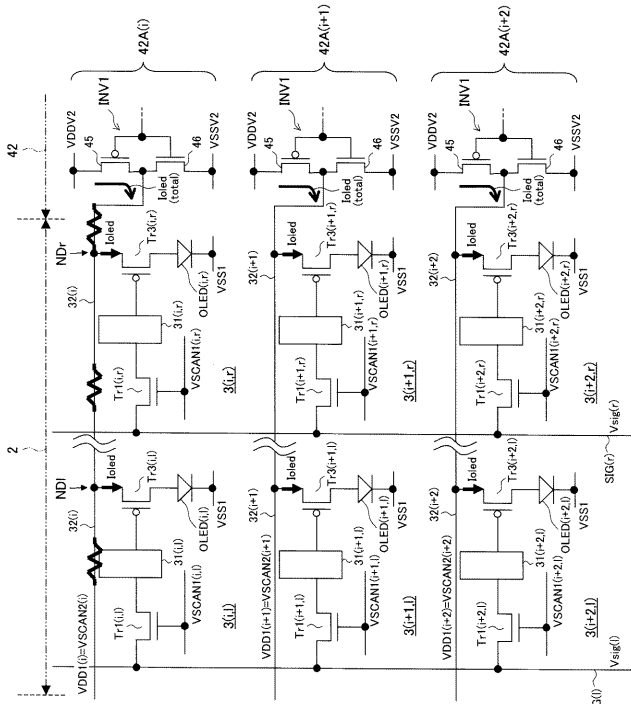
【図 3】



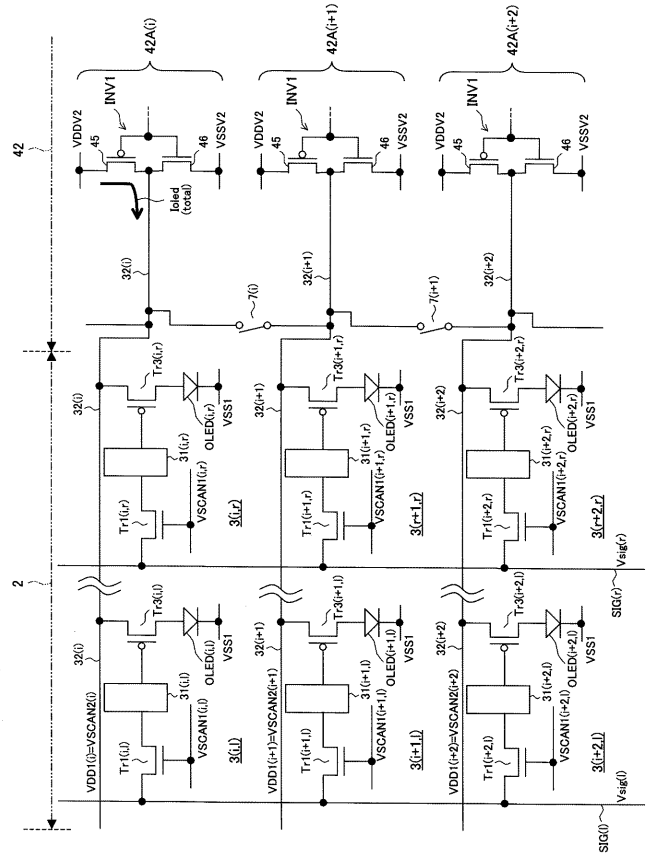
【図 4】



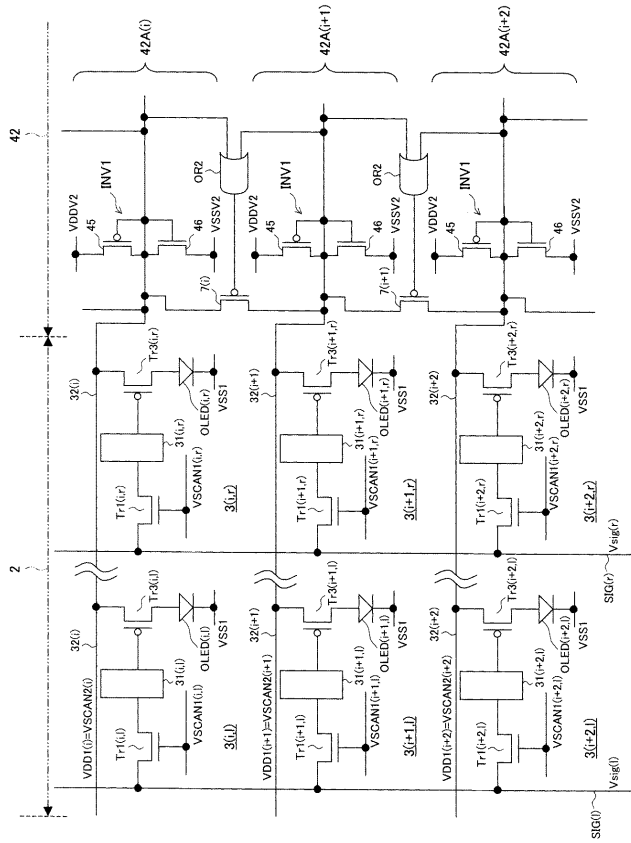
【図 5】



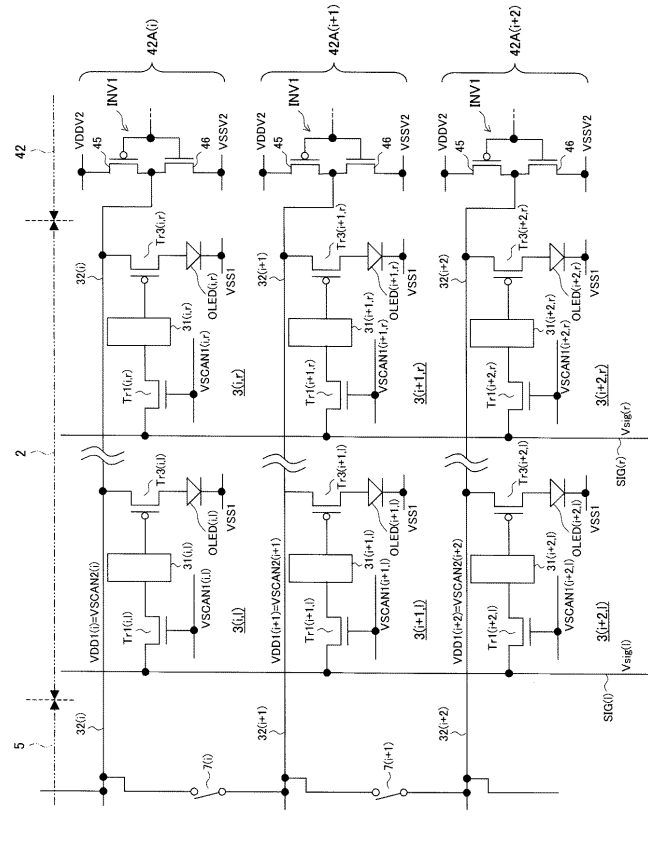
【図 6】



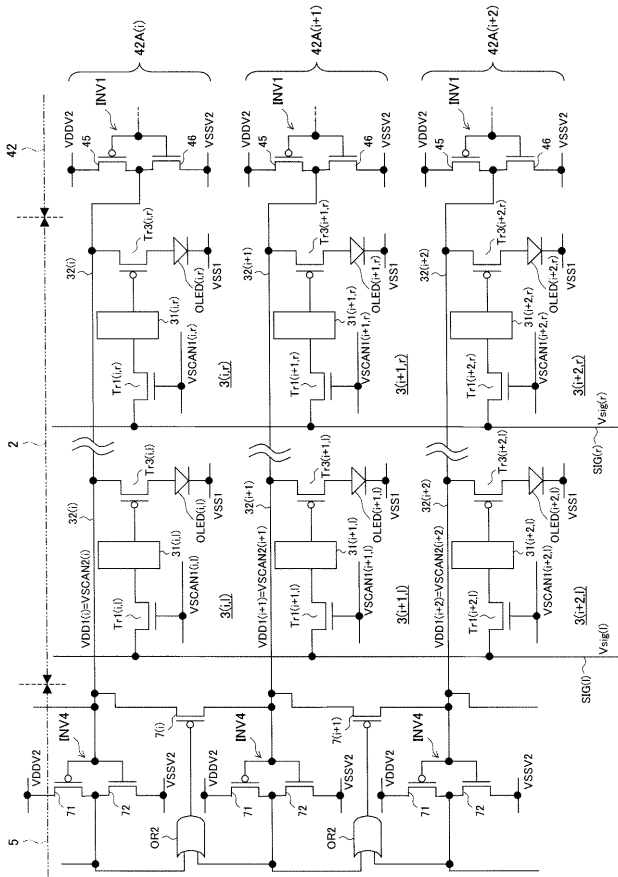
【図 7】



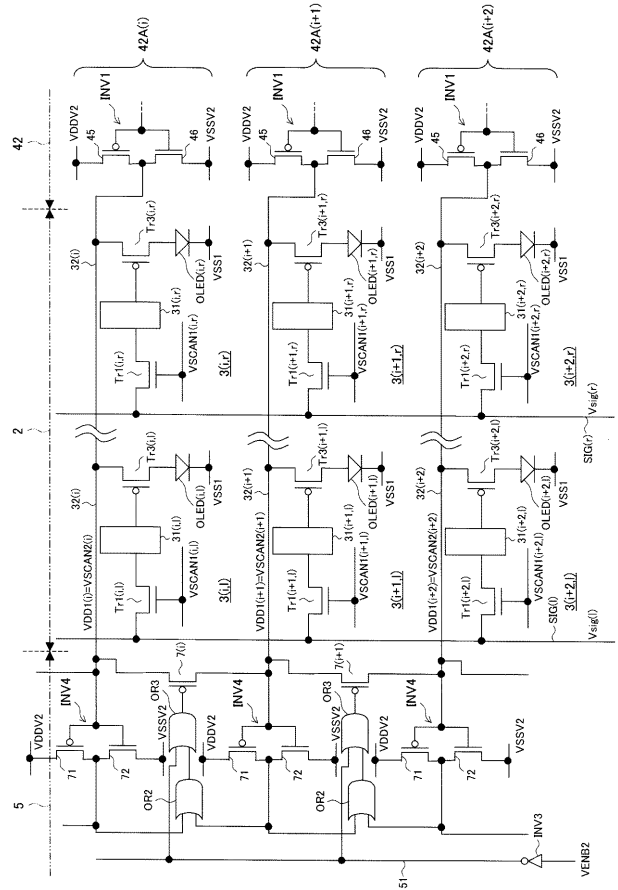
【図 8】



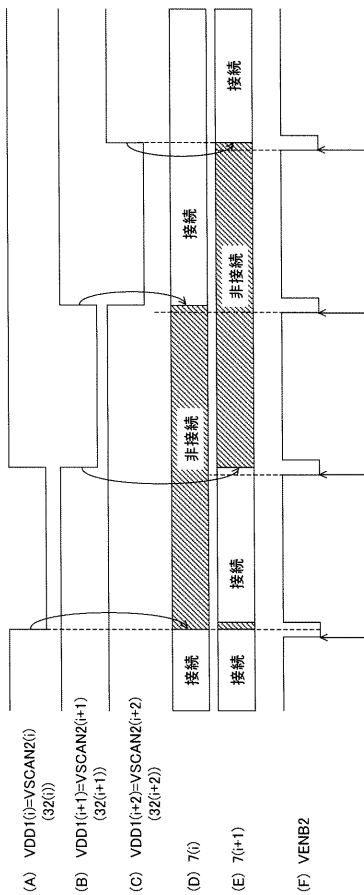
【図 9】



【図 10】

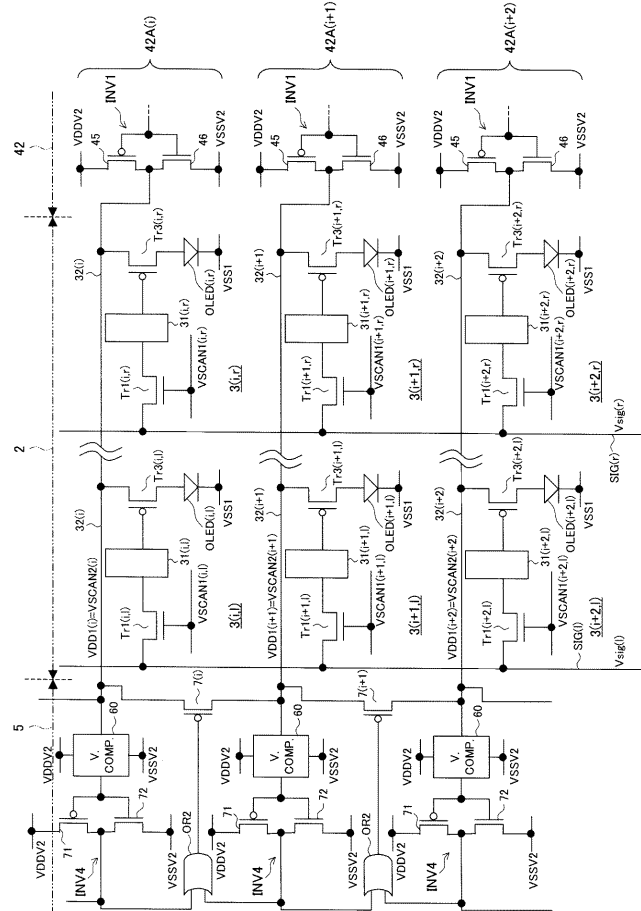


【図 11】

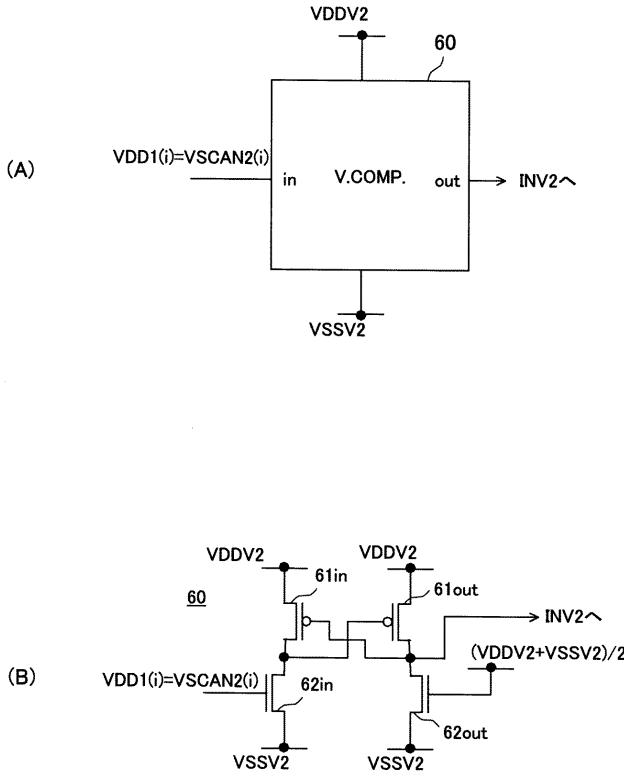


ゲート論理確定

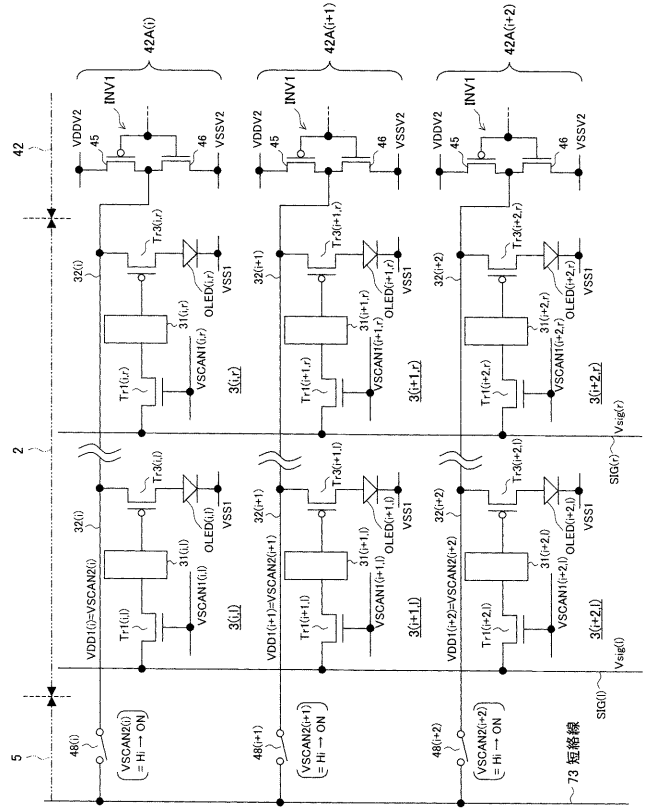
【図 12】



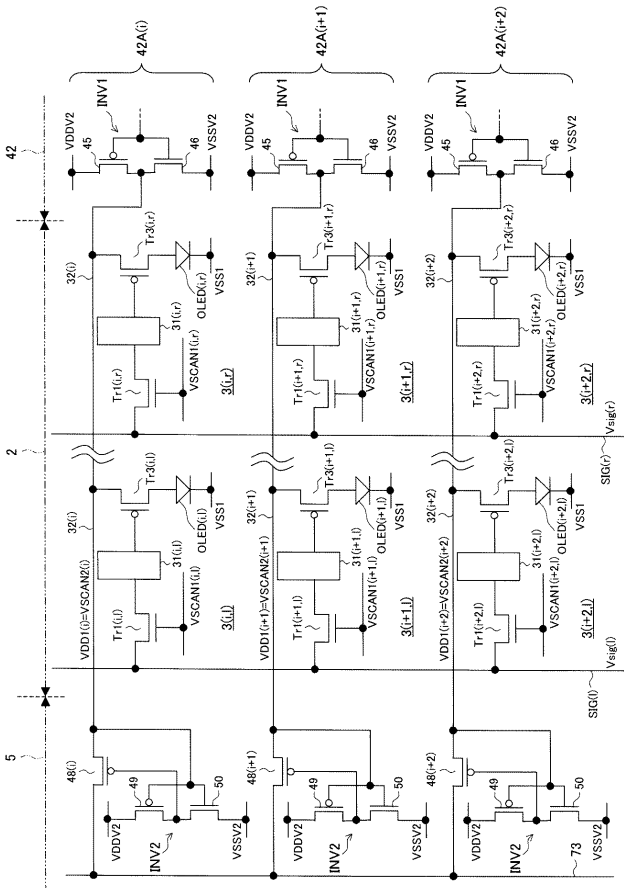
【図 13】



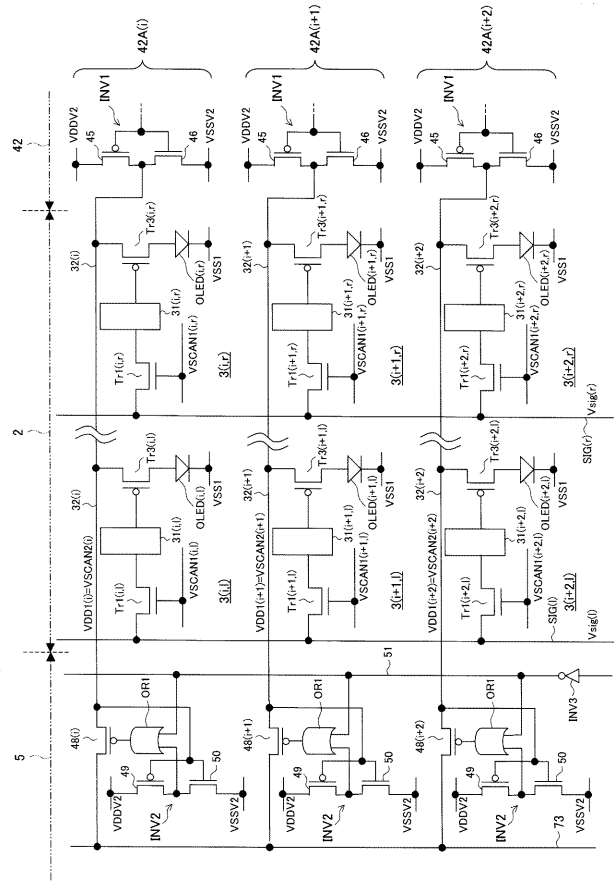
【図 14】



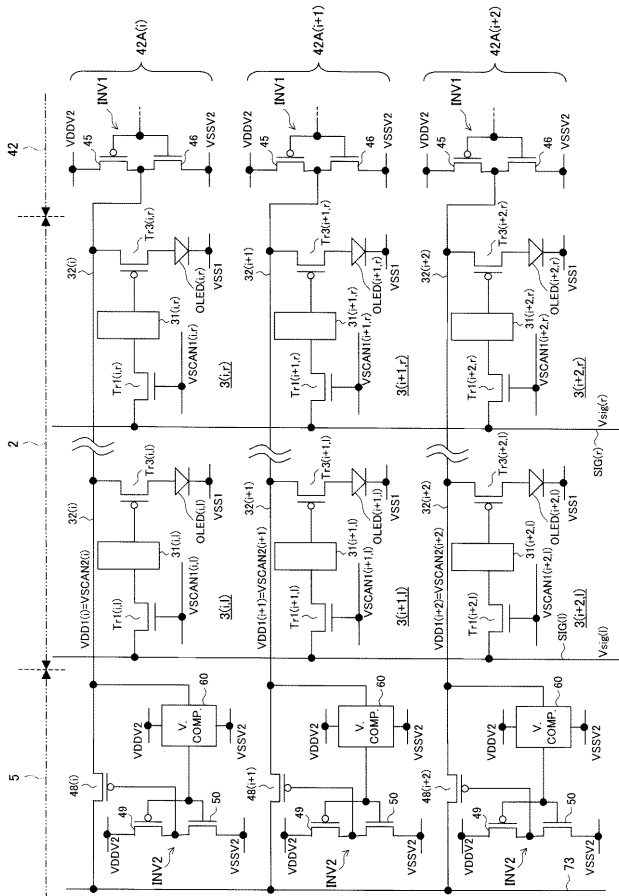
【図 15】



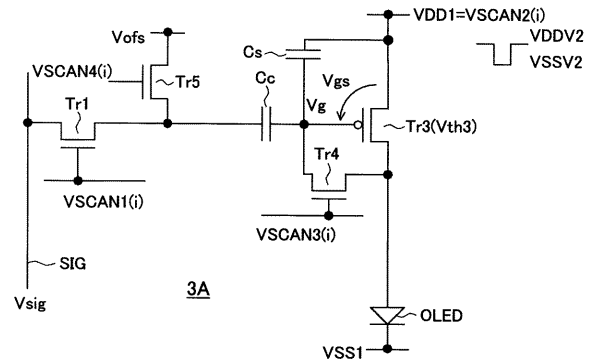
【図 16】



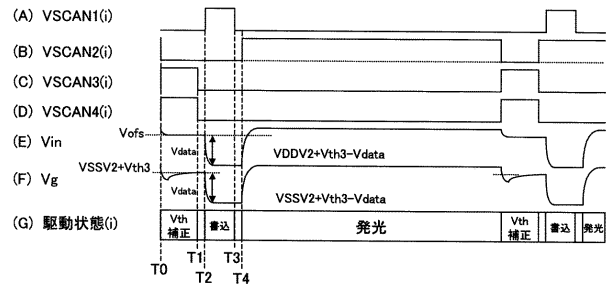
【図 17】



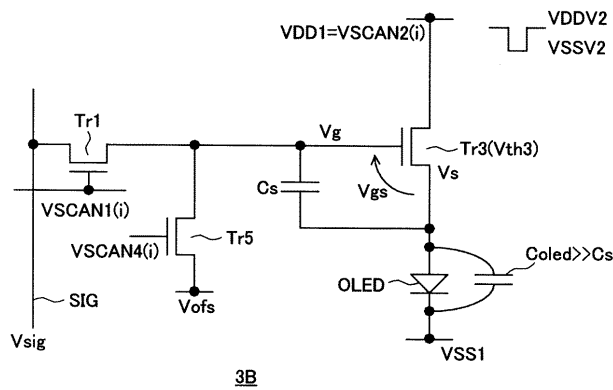
【図 18】



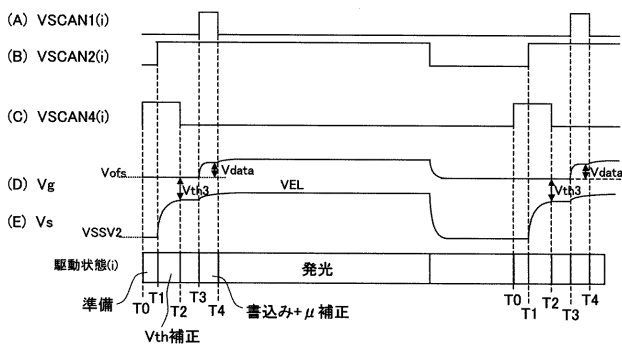
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 Q

G 0 9 G 3/20 6 2 2 G

H 0 5 B 33/14 A

专利名称(译)	显示面板的驱动电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP2008122497A	公开(公告)日	2008-05-29
申请号	JP2006303772	申请日	2006-11-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野 慎 富田 昌嗣		
发明人	浅野 慎 富田 昌嗣		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.D G09G3/20.641.D G09G3/20.611.A G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G H05B33/14.A G09G3/20.611.J G09G3/20.612.E G09G3/20.621.M G09G3/20.680.G G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC35 3K107/CC42 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD10 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AB46 5C380/AC07 5C380/BA01 5C380/BA08 5C380/BA13 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BB08 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CB37 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD023 5C380/CD024 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF33 5C380/DA02 5C380/DA32 5C380/DA47 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：要抑制串扰并放大显示面板，请增加清晰度并降低功耗。在其中每个包括电流驱动的电光元件（OLED (i, j)）的像素电路3 (i, j) 以矩阵排列的显示面板中，第一电源线32 (i) 并且，连接到对应像素电路组的第一电源线和第二电源线中的一个（电源线32 (i)）的电位被设置为驱动电平（VDDV2）通过交替切换到非驱动电平（VSSV2），用于交流驱动电流的多个驱动单元42A (i) 被提供给电光元件（OLED (i, j)）多条第一电源线（32 (i) 和32 (i+1)）包括连接到要驱动的像素电路组的电源线（32 (i)），其发光被控制并且AC-并且开关7 (i) 用于短路。点域6

