

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2008-14968
(P2008-14968A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 611H	
	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 未請求 請求項の数 7 O L (全 13 頁)		

(21) 出願番号	特願2006-182715 (P2006-182715)	(71) 出願人	000001889
(22) 出願日	平成18年6月30日 (2006.6.30)		三洋電機株式会社
			大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100075258
			弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	池田 恭二
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC21 CC33 EE04
			HH04 HH05
			5C080 AA06 BB05 EE29 FF11 JJ02
			JJ03

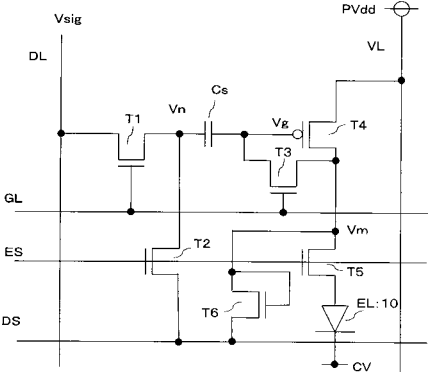
(54) 【発明の名称】 エレクトロルミネッセンス表示装置及びその駆動方法

(57) 【要約】

【課題】 E L 表示装置の素子駆動トランジスタの閾値電圧の変動補償を効果的に実行する。

【解決手段】 電流を駆動電源 P V d d から E L 素子 1 0 に流すための素子駆動トランジスタ T 4 を設け、素子駆動トランジスタ T 4 と E L 素子 1 0 の間には電流スイッチトランジスタ T 5 を挿入し、素子駆動トランジスタ T 4 のゲート・ドレイン間に該トランジスタ T 4 をダイオード接続するか否かを制御する短絡トランジスタ T 3 を設ける。データ信号を駆動トランジスタ T 4 の制御端へ供給するか否かを制御する選択トランジスタ T 1 と、該トランジスタ T 1 と素子駆動トランジスタ T 4 のゲートの間に保持容量 C s を設ける。素子駆動トランジスタ T 4 の電流スイッチトランジスタ T 5 側と放電制御ライン D S との間に、素子駆動トランジスタ T 4 のゲート電荷を放電制御ライン D S に排出するための放電素子を設ける。放電素子は、放電制御ライン D S の電位によってその動作を制御する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

エレクトロルミネッセンス表示装置であって、
各画素の前記エレクトロルミネッセンス素子を制御するための画素回路が、
制御端の電位に応じた駆動電流を駆動電源からエレクトロルミネッセンス素子に供給するための素子駆動トランジスタと、
該素子駆動トランジスタと前記エレクトロルミネッセンス素子の間に設けられ、前記駆動電流をオンオフする電流スイッチトランジスタと、
前記素子駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、
データラインからのデータ信号を前記素子駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、
該選択トランジスタと、前記素子駆動トランジスタの制御端との間に設けられた保持容量と、
該保持容量の前記選択トランジスタ側電位を制御する容量電位制御トランジスタと、
前記素子駆動トランジスタの前記電流スイッチトランジスタ側と、放電制御ラインとの間に接続され、該素子駆動トランジスタの前記制御端の電荷を前記放電制御ラインに放出する放電素子と、
を有することを特徴とするエレクトロルミネッセンス表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置において、
前記放電素子は、ダイオード接続された放電用トランジスタ、又はダイオード素子であり、
該放電素子は、前記放電制御ラインの電位に応じて動作し、前記素子駆動トランジスタの前記電流スイッチトランジスタ側から前記放電制御ラインに向かって順方向電流を流すことを特徴とするエレクトロルミネッセンス表示装置。

20

【請求項 3】

請求項 1 又は請求項 2 に記載のエレクトロルミネッセンス表示装置において、
前記容量電位制御トランジスタは、前記保持容量の前記選択トランジスタ側と、前記放電制御ラインとの間に設けられ、その制御端に供給される制御信号に応じてオンすることで、前記保持容量の前記選択トランジスタ側を前記放電制御ラインに電氣的に接続することを特徴とするエレクトロルミネッセンス表示装置。

30

【請求項 4】

請求項 3 に記載のエレクトロルミネッセンス表示装置において、
前記電流スイッチトランジスタの制御端は前記容量電位制御トランジスタの制御端と同一の発光制御ラインに接続され、該発光制御ラインに供給される制御信号に応じてオンすると、該前記素子駆動トランジスタからの電流を前記エレクトロルミネッセンス素子に供給することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 5】

各画素のエレクトロルミネッセンス素子を制御するための画素回路が、
制御端の電位に応じた駆動電流を駆動電源からエレクトロルミネッセンス素子に供給するための素子駆動トランジスタと、
該素子駆動トランジスタと前記エレクトロルミネッセンス素子の間に設けられ、前記駆動電流をオンオフする電流スイッチトランジスタと、
前記素子駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、
データラインからのデータ信号を前記素子駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、
該選択トランジスタと、前記素子駆動トランジスタの制御端との間に設けられた保持容量と、

40

50

該保持容量の前記選択トランジスタ側電位を制御する容量電位制御トランジスタと、前記素子駆動トランジスタの前記電流スイッチトランジスタ側と、放電制御ラインとの間に接続された放電素子と、

を有するエレクトロルミネッセンス表示装置の駆動方法であって、

前記容量電位制御トランジスタをオフ制御し、前記選択トランジスタ及び前記短絡トランジスタをオン制御してから、前記放電素子をオン制御して前記素子駆動トランジスタの制御端に蓄積されている電荷を、前記放電素子を介して前記放電制御ラインに放出し、

前記放電後、前記放電素子をオフ制御し、前記保持容量の該選択トランジスタ側の電位を前記データ信号の電位とした状態で、前記オン制御されている短絡トランジスタによって、前記素子駆動トランジスタの制御端電圧を前記駆動電源の電源電圧に対して該素子駆動トランジスタの閾値電圧分異なる電圧とし、

前記選択トランジスタ及び前記短絡トランジスタをオフ制御し、かつ前記電流スイッチトランジスタをオン制御し、該電流スイッチトランジスタを介して前記エレクトロルミネッセンス素子に前記素子駆動トランジスタが流す電流を供給し、前記エレクトロルミネッセンス素子を動作させることを特徴とするエレクトロルミネッセンス表示装置の駆動方法。

【請求項 6】

請求項 5 に記載のエレクトロルミネッセンス表示装置の駆動方法において、

前記放電制御ラインには、前記電流スイッチトランジスタのオン期間中、前記駆動電源と同電位の基準電圧信号を出力することを特徴とするエレクトロルミネッセンス表示装置の駆動方法。

【請求項 7】

請求項 6 に記載のエレクトロルミネッセンス表示装置の駆動方法において、

前記容量電位制御トランジスタは、前記保持容量の前記選択トランジスタ側と前記放電制御ラインとの間に設けられ、その制御端に印加される制御信号に応じてオン動作する際、前記放電制御ラインに前記基準電圧信号を出力し、前記保持容量の前記選択トランジスタ側の電位を、前記基準電圧信号に応じた電位に固定することを特徴とするエレクトロルミネッセンス表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

各画素に設けられたエレクトロルミネッセンス素子へ供給する駆動電流をデータ信号に応じて制御するエレクトロルミネッセンス表示装置の画素回路に関する。

【背景技術】

【0002】

各画素に表示素子として、自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 E L) 素子を用いた E L 表示装置は、バックライト不要の自発光型表示装置を提供でき、装置の薄型化が可能で、低消費電力である等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わる表示装置として注目されている。とりわけ、発光材料として有機化合物を利用し、電流駆動型の有機 E L 素子は、材料の改良により高輝度が実現でき、かつ発光色の選択の自由度が非常に高く研究が盛んである。

【0003】

また、E L 素子を画素毎に個別に制御するため、各画素に、薄膜トランジスタ (TFT) などのスイッチ素子を画素回路として用いたいわゆるアクティブマトリクス型 E L 表示装置では、高精細な表示が可能である。

【0004】

アクティブマトリクス型 E L 表示装置では、基板上の行方向 (水平走査方向) に複数本のゲートラインが延び、列方向 (垂直走査方向) に複数本のデータライン及び電源ラインが延びており、マトリクス配置された画素のそれぞれは E L 素子と、選択 TFT、素子駆動 TFT 及び保持容量を備えている。ゲートラインを選択することで選択 TFT をオンし

10

20

30

40

50

、データライン上のデータ電圧（電圧ビデオ信号）を保持容量に充電し、この電圧で素子駆動TFTを動作させ、電源ラインからの電力をEL素子に供給する。

【0005】

しかし、このような画素回路において、マトリクス状に配置された画素回路の素子駆動TFTの閾値電圧がばらつくと、EL素子に供給される電流のばらつきを生じ、発光輝度がばらつき、表示品質が低下するという問題がある。ところが、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフの閾値のばらつきを防止することは難しい。

【0006】

そこで、素子駆動TFTにおける閾値のバラツキの表示に対する影響を防止することが望まれる。 10

【0007】

ここで、TFTの閾値の変動を補償するための回路については、下記特許文献1等に提案がある。

【0008】

しかし、上記特許文献1では、データラインに電流信号であったり、予め基準信号を供給することで、EL素子に、電源からの電流を供給する素子駆動TFTの閾値を、データラインからの信号に応じて補償している。従来から広く用いられている例えばアクティブマトリクス型LCD等のようなアクティブマトリクス型平面表示装置では、各画素に対し、データラインからはデータ信号を供給することが通常であり、特許文献1のようにデータラインから特別な基準信号や電流信号を供給するには、このデータラインを駆動するための周辺駆動回路について大きな変更を必要とする。 20

【0009】

そこで、本出願人は特許文献2において、データラインを駆動するための周辺駆動回路に特別な信号を出力することなく、素子駆動TFTの閾値のばらつきを補償を提案している。

【0010】

【特許文献1】特表2002-514320公報

【特許文献2】特開2005-326828号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

上記特許文献2では、素子駆動トランジスタを所定タイミングでダイオード接続することで、予め素子駆動トランジスタのゲートに電源電圧に対してその素子駆動トランジスタの閾値電圧分低い電圧をセットしてからデータ信号を保持容量を介して素子駆動トランジスタのゲートに供給する。よって、素子駆動トランジスタのゲートに印加される電圧に応じて該トランジスタが流す電流（EL素子に供給される電流）から、素子駆動トランジスタの閾値電圧の影響を除去することができる。ここで、特許文献2では、閾値補償に先立って、素子駆動トランジスタのゲートに蓄積されている不要な電荷を一旦放電しており、そのために、素子駆動トランジスタをダイオード接続した状態で、この素子駆動トランジスタからEL素子を介してEL素子のカソード電源CVに不要な電荷を暗電流として排出している。 40

【0012】

しかし、特許文献2の構成では、素子駆動トランジスタのゲート電荷を放電するためにはEL素子を介して電流を流す必要があり、この放電期間にEL素子が発光し、コントラストが低下する。一例として、特許文献2では、ダイオード接続された素子駆動トランジスタとEL素子とがディスチャージ期間（1 μ s程度）に動作し、8 μ A程度の貫通大電流が流れる。これは1垂直走査（V）期間でみると、1V期間中に1nA以下にはなるが、EL素子は発光するのであり、コントラストの低下につながる。また、EL素子の電流排出側電極の電位が、EL素子の発光状態によって変動するため、EL素子の動作状態に 50

よって放電が不十分となる可能性もある。駆動時間がE L素子の寿命に影響するため、できる限り寿命を延ばすには、本来の表示に寄与しない発光は省略したいとの要求がある。

【0013】

本発明は、エレクトロルミネッセンス表示装置において、効果的に画素回路の素子駆動トランジスタの閾値電圧の変動を補償する。

【課題を解決するための手段】

【0014】

本発明は、エレクトロルミネッセンス表示装置であって、各画素の前記エレクトロルミネッセンス素子を制御するための画素回路が、制御端の電位に応じた駆動電流を駆動電源からエレクトロルミネッセンス素子に供給するための素子駆動トランジスタと、該素子駆動トランジスタと前記エレクトロルミネッセンス素子の間に設けられ、前記駆動電流をオンオフする電流スイッチトランジスタと、前記素子駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記素子駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、該選択トランジスタと、前記素子駆動トランジスタの制御端との間に設けられた保持容量と、該保持容量の前記選択トランジスタ側電位を制御する容量電位制御トランジスタと、前記素子駆動トランジスタの前記電流スイッチトランジスタ側と、放電制御ラインとの間に接続され、該素子駆動トランジスタの前記制御端の電荷を前記放電制御ラインに放出する放電素子と、を有する。

10

【0015】

本発明の他の態様では、上記表示装置において、前記放電素子は、ダイオード接続された放電用トランジスタ、又はダイオード素子であり、該放電素子は、前記放電制御ラインの電位に応じて動作し、前記素子駆動トランジスタの前記電流スイッチトランジスタ側から前記放電制御ラインに向かって順方向電流を流す。

20

【0016】

本発明の他の態様では、上記表示装置において、前記容量電位制御トランジスタは、前記保持容量の前記選択トランジスタ側と、前記放電制御ラインとの間に設けられ、その制御端に供給される制御信号に応じてオンすることで、前記保持容量の前記選択トランジスタ側を前記放電制御ラインに電氣的に接続する。

【0017】

本発明の他の態様では、上記表示装置において、前記電流スイッチトランジスタの制御端は前記容量電位制御トランジスタの制御端と同一の発光制御ラインに接続され、該発光制御ラインに供給される制御信号に応じてオンすると、該前記素子駆動トランジスタからの電流を前記エレクトロルミネッセンス素子に供給する。

30

【0018】

本発明の他の態様では、上記表示装置の駆動方法であって、前記容量電位制御トランジスタをオフ制御し、前記選択トランジスタ及び前記短絡トランジスタをオン制御してから、前記放電素子をオン制御して前記素子駆動トランジスタの制御端に蓄積されている電荷を、前記放電素子を介して前記放電制御ラインに放出する。前記放電後、前記放電素子をオフ制御し、前記保持容量の該選択トランジスタ側の電位を前記データ信号の電位とした状態で、前記オン制御されている短絡トランジスタによって、前記素子駆動トランジスタの制御端電圧を前記駆動電源の電源電圧に対して該素子駆動トランジスタの閾値電圧分異なる電圧とする。次に、前記選択トランジスタ及び前記短絡トランジスタをオフ制御し、かつ前記電流スイッチトランジスタをオン制御し、該電流スイッチトランジスタを介して前記エレクトロルミネッセンス素子に前記素子駆動トランジスタが流す電流を供給し、前記エレクトロルミネッセンス素子を動作させる。

40

【発明の効果】

【0019】

本発明によれば、各画素の素子駆動トランジスタの電流スイッチトランジスタ側に放電素子を接続し、この放電素子を選択的に動作させることで、素子駆動トランジスタのゲー

50

トに蓄積された不要な電荷を、エレクトロルミネッセンス素子を介さずに、放電させることができる。ＥＬ素子の電流排出側の電極の電位は、表示内容によって変動するため、ＥＬ素子を介して放電を実行すると、放電量が電流排出側の電極電位に依存することとなる。例えば、直前のフレームにおいて、ＥＬ素子が高輝度発光している場合、又は他のＥＬ素子が高輝度発光している場合、電流排出側の電極電位は高くなり、また放電すべき電荷量も多い。したがって、ＥＬ素子を介して放電させると、放電が充分でなかったり、画素毎に放電量がばらつく可能性がある。このような放電量のばらつきが発生すると、次のフレームの発光輝度に影響するため輝度ばらつきの原因となるが、本発明のようにＥＬ素子とは別の放電制御ラインに接続された放電素子によって放電させることで、表示内容によらずに確実に放電させることができる。このため、放電のために、暗電流を流してエレクトロルミネッセンス素子を発光させる必要がなく、コントラストの低下を防ぎ、ＥＬ素子の寿命の向上にも寄与することができる。

10

20

30

40

50

【００２０】

本発明では、素子駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタを設け、選択トランジスタをオンした状態で、この短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタの閾値電圧に応じたものにセットすることができる。したがって、駆動トランジスタの閾値電圧によらず、データ信号の電圧に応じた駆動電流をＥＬ素子に供給することができる。したがって画素毎の素子駆動トランジスタの閾値のばらつきに起因した輝度ばらつきを防止することができる。また、各画素にはデータラインから選択トランジスタを介して所望のタイミングでデータ信号を供給すればよく、データラインを駆動するための周辺駆動回路に特別な構成を設ける必要もない。

【発明を実施するための最良の形態】

【００２１】

以下、本発明の実施形態について、図面に基づいて説明する。

【００２２】

図１は、実施形態に係るＥＬ表示装置の１画素当たりの回路構成を示している。図２は、このような画素回路を備えるアクティブマトリクス型ＥＬ表示装置の概略回路構成を示す。なお、以下の説明では、ＥＬ素子として、特に電流駆動型の有機ＥＬ素子を用いた表示装置を例に説明する。他の素子でも、電流駆動型の素子であれば同様に適用することができる。

【００２３】

ガラスなどのパネル基板上の表示部には複数の画素がマトリクス配置されており、各画素には表示素子としてＥＬ素子１０が設けられ、このＥＬ素子１０を画素毎に制御するための画素回路が画素毎に設けられている。なお、各画素回路を制御するための駆動回路の一部を図２のように表示部の周辺に表示部と同一のパネル基板上に内蔵してもよい。後述する各画素回路の各トランジスタの能動層として多結晶シリコンなどの結晶性シリコンを採用する場合、同様の多結晶シリコンを能動層に用いたトランジスタを利用して周辺駆動回路（水平ドライバ、垂直ドライバ）を表示部と同一基板に内蔵形成することができる。

【００２４】

パネルの垂直走査方向には、それぞれ、データラインＤＬ、電源ラインＶＬが延び、データラインＤＬには、画素の表示輝度についてのデータ信号（データ電圧Ｖｓｉｇ）が出力され、各画素の後述する選択トランジスタＴ１を介して各画素回路のこのデータ信号を供給する。電源ラインＶＬは、駆動電源ＰＶｄｄに接続されており、各回路の素子駆動トランジスタＴ４に駆動電源からの電流を供給する。

【００２５】

パネルの水平走査方向には、各画素を行毎に順に走査するゲートラインＧＬが行毎に形成されて、また、発光制御ライン（発光セットライン）ＥＳ、放電制御ラインＤＳも行毎に形成され各画素回路に接続されている。

【００２６】

各画素回路は、E L 素子 1 0 と、ゲート（制御端）の電位に応じた駆動電流を駆動電源 P V d d から E L 素子 1 0 に供給する素子駆動トランジスタ T 4、データライン D L からのデータ信号が供給される選択トランジスタ T 1 を備える。また、この選択トランジスタ T 1 と、素子駆動トランジスタ T 4 のゲートとの間には保持容量 C s が設けられている。素子駆動トランジスタのゲート・ドレイン間には短絡トランジスタ T 3 が接続され、素子駆動トランジスタ T 4 をダイオード接続するかどうかを制御する。素子駆動トランジスタ T 4 と E L 素子 1 0 の間には、電流スイッチトランジスタ T 5 が設けられ、電源 P V d d からの駆動電流の E L 素子 1 0 への供給をオンオフ制御する。また、保持容量 C s の選択トランジスタ側と放電制御ライン D S との間には、容量電位制御トランジスタ T 2 が設けられ、さらに、素子駆動トランジスタ T 4 の電流スイッチトランジスタ T 5 側と、放電制御ライン D S との間に放電素子としてダイオード接続された放電トランジスタ T 6 が設けられている。なお、この容量電位制御トランジスタ T 2 及び電流スイッチトランジスタ T 5 のゲートは何れも発光制御ライン E S に接続されている。

10

【0027】

このように図 1 の例では、画素回路は、6 つのトランジスタ（薄膜トランジスタ：T F T）と、E L 素子 1 0、保持容量 C s を備え、6 つのトランジスタの内、素子駆動トランジスタ T 4 のみ p チャネル型トランジスタで、残りの 5 つのトランジスタは n チャネル型トランジスタが用いられている。

【0028】

E L 素子 1 0 は、陽極と陰極の間に少なくとも有機発光材料を含む発光層を有する発光素子層を備え、発光素子層は、用いる材料に応じて、単層構造の他、正孔輸送層 / 発光層 / 電子輸送層の 3 層構造や、さらに正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層などの 4 層、又はそれ以上の多層構造を採用することができる。発光は、陽極から注入される正孔、陰極から注入される電子が発光素子層中で再結合し、励起された発光分子が基底状態に戻る際に得られる。本実施形態では、E L 素子の陰極は、各画素共通の電極により構成され、共通の陰極は、低電位（- 9 . 5 V）のカソード電源 C V に接続されている。一方の陽極は、各画素に個別形状に形成され、電流スイッチトランジスタ T 5 を介して素子駆動トランジスタ T 4 に接続された画素電極によって構成されている。したがって、各 E L 素子 1 0 の陽極には、素子駆動トランジスタ T 4 のゲートに印加される電圧に応じた電流が、駆動電源 P V d d から供給され、E L 素子 1 0 がこの供給電流に応じた輝度で発光する。

20

30

【0029】

以下、各画素回路の接続構造についてより具体的に説明する。

【0030】

まず、データライン D L には、選択トランジスタ T 1 のドレインが接続され、この選択トランジスタ T 1 のソースは、保持容量 C s の一方の電極に接続されている。

【0031】

選択トランジスタ T 1 のゲートは、ゲートライン G L に接続されている。さらに、このゲートライン G L には、短絡トランジスタ T 3 のゲートも接続されており、この短絡トランジスタ T 3 のドレインは、素子駆動トランジスタ T 4 のゲートに、短絡トランジスタ T 3 のソースは素子駆動トランジスタ T 4 のドレインに接続されている。また、素子駆動トランジスタ T 4 は、電源ライン V L にソースが接続され、ドレインが電流スイッチトランジスタ T 5 を介して E L 素子 1 0 の陽極に接続されている。

40

【0032】

素子駆動トランジスタ T 4 のドレイン（電流スイッチトランジスタ T 5 側）と放電制御ライン D S との間には、ダイオード接続された放電トランジスタ T 6 が接続されている。具体的には、素子駆動トランジスタ T 4 のドレインに、放電トランジスタ T 6 のゲート及びドレインが接続され、放電制御ライン D S にこの放電トランジスタ T 6 のソースが接続されている。また、容量電位制御トランジスタ T 2 のソースドレインは、保持容量 C s の選択トランジスタ T 1 側と、放電制御ライン D S に接続され、そのゲートが電流制御ライ

50

ン E S に接続されている。このため、容量電位制御トランジスタ T 2 は、発光制御ライン E S に出力される発光制御信号 (H レベル) に応じてオン動作し、保持容量 C s の選択トランジスタ T 1 側の電位を放電制御ライン D S の電位 (基準電圧) に固定する。なお、この発光制御信号が H レベルの際には、電流スイッチトランジスタ T 5 も同時にオンし、素子駆動トランジスタ T 4 からの電流が E L 素子 10 に供給されるため、E L 素子 10 は供給電流に応じた輝度で発光する。

【 0 0 3 3 】

次にこの回路の動作について、さらに図 3 を参照して説明する。図 3 に示すように、画素回路は、(0) 前フレーム発光期間、(i) プリセット期間、(i i) 放電期間、(i i i) 素子駆動トランジスタ T 4 のゲート電位リセット期間 (データ書き込み期間)、(i i v) 次フレームの発光期間の状態を経る。 10

【 0 0 3 4 】

(0) 前フレーム発光期間 (G L = L レベル、E S = H レベル、D S = H レベル)

発光制御ライン E S に H レベル (例えば 8 V) の制御信号が出力されると、電流スイッチトランジスタ T 5 がオンして、素子駆動トランジスタ T 4 を介して電源ライン V L からの駆動電流が E L 素子 10 に供給され、E L 素子 10 は発光する。このとき、放電制御ライン D S は、駆動電源 P V d d と同電位の H レベルの基準電圧信号が出力されている (例えば 2 V)。このため、電流スイッチトランジスタ T 5 と共にオンする容量電位制御トランジスタ T 2 を介して、保持容量 C s の選択トランジスタ T 1 側の電位 V n は、基準電圧信号の電位 (2 V) に固定される ($V_n = P V d d$)。このため、発光期間中、オフ制御 20 されている選択トランジスタ T 1 にオフリーク電流が発生して保持容量 C s の電位が変動することを防止している。なお、放電制御ライン D S に上記基準電圧信号が出力されている際、放電トランジスタ T 6 のソースにも基準電圧信号が印加され、ダイオード接続されているこの放電トランジスタ T 6 のゲートドレインの電位は、電源電圧 P V d d より、少なくとも素子駆動トランジスタ T 4 の閾値電圧分低いいため、放電トランジスタ T 6 は、オフしている。

【 0 0 3 5 】

(i) プリセット期間 (G L = H レベル、E S = L レベル、D S = H レベル)

発光制御ライン E S を L レベル (例えば - 7 V) とし、電流スイッチトランジスタ T 5 と容量電位制御トランジスタ T 2 をオフ制御した後、ゲートライン G L には、H レベル (30 例えば 8 V) の選択信号が出力される。これにより選択トランジスタ T 1 と短絡トランジスタ T 3 がオンする。なお、発光制御ライン E S を L レベルとした後に、タイミングをずらして G L を H レベルにすることで、電流スイッチトランジスタ T 5 が完全にオフしてから短絡トランジスタ T 3 をオン制御することが可能となり、電源からカソード電源 C V に貫通電流が流れることを防止している。

【 0 0 3 6 】

短絡トランジスタ T 3 がオンすると、素子駆動トランジスタ T 4 のゲートドレインが短絡され、該トランジスタ T 4 は駆動電源 P v d d に対して順方向にダイオード接続されることとなる。このため、素子駆動トランジスタ T 4 のゲート (保持容量 C s の素子駆動トランジスタ T 4 側) の電位 V g は、電源電圧 P V d d からこの素子駆動トランジスタ T 4 40 の閾値電圧 V t p だけ低い電位 ($V_g = P V d d - | V_{t p} |$) になるように変化する。

【 0 0 3 7 】

同時に、選択トランジスタ T 1 もオンするので、保持容量 C s の選択トランジスタ T 1 側にはデータライン D L に供給されるデータ信号 (V s i g) が供給され、保持容量 C s の選択トランジスタ T 1 側電位 V n は、(0) 期間の $V_n = P V d d$ から、 $V_n = V_{sig}$ へと変化していく。よって、保持容量 C s には、 $| V_{sig} - (P V d d - | V_{t p} |) |$ に応じた電圧が充電されていく。このプリセット期間は、データ信号 V sig を表示部の全データラインに書き込むために必要な期間に設定されており、終了後放電期間に移行する。

【 0 0 3 8 】

(i i) 放電期間 ($G L = H$ レベル、 $E S = L$ レベル、 $D S = L$ レベル)

保持容量 C_s に、上記閾値電圧 V_{tp} 及びデータ信号 V_{sig} に応じた電荷がある程度書き込まれた任意のタイミングで、放電制御ライン $D S$ に L レベル (例えば - 7 V) の放電制御信号を出力する。この際、ゲートライン $G L$ は H レベル、発光制御ライン $E S$ は L レベルをそれぞれ維持し、選択トランジスタ T_1 及び短絡トランジスタ T_3 はオンし、電位制御トランジスタ T_2 及び電流スイッチトランジスタ T_5 がオフとなっている。なお、素子駆動トランジスタ T_4 は、短絡トランジスタ T_3 によってダイオード接続されているので動作している。この状態で、放電制御信号が出力されると、放電トランジスタ T_6 がオンし、保持容量 C_s の選択トランジスタ T_1 側の電圧 $V_n = V_{sig}$ という状態で、駆動電源 $P V_{dd}$ からの電流が駆動トランジスタ T_4 及び放電トランジスタ T_6 を介して放電制御ライン $D S$ に流れる。このため、駆動トランジスタ T_4 のゲート (及びドレイン：電流スイッチトランジスタ T_5 との接続側) に保持されていた電荷が引き抜かれる。これによって、前フレームのデータ信号成分が完全に除去され、駆動トランジスタ T_4 のゲート電圧 V_g は、放電制御信号レベルに応じた所定の低電圧になる。

10

【 0 0 3 9 】

なお、この放電期間は、1 H 期間当たり (約 $60 \mu s$)、 $1 \mu s$ 程度の短期間で十分な放電処理を実行することができる。

【 0 0 4 0 】

(i i i) リセット・データ書き込み期間 ($G L = H$ レベル、 $E S = L$ レベル、 $D S = H$ レベル)

20

放電トランジスタ T_6 をオン制御して放電を行った後、放電制御ライン $D S$ の電位を電位制御信号レベルから H レベル (例えば 2 V) の基準電圧信号レベルに変更する。これにより、放電トランジスタ T_6 はオフする。選択トランジスタ T_1 及び短絡トランジスタ T_3 はオン制御されたままであり、また、データライン $D L$ にはデータ信号 V_{sig} が供給されている。よって、素子駆動トランジスタ T_4 のゲート電位 V_g は、電源電圧 $P V_{dd}$ からこの素子駆動トランジスタ T_4 の閾値電圧 V_{tp} だけ低い電位 ($V_g = P V_{dd} - |V_{tp}|$) にリセットされる。同時に、保持容量 C_s の選択トランジスタ T_1 側は、データライン $D L$ から供給されるデータ信号 (V_{sig}) が供給され、保持容量 C_s には、 $|V_{sig} - (P V_{dd} - |V_{tp}|)|$ が充電される。また、素子駆動トランジスタ T_4 の電流スイッチトランジスタ T_5 側の電位 V_m は、短絡トランジスタ T_3 がオンしていることから、 V_g と等しい $P V_{dd} - |V_{tp}|$ にセットされる。

30

【 0 0 4 1 】

(i v) 発光期間 ($G L = L$ レベル、 $E S = H$ レベル)

保持容量 C_s へのデータ信号の書き込みが終わると、ゲートライン $G L$ は H レベルから L レベルに変化し、選択トランジスタ T_1 及び短絡トランジスタ T_3 がオフする。

【 0 0 4 2 】

ここで素子駆動トランジスタ T_4 のゲート電位 V_g は、保持容量 C_s が保持した電荷に応じた電位 $|V_{sig} - (P V_{dd} - |V_{tp}|)|$ に等しく、一方素子駆動トランジスタ T_4 のドレイン (電流スイッチトランジスタ T_5 側) の電位 V_m は、 $P V_{dd} - |V_{tp}|$ にセットされている。上記のように、このとき短絡トランジスタ T_3 はオフ制御されているので、素子駆動トランジスタ T_4 のゲートとドレイン間の電位差は、 $P V_{dd} - |V_{tp}|$ の影響がキャンセルされる。

40

【 0 0 4 3 】

ここで、発光制御ライン $E S$ が H レベルとなり、電流スイッチトランジスタ T_5 がオンすると共に、容量電位制御トランジスタ T_2 がオンし、保持容量 C_s の選択トランジスタ T_1 側の電位 V_n が駆動電源 $P V_{dd}$ に等しい基準電圧に固定される。このため、保持容量の選択トランジスタ T_1 側の電位 V_n 及び素子駆動トランジスタ T_4 のゲート電位 V_g が $P V_{dd}$ 分シフトする。したがって、ゲート電圧によって決まる該トランジスタ T_4 のドレイン電流は素子駆動トランジスタ T_4 の閾値電圧 V_{tp} の影響がキャンセルされ、データ信号 V_{sig} に応じた電流となる。また、後述するように、各画素に電流を供給する

50

電源ラインV_Lとは別に設けられた放電制御ラインD_Sによって駆動電源と同じ基準電位をV_nにセットするので、画素の位置によるばらつきなく素子駆動トランジスタT₄のゲート電圧V_gを制御できる。したがって、電流スイッチトランジスタT₅がオンしてE_L素子10に供給される駆動電流は、素子駆動トランジスタT₄の閾値電圧V_{t p}のばらつきに影響を受けず、E_L素子10の発光輝度がこの閾値電圧V_{t p}のばらつきに応じてばらつくことを防止でき、また発光輝度が電源ラインV_Lの電圧分布の影響を受けることを防止できる。

【0044】

なお、この発光期間への切り替わりに際しても、ゲートラインG_LをLレベルとしてから、発光制御ラインE_SをHレベルへと変更し、タイミングをずらすことにより、E_L素子に駆動電源P_{V d d}から貫通電流が流れることを防止している。

10

【0045】

以上のような駆動を、1水平走査(1H)期間毎、行毎に順次繰り返していくことで、各画素に対し、該画素の選択される1H期間に放電・データ書き込みが実行され、次の水平走査期間から、次のフレームで再度同じ行が選択されるまで、ゲートラインG_L、発光制御ラインE_S、放電制御ラインD_Sの電位を維持し、E_L素子10での発光を維持する。

【0046】

ここで、本実施形態では、上記のように、各画素回路は線順次で駆動している。つまり、同一行上の画素に対し、データラインD_Lからのデータ信号の書き込みタイミングを同時に実行する。この線順次駆動は図2に示すHドライバ内に、対応するデータラインD_Lに出力すべきデータ信号をそれぞれ保持する回路を設け、この保持回路から例えば水平スタート信号に基づいて作成したタイミング信号などによって、各データラインD_Lへ一斉にデータ信号V_{s i g}を出力することで達成できる。

20

【0047】

このように線順次駆動を採用することで、1H期間中に実行される放電処理に続いて実行されるデータ書き込み期間を、各画素について十分な期間、確保することが可能となっている。なお、放電期間については、上述の通り、例えば1μs程度の短時間で充分であり、この放電期間に続くデータ書き込み期間は、線順次駆動の採用により、1H期間当たり、10μs程度は確保することができ、十分な書き込みを実行することが可能となっている。

30

【0048】

また、上記例では、放電素子として、ダイオード接続された放電トランジスタT₆を採用しているが、図4に示すように放電トランジスタに代え、素子駆動トランジスタT₄の電流スイッチトランジスタT₅側と放電制御ラインD_Sとの間にダイオードD₁を設けても良い。ダイオードD₁を採用する場合、素子駆動トランジスタT₄の電流スイッチトランジスタT₅側にダイオードD₁の陽極、放電制御ラインD_Sに陰極を接続する。なお、図4の画素回路は、図1の構成の場合と同一の方法で駆動して、同一の効果を得ることができる。

【0049】

次に、図5を参照して、本実施形態の放電素子の作用を説明する。図5(a)は、特許文献2において採用した構成、つまり、次のフレームのデータ信号を書き込む前に、E_L素子(E_L)を介して素子駆動トランジスタT₄のゲート電荷を放電させる構成を示し、図5(b)は、本実施形態のように、E_L素子10とは別に放電素子(T₆)を設けた場合の構成である。

40

【0050】

E_L素子の電流排出側となる陰極電位は、表示内容によって変動する。したがって、図5(a)に示すように、E_L素子を介して放電を実行すると、放電量が陰極電位C_Vに依存することとなる。陰極電圧C_Vは、接続されている電源電圧が例えば-9.5V等と充分低い電位であっても、例えば、直前のフレームにおいて、E_L素子が高輝度発光してい

50

る場合や、他のEL素子が高輝度発光している場合、陰極電位CVは、パネル内において局部的に本来の電源電圧（例えば-9.5V）よりも高くなる。したがって、EL素子を介して放電させると、放電が充分でなかったり、画素毎に放電量がばらつく可能性がある。また、素子駆動トランジスタT4のゲート・ドレイン電圧Vgが陰極電位CVの影響を受けてばらつく可能性がある。

【0051】

これに対し、図5(b)に示す本実施形態のように、放電素子T6を介して放電制御ラインDSに素子駆動トランジスタT4のゲート電荷を放電させれば、EL素子10の陰極電圧CVの影響を受けない。この放電制御ラインDSは、EL素子の陰極配線とは独立した配線とすることで、EL素子の発光状態によらず、一定の電位に制御することができる。また、画素回路内の不要な電荷を放電させるだけであるためEL素子の陰極配線などと比較して、流れる電流量は非常に少ない。したがって、放電制御ラインDSを、ダイオード接続された放電トランジスタ（又はダイオードD1）T6をオンさせるに十分な低い電圧（例えばゲートラインや発光制御ラインのLレベルと等しい-7V）とすることで、放電素子を確実に動作させて放電を実行させることができる。

10

【0052】

また、放電素子をオフさせ、EL素子の発光期間において、この放電制御ラインDSを上述のように例えば駆動電源PVddと同電位の基準電圧（例えば2V）とすることで、素子駆動トランジスタT4の電流スイッチトランジスタT5側の電位Vmが、電源ラインVLの電圧降下などによって変動することを防止することも可能となる。即ち、電源ラインVLは、図2に示すように列方向に画素毎に配置されており、対応する列のEL素子に流れる電流が多いと、その列の電源ラインVLの電位は、局部的に低下する可能性がある。また画素がPVdd端子から離れた位置の場合、電圧降下により近い位置の画素よりも実際の電源ラインVLの電圧が低くなる。よって、対応する画素のEL素子10に供給される駆動電流にばらつきを生ずる可能性がある。しかし、放電制御ラインDSには、少なくとも放電素子がオフ期間中には電流が流れず、画素のパネル上での位置によらずに安定した電位を維持することが容易である。したがって、放電制御ラインDSに電源電圧PVddと同電位程度の高い基準電圧を印加しておけば、素子駆動トランジスタT4の電流スイッチトランジスタT5側の電位Vmを各画素で等しい高電位に維持させることが可能となる。

20

30

【0053】

また、放電素子のオフ期間に、この放電制御ラインDSを駆動電源PVddと同一の電圧とし、容量電位制御トランジスタT2をオンさせることで、保持容量Csの選択トランジスタT1側の電位VnをPVddに固定することができる。このため、容量電位制御と放電とを同一の放電制御ラインDSによって制御することができ、開口率の減少を最小限にすることができる。さらに放電制御ラインDSのHレベルの基準電圧信号を駆動電源PVddと等しくすることで、この信号レベル同一のPVdd端子から供給を受けて作成することができ、また、Lレベルについては、上記例では例えば-7としており、これは、ゲートラインGL、発光制御ラインESのLレベルと等しい。よって、これらGL、ESのLレベルを決める電源を利用して作成することができる。したがって、各画素に放電制御ラインDSに出力する放電制御信号、基準電圧信号を作成するための別電源を利用する必要がない。

40

【図面の簡単な説明】

【0054】

【図1】本発明の実施形態に係るEL表示装置の画素回路の構成を示す図である。

【図2】本発明の本実施形態に係るEL表示装置の全体の概略構成を説明する図である。

【図3】本発明の実施形態に係るEL表示装置の駆動方法を説明するタイミング図である。

。

【図4】本発明の実施形態に係るEL表示装置の画素回路の他の例を示す図である。

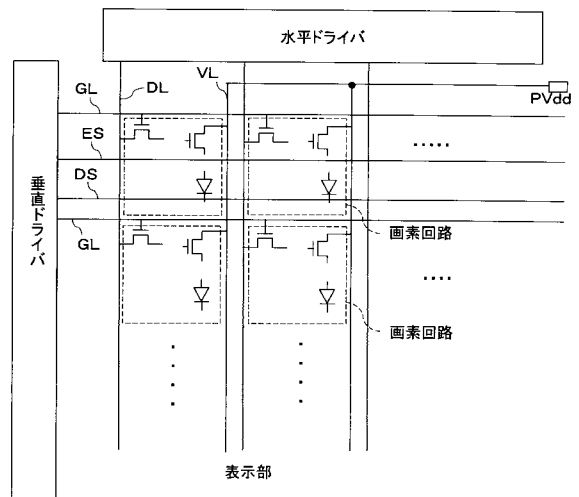
【図5】本発明の実施形態に係る放電素子の作用を説明する図である。

50

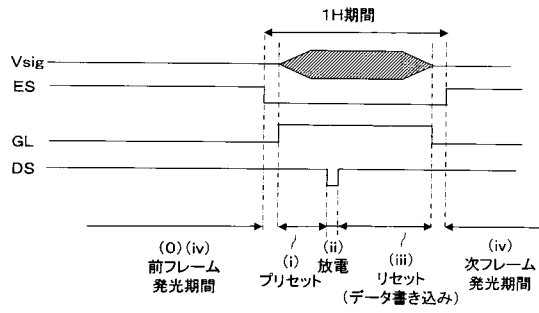
【 0 0 5 5 】

、 V s i g データ電圧。

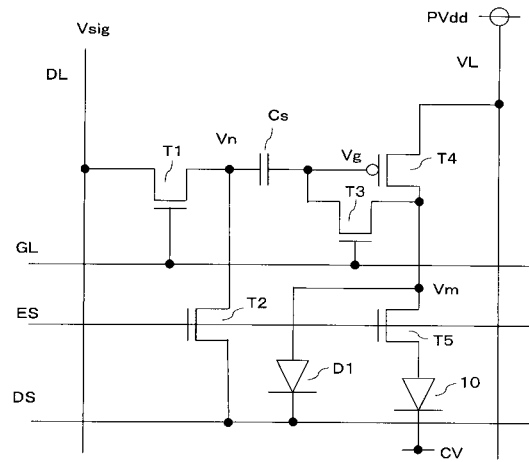
【圖 2】



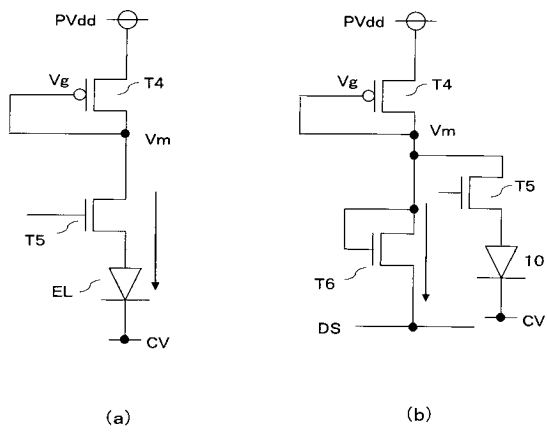
【図 3】



【図 4】



【図 5】



专利名称(译)	电致发光显示装置及其驱动方法		
公开(公告)号	JP2008014968A	公开(公告)日	2008-01-24
申请号	JP2006182715	申请日	2006-06-30
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
FI分类号	G09G3/30.J H05B33/14.A G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB46 5C380/BA11 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/BB23 5C380/BC18 5C380/BD09 5C380/BD16 5C380/CA08 5C380/CA12 5C380/CA24 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC06 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC42 5C380/CC54 5C380/CC64 5C380/CD015 5C380/CD016 5C380/CF46 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：有效地获得EL显示器件中元件驱动晶体管的阈值电压的波动补偿。
 SOLUTION：EL显示装置具有：元件驱动晶体管T4，用于从驱动电源PVdd向EL元件10提供电流；电流开关晶体管T5，插在元件驱动晶体管T4和EL元件10之间；以及短路晶体管T3，用于控制晶体管T4是否二极管连接在元件驱动晶体管T4的栅极和漏极之间。提供用于控制是否将数据信号提供给驱动晶体管T4的控制端的选择晶体管T1，并且在晶体管T1和元件驱动晶体管T4之间提供保持电容器Cs。用于将元件驱动晶体管T4的栅极电荷喷射到放电控制线DS的放电元件设置在元件驱动晶体管T4的电流开关晶体管T5侧和放电控制线DS之间。放电元件的操作由放电控制线DS的电位控制。

