

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-519955

(P2007-519955A)

(43) 公表日 平成19年7月19日(2007.7.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611D	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 641D	
	H05B 33/14 A	
審査請求 未請求 予備審査請求 未請求 (全 14 頁)		

(21) 出願番号	特願2006-548492 (P2006-548492)	(71) 出願人	590000248
(86) (22) 出願日	平成17年1月4日 (2005.1.4)		コーニンクレッカ フィリップス エレク
(85) 翻訳文提出日	平成18年7月6日 (2006.7.6)		トロニクス エヌ ヴィ
(86) 国際出願番号	PCT/IB2005/050026		オランダ国 5621 ペーアー アイン
(87) 国際公開番号	W02005/069265		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開日	平成17年7月28日 (2005.7.28)		1
(31) 優先権主張番号	0400209.3	(74) 代理人	100070150
(32) 優先日	平成16年1月7日 (2004.1.7)		弁理士 伊東 忠彦
(33) 優先権主張国	英国 (GB)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 発光表示装置

(57) 【要約】

アクティブマトリクス電界発光表示装置は、列方向に電源ライン26を有する。分離トランジスタ30は、夫々の画素の駆動トランジスタ22を画素表示素子2から分離するため設けられる。装置は2つのモードで動作する。第1のモードで、分離トランジスタ30は、夫々の画素に関して駆動トランジスタ22を表示素子2から分離し、画素駆動信号が行毎に順に配列の全ての画素へ供給される。第2のモードで、分離トランジスタ30は、駆動トランジスタ22を表示素子2へ結合し、電流が表示素子に流される。この表示装置で、画素駆動信号は、行毎に1つの相で表示配列に取込まれる。電源ラインが列にある場合に、画素駆動信号の取込み中、電流は一度に電源ラインに沿って1つの画素のみへ供給される。垂直クロストークが回避されるように、この時間中に如何なる表示素子によっても電流は引き込まれない。これは画素データが画素に正確に蓄えられることを可能にする。

【特許請求の範囲】

【請求項 1】

行及び列に配置された表示画素の配列を有するアクティブマトリクス電界発光表示装置であって、

夫々の画素は：

電界発光（E L）表示素子；

表示画素の夫々の列へ電力を夫々供給する結合された電源ラインからの電流を前記表示素子に流す駆動トランジスタ；

データラインからの画素駆動信号を前記駆動トランジスタのゲートへ供給するアドレストランジスタ；及び

前記駆動トランジスタを前記表示素子から分離する分離トランジスタ，
を有し、

前記分離トランジスタが夫々の画素に関して前記駆動トランジスタを前記表示素子から分離し、画素駆動信号が行毎に順に前記配列の全ての画素へ供給されるところの第 1 のモードと、前記分離トランジスタが前記駆動トランジスタを前記表示素子へ結合し、電流が前記表示素子に流されるところの第 2 のモードとから成る 2 つのモードで動作する、
ことを特徴とする装置。

【請求項 2】

前記 E L 表示素子及び前記駆動トランジスタは、第 1 の電源ラインと第 2 の電源ラインとの間に直列に接続されることを特徴とする請求項 1 記載の装置。

【請求項 3】

前記分離トランジスタは、前記表示素子と前記駆動トランジスタとの間に接続されることを特徴とする請求項 2 記載の装置。

【請求項 4】

前記駆動トランジスタは、ポリシリコン T F T であることを特徴とする請求項 1 乃至 3 のうちいずれか一項記載の装置。

【請求項 5】

夫々の画素は、前記駆動トランジスタのゲートとソースとの間に蓄積キャパシタを更に有することを特徴とする請求項 1 乃至 4 のうちいずれか一項記載の装置。

【請求項 6】

夫々の画素は、前記表示素子の光出力に依存して前記蓄積キャパシタを放電する光依存性デバイスを更に有することを特徴とする請求項 5 記載の装置。

【請求項 7】

前記光依存性デバイスは、放電フォトダイオードを有することを特徴とする請求項 6 記載の装置。

【請求項 8】

前記第 2 のモードにおいて、画素の異なる行の前記分離トランジスタは、順に、画素の行に関して前記駆動トランジスタを前記表示素子へ結合するようオンとされることを特徴とする請求項 1 乃至 7 のうちいずれか一項記載の装置。

【請求項 9】

電界発光（E L）表示素子と、該表示素子に電流を流す駆動トランジスタとを夫々が有する表示画素の行及び列の配列を有するアクティブマトリクス電界発光表示装置をアドレス指定する方法であって：

第 1 のモードで、夫々の画素において前記駆動トランジスタを前記表示素子から分離し、行毎に順に前記配列の全ての画素へ画素駆動信号を供給するステップ；及び

第 2 のモードで、夫々の画素において前記駆動トランジスタを前記表示素子へ結合し、列電源ラインからの電流を前記駆動トランジスタ及び前記表示素子を介して引き込むことによって前記表示素子に電流を流すステップ；

を有する方法。

【請求項 10】

前記第2のモードにおいて、前記駆動トランジスタは、順に、画素の行の表示素子へ結合されることを特徴とする請求項9記載の方法。

【請求項11】

前記第2のモードにおいて、前記表示素子から出力される光の一部は、前記駆動トランジスタの動作を制御し、それによって光フィードバック制御ループを実施するために使用されることを特徴とする請求項10記載の方法。

【請求項12】

一画素に関して前記駆動トランジスタを前記表示素子から分離するステップは、前記画素の表示素子と駆動トランジスタとの間の分離トランジスタをオフとするステップを有することを特徴とする請求項9乃至11記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば電界発光表示装置、具体的にはアクティブマトリクス表示装置のような発光表示装置に関する。

【背景技術】

【0002】

電界発光や光放射型の表示素子を用いるマトリクス表示装置が良く知られる。前記表示素子は、例えばポリマー材料を用いる有機薄膜電界発光素子、又は従来のIII-V族半導体化合物を用いる発光ダイオード(LED)を有しても良い。有機電界発光物質、特にポリマー材料における最近の発展は、特に映像表示装置に使用されるべきそれらの能力を実証している。一般的に、これらのポリマー材料は、一对の電極間に挟まれた半導体共役高分子の1又はそれ以上の層を有する。一对の電極の1つは透明であり、他は空孔又は電子を高分子層に入れるのに適した物質から成る。

20

【0003】

ポリマー材料は、CVD処理、又は水溶性共役高分子の溶液を用いるスピンコーティング技術によって作られ得る。また、インクジェット印刷が使用されても良い。有機電界発光物質は、それらが表示機能及びスイッチング機能の両方を提供する能力を有するように、ダイオードのようなI-V特性を示し、従って、パッシブ型表示装置において使用可能である。代替的には、これらの物質は、表示素子と、表示素子を流れる電流を制御するスイッチングデバイスとを夫々が有する画素を有するアクティブマトリクス表示装置に用いられても良い。

30

【0004】

この形式の表示装置は電流駆動型表示素子を有するので、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。画素構造の一部として電流源トランジスタを設けることが知られる。この電流源トランジスタに供給されるゲート電圧は、表示素子を流れる電流を決める。蓄積キャパシタは、アドレス指定相の後にゲート電圧を保持する。

【0005】

図1は、既知のアクティブマトリクスアドレス指定型電界発光表示装置を示す。表示装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有するパネルを有する。該画素は、ブロック1によって表わされ、結合される切替え手段と共に電界発光表示素子2を有し、行(選択)及び列(データ)のアドレス導電体4及び6の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図には示されていない。実際には、画素の数百の行及び列が存在しうる。画素1は、行走査ドライバ回路8及び列データドライバ回路9を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

40

【0006】

電界発光表示素子2は、ここではダイオード素子(LED)として表わされ、有機電界発光物質の1又はそれ以上のアクティブ層が挟まれた一对の電極を有する有機発光ダイオ

50

ードを有する。前記配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子 2 の電極は、例えば ITO のような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるようにこれらの電極及び支持材を介して伝達される。

【0007】

図 2 は、電圧プログラム式動作を提供する既知の画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素 1 は、EL 表示素子 2 と、結合されるドライバ回路とを有する。ドライバ回路は、行導電体 4 の行アドレスパルスによりオンとされるアドレストランジスタ 16 を有する。アドレストランジスタ 16 がオンとされると、列導電体 6 の電圧は、残りの画素へ伝わる事ができる。具体的には、アドレストランジスタ 16 は、列導電体電圧を電流源 20 へ供給する。電流源 20 は、駆動トランジスタ 22 と、蓄積キャパシタ 24 とを有する。列電圧は、駆動トランジスタ 22 のゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積キャパシタ 24 によってこの電圧に保たれる。駆動トランジスタ 22 は、電源ライン 26 から電流を引き込む。

10

【0008】

この回路内の駆動トランジスタ 22 は、p 形 TFT として実施されているので、蓄積キャパシタ 24 は、ゲート - ソース間電圧を一定に保つ。これにより、トランジスタ 22 を流れる一定のソース - ドレイン間電流が得られる。従って、トランジスタ 22 は、画素の所望の電流源動作を提供する。

20

【0009】

本発明は、特に、電源ライン 26 が、例えば同じ物質層から形成される列導電体 6 に並列であるところの画素構造に関する。この物質層は、一般的に製造プロセスの表面金属であり、通常行導電体を形成するために用いられる底面金属層よりも厚く、従って、より小さい抵抗を有しうる。また、その場合に、電源ラインの長さは、横長表示装置に対して、より短いので、ラインの端から端での電圧降下は、より低くなり、より大きな表示装置が作られることが可能となる。

【発明の開示】

【発明が解決しようとする課題】

30

【0010】

図 2 の画素回路が垂直電源ラインを使用するよう変形される場合には、画素回路は、深刻なクロストークを欠点として有しうる。具体的には、画素は、データが画素に蓄えられる間に表示素子への電流供給を遮断することによって動作し、蓄えられたデータ電圧は、電源ライン電圧と相対的な電圧である。遮断は、図 2 の回路では更なるトランジスタ 28 によって実行されるが、他の手段が用いられても良い。例えば、他の手段としては、切替え可能である電源ライン電圧又は陰極電圧を提案されてきた。垂直電源ラインの結果として、データ電圧は、抵抗性電源ラインに沿って依然として電流を引き込んでいる列において他の画素によって引き起こされる電源ライン電圧降下によって転化されうる。これは、垂直クロストークとして視覚的に見られる。

40

【0011】

電流ミラー回路は、画素への電力供給が連続的であって、中断される必要がない場合に、上記欠点を有さない。この理由のために、電流ミラー回路は、一般的に、垂直電源ラインを有する画素構造を実施するために使用される。これらは、電圧アドレス指定型画素回路よりもむしろ電流アドレス指定型画素回路である。

【0012】

しかし、ドライバ回路及び駆動方式は、電流アドレス指定型画素よりも電圧アドレス指定型画素の方が簡単であり、垂直電源ラインを用いる電圧アドレス指定型画素に関する簡単な方法において垂直クロストークの問題を解決する必要性が残っている。

【課題を解決するための手段】

50

【 0 0 1 3 】

本発明に従って、行及び列に配置された表示画素の配列を有するアクティブマトリクス電界発光表示装置であって、夫々の画素は：

電界発光（E L）表示素子；

表示画素の夫々の列へ電力を夫々供給する結合された電源ラインからの電流を前記表示素子に流す駆動トランジスタ；

データラインからの画素駆動信号を前記駆動トランジスタのゲートへ供給するアドレストランジスタ；及び

前記駆動トランジスタを前記表示素子から分離する分離トランジスタ，
を有し、

前記分離トランジスタが夫々の画素に関して前記駆動トランジスタを前記表示素子から分離し、画素駆動信号が行毎に順に前記配列の全ての画素へ供給されるところの第1のモードと、前記分離トランジスタが前記駆動トランジスタを前記表示素子へ結合し、電流が前記表示素子に流されるところの第2のモードとから成る2つのモードで動作することを特徴とする装置が提供される。

10

【 0 0 1 4 】

この表示装置において、画素駆動信号は、行毎に、1つの相において表示装置配列に取り込まれる。電源ラインが列にある場合に、画素駆動信号の取り込み中に、電流は、一度に電源ラインに沿って1つの画素のみへ供給される。垂直クロストークが回避されるように、この時間中には如何なる表示素子によっても電流は引き込まれない。このことは、画素データが画素に正確に蓄えられることを可能にする。

20

【 0 0 1 5 】

望ましくは、前記E L表示素子及び前記駆動トランジスタは、第1の電源ラインと第2の電源ラインとの間に直列に接続される。

【 0 0 1 6 】

望ましくは、前記分離トランジスタは、前記表示素子と前記駆動トランジスタとの間に接続される。

【 0 0 1 7 】

夫々の画素は、前記駆動トランジスタのゲートとソースとの間に蓄積キャパシタを更に有しても良い。この場合に、夫々の画素は、前記表示素子の光出力に依存して前記蓄積キャパシタを放電する光依存性デバイスを更に有しても良い。

30

【 0 0 1 8 】

この光フィードバック配置は、表示素子特性の経年劣化の補償を提供する。しかし、これは、また、より高いピーク（初期）電流が表示素子によって引き込まれることを必要とする。

【 0 0 1 9 】

より高い初期ピーク電流を解決するために、前記第2のモードにおいて、画素の異なる行の前記分離トランジスタは、順に、画素の行に関して前記駆動トランジスタを前記表示素子へ結合するようオンとされ得る。このことは、画素の如何なる列においてもピーク初期電流を引き込む画素は1つのみであって、電源から引き出される全電流が常に平均値に近似するように、画素の初期駆動がずらされることを可能にする。

40

【 0 0 2 0 】

本発明は、また、電界発光（E L）表示素子と、該表示素子に電流を流す駆動トランジスタとを夫々が有する表示画素の行及び列の配列を有するアクティブマトリクス電界発光表示装置をアドレス指定する方法であって：

第1のモードで、夫々の画素において前記駆動トランジスタを前記表示素子から分離し、行毎に順に前記配列の全ての画素へ画素駆動信号を供給するステップ；及び

第2のモードで、夫々の画素において前記駆動トランジスタを前記表示素子へ結合し、列電源ラインからの電流を前記駆動トランジスタ及び前記表示素子を介して引き込むことによって前記表示素子に電流を流すステップ；

50

を有する方法を提供する。

【0021】

当該方法は、垂直クロストークを除去するための列電源ラインを有する画素回路の動作を提供する。

【0022】

前記第2のモードにおいて、前記駆動トランジスタは、順に、画素の行の表示素子へ結合され得る。これは、特に、光フィードバック画素に適している。光フィードバック画素において、前記表示素子から出力される光の一部は、前記駆動トランジスタの動作を制御するために使用される。この駆動方式は、より高い初期画素駆動電流を必要とし、順に画素の行の表示素子へ駆動トランジスタを結合することによって、これらの初期ピーク電流は

10

【発明を実施するための最良の形態】

【0023】

本発明の実施例を、添付の図面を参照して詳細に説明する。

【0024】

本発明は、列電源ラインを有し、夫々の画素の駆動トランジスタが画素プログラミング中に表示素子から分離されるアクティブマトリクス電界発光表示装置を提供する。画素プログラミングは、如何なる表示画素も駆動される前に、行毎に、全ての画素に対して実行される。電源ラインは列にあり、画素プログラミングは行毎である場合に、画素プログラミング中に、電流は、一度に電源ラインに沿って1つの画素のみへ供給される。垂直クロ

20

【0025】

図3は、本発明の画素配置を示す。図2に表された構成要素と同じ構成要素には、同じ参照番号が付与されている。明らかであるように、夫々の電源ライン26は、表示画素の夫々の列へ電力を供給する。分離トランジスタ30は、駆動トランジスタを表示素子から分離するために、駆動トランジスタ22と表示素子2との間に設けられている。

【0026】

画素は、2つの動作で動作可能である。これらの動作について図4を参照して説明する。図4は、図3の画素回路の動作のタイミング図である。

30

【0027】

プロット40はフィールドパルスを示す。フィールドパルスは、画像データの順次フレームのアドレス指定を分ける。プロット42は、行アドレスパルスを示す。行アドレスパルスは、画素の全ての行に関してアドレストランジスタ16をオンとするために使用される。パルスは、アドレストランジスタのオン(ON)状態を表す。図4は、3つの行に関して行アドレスパルスを示すが、当然、全ての行がフィールド期間内に順にアドレス指定される。プロット44は、分離トランジスタ30の動作のタイミングを示す。

【0028】

第1のモード50は、画素プログラミングモードである。分離トランジスタ30は、夫々の画素に関して駆動トランジスタ22を表示素子2から分離し、画素駆動信号は、行毎に順に配列の全ての画素へ供給される。電源ライン26が列にある場合に、画素駆動信号の取り込み中、電流は、一度に電源ラインに沿って1つの画素のみへ供給される。垂直クロストークが回避されるように、分離トランジスタの結果として、この時間中には如何なる表示素子によっても電流は引き込まれない。このことは、画素データが画素に正確に蓄えられることを可能にする。

40

【0029】

第2のモード52は、画素駆動モードである。分離トランジスタ30は、駆動トランジスタ22を表示素子2へ結合し、電流が表示素子2に流される。

【0030】

図4の駆動方式では、画素の全てが同時に駆動される。

50

【 0 0 3 1 】

LED材料の経年劣化を補償する電圧アドレス指定型画素回路が提案されてきた。例えば、様々な画素回路が提案されており、このような画素回路において、画素は光検知素子を含む。この素子は、アドレス指定期間の間に表示装置の積分光出力を制御するように、表示素子の光出力に応答し、光出力に応じて蓄積キャパシタに蓄えられた電荷を漏出するように動作する。図5は、この目的のための既知の画素配置の一例を示す。この形式の画素構造の例は、WO 0 1 / 2 0 5 9 1 及び EP 1 0 9 6 4 6 6 に詳細に記述されている。

【 0 0 3 2 】

図5の画素回路において、フォトダイオード27は、キャパシタ24に蓄えられたゲート電圧を放電する。EL表示素子2は、駆動トランジスタ22のゲート電圧が閾値電圧に達するともはや発光しない。その場合に、蓄積キャパシタ24は放電を停止する。電荷がフォトダイオード27から漏出される率は、表示素子出力の関数である。従って、フォトダイオード27は、感光性フィードバックデバイスとして機能する。積分光出力は、フォトダイオード27の影響を考慮して、以下：

【 0 0 3 3 】

【 数 1 】

$$L_T = \frac{C_s}{\eta_{PD}} (V(0) - V_T) \quad \dots[1]$$

10

20

によって与えられることが示されうる。

【 0 0 3 4 】

この式において、 η_{PD} は、フォトダイオードの効率であって、表示装置全体に亘って極めて均一である。 C_s は、蓄積容量である。 $V(0)$ は、駆動トランジスタの初期ゲート-ソース間電圧である。 V_T は、駆動トランジスタの閾値電圧である。従って、光出力は、EL表示素子の効率とは無関係であり、その結果、経年劣化補償を提供する。 V_T は、表示装置全体に亘って変化し、様々な他の技術が、このような閾値電圧のばらつきを補償するために提案されている。

30

【 0 0 3 5 】

この回路において光出力は減衰するので、高い初期電流が、高い初期輝度を達成するために必要とされる。初期輝度は、その場合に、所望の平均光出力を供給するよう光フィードバックシステムによって低減される。このことは、非常に大きな電流が、図5の回路において画素駆動相の開始時に電源ラインに沿って流れうることを意味する。これは、電源ライン電圧降下の上記問題を悪化させる。

【 0 0 3 6 】

具体的には、画素の行は、通常同時にアドレス指定され、図5の従来の回路においては、これらの画素は、全て、高く大きな初期電流を同じ行電源ラインから同時に引き込む。

【 0 0 3 7 】

この目的のために、垂直電源ラインの使用は、特に、図5を参照して説明される形式の光フィードバック回路に関して望ましい。垂直電源ラインを用いると、画素の行毎のアドレス指定により、異なる行における画素は、画素駆動周期の異なる段階にある。従って、一の列の端から端までの画素は、高い初期電流を同時に引き込まない。

40

【 0 0 3 8 】

本発明は、先と同じく、列電源ラインに関連した垂直クロストーク問題を解消するために、このような光フィードバック回路に適用されうる。図5の回路は、本発明に従って、図6に示すように変形される。

【 0 0 3 9 】

図6から明らかであるように、分離トランジスタ30は、やはり、駆動トランジスタ22と表示素子2との間に設けられている。

50

【 0 0 4 0 】

図 4 の駆動方式は、光フィードバック画素を伴う実施のために変形を必要とする。図 4 において、画素の行毎の駆動は解除されており、全ての画素が同時に駆動される。従って、発光相 5 2 の開始時に、全ての画素は、最初に、大電流を引き込んでいるであろう。この問題を解決するために、発光パルス 4 4 が、異なる行に対してずらされる。

【 0 0 4 1 】

図 7 は、このずらされた発光相 5 2 による図 6 の回路の動作に関するタイミング図を示す。

【 0 0 4 2 】

行毎に発光パルス 4 4 の開始時をずらすことによって、一の行にある画素によって引き込まれた高い初期電流は、他の行にある画素によって引き込まれた高い初期電流と同時に起こらない。結果として、列電源から引き込まれる全ての電流は、画素駆動電流の平均値に近い。

【 0 0 4 3 】

この変形は、全ての画素設計に適用可能であり、光フィードバックの実施においてのみならず利点を有する。

【 0 0 4 4 】

本発明の駆動方式は、画素にデータをプログラミングし、その後に画素駆動相の前の短い遅延が続く。この遅延は、図 7 の動作に関してはさほどでもないが、行毎に異なっている。蓄積キャパシタを放電する漏出を防ぐことが重要であり、更なるトランジスタ 6 0 が、図 8 に示すように、この目的のために使用されても良い。明らかであるように、更なるトランジスタ 6 0 は、分離トランジスタと同じ制御ラインを共有する。

【 0 0 4 5 】

このトランジスタは、蓄積キャパシタの放電故のフォトダイオードにおける漏れ電流又は暗電流を止める。

【 0 0 4 6 】

上述したように、補償方式は、また、基板全体に亘る閾値電圧のばらつきを補償するために提案されてきた。このような方式は、上述した駆動方式及び画素回路を変形するために使用されても良い。様々な閾値電圧補償方式が、非結晶シリコン及びポリシリコン駆動トランジスタに対して提案されてきた。非結晶シリコントランジスタは、特に、電圧ストレスによって誘発される閾値電圧のばらつきを欠点として有するので、補償が時間に亘って必要とされる。ポリシリコントランジスタは、特に、基板上での閾値電圧のばらつきを欠点として有するが、これらは時間に亘ってほとんど一定のままであるので、初期補償が必要とされる。

【 0 0 4 7 】

本発明は、n 形又は p 形駆動トランジスタを用いる画像回路、如何なるトランジスタ技術も用いる画像回路、及び閾値電圧又は他の補償要素のための如何なる適切な更なる補償方式も用いる画素回路に適用可能である。

【 0 0 4 8 】

他の変形は、当業者には明らかであろう。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】従来のアクティブマトリクス LED 表示装置を示す。

【 図 2 】図 1 の表示装置の第 1 の既知の画素配置を示す。

【 図 3 】本発明の第 1 の画素配置を示す。

【 図 4 】図 3 の画素配置の動作に関するタイミング図を示す。

【 図 5 】既知の光フィードバック画素配置を示す。

【 図 6 】図 5 の画素配置が本発明に従って如何に変形されるかを示す。

【 図 7 】図 6 の画素配置の動作に関するタイミング図を示す。

【 図 8 】本発明の画素配置の変形例を示す。

10

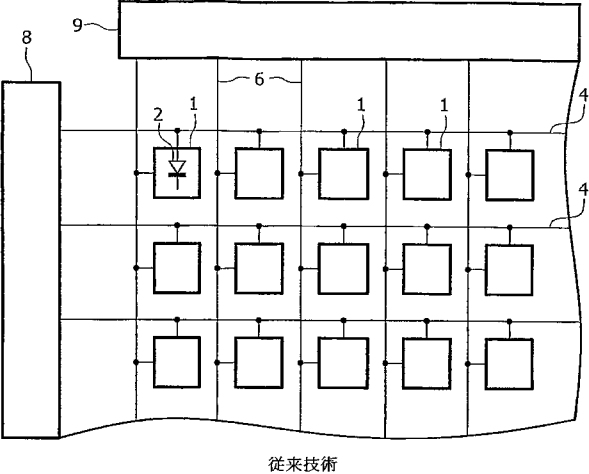
20

30

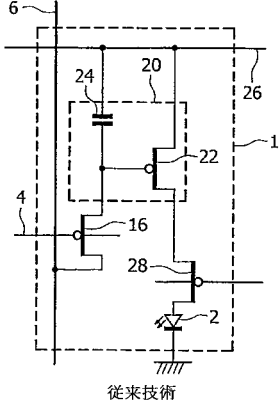
40

50

【 図 1 】



【 図 2 】



【 図 3 】

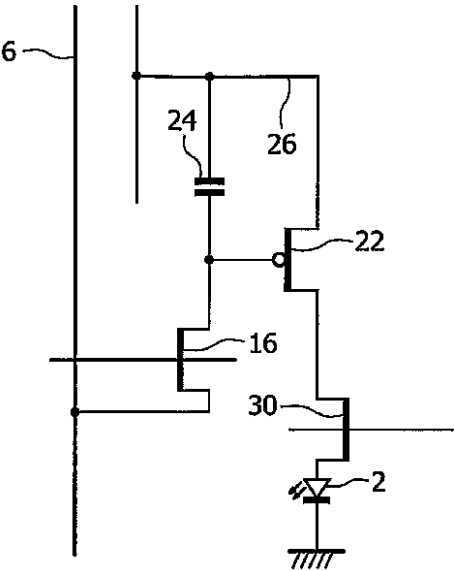


FIG. 3

【 図 4 】

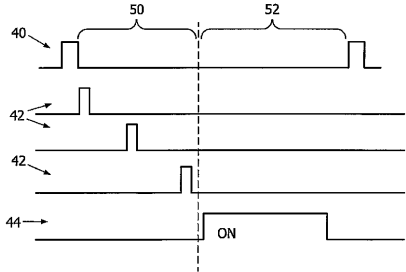
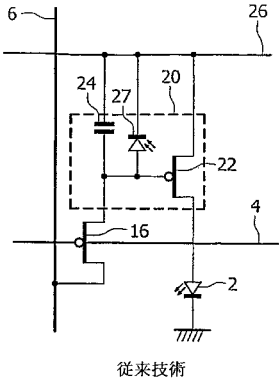


FIG. 4

【 図 5 】



【 図 6 】

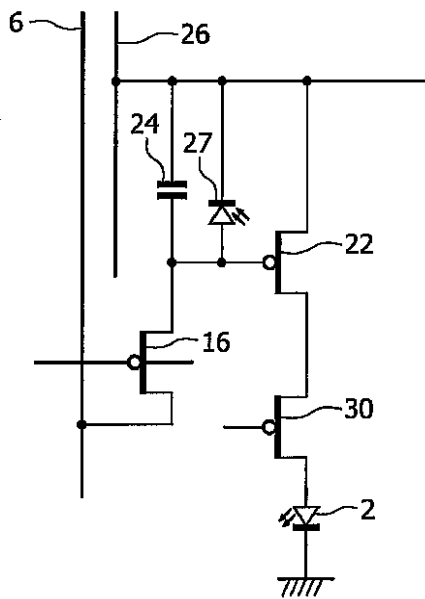


FIG. 6

【 図 7 】

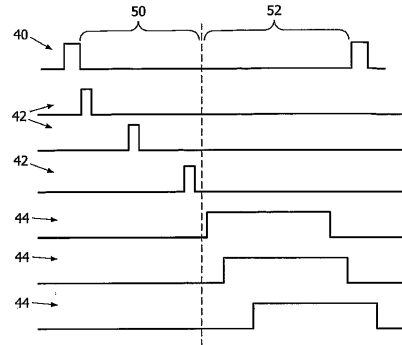


FIG. 7

【 図 8 】

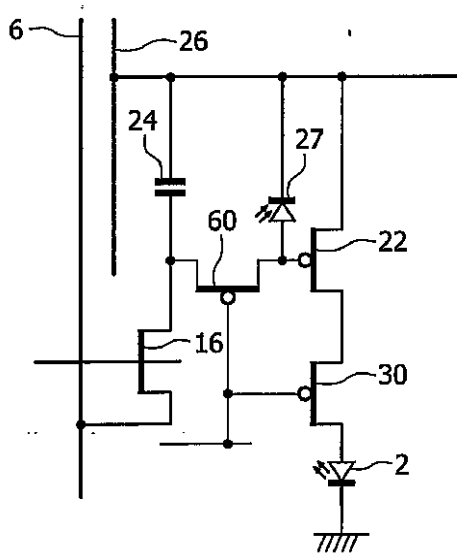


FIG. 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
.../IB2005/050026

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 60963/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 6096		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 448 718 B1 (BATTERSBY STEPHEN J) 10 September 2002 (2002-09-10) column 3, lines 10-26 column 7, line 66 - column 8, line 37; figure 4	1-12
A	US 6 611 245 B1 (EDWARDS MARTIN J) 26 August 2003 (2003-08-26) column 1, line 49 - column 2, line 44; figures 1,4 ----- -/--	1-12
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 10 March 2005		Date of mailing of the international search report 25/04/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Kunze, H

INTERNATIONAL SEARCH REPORT

International Application No

.../IB2005/050026

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MENG Z ET AL: "METAL-INDUCED UNILATERALLY CRYSTALLIZED POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR TECHNOLOGY FOR ACTIVE-MATRIX ORGANIC LIGHT-EMITTING DIODE DISPLAYS WITH REDUCED SUSCEPTIBILITY TO CROSS-TALK" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 2, May 2002 (2002-05), pages 976-979, XP001134331 the whole document -----	1-12

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 International Application No
 T/IB2005/050026

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6448718	B1	10-09-2002	WO 0131624 A1
			EP 1163654 A1
			JP 2004506924 T
			TW 558701 B
US 6611245	B1	26-08-2003	WO 0101383 A1
			EP 1110200 A1
			JP 2003503747 T
			TW 554321 B

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 フィッシュ, デイヴィッド エイ

イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

(72)発明者 ヒューズ, ジョン アール

イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

F ターム(参考) 3K107 AA01 BB01 CC31 CC42 EE03 HH05

5C080 AA06 BB05 DD10 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007519955A5	公开(公告)日	2008-01-31
申请号	JP2006548492	申请日	2005-01-04
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ ヒューズジョンアール		
发明人	フィッシュ,デイヴィッド エイ ヒューズ,ジョン アール		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0245 G09G2320/0209 G09G2320/043 G09G2330/025 G09G2360/148		
FI分类号	G09G3/30.J G09G3/20.611.D G09G3/20.624.B G09G3/20.641.D H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC42 3K107/EE03 3K107/HH05 5C080/AA06 5C080 /BB05 5C080/DD10 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2004000209 2004-01-07 GB		
其他公开文献	JP2007519955A		

摘要(译)

有源矩阵发光显示器在列方向上具有电源线26。提供分离晶体管30以将每个像素的驱动晶体管22与像素显示元件2分离。该设备以两种模式运行。在第一模式中，分离晶体管30针对每个像素将驱动晶体管22与显示元件2分离，并且逐行地按顺序将像素驱动信号提供给阵列中的所有像素。在第二模式中，隔离晶体管30将驱动晶体管22耦合到显示元件2，并且电流被传递到显示元件。在该显示器中，像素驱动信号以每行一个相位被捕获到显示阵列中。当电源线在列中时，在获取像素驱动信号期间沿电源线一次仅向一个像素提供电流。在此期间，任何显示元件都不会吸收电流，从而避免垂直串扰。这允许像素数据正确地存储在像素中。