

【特許請求の範囲】

【請求項 1】

有機発光ダイオード（O L E D）、
前記 O L E D の動作状態を表わすデータを格納するスタティック・メモリ、
前記 O L E D を制御する C M O S 回路、及び
前記 C M O S 回路を過電圧破壊から保護する保護回路を備えた画素回路。

【請求項 2】

前記 C M O S 回路が、
前記画素の最大輝度を設定する第 1 の入力と、
前記画素のデューティ・ファクタを制御して前記画素の輝度を前記最大輝度未満に設定する第 2 の入力と
を備えている、
請求項 1 に記載の画素回路。 10

【請求項 3】

前記保護回路が、前記 O L E D を点灯させるために前記 O L E D 用に順方向バイアス経路を実現しうる、
請求項 1 に記載の画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、一般に画素回路に関し、特に C M O S (c o m p l e m e n t a r y m e t a l o x i d e s e m i c o n d u c t o r) 技術を用いた低電力有機発光ダイオード (o r g a n i c l i g h t e m i t t i n g d i o d e : O L E D) 画素回路に関する。

【背景技術】

【0002】

O L E D 画素には、電流を印加すると発光する様々な有機材料のうちの任意のものを用いる。O L E D ディスプレイはアレイ状に構成された複数の O L E D 画素を備えている。

【0003】

30

O L E D 画素の照度は定電流源または定電圧源を備えた画素回路によって制御する。一般的な認識によれば、定電流源を用いた方がアレイ中の画素間の照度の均一性が高くなる。その理由は、電流に対する照度の依存性には均一になるようとする傾向があるのに対して、様々な画素における所定電流下での O L E D 両端の電圧には均一さから遠ざかるようとする傾向があるからである。ハワード (H o w a r d) らの米国特許第 6 0 2 3 2 5 9 号には、O L E D にパッシブ (受動) マトリクス駆動電流を供給する電流ドライバが記載されている。ディスプレイの普通の明るさの場合、パッシブ・マトリクス駆動動作では O L E D の電力効率が低下してしまうとともに、フリッカ (ちらつき) を避けるには 6 0 H z 以上のリフレッシュ速度が必要となる。

【0004】

40

アクティブ (能動) マトリクス・ディスプレイでは一般に、画素の状態を記憶させるための手段を各画素回路内に設けている。これは通常、各画素回路に画素の状態をキャパシタ両端の電圧として格納するダイナミック R A M セル等価物を備えることにより行っている。このような構成の欠点は電圧がキャパシタから短時間で消失してしまう点である。その結果、ディスプレイに表示している画像はすべて定期的にリフレッシュしなければならない。画像をリフレッシュするこの動作は大量の電力を消費する。したがって、ダイナミック R A M の既存の使用法とは別の方法を見いだすのが望ましい。

【0005】

「オン」画素の照度の制御は通常、当該画素に印加する電圧または電流を決めるアナログ電圧の大きさを制御することにより行っている。アナログ制御回路は余分な電力の消費源 50

である。したがって、アナログ制御回路の既存の使用方法とは別の使用方法を見いだすのが望ましい。

【0006】

OLEDディスプレイは有機材料の薄層群から構成されている。この薄層群中では、個々のOLED画素が当該OLEDのアノード（陽極）と当該OLEDの対向電極との間で偶発的に短絡することがある。このような短絡によって、回路中に余分な電流が流れ、画素回路の両端に余分な電圧が発生する結果、余分な電力消費がなされる。短絡した画素が出す熱によって、当該短絡した画素近傍の良好な画素が破壊される可能性があるし、余分な電流によって電力供給電圧が変動する可能性もある。

【0007】

OLEDディスプレイの動作中、有機材料の薄層群は電荷を捕獲する傾向がある。それにより、OLED両端の電圧降下が大きくなる。その結果、照度が不均一になるとともに画像が焼きつく可能性がある。捕獲された電荷はOLEDを逆バイアスすることにより取り除くことができる。

【0008】

OLED自体はオン時に十分な照度を提供するとともに逆バイアス時に、捕獲された電荷を除去するするのに+/-6ボルト程度の電圧を必要とする。既存のCMOS集積回路技術では、4ボルト未満の電圧で動作するトランジスタを使用している。したがって、CMOS技術では通常、OLEDを駆動できない。また、OLED画素回路中のCMOSデバイスは4ボルト超の電圧に起因する破壊の影響を受けやすい。

【0009】

表示画像を変化させる既存の方法は、ディスプレイの各画素に定期的かつ個別にアドレスし必要に応じてそれらを「オン（ON）」したり「オフ（OFF）」したりするディスプレイ・コントローラのメモリをプロセッサが更新するというものである。ディスプレイが大量の画素、たとえば10万画素、100万画素、あるいはそれ以上の画素を備えている場合、この動作はきわめて大量の電力を消費するとともにプロセッサに負荷をかけることになる。

【0010】

複数の画素回路をディスプレイに組み込む際に生じる別の課題は、ディスプレイの全構成要素を物理的分散させる方法に関するものである。すなわち、ディスプレイの面積は限られており、その中に画素とそれに付随する回路を配置する。さらに均一な画像を得るために画素間のピッチを一定に保つ必要もある。

【0011】

上述した欠点ゆえに、OLEDディスプレイは既存の他の多くのディスプレイ技術の場合と異なり、設計者が容易に採用するに至っていない。ダイナミックRAMとそれに対応する画像リフレッシュに必要な回路、および電力消費に関係する課題があるので、電池駆動の装置やハンドヘルド装置または腕時計などの小型ディスプレイでOLEDを採用するのは難しい。また、OLEDは駆動電圧が高いので、OLED画素回路中でCMOS回路を使うのは難しい。さらに、アレイ中の画素にすべて定期的にアドレスする必要があるので、大型ディスプレイでOLEDを採用するのは難しい。また、画素間のピッチを一定に保つことは、すべてのディスプレイにおける重要な考慮事項である。

【発明の開示】

【課題を解決するための手段】

【0012】

本発明の第1の実例によれば、画素回路は有機発光ダイオード（OLED）と、OLEDの動作状態を表わすデータを格納するスタティック・メモリとを備えている。

【0013】

本発明の第2の実例によれば、画素回路はOLEDと、OLEDを制御するCMOS回路と、CMOS回路を過電圧状態から保護する保護回路とを備えている。

【0014】

10

20

30

40

50

本発明の第３の実例によれば、画素回路はＯＬＥＤと、ＯＬＥＤを制御するＣＭＯＳ回路とを備えている。このＣＭＯＳ回路は電界効果トランジスタ（ＦＥＴ）を用いて構築された電流源を備えている。ただし、上記ＦＥＴの静的ゲート・ソース電圧は上記ＦＥＴのしきい電圧よりも高い。

【００１５】

本発明の第４の実例によれば、ディスプレイは画素回路から成るアレイを備えている。各画素回路はＯＬＥＤと、ＯＬＥＤの動作状態を表わすデータを格納するスタティック・メモリとを備えている。

【発明を実施するための最良の形態】

【００１６】

ここに示す本発明の好適な実施形態に係る教示は、アクティブ・マトリクス型ＯＬＥＤディスプレイに関する。そのようなディスプレイは超小型ディスプレイとして構成され、電子腕時計などの小型で電池駆動の装置に組み込まれる。しかしながら、この特定の利用・応用分野はいかなる点でも本発明の教示の実施を限定するものと解釈してはならない。

【００１７】

図１（ａ）はＯＬＥＤ構造体、たとえば画素（ピクセル）または発光素子から成るアレイ１００の上面図である。図１（ｂ）は図１（ａ）の１Ｂ－１Ｂ線で切り取ったアレイ１００の側面図である。アレイ１００の各ＯＬＥＤ構造体は１つのＯＬＥＤと該ＯＬＥＤの動作状態を表わすデータを格納するスタティック・メモリとを備えた画素回路を備えるように構成されている。

【００１８】

アレイ１００は一般に $n \times m$ 画素の規則正しいアレイであると考えられる。ただし、 n と m は等しい場合もあるし、等しくない場合もある。

【００１９】

アレイ１００は複数のＯＬＥＤ構造体を備えている。各ＯＬＥＤ構造体はアノード電極１０５を備えている。アノード電極１０５は２次元に配置されており、それにより平面ディスプレイを形成している。図１（ｂ）に示す側面図は、たとえばその上にアノード電極１０５がパターンニングされたシリコン・チップ１０１上に形成されたアレイ１００の垂直構造を示している。アノード電極１０５の下には、ＯＬＥＤ光または外光が下に形成された回路に到達するのを防ぐ遮光層（図示せず）が配置されている。アノード電極１０５の上には、有機層１０２と透明カソード対向電極が配置されている。

【００２０】

透明アノードを備えた一部のＯＬＥＤディスプレイではアノード電極１０５を通してＯＬＥＤを見ることができるが、好適な実施形態ではカソード対向電極１０３を通してＯＬＥＤを見ることができる。この理由は、シリコン基板１０１が透明ではなく不透明だからである。

【００２１】

シリコン・チップ１０１のカソード電極層１０３の上には保護カバー・ガラス１０４が取り付けられており、ＯＬＥＤ構造体を外部環境から保護している。また、カバー・ガラス－シリコン基板から成る封止体の内部であってアレイ１００の境界外の部分に、湿気を吸収するのに好適なゲッタが配置されている。

【００２２】

アクティブ・マトリクス方式のディスプレイ・アドレッシングでは、画素の状態（すなわち画素がＯＮ〔すなわち明るい〕かＯＦＦ〔すなわち暗い〕か）を示すデータをダイナミック・メモリ構造体またはスタティック・メモリ構造体書き込んで格納しておく。そのように構成されている場合（たとえば電氣的な試験用のため）、格納しているデータは上記メモリ構造体から読み出すこともできる。ダイナミック・メモリ・アレイでは、データをキャパシタに格納しているが、定期的にリフレッシュする必要がある。これは電力を消費する動作である。スタティック・メモリでは、データをＣＭＯＳ回路から成る電子ラッチに格納するので、データを保持するのにほとんど電力を消費しない。本発明の好適な実

10

20

30

40

50

施形態に係るO L E Dディスプレイ装置では、スタティック・メモリを用いて低消費電力化を図っている。

【0023】

ここに示す教示に係るアクティブ・マトリクス型ディスプレイでは、下に形成された回路の画素電極と対向電極との間に有機材料が挟まれている。画素電極は通常、発光ダイオードのアノードであり、対向電極は通常、カソードである。ディスプレイは表示する画像の必要に応じてON/OFFする画素から成る矩形のアレイとして形成されている。各画素は画素アノード電極と、対向電極に対してアノードの電気的狀態を制御する画素回路とを備えている。

【0024】

画素回路は絶縁基板上に形成された薄膜を用いて構成されている、あるいは、（好ましくはシリコンを基にした）集積回路技術を用いて構成されている。一般に、画素回路は、（1）任意の適切な材料、たとえば単結晶シリコン、非晶質シリコン、ポリシリコン、微結晶シリコン、有機半導体すなわち高分子半導体などを、（2）たとえばシリコン、ガラス、プラスチック、セラミック、サファイア（ Al_2O_3 ）などから成る基板上に配置することにより形成することができる。絶縁（誘電体）基板上に形成した薄膜回路には低コストであること、および大型のディスプレイを製造するという利点がある。一般に、単結晶シリコン・デバイスを用いるとアレイを小さな面積に画定するという利点がある。一般に、単結晶シリコン・デバイスを用いるとアレイを小さな面積に画定するという利点がある。ここに示す教示に係るO L E D回路は様々な製造方法を用いて実現するのに適しているが、単結晶シリコン技術が好適な実施形態である。シリコン基板は可視光に対して不透明であるから、発光は対向電極を通して行うのが望ましい。対向電極はたとえばインジウム錫（すず）酸化物などの透明導電材料から成る連続シートとして形成するのが望ましい（たとえば対向電極103を参照）。

【0025】

以下の記述においては、「アレイ」なる用語は画素から成るアレイに加えアノードから成るアレイを指すのにも使用する。

【0026】

図2は複数のデータ記憶デバイスまたはデータ記憶ユニット（ここではワード構造体とも呼ぶ）205を備えたO L E Dアレイ200のブロック図である。各ワード構造体205はたとえば16ビットのスタティック・ランダム・アクセス・メモリ（S R A M）である。16ビットはアレイ200の1行に並んだ16個の画素に対応している。この実施形態では、アレイに対して一度に16ビットずつデータを読み書きする。

【0027】

各ワード構造体205に対する入力は列ブロック・セレクト204、ビット線203、ワード線リード202、およびワード線ライト201である。ビット線203からワード構造体205にデータが書き込まれるのは、ワード線ライト201線と列ブロック・セレクト204線を駆動したとき、たとえば“H”状態に切り換えたときである。ワード構造体205からビット線203上にデータが読み出されるのは、ワード線リード202線と列ブロック・セレクト204線の双方を駆動したときである。ワード線リード202線とワード線ライト201線の双方を駆動した場合の動作は定義されていない。

【0028】

留意点を挙げると、列ブロック・セレクト204は各々アレイ200の1つの列に関係しており、一方、ワード線ライト201とワード線リード202は各々アレイ200の1つの行に関係している。列ブロック・セレクト204とワード線ライト201とワード線リード202とを適切に組み合わせると、アレイ200中の任意のワード構造体205に対してデータを読み書きすることができる。

【0029】

ビット線203の合計本数はアレイ200中の画素から成る列の個数に対応している。各ワード構造体205は16画素を表わしているから、列ブロック・セレクト204の本数はアレイ200中の画素から成る列の個数を16で除算したのに対応している。

10

20

30

40

50

【 0 0 3 0 】

既存の S R A M は通常、相補型ビット線、すなわち 1 ビット当り 2 本のビット線を使用している。これに対して本発明では、1 画素列当り 1 本のビット線しか使用していない。この結果、既存の構成と比べて電力消費が少ない。たとえば、データ・ビット 1 ~ 1 6 を表わすビット線 2 0 3 の組は、1 6 本の単線として構成してある。

【 0 0 3 1 】

システムの観点からは、ディスプレイのメモリ・セルからデータを読み取るのは、システム・メモリから外部のディスプレイにデータを読み出すのよりも効率が悪い。なぜなら、ディスプレイからの読み取りは通常、電力多消費かつ低速度だからである。しかし、ディスプレイのメモリ・セルからデータを読み取ることは、当該ディスプレイを電氣的に試験する場合には有益である。それにもかかわらず、ここではディスプレイからの読み取りよりもディスプレイへの書き込みの方を重視する。したがって、読み取りを容易にする既存の S R A M 構成手法、たとえばパルス化ワード線アドレッシング、ビット線等化、ビット線センス回路などは必要としない。

【 0 0 3 2 】

図 3 は O L E D 画素ワード構造体 2 0 5 のブロック図である。ワード構造体 2 0 5 はワード・セレクト回路 3 0 0 と 1 6 個の画素回路を備えている。ワード・セレクト回路 3 0 0 への入力 は列ブロック・セレクト 2 0 4、ワード線リード 2 0 2、およびワード線ライト 2 0 1 である。ワード・セレクト回路 3 0 0 の出力はワード・リード 4 0 4 とワード・ライト 4 0 5 である。画素回路 4 0 0 への入力 は単線のビット線 2 0 3、ワード・リード 4 0 4、およびワード・ライト 4 0 5 である。ワード・リード 4 0 4 およびワード・ライト 4 0 5 はそれぞれ、ワード線リード 2 0 2 およびワード線ライト 2 0 1 をローカルのワード・セレクト用に拡張したものである。ワード・セレクト回路 3 0 0 は一例として画素回路 4 0 0 群の左側に示してある。

【 0 0 3 3 】

図 4 はワード・セレクト回路 3 0 0 中の一部の論理の詳細回路を示す図である。ワード・セレクト回路 3 0 0 は 2 個の A N D ゲート 5 0 0、5 0 1 を備えている。

【 0 0 3 4 】

A N D ゲート 5 0 0 への入力 は列ブロック・セレクト 2 0 4 とワード線リード 2 0 2 である。A N D ゲート 5 0 0 の出力はワード・リード 4 0 4 である。列ブロック・セレクト 2 0 4 とワード線リード 2 0 2 の双方を“ H ”（すなわちアクティブ）にすると、ワード・リード 4 0 4 が“ H ”（すなわちアクティブ）になる。

【 0 0 3 5 】

A N D ゲート 5 0 1 への入力 は列ブロック・セレクト 2 0 4 とワード線ライト 2 0 1 である。A N D ゲート 5 0 1 の出力はワード・ライト 4 0 5 である。列ブロック・セレクト 2 0 4 とワード線ライト 2 0 1 の双方を“ H ”（すなわちアクティブ）にすると、ワード・ライト 4 0 5 が“ H ”（すなわちアクティブ）になる。

【 0 0 3 6 】

図 5 はアレイ 2 0 0 中の画素回路 4 0 0 の主要な機能構成要素の概略図である。画素回路 4 0 0 は S R A M セル 1 0、電圧電力源 V 1 に接続された電流源 2 0、3 個のスイッチ 3 0、4 0、5 0、n ウエルをソース 6 4 に接続した（すなわちフローティング・ウエルの）ゲート接地 p 型 M O S （ P M O S ）トランジスタ 6 0、および電力源 V 2 に接続された O L E D 7 0 を備えている。通常動作中、V 1 は正電位であり、V 2 は負電位である。

【 0 0 3 7 】

S R A M セル 1 0 への入力 は単線のビット線 2 0 3、ワード・リード 4 0 4、およびワード・ライト 4 0 5 である。留意点を挙げると、ビット線 2 0 3 は単線であるが、S R A M セル 1 0 にデータを表わす信号を入力し、S R A M セル 1 0 からデータを表わす信号を出力するのに使用する。ワード・ライト 4 0 5 によって S R A M セル 1 0 へのデータの書き込みが可能になり、ワード・リード 4 0 4 によって S R A M セル 1 0 からのデータの読み出しが可能になる。S R A M セル 1 0 の出力はビット線 2 0 3 と制御線 8 である。留意点

10

20

30

40

50

を挙げると、ビット線 203 は S R A M セル 10 の入力であるとともに出力でもある。制御線 8 はスイッチ 40 を制御するためのものである。ビット線 203 とワード・ライト 405 が “ H ” 状態のとき、S R A M セル 10 には “ H ” 状態が書き込まれる。S R A M セル 10 が “ H ” 状態を格納しているとき、制御線 8 はスイッチ 40 を閉じる。S R A M セル 10 が “ L ” 状態を格納しているとき、制御線 8 はスイッチ 40 を開ける。

【 0038 】

V1 は電流源 20 に電力を供給する。電流源 20 は O L E D 70 の所定の最大輝度レベルに対応する出力電流を生成する。

【 0039 】

O L E D 70 を通過する平均電流を制御することにより O L E D 70 の照度を制御するのが望ましい。D U T Y F A C T O R N O T (デューティ・ファクタ・ノット) 6 はアレイ 200 中のすべての画素への共通入力として供給されるパルス幅変調信号である。D U T Y F A C T O R N O T 6 が “ L ” 状態のとき、スイッチ 30 が閉じる。D U T Y F A C T O R N O T 6 が “ H ” 状態のとき、スイッチ 30 は開く。D U T Y F A C T O R N O T 6 は O L E D 70 を通過する平均電流を制御してその照度を最大輝度未満のレベルに設定する。 10

【 0040 】

R E V E R S E B I A S (逆バイアス) 7 はアレイ 200 中のすべての画素への共通入力である。R E V E R S E B I A S 7 が “ H ” 状態のとき、スイッチ 50 が閉じる。R E V E R S E B I A S 7 が “ L ” 状態のとき、スイッチ 50 は開く。 20

【 0041 】

スイッチ 30 と 40 が閉じておりスイッチ 50 が開いているとき、電流は電流源 20 から流出し、スイッチ 30、40 を通り、P M O S トランジスタ 60 のソース 64 に流れ込む。P M O S トランジスタ 60 はカスコード段として動作し、当技術分野で知られているように、電流源 20 の電圧コンプライアンス範囲を広げる。P M O S トランジスタ 60 のドレイン 62 を出た電流は O L E D 70 に流入し、当該 O L E D 70 を O N させる。電圧コンプライアンス範囲とは、出力電流が実質的に一定を維持している間における出力電圧の範囲のことである。カスコード段とは、電圧利得を実現することにより電圧コンプライアンス範囲を広げる共通ゲート増幅段のことである。

【 0042 】

電流が P M O S トランジスタ 60 を流れているとき、ドレイン 62 - ソース 64 間の電圧は比較的強く、たとえば約 10 ミリボルトである。電流が流れていると、ドレイン 62 電位は接地電位よりも数ボルト高いか低い、ソース 64 電位は接地電位よりも最小限 1 × しきい電圧だけ高く、ドレイン 62 電位よりも常に高い。しきい電圧とは、トランジスタを通常の導通動作領域に置いておくのに必要な最小ソース - ゲート間電圧のことである。P M O S トランジスタ 60 のソース 64 に電流が流れ込んでいない場合、ソース 64 電位は接地電位よりも低くならない。 30

【 0043 】

O L E D の動作中、その有機層群に電荷が捕獲される可能性がある。これにより、所定の電流を流すのに必要な O L E D の順方向バイアス電圧が増大する。捕獲された電荷は定期的にまたは不規則間隔で O L E D を逆バイアスすることにより除去することができる。 40

【 0044 】

O L E D 70 を逆バイアスするには、まずスイッチ 30 を開いて電流源 20 からの電流の流れを遮断したのち、スイッチ 50 を閉じてから V2 を負電位から正電位に切り換える。スイッチ 50 を閉じると、P M O S トランジスタ 60 のソース 64 と n ウエルが接地される。P M O S トランジスタ 60 のドレイン 62 は p 型拡散領域である。したがって、V2 を正電位に切り換えると、電流は V2 から流出し、O L E D 70、P M O S トランジスタ 60、およびスイッチ 50 を通過する。電流が P M O S トランジスタ 60 と閉じたスイッチ 50 を通過すると、O L E D 70 のアノード 72 の電位は接地電位よりも 1 × ダイオード電圧降下分だけ高くなる。O L E D 70 両端の逆バイアス電圧は、正電位 V2 - 1 × ダ 50

イオード電圧降下分である。

【 0 0 4 5 】

O L E D の逆バイアスは短い間隔で行う必要はない。それどころか、それは不規則間隔で、またはディスプレイを見ていないときに行えばよい。たとえば、腕時計のディスプレイでは、日中は通常の順方向バイアスで O L E D を駆動し、夜間、ディスプレイ上の画像が O F F になっているときに O L E D の電圧を逆バイアスにすればよい。別の例としては、パルス幅変調輝度制御サイクル中、O L E D が O F F になったときに O L E D を逆バイアスしてもよい。

【 0 0 4 6 】

図 6 は図 5 の画素回路 4 0 0 の詳細を示す図である。この実施形態では、V 1 を + 3 V に設定し、V 2 を - 5 V に設定している。 10

【 0 0 4 7 】

S R A M セル 1 0 は n 型 M O S (N M O S) トランジスタ 1 1、1 5、およびインバータ 1 2、1 3、1 4 を備えている。書き込み動作の場合、ワード・ライト入力 4 0 5 を “ H ” 状態にすると、N M O S トランジスタ 1 1 がビット線 2 0 3 の論理状態をインバータ 1 2 の入力に接続する。

【 0 0 4 8 】

インバータ 1 2 の出力はその入力を反転させたものである。インバータ 1 2 の出力はインバータ 1 3 の入力とインバータ 1 4 の入力とに接続されている。

また、インバータ 1 2 は制御線 8 に信号を供給する。 20

【 0 0 4 9 】

インバータ 1 3 はインバータ 1 2 の入力に接続された出力を有する。留意点を挙げると、インバータ 1 2 はその入力を、N M O S トランジスタ 1 1 を O N にしてビット線 2 0 3 から、あるいはインバータ 1 3 の出力から受け取る。N M O S トランジスタ 1 1 の電流駆動力は、部分的にはそのチャネル幅対チャネル長の比によって決まる。インバータ 1 2 と N M O S トランジスタ 1 1 の電流駆動力は比較的強く、たとえばインバータ 1 3 の電流駆動力よりも約 1 0 倍強い。したがって、O N した N M O S トランジスタ 1 1 からインバータ 1 2 への経路によるビット線 2 0 3 からの入力によって S R A M セル 1 0 の状態が決まる。N M O S トランジスタ 1 1 を通過したデータ・レベルは当初、インバータ 1 2 の状態を設定する。次いで、N M O S トランジスタ 1 1 が出したデータ・レベルが消失（すなわち 30 N M O S トランジスタ 1 1 が O F F ）したあとは、インバータ 1 3 がインバータ 1 2 にフィードバック（すなわちラッチ信号を供給）し、その状態を保持する。したがって、N M O S トランジスタ 1 1 と、インバータ 1 2 と、インバータ 1 3 とはデータ・ラッチを構成している。

【 0 0 5 0 】

P M O S トランジスタ 4 0 A は（図 5 の）スイッチ 4 0 の役割を演じる。インバータ 1 2 が出力する制御線 8 は P M O S トランジスタ 4 0 A のゲートに接続されている。

【 0 0 5 1 】

S R A M セル 1 0 からデータを読み取るには、ワード・リード 4 0 4 を “ H ” 状態に設定して N M O S トランジスタ 1 5 を O N し、インバータ 1 4 の出力をビット線 2 0 3 に接続 40 する。インバータ 1 2 とインバータ 1 4 の二重の反転を通じて、S R A M セル 1 0 から読み出したデータの極性は先刻 S R A M セル 1 0 に書き込んだデータの極性と同じになる。

【 0 0 5 2 】

インバータ 1 4 を除去しインバータ 1 2 の出力を N M O S トランジスタ 1 5 に直接に接続すると、S R A M セル 1 0 を簡略化することができる。この場合、S R A M セル 1 0 から読み出したデータは先刻 S R A M セル 1 0 に書き込んだデータの極性を反転させたものになる。しかし、それはビット線リード回路（図示せず）で再反転することができる。インバータ 1 4 によって、画素回路 4 0 0 をビット線 2 0 3 上のノイズから分離することができるとともに、読み取り動作中におけるビット線 2 0 3 による容量装荷からも画素回路 4 0 0 を分離することができるから、インバータ 1 4 を備えておくのが望ましい。 50

【 0 0 5 3 】

P M O S トランジスタ 2 0 A は (図 5 の) 電流源 2 0 として機能する。P M O S トランジスタ 2 0 A のゲートには基準電位 V R E F 2 1 が接続されている。この基準電位 V R E F 2 1 はアレイ 2 0 0 の他のすべての画素回路中の同様に配置された P M O S トランジスタにも接続されている。

【 0 0 5 4 】

上述した遮光層は、たとえば V 1 の + 3 V を配分するのに使うことができる。遮光層 (導電層) はアレイ中に分布・接続されているから、V 1 電力配分用の低抵抗経路として機能しうる。このように、遮光層は 2 つの機能を果たす。すなわち、遮光と電力配分とである。

10

【 0 0 5 5 】

P M O S トランジスタ 2 0 A は電界効果トランジスタ (F E T) であり、チャネル幅 (W)、チャネル長 (L)、ゲート - ソース電圧 (V_{gs}) によって規定されている。これらは面積制約 ($\sim W \times L$) 内で最適化して、アレイ全体の画素の O L E D 7 0 を通過する電流の均一性に対するしきい電圧 (V_T) とチャネル幅の変動による影響を最小化している。チャネル長はドレイン拡散領域とソース拡散領域との分離領域 (この上にゲート導体が形成される) によって決まる。チャネル幅はゲート導体に沿ったドレインまたはソースの寸法である。飽和領域では、

$$(| V_{ds} | > | V_{gs} - V_T |)$$

が成り立ち、

ドレイン電流は、

$$(W / L) (V_{gs} - V_T)^2$$

に比例する。ただし、 V_{ds} はドレイン - ソース電圧である。V R E F 2 1 電圧は V 1 に対して設定し、O L E D 7 0 の所望の計測最大輝度を得られるように調整する。これにより、ディスプレイのすべての最大輝度に対して電流源トランジスタのパラメータと O L E D の効率とが影響するのを排除することができる。

20

【 0 0 5 6 】

P M O S トランジスタ 2 0 A の典型的な実装では、チャネル長が $2 \mu m$ (7 9 . 1 2 ミクロン)、チャネル幅が $67 nm$ (2 . 6 4 ミクロン)、P M O S トランジスタ 2 0 A のゲート - ソース電圧が名目上 - 1 . 1 V である。しきい電圧が - 0 . 6 V であるから、P M O S トランジスタ 2 0 A はソース - ドレイン電圧が 0 . 5 V よりも大きい限り飽和領域にある、すなわち定電流を生成し続ける。留意点を挙げると、P M O S トランジスタ 2 0 A の静的なソース - ゲート電圧はしきい電圧よりも大きい。したがって上述した点を換言すると、O L E D 7 0 を駆動するのに必要な余分の電圧は 0 . 5 V でしかない。この点で、この構成はきわめて電力効率が良い。この実装の場合、P M O S トランジスタ 2 0 A が出力する電流の変動は、ディスプレイ全体の画素において、1 . 0 5 : 1 未満である (すなわち 5 % 未満である) 。

30

【 0 0 5 7 】

P M O S トランジスタ 3 0 A は (図 5 の) スイッチ 3 0 の役割を演じ、N M O S トランジスタ 5 0 A は (図 5 の) スイッチ 5 0 の役割を演じる。この構成により、図 5 に示す D U T Y F A C T O R N O T 6 と R E V E R S E B I A S 7 を結合させて単一の R E V E R S E B I A S / D U T Y F A C T O R N O T 9 信号にすることができる。R E V E R S E B I A S / D U T Y F A C T O R N O T 9 はアレイ 2 0 0 中のすべての画素への共通入力である。

40

【 0 0 5 8 】

O L E D 7 0 の通常の順方向バイアス動作では、R E V E R S E B I A S / D U T Y F A C T O R N O T 9 はデューティ・ファクタである。ただし、このデューティ・ファクタは P M O S トランジスタ 3 0 A を迅速に O N / O F F させて O L E D 7 0 を流れる電流をデューティ・ファクタによって変調させるものである。 (デューティ・ファクタとは、パルス持続時間対パルス間隔の比のことである。) O L E D 7 0 の輝度はこのようにディジ

50

タル制御すると、アナログ電圧による制御に比べてより均一になる。PMOSトランジスタ30AがOFFのとき、NMOSトランジスタ50AはREVERSEBIAS/DUTY FACTOR NOT9によってONする。これにより、トランジスタ20A、30A、40A、50A、60の寄生容量を放電させてパルス幅変調を線形化するのが容易になる。これらの寄生容量を放電させないと、寄生配線容量、ドレイン - 基板間容量、ソース - 基板間容量、およびFETの電極間容量によって、PMOSトランジスタ30AがOFFの間でも短時間、電流はOLED70に流入し続けることができる。寄生容量はPMOSトランジスタ60のソース64の電位を“H”に保つ傾向があるから、PMOSトランジスタ60はソース64が放電するまで導通し続けることができる。

【0059】

10

CMOS回路は降伏電圧（通常3.6V）を超える電圧にさらすと、損傷を受けやすくなる。また、有機層は100より高い温度にさらすと、その寿命が著しく短くなる。OLEDのアノードとカソードとの間が短絡すると、短絡したOLEDの画素回路を通じて過大な電流が流れる。そのような電流によって発熱し、隣接する画素が損傷する。また、ディスプレイ中の他の画素に供給する電圧が妨害される。

【0060】

したがって、画素回路400はPMOSトランジスタ81、82、および、83、ならびに抵抗器84から成る保護回路を備えている。通常動作中、画素がOFF状態になるとOLED70両端の電圧降下が小さくなるから、PMOSトランジスタ60のドレイン62の電位はより負になる。各PMOSトランジスタ81、82、83は約1V電圧降下するから、PMOSトランジスタ60のソース64の電位は接地よりも約3ボルトだけ負に限定される。すなわち、PMOSトランジスタ81、82、83は負（-3V）のクランプを実現し、PMOSトランジスタ60のゲート - ドレイン間電圧が定格3.6Vの降伏電圧を超えないようにしている。PMOSトランジスタ60のドレイン62の電圧を制限することにより、保護回路は画素回路400の他の構成要素を通して流れる電流を効果的に制限している。OLED70がONのとき、ドレイン62の電位は接地よりも約1.75V高い。したがって、OLED70がONのとき、PMOSトランジスタ81、82、83は機能しない。

20

【0061】

OLED70が短絡した場合には、抵抗器84が流れる電流したがって電力を制限する。そしてPMOSトランジスタ81、82、83もPMOSトランジスタ60のドレイン62の電位を約-3ボルトにクランプするから、抵抗器84両端では余分の電圧降下は生じない。好適な実施形態では、抵抗器84は40000オームの抵抗値を有するようにアンドープのポリシリコンで作製する。

30

【0062】

PMOSトランジスタ81、82、および、83、ならびに抵抗器84によって、OLED70を試験することも可能になる。また、他の画素回路中の同様に配置された構成要素を通じて、アレイ200中のすべてのOLED画素を試験することが可能になる。これを行うには、V2を接地に対して負電位たとえば-7Vに設定し、V1をフロート（浮遊）または接地に設定する。こうすることにより、PMOSトランジスタ81、82、83から抵抗器84、OLED70、V2に至る電流経路が形成される。PMOSトランジスタ81、82、83は各々、約0.7V電圧降下する。OLED70は順方向バイアスであるから、良品であればONする。この試験が有益なのは、たとえばOLEDを堆積・封止後であってディスプレイの組み立て前に欠陥を特定する場合である。

40

【0063】

電力を節約する上述した教示に加え、画像をディスプレイに書き込む仕方を制御することによっても電力を節約することができる。たとえば、ディスプレイの電力消費は画素の輝度、およびONになっている画素の個数に比例するから、画素の輝度を低くするとともにONになっている画素の個数を少なくする方策を講じることにより、電力を節約することができる。

50

【 0 0 6 4 】

たとえば、アレイ 2 0 0 が腕時計用のディスプレイに組み込まれている場合、時計として時を示すのに必要な画素数は全画素数の 1 ~ 2 % である。典型的なテキスト画面では、全画素の 1 0 ~ 2 0 % を ON している。画像には全画素の 5 0 % を点灯させる必要がある。

【 0 0 6 5 】

したがって、グレー・スケールの画像はフレーム順操作ではなく空間ディザリングによって生成する。これにより、フレーム順操作では必要になる、ディスプレイに迅速に書き込むのに要する電力を不要にすることができる。

【 0 0 6 6 】

通常、ON している画素数は 5 0 % 未満であるから、1 回の動作でディスプレイをクリアしたのちにディスプレイに新たなデータを書き込むことにより、そして画素を ON させているワード構造体だけに書き込みを行うことにより電力を節約することができる。アレイの外部にあるビット線ドライバとワード線ドライバを使うことにより、ディスプレイ全体をクリアすることができる。ワード線ライト 2 0 1 と列ブロック・セレクト 2 0 4 をすべて “ H ” にし、すべてのビット線 2 0 3 を “ L ” データ状態にすると、アレイ 2 0 0 中のすべての S R A M セル 1 0 に “ L ” レベルのデータが書き込まれるから、ディスプレイ中の画素をすべて OFF にすることができる。腕時計の例では、この機能の制御は時計プロセッサがディスプレイを更新する前に発行する。次いで、新たな表示画面で ON する必要のある画素だけにデータを書き込む。

10

【 0 0 6 7 】

時計は通常、9 9 % の時間を時の表示に使い、時を示す時計は高コントラストを必要としないから、時を表示するときの輝度を比較的低照度レベルたとえば約 3 0 カンデラ / 平方メートルに低減することができる。この照度レベルは夜間使用のため、および室内周辺光レベルでの低コントラスト用途のためには十分であろう。室内周辺光状態でテキストや画像を表示する場合でも、1 0 0 カンデラ / 平方メートルで十分であろう。明るい陽光状態下での用途の場合にのみ 5 0 0 カンデラ / 平方メートルの照度レベルが必要になる。

20

【 0 0 6 8 】

時計システムの待機動作中の電力を節約するには、REVERSE BIAS / DUTY FACTOR NOT 9 を “ H ” 状態にする必要がある。また、V 2 のディスプレイへの接続を開放して、OLED の短絡に起因して OFF 状態の OLED に流れる電流を無くす必要がある。したがって、画素回路 4 0 0 を通して電流が流れないように、V 1 と V 2 との間の電流経路を破壊する。

30

【 0 0 6 9 】

また、V 1 の電圧を低減すれば S R A M セル 1 0 から引き出される待機電流を低減できるが、ディスプレイがそのデータを失うほど V 1 の電圧を低くすることはできない。さらに、供給電圧を低減すればインバータ 1 2、1 3、1 4 を通る漏れ電流を低減できるから、待機電力を低減できる。腕時計の用途では、待機の制御は時計プロセッサが行う。

【 0 0 7 0 】

DUTY FACTOR NOT 6、REVERSE BIAS 7、待機、およびクリア用の制御信号は、S R A M ワード構造体に行き込むことができる。後述するように、S R A M ワード構造体はディスプレイ制御レジスタを形成しているが、アレイ 2 0 0 の一部ではなく、その外部に存在する。このように、ディスプレイ制御信号はディスプレイの一部ではあるが時計の中のどこにも存在しないから、ディスプレイへの専用信号線の本数を減らすことができる。

40

【 0 0 7 1 】

制御レジスタの機能の 1 つはディスプレイを「クリア」すること、すなわち 1 回の動作ですべての画素を OFF にすることである。すなわち、ディスプレイの個々の画素すべてにアドレスすることなく、表示済みの画像を消去することである。こうすると、プロセッサは新たな画像で ON になる画素にのみ書き込むだけでよい。したがって、ディスプレイのすべての画素に書き込むのに比べて、電力消費とプロセッサへの負荷を低減することがで

50

きる。

【0072】

図7はアレイ200に対する読み書きに係る、ディスプレイを構成する機能ブロック群、ディスプレイ制御レジスタ705、およびクリア動作の制御フローを示す図である。プロセッサ(図示せず)はディスプレイ制御レジスタ705にクリア動作専用の1ビットを含むワードを書き込む。図7に示す典型的な実施形態では、1ワードは16ビットである。

【0073】

動作中、プロセッサはアドレス、リード/ライト信号、チップ・セレクト信号、および画像データをディスプレイに送る。アドレスとデータ・ワードを受け取るごとに、列ブロック・デコーダ701が列セレクト線204(図2)を1本駆動し、ワード線デコーダ702がワード線リード202またはワード線ライト201を1本駆動し、ビット線リード/ライト・ドライバ703が適切なビット線203(図2)を選択する。また、クリア動作を行う場合には、列ブロック・デコーダ701とワード線デコーダ702がディスプレイ制御レジスタ705を書き込み用にアドレスし、クリア用のデータ・ビットをビット線リード/ライト・ドライバ703に印加したのち、ディスプレイ制御レジスタ705に格納する。次いで、ディスプレイ制御レジスタ705のクリア線出力704を駆動して、列ブロック・デコーダ701、ワード線デコーダ702、およびビット線リード/ライト・ドライバ703にクリア信号を印加する。これにより、アレイ200のすべての画素に「0」が書き込まれるから、すべてのOLEDがOFFする。

10

20

【0074】

本発明の好適な実施形態に係るディスプレイは画像データをワードの形でディスプレイに送信するマイクロプロセッサのメモリ拡張バスがアドレスしうるように設計されている。ワードは1度に送る数画素分のデータ、たとえば1度に送る16画素分のデータから成る。また、たとえば試験目的でディスプレイのSRAM記憶装置からデータを読み出すこともできる。このときも1度に1ワードずつ読み出す。これを容易にするために、本発明の好適な実施形態に係るディスプレイにはワード・セレクト回路が、たとえば16画素の水平方向群ごとに1つつ組み込まれている。この結果、画素ピッチを均一(すなわち一定)に保つために、画素回路と実際の画素との間の結合を周期的にシフトさせることが必要になる。

30

【0075】

図8はOLED画素ワード構造体205のブロック図であり、OLED画素群の各ノードに対する画素回路400とワード・セレクト回路300の物理的関係を示している。ワード構造体205はアレイ200の行に沿って配置された16個の画素回路400と1個のワード・セレクト回路300から成る。ワード構造体205を16個のOLEDアノード電極105が覆っている。各アノードは導電性ビア(バイア)802によって対応する画素回路400の金属導体801に接続されている。ビア802と導体801は画素回路400からアノード105に至る導電経路、すなわち図6で抵抗器84からOLED70に至る接続の一部を構成している。図8では図を簡明にするためにアノード電極105と画素回路400とが互いに隣接しているように示されているが、実際にはそれらは(少なくとも部分的に)互いにオーバーラップしているということは明らかである。図8の例では、画素回路の行方向の平均寸法とアノード電極のピッチは871nm(34.3ミクロン)であるが、ワード・セレクト回路300の行方向のピッチは203nm(8ミクロン)である。16個の画素回路400と1個のワード・セレクト回路300が16個のアノード電極105と同じ水平方向のスペースを占めるために、各画素回路400の行方向の寸法をアノード電極と比べて12.7nm(0.5ミクロン)だけ小さくする、すなわち871nm(34.3ミクロン)から859nm(33.8ミクロン)にする。ビア802は各アノード電極105の中心に配置するか、各アノード電極105上で少なくとも相対的に同じ場所に配置するのが望ましい。これを行うために、各画素回路400の導体801はビア802のシフト場所を収容しうるように行方向に十分な延長部を有している。こ

40

50

の結果、OLEDアノードの接続先の画素回路のピッチが不均一であっても、当該OLEDアノードのピッチはアレイ全体を通じて均一になる。

【0076】

まとめとして、本発明に係る画素回路には従来技術にまさる利点が多くある。たとえば、アクティブ・マトリクス型OLEDディスプレイを構成する各画素にCMOS回路を組み込むことができる。本発明に係る画素回路は消費電力が小さいから、電池駆動に好適である。本発明に係る画素回路は定電流源を組み込んでいるから、輝度が均一になるとともに輝度のOLEDの特性に対する依存性を低減することができる。本発明に係る画素回路によれば、OLEDが動作するのに要する電圧よりも低い電圧の回路技術を使用することが可能になる。各画素が当該画素の状態(ON/OFF)を制御するSRAMメモリ・セルを組み込んでいるから、周期的なリフレッシュが不要になる。本発明に係る画素回路は時間の経過によるOLEDの劣化を最小にするのに必要になる逆電圧を印加するための備えを有する。本発明に係る画素回路は照度をデューティ・ファクタで制御するための備えを有する。本発明に係る画素回路は短絡した画素の影響を分離する電流制限抵抗器を備えている。本発明に係るディスプレイには、マイクロプロセッサのメモリ拡張バスが数画素長から成るワードの形でアドレスすることができる。本発明に係るディスプレイを構成する画素のアレイには、ワード・アドレスをデコードする回路が組み込まれている。また、1回の動作でディスプレイ画像をクリアする備えを有するから、ONする画素のみをアドレスするだけで新たな画像を表示することができる。

【図面の簡単な説明】

【0077】

【図1】(a)本発明の教示による、OLED構造体から成るアレイの上面図である。(b)1B-1B線で切り取った図1(a)のアレイの側面図である。

【図2】各ワードが16画素から成るOLED画素ワード・アレイ構造体のブロック図である。

【図3】OLED画素ワード構造体の一実施形態のブロック図である。

【図4】本発明の教示による、ワード・セレクト回路中の論理回路の概略図である。

【図5】OLED画素回路の一実施形態の簡単化した概略図である。

【図6】OLED画素回路のより詳細な概略図である。

【図7】OLEDアレイを駆動するディスプレイ接続と制御レジスタ接続とクリア接続のブロック図である。

【図8】OLED画素の各アノードに対する画素回路とワード・セレクト回路の物理的関係を示すOLED画素ワード構造体のブロック図である。

【符号の説明】

【0078】

6 DUTY FACTOR NO

7 REVERSEBIAS

9 REVERSEBIAS/DUTY FACTOR NOT

10 SRAMセル

11 NMOSトランジスタ

12 インバータ

13 インバータ

14 インバータ

15 NMOSトランジスタ

20 定電流源

20A PMOSTランジスタ

30 スイッチ

30A PMOSTランジスタ

40 スイッチ

40A PMOSTランジスタ

10

20

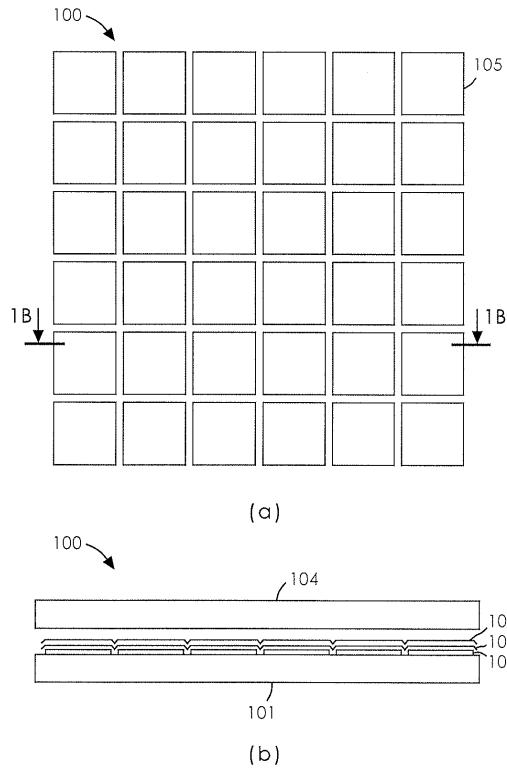
30

40

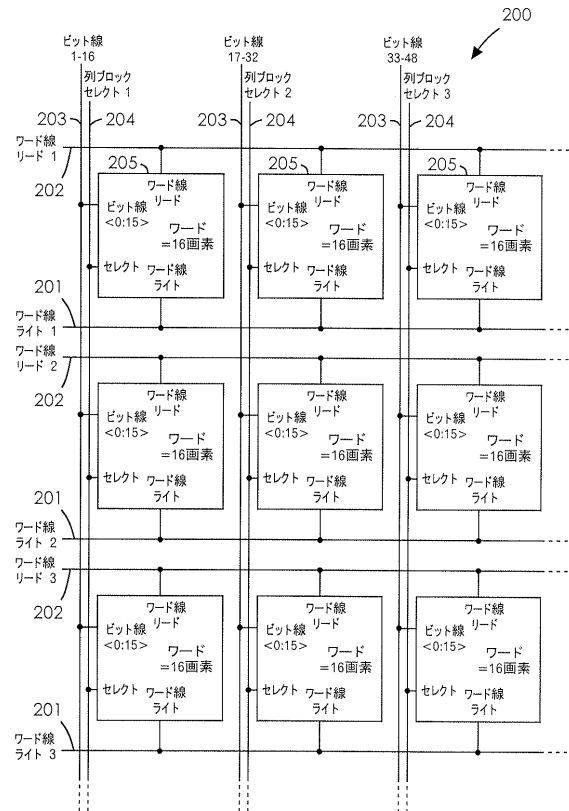
50

5 0	スイッチ	
5 0 A	N M O S トランジスタ	
6 0	P M O S トランジスタ	
6 2	ドレイン	
6 4	ソース	
7 0	O L E D	
7 2	アノード	
8 1	P M O S トランジスタ	
8 2	P M O S トランジスタ	
8 3	P M O S トランジスタ	10
8 4	抵抗器	
1 0 0	アレイ	
1 0 1	シリコン・チップ	
1 0 2	有機層	
1 0 3	カソード電極層	
1 0 4	保護カバー・ガラス	
1 0 5	アノード電極	
2 0 0	アレイ	
2 0 1	ワード線ライト	
2 0 2	ワード線リード	20
2 0 3	ビット線	
2 0 4	列ブロック・セレクト	
2 0 5	ワード構造体	
3 0 0	ワード・セレクト回路	
4 0 0	画素回路	
4 0 4	ワード・リード	
4 0 5	ワード・ライト	
5 0 0	A N D ゲート	
5 0 1	A N D ゲート	
7 0 1	列ブロック・デコーダ	30
7 0 2	ワード線デコーダ	
7 0 3	ビット線リード / ライト・ドライバ	
7 0 4	クリア線出力	
7 0 5	ディスプレイ制御レジスタ	
8 0 1	導体	
8 0 2	ビア	

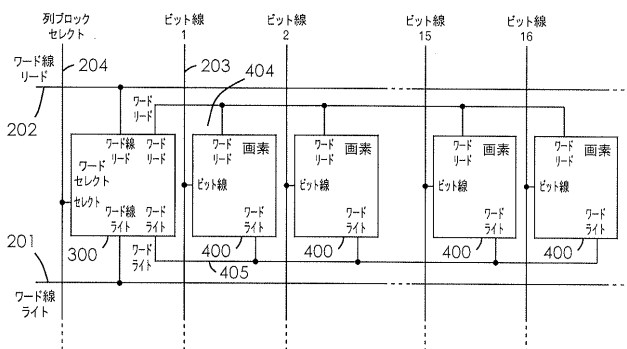
【図 1】



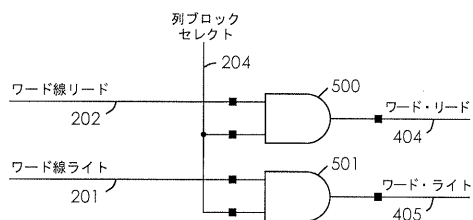
【図 2】



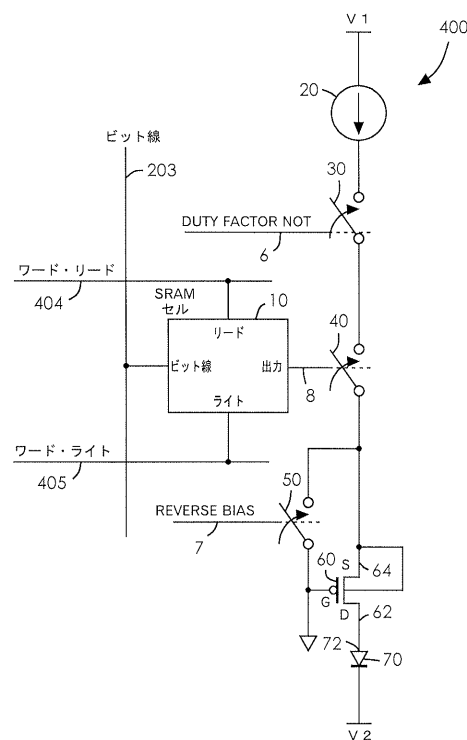
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 4 2 D
	H 0 5 B 33/14	A

(72)発明者 シュリック、ユージン、スチュワート

アメリカ合衆国 ニューヨーク州 1 0 5 8 9、ソマーズ、バトラー ヒル ロード 1 3

F ターム(参考) 3K107 AA01 BB01 CC14 CC33 CC34 EE03 HH03 HH04 HH05

5C080 AA06 DD05 DD19 DD26 GG12 HH09 JJ02 JJ03 JJ06

专利名称(译)	画素回路		
公开(公告)号	JP2007328351A	公开(公告)日	2007-12-20
申请号	JP2007162127	申请日	2007-06-20
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	サンフォードジェームズローレンス シュリックユージンスチュワート		
发明人	サンフォード、ジェームズ、ローレンス シュリック、ユージン、スチュワート		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09F9/30 G09G3/32 G11C11/419 H01L27/32		
CPC分类号	G09G3/3233 G09G3/006 G09G3/2014 G09G3/3291 G09G2300/0809 G09G2300/0857 G09G2300/0861 G09G2310/0254 G09G2310/0256 G09G2310/063 G09G2320/0233 G09G2320/043 G09G2320/046 G09G2320/0626 G09G2320/0633 G09G2320/064 G09G2330/021 G09G2330/022 G09G2330/04 G11C11/419 H01L27/32		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.631.M G09G3/20.624.B G09G3/20.670.M G09G3/20.670.K G09G3/20.642.D H05B33/14.A G09G3/3233		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC34 3K107/EE03 3K107/HH03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/DD05 5C080/DD19 5C080/DD26 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB45 5C380/AC02 5C380/AC05 5C380/BA01 5C380/BA08 5C380/BA10 5C380/BA11 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BB02 5C380/BD08 5C380/BD09 5C380/BD11 5C380/CC23 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC65 5C380/CC68 5C380/CC80 5C380/CD071 5C380/CD074 5C380/CD079 5C380/CE02 5C380/CF09 5C380/CF23 5C380/CF41 5C380/CF62 5C380/CF64 5C380/DA02 5C380/DA07 5C380/DA12 5C380/DA19 5C380/DA46 5C380/DA56 5C380/FA05 5C380/GA17 5C380/GA18 5C380/HA05		
代理人(译)	森田浩二		
优先权	09/754489 2001-01-04 US		
其他公开文献	JP4276273B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够使用CMOS技术的低功耗有机发光二极管像素电路。像素电路包括有机发光二极管（OLED）和静态存储器，该静态存储器存储指示OLED的操作状态的数据。在另一个示例中，像素电路400包括控制OLED的CMOS电路，防止该CMOS电路过压情况的保护电路以及具有场效应晶体管（FET）的电流源。但是，FET的静态栅极-源极电压高于FET的阈值电压。[选择图]图5

