

(11)特許出願公開番号

特開2007-286453

(P2007-286453A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int.Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

HO 1 L 51/50 (2006.01)

F 1

G O 9 G 3/30 J

G09G 3/20 641D

G O 9 G 3/20 6 2 4 B

G09G 3/20 622C

G09G 3/20 6220

審査請求 未請求 請求項の数 6 O.L. (全 25 頁) 最終頁に続く

テーマコード (参考)

3K107

5C080

(21) 出願番号 特願2006-115140 (P2006-115140)

(22) 出願日 平成18年4月19日 (2006. 4. 19)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 發明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内

F ターム (参考) 3K107 AA01 BB01 CC32 CC33 CC43

CC45 EE03 HH00 HH04 HH05

5C080 AA06 BB05 CC03 DD23 DD27

DD28 FF11 JJ01 JJ02 JJ03

JJ04 JJ05

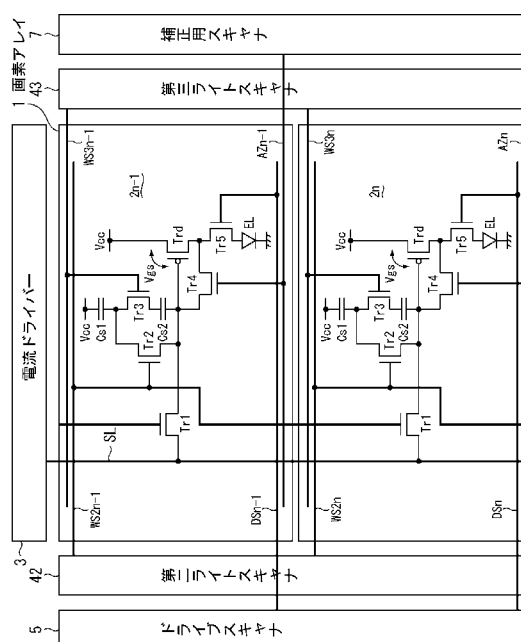
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】電流差分型画素回路の走査線の本数を削減し、
以って表示装置の歩留りを改善する。

【解決手段】画素回路2 nは、信号線S Lに流れる信号電流をサンプリングする第1サンプリング手段と、信号電流に前後して信号線S Lに流れる基準電流をサンプリングする第2サンプリング手段と、サンプリングされた信号電流と基準電流の差分に応じた制御電圧V g sを生成する差分手段とを含む。駆動トランジスタT r dは制御電圧V g sをゲートに受けてソース・ドレイン間に流れる駆動電流I d sを発光素子E Lに供給して発光を行わせる。画素回路2 nは、当該行nよりも時間的に先行する前行n - 1の画素回路2 n - 1に供給される複数の制御信号の内の一つである第1制御信号WS 2 n - 1を、当該行nに供給される複数の制御信号の内の別の第2制御信号として用い、行って行当たりの走査線の本数を削減する。

【選択図】図11



【特許請求の範囲】**【請求項 1】**

画素アレイ部とドライバー部とスキャナ部とからなり、

前記画素アレイ部は、列毎に配した信号線と、行毎に複数本配した走査線と、信号線の列と走査線の行とが交差する部分に配された行列状の画素回路とからなり、

前記ドライバー部は、各信号線に信号電流を流し、

前記スキャナ部は、行順次で複数本の走査線に複数の制御信号を供給し、

各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該複数の制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置であって、

10

前記画素内制御部は、該信号線に流れる信号電流をサンプリングする第 1 サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、

前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせ、

前記画素回路は、当該行よりも時間的に先行する前行の画素回路に供給される複数の制御信号の内の一つである第 1 制御信号を、当該行に供給される複数の制御信号の内の別の第 2 制御信号として用い、以って行当たりの走査線の本数を削減することを特徴とする表示装置。

20

【請求項 2】

前記画素回路は、当該行の直前にある行の画素回路に供給される第 1 制御信号を、当該行に供給される第 2 制御信号に用いることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

各画素回路は、二連のパルスを含む第 1 制御信号によって制御され、この結果第 2 制御信号も二連のパルスを含み、

各画素回路が二連のパルスを含む第 2 制御信号に応じて正常に動作するため、二連のパルスの時間的間隔は、該スキャナ部が行う行順次走査の間隔と等しくすることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

30

各画素回路は、第 1 制御信号によって制御される第 1 トランジスタと、第 2 制御信号によって制御される第 2 トランジスタとを含み、

第 1 制御信号と第 2 制御信号の極性を揃える為、第 1 トランジスタと第 2 トランジスタの導電型を相補的にすることを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記第 1 及び第 2 サンプリング手段が各々サンプリングする信号電流及び基準電流は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されていることを特徴とする請求項 1 記載の表示装置。

40

【請求項 6】

前記画素内制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルすることを特徴とする請求項 1 記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素毎に配した発光素子を電流駆動する画素回路をマトリクス状（行列状）に配列した表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL デバイスなどの発光素子に通電する電流量を制御する、いわゆる

50

アクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度または反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。また、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。 10

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行われている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタTFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856公報

【特許文献2】特開2003-271095公報 20

【特許文献3】特開2004-133240公報

【特許文献4】特開2004-029791公報

【特許文献5】特開2004-093682公報

【0004】

図31は、従来のアクティブマトリクス方式の有機ELディスプレイを示す模式的なブロック図である。図示するように、この表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は電流ドライバー3、ライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、これに代えて白黒表示の単色画素を用いる事もある。各画素R、G、Bはそれぞれ画素回路2で構成されている。信号線SLは電流ドライバー3によって駆動され、信号電流が流れるようになっている。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DSおよびAZも配線されている。走査線DSはドライブスキャナ5によって走査される。ドライブスキャナ5は各画素に含まれる発光素子の発光期間を制御するものである。走査線AZは補正用スキャナ7によって走査される。ライトスキャナ4、ドライブスキャナ5及び補正スキャナ7は全体としてスキャナ部を構成しており、1水平期間毎に画素の行を順次走査する。 30

【0005】

図32は、図31に示した画素回路の構成例を示す回路図である。図示するように、画素回路2は4個のトランジスタTr1、Tr4、Tr5、Trdと1個の画素容量Csと1個の発光素子ELとで構成されている。4個のトランジスタはいずれも薄膜トランジスタである。この内、トランジスタTr1、Tr4及びTr5は制御用のスイッチングトランジスタであり、いずれもNチャネル型を用いている。これに対し、トランジスタTrdは発光素子ELを駆動する為の駆動トランジスタであり、Pチャネル型を用いている。また発光素子ELはアノード及びカソードを備えた二端子型の自発光素子であり、例えば有機EL素子を用いる事ができる。 40

【0006】

駆動トランジスタTrdのソースSは電源Vccに接続している。ドレインDは発光素子ELのアノード側に位置する。発光素子ELのカソード側は接地されている。駆動トラ 50

ンジスタ T_{rd} のゲート G は画素容量 C_s の一端に接続している。画素容量 C_s の他端は電源 V_{cc} に接続している。

【0007】

スイッチングトランジスタ T_{r1} のソース/ドレインは信号線 SL と駆動トランジスタ T_{rd} のゲート G との間に接続されている。スイッチングトランジスタ T_{r1} のゲートは走査線 WS に接続している。スイッチングトランジスタ T_{r4} のソース/ドレインは駆動トランジスタ T_{rd} のゲート G とドレイン D との間に接続されている。このトランジスタ T_{r4} のゲートは走査線 AZ に接続している。スイッチングトランジスタ T_{r5} のソース/ドレインは駆動トランジスタ T_{rd} のドレイン D と発光素子 EL のアノードとの間に接続されている。このトランジスタ T_{r5} のゲートは走査線 DS に接続されている。

10

【0008】

駆動トランジスタ T_{rd} は飽和領域で動作し、その特性は以下の数式 1 で表される。

【数 1】

$$I_{ds} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

【0009】

数式 1 において、 V_{gs} はゲート電圧であり、駆動トランジスタ T_{rd} のソース S とゲート G との間の電圧を表している。 I_{ds} はドレイン電流であり、駆動トランジスタ T_{rd} のソース S とドレイン D との間を流れて発光素子 EL に供給される。 V_{th} は駆動トランジスタ T_{rd} の閾電圧を表している。 μ は同じく駆動トランジスタ T_{rd} のキャリア移動度を表している。また k は定数であり、 $C_{ox} \cdot W/L$ で与えられる。ここで C_{ox} は駆動トランジスタ T_{rd} のゲート容量、 W はチャネル幅、 L はチャネル長である。定数 k はサイズファクタと呼ばれる場合がある。駆動トランジスタ T_{rd} は飽和領域で動作する時、上記数式 1 から明らかなように、ゲート電圧 V_{gs} が閾電圧 V_{th} を越えた時点からドレイン電流 I_{ds} が流れ始める。ドレイン電流 I_{ds} の大きさはゲート電圧 V_{gs} の 2 乗に比例して増大する。なお、本明細書では、駆動トランジスタの閾電圧 V_{th} は、駆動トランジスタの閾値電圧の絶対値をとったものとする。ちなみに、 P チャネル型のトランジスタではしきい値電圧は負の値を持つので、その値をそのまま上記数式 1 に入れてしまうと正しくないことになる。その為、本明細書では絶対値をとり、 V_{th} は正の値にて取り扱うことにする。

20

30

【0010】

駆動トランジスタ T_{rd} は例えば多結晶シリコン薄膜を活性層とする TFT である。多結晶シリコン薄膜としては、レーザーアニールで結晶化された低温ポリシリコンが多用されている。一般に、低温ポリシリコン TFT はデバイス毎に閾電圧 V_{th} やキャリア移動度 μ がばらつく傾向にある。換言すると、個々の画素回路 2 毎に駆動トランジスタ T_{rd} の V_{th} や μ が異なっている。

【0011】

画素回路 2 は大別してサンプリング動作と発光動作を行う。始めのサンプリング動作ではトランジスタ T_{r5} をオフする一方トランジスタ T_{r1} 及び T_{r4} をオンする。この状態で信号線 SL を電流ドライバー 3 で駆動すると、信号電流 I_{sig} が電源 V_{cc} から駆動トランジスタ T_{rd} 及びスイッチングトランジスタ T_{r4} 、 T_{r1} を通って信号線 SL に流れる。この時の駆動トランジスタ T_{rd} の動作特性は以下の数式 2 で表される。

40

【数 2】

$$I_{sig} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

上記数式 2 は数式 1 のドレイン電流 I_{ds} を信号電流 I_{sig} で置き換えたものとなって

50

いる。

【 0 0 1 2 】

信号電流 I_{sig} が流れたとき駆動トランジスタ T_{rd} のゲート G とソース S との間に現れるゲート電圧 V_{gs} は、数式 2 を V_{gs} で解くことによって、以下の数式 3 の様に表される。

【 数 3 】

$$V_{gs} = \sqrt{\frac{2I_{sig}}{k\mu}} + V_{th}$$

10

【 0 0 1 3 】

数式 3 で表されるゲート電圧 V_{gs} は画素容量 C_s に保持される。この様にして、サンプリング動作では電流ドライバ 3 によって供給される信号電流 I_{sig} のレベルに応じたゲート電圧 V_{gs} が画素容量 C_s に書き込まれる。簡略的に言うと、信号電流 I_{sig} が駆動トランジスタ T_{rd} のゲートに書き込まれた事になる。

【 0 0 1 4 】

続いて発光動作では、トランジスタ T_{r1} 及び T_{r4} がオフする一方、 T_{r5} がオンになる。これにより、駆動トランジスタ T_{rd} から駆動電流 I_{ds} が発光素子 EL に流れ、所定の輝度で発光する事になる。このとき駆動トランジスタ T_{rd} に流れる駆動電流 I_{ds} は以下の数式 4 で表される。

20

【 数 4 】

$$\begin{aligned} I_{ds} &= \frac{k\mu}{2} (V_{gs} - V_{th})^2 \\ &= \frac{k\mu}{2} \left(\sqrt{\frac{2I_{sig}}{k\mu}} + V_{th} - V_{th} \right)^2 \\ &= I_{sig} \end{aligned}$$

30

【 0 0 1 5 】

数式 3 で求めた V_{gs} を数式 4 の V_{gs} に代入して整理すると、結局移動度 μ 及び閾電圧 V_{th} の項がキャンセルされ、 $I_{ds} = I_{sig}$ となる。したがって駆動トランジスタ T_{rd} の移動度 μ や閾電圧 V_{th} が画素毎にばらついていても、上述の信号電流書き込み動作を行うことで全てキャンセルされ、画面のユニフォーミティを維持する事ができる。

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

図 3 2 に示した従来の画素回路は駆動トランジスタの移動度 μ や閾電圧 V_{th} のばらつきに関わらず、信号電流 I_{sig} と同じ駆動電流 I_{ds} を発光素子 EL に供給する事ができるという利点がある。電流ドライバ 3 は信号電流 I_{sig} のレベルを階調制御する事で、発光素子 EL の輝度を黒レベルから中間のグレーレベルを通して白レベルまで変化さ

50

せる事ができる。黒レベルのとき信号電流 I_{sig} は微弱となって 0 に近づく一方、白レベルでは大きな電流値となる。しかしながら、信号線 SL の寄生容量は数十 pF と比較的大きく、図 3 2 に示した従来の構成では、電流値の微弱な黒レベルの信号電流 I_{sig} はサンプリング動作に割り当てられた 1 水平映像期間 (1 H) 内で充分に書き込む事ができないという課題があった。

【 0 0 1 7 】

図 3 3 は、この問題を模式的に表したものである。画素アレイ 1 は画面を構成しており、黒の背景に白のウインドウを表示させた場合である。白いウインドウの下方にグレーの部分が現れている。本来、このグレーの部分は背景に属し、黒色でなければならない。しかしながら、図 3 2 に示した従来の画素回路構成では、白いウインドウの下方に位置する画素に黒レベルの信号電流を書き込むことができず、図示のような黒浮きや縦クロストークなどが発生する為、解決すべき課題となっている。

10

【課題を解決するための手段】

【 0 0 1 8 】

上述した従来の技術の課題に鑑み、本発明は黒レベルの信号電流も十分書き込み可能な表示装置を提供することを広義の目的とする。特にかかる広義の目的を達成する上で必要になる走査線の本数を削減し、以って表示装置の歩留りを改善することを狭義の目的とする。かかる広義及び狭義の目的を達成するために以下の手段を講じた。即ち本発明は、画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列毎に配した信号線と、行毎に複数本配した走査線と、信号線の列と走査線の行とが交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は、各信号線に信号電流を流し、前記スキャナ部は、行順次で複数本の走査線に複数の制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該複数の制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置であって、前記画素内制御部は、該信号線に流れる信号電流をサンプリングする第 1 サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせ、前記画素回路は、当該行よりも時間的に先行する前行の画素回路に供給される複数の制御信号の内の一つである第 1 制御信号を、当該行に供給される複数の制御信号の内別の第 2 制御信号として用い、以って行当たりの走査線の本数を削減することを特徴とする。

20

30

【 0 0 1 9 】

好ましくは、前記画素回路は、当該行の直前にある行の画素回路に供給される第 1 制御信号を、当該行に供給される第 2 制御信号に用いる。又各画素回路は、二連のパルスを含む第 1 制御信号によって制御され、この結果第 2 制御信号も二連のパルスを含み、各画素回路が二連のパルスを含む第 2 制御信号に応じて正常に動作するため、二連のパルスの時間的間隔は、該スキャナ部が行う行順次走査の間隔と等しくする。又各画素回路は、第 1 制御信号によって制御される第 1 トランジスタと、第 2 制御信号によって制御される第 2 トランジスタとを含み、第 1 制御信号と第 2 制御信号の極性を揃える為、第 1 トランジスタと第 2 トランジスタの導電型を相補的にする。又前記第 1 及び第 2 サンプリング手段が各々サンプリングする信号電流及び基準電流は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。又前記画素内制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。

40

【発明の効果】

【 0 0 2 0 】

50

本発明にかかる表示装置は、電流ドライバー側から信号電流ばかりでなく基準電流も供給している。画素回路は前後して信号電流及び基準電流をサンプリングし、さらに両者の差分を求めて駆動トランジスタのゲート制御電圧としている。これにより、駆動トランジスタは基準電流に対する信号電流の差分に応じて発光素子を駆動する事ができる。その際、黒レベルの発光輝度では差分が0に近くなり、信号電流が基準電流と略同じになる。このような状態でも、信号電流及び基準電流の絶対値は信号線の寄生容量に対して充分高く設定する事ができる。したがって、黒レベルの電流でも各画素に充分高速で書き込むことができ、従来問題となっていた黒浮きや縦クロストークを防ぐ事ができる。表示すべき輝度階調に依存することなく、信号電流及び基準電流のレベルを高く設定できるので、黒表示の電流であっても1水平期間内に充分画素に書き込むことができ、輝度が充分沈んだ黒色を表現でき、高いコントラスト特性を得ることが可能である。また、駆動トランジスタの閾電圧や移動度に依存することなく、信号電流と基準電流の差分を求めて発光素子に対する駆動電流を制御する為、駆動トランジスタの特性ばらつきに影響を受けることなく、高いユニフォームティの画像を表示する事ができる。特に、移動度や閾電圧が大きくばらつく低温ポリシリコンTFTを用いた画素回路で、本発明の効果が大きい。

10

【0021】

特に本発明では、当該行よりも時間的に先行する前行の画素回路に供給される複数の制御信号の内の1つである第1制御信号を、当該行に供給される複数の制御信号の内の別の第2制御信号として用いている。これにより行当りの走査線の本数を削減することが出来る。走査線の本数が少なくなること、配線間のオーバーラップが少なくなり、短絡欠陥が減少するので、表示装置を構成するパネルの製造歩留りを改善することが出来る。また、走査線の本数を削減した分、周辺回路に含まれるスキナを省略出来るので、パネルの狭額縁化も達成できる。通常、パネルは中央の画素アレイ部が画面を構成し、これを額縁のように囲むようにスキナなどの周辺回路が配されている。本発明ではスキナを削減できるので、その分パネル上で周辺回路部が占有する額縁の部分の面積を狭く出来る。

20

【発明を実施するための最良の形態】

【0022】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明の元になった先行開発にかかる表示装置の全体的な構成を示すブロック図である。この先行開発にかかる表示装置は、本発明の元になるものであり、ここに本発明の一部として詳細に説明する。なおこの先行開発にかかる表示装置は、本願と出願人を同じくする特願2004-347283に詳細に記載されている。図示するように、本表示装置はアクティブマトリクス型であり、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は電流ドライバー3、第一ライトスキナ41、第二ライトスキナ42、第三ライトスキナ43、ドライブスキナ5及び補正用スキナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。各画素R、G、Bはそれぞれ画素回路2で構成されている。信号線SLは電流ドライバー3によって駆動される。換言すると、電流ドライバー3は信号線SLに信号電流及び基準電流を流す。走査線WSは実際には3本の走査線WS1、WS2、WS3に分かれている。最初の走査線WS1は第一ライトスキナ41によって走査される。次の走査線WS2は第二ライトスキナ42によって走査される。残る走査線WS3は第三ライトスキナ43によって走査される。これらの走査線WS1ないしWS3に供給される制御信号はそれぞれタイミングが異なっている。また、走査線WS1、WS2、WS3と平行に別の走査線DS及びAZも配線されている。走査線DSはドライブスキナ5によって走査される。ドライブスキナ5は各画素に含まれる発光素子の発光期間を制御するものである。走査線AZは補正用スキナ7によって走査される。ライトスキナ41、42、43、ドライブスキナ5及び補正用スキナ7は全体としてスキナ部を構成しており、1水平期間ごと画素の行を順次走査する。

30

40

【0023】

図2は、図1に示した画素回路2の構成を示す回路図である。本画素回路2は、6個の

50

薄膜トランジスタ $T r 1$, $T r 2$, $T r 3$, $T r 4$, $T r 5$ 及び $T r d$ と、2 個の画素容量 $C s 1$, $C s 2$ と 1 個の発光素子 $E L$ とで構成されている。6 個の薄膜トランジスタの内、スイッチング制御用のトランジスタ $T r 1$ ないし $T r 5$ は N チャンネル型である。残るトランジスタ $T r d$ は、発光素子 $E L$ を駆動する為の駆動トランジスタである。駆動トランジスタ $T r d$ は P チャンネル型となっている。本先行開発例では、これら 6 個の薄膜トランジスタは低温ポリシリコン薄膜をチャンネル領域としている。発光素子 $E L$ はアノード及びカソードを備えた二端子型デバイスであり、例えば有機 $E L$ 発光素子を用いる事ができる。なお、上記実施例ではトランジスタ $T r 1 \sim T r 5$ は全て N チャンネル型としているが、これらは全て P チャンネル型もしくは N チャンネル型と P チャンネル型が混在していても構わない。

10

【0024】

駆動トランジスタ $T r d$ のソース S は電源 $V c c$ に接続している。駆動トランジスタ $T r d$ のドレイン D は発光素子 $E L$ のアノード側に接続している。発光素子 $E L$ のカソードは接地されている。なお、発光素子 $E L$ のカソード接地電位は、 $V c a t h o d e$ で表される場合がある。駆動トランジスタ $T r d$ のゲート G は画素容量 $C s 2$ の一端に接続している。この画素容量 $C s 2$ の他端はもう 1 つの画素容量 $C s 1$ の一端に接続している。この画素容量 $C s 1$ の他端は電源 $V c c$ に接続している。

【0025】

スイッチングトランジスタ $T r 1$ のソース / ドレインは信号線 $S L$ と駆動トランジスタ $T r d$ のゲート G に接続しており、そのゲートは走査線 $W S 1$ を介して第一ライトスキャナ 4 1 に接続されている。スイッチングトランジスタ $T r 2$ はそのソース / ドレインが駆動トランジスタ $T r d$ のゲート G と画素容量 $C s 1$ の一端との間に接続され、ゲートが走査線 $W S 2$ を介して第二ライトスキャナ 4 2 に接続している。スイッチングトランジスタ $T r 3$ はソース / ドレインが一对の画素容量 $C s 1$, $C s 2$ の間に接続され、このゲートが走査線 $W S 3$ を介して第三ライトスキャナ 4 3 に接続している。スイッチングトランジスタ $T r 4$ は、そのソース / ドレインが駆動トランジスタ $T r d$ のゲート G とドレイン D との間に接続されており、そのゲートが走査線 $A Z$ を介して補正用スキャナ 7 に接続している。スイッチングトランジスタ $T r 5$ は、そのソース / ドレインが駆動トランジスタ $T r d$ のドレイン D と発光素子 $E L$ のアノードとの間に接続され、そのゲートが走査線 $D S$ を介してドライブスキャナ 5 に接続されている。

20

30

【0026】

図 3 は、図 2 に示した画素回路の動作説明に供する模式図である。図示するように、信号線には、電流ドライバーから信号電流 $I s i g$ 及び基準電流 $I r e f$ が交互に流れる。また、各スイッチングトランジスタ $T r$ のゲートには対応する走査線を介して各スキャナから制御信号が供給される。図では理解を容易にする為、走査線と同じ符号を用いて制御信号を表している。例えばスイッチングトランジスタ $T r 1$ のゲートに印加される制御信号は $W S 1$ で表してある。同様にトランジスタ $T r 2$ のゲートに印加される制御信号は $W S 2$ で表され、トランジスタ $T r 3$ の制御信号は $W S 3$ で表され、トランジスタ $T r 4$ の制御信号は $A Z$ で表され、トランジスタ $T r 5$ の制御信号は $D S$ で表されている。また、一对の画素容量 $C s 1$, $C s 2$ はその容量値 $C 1$, $C 2$ を図示してある。本先行開発例では、一对の画素容量 $C s 1$, $C s 2$ の容量値 $C 1$ と $C 2$ は等しくなるように設定されている。

40

【0027】

図 4 は、図 3 に示した画素回路の動作説明に供するタイミングチャートである。時間軸 T に沿って、信号電流及び各制御信号 $W S 1$, $W S 2$, $W S 3$, $A Z$, $D S$ の波形を表してある。信号電流 $I s i g$ は 1 水平期間 (1 H) 毎に変化しており、それぞれ対応する行の画素に割り当てられる。1 H 内で電流レベルは、 $I s i g$ と $I r e f$ の間を切り替わる。基準電流 $I r e f$ は予め所定のレベルに設定されている。信号電流 $I s i g$ はこの基準電流 $I r e f$ を基準として 1 H 毎に変化している。信号電流 $I s i g$ のレベルが高くなる程、発光輝度は大きくなる。

50

【 0 0 2 8 】

タイミング T 0 で制御信号 W S 1 , W S 2 及び A Z はローレベルにある一方、制御信号 W S 3 及び D S はハイレベルにある。各スイッチングトランジスタは N チャネル型であるので、対応する制御信号がハイレベルにある時オン状態となり、ローレベルにある時オフ状態となる。タイミング T 0 では制御信号 D S がハイレベルである為スイッチングトランジスタ T r 5 はオンとなっており、駆動トランジスタ T r 5 から発光素子 E L に駆動電流が流れるので、画素回路は発光状態である。

【 0 0 2 9 】

ここからタイミング T 1 になると、制御信号 D S がローレベルになり、発光素子 E L は非発光状態に切り替わる。タイミング T 2 で制御信号 A Z がハイレベルになる。さらにタイミング T 3 で制御信号 W S 1 及び W S 2 もハイレベルとなる。このとき信号線には基準電流 I r e f が流れている。タイミング T 4 に進むと制御信号 W S 2 がローレベルに戻る。このタイミング T 3 ~ T 4 までの期間で基準電流 I r e f を画素容量 C 1 に書き込む。

10

【 0 0 3 0 】

続いてタイミング T 5 になると信号線側が基準電流 I r e f から信号電流 I s i g に切り替わる。さらにタイミング T 6 で制御信号 W S 3 がローレベルになる。このタイミング T 5 ~ T 6 の間で、信号電流 I s i g の書き込み及び I r e f と I s i g の差分保持動作が行われる。

【 0 0 3 1 】

この後タイミング T 7 で制御信号 W S 1 が立ち下がる。さらにタイミング T 8 で制御信号 W S 2 が再びハイレベルになる。続いてタイミング T 9 で制御信号 A Z がローレベルに戻る。このタイミング T 8 ~ T 9 の間で駆動トランジスタの閾電圧 V t h の補正動作が行われる。

20

【 0 0 3 2 】

さらにタイミング T 1 0 に進むと制御信号 W S 2 がローレベルに戻る。タイミング T 1 1 になると制御信号 W S 3 がハイレベルになると共に制御信号 D S がハイレベルになる。これにより発光動作が行われる。

【 0 0 3 3 】

図 5 は、図 4 のタイミングチャートに示した期間 T 3 - T 4 で行われる I r e f 書き込み動作を示す模式図である。この期間 T 3 - T 4 では、信号線に基準電流 I r e f が流れている。スイッチングトランジスタは T r 1 ないし T r 4 がオンで、T r 5 がオフとなっている。したがって基準電流 I r e f が、電源 V c c から駆動トランジスタ T r d、スイッチングトランジスタ T r 4 及び T r 1 を通って信号線側に流れる。この結果基準電流 I r e f に応じた電位 V r e f が駆動トランジスタ T r d のゲートに現れる。この時、駆動トランジスタ T r d のゲート電圧 V g s は以下の数式 5 によって表される。

30

【 数 5 】

$$V_{gs} = V_{cc} - V_{ref}$$

40

【 0 0 3 4 】

したがって、基準電流 I r e f が駆動トランジスタ T r d を流れた時の特性式は以下の数式 6 で表される。

【数 6】

$$I_{ref} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

$$= \frac{k\mu}{2} (V_{cc} - V_{ref} - V_{th})^2$$

10

数式 6 では V_{gs} に数式 5 の $V_{cc} - V_{ref}$ を代入する事で、 I_{ref} と V_{ref} の関係が求められている。

【0035】

ここで数式 6 を V_{ref} について整理すると、以下の数式 7 の様になる。

【数 7】

$$V_{ref} = V_{cc} - V_{th} - \sqrt{\frac{2I_{ref}}{k\mu}}$$

20

この様にして得られた基準電位 V_{ref} はオン状態にあるトランジスタ Tr_2 を介して容量 C_1 に書き込まれる。

【0036】

図 6 は、図 4 に示したタイミングチャートの期間 $T_5 - T_6$ で行われる I_{sig} 書き込み及び電流差分保持動作を示す模式図である。期間 $T_5 - T_6$ では、信号線に信号電流 I_{sig} が流れる。スイッチングトランジスタは Tr_1 、 Tr_3 及び Tr_4 がオンにある一方、 Tr_2 及び Tr_5 がオフになっている。この状態で、信号電流 I_{sig} が電源 V_{cc} から駆動トランジスタ Tr_d 、スイッチングトランジスタ Tr_4 及び Tr_1 を通って信号線に流れる。この結果、駆動トランジスタ Tr_d のゲート電位は V_{ref} から V_{sig} に変化する。この V_{sig} は、数式 7 で V_{ref} を求めた時と同様にして、以下の数式 8 によって求められる。

30

【数 8】

$$V_{sig} = V_{cc} - V_{th} - \sqrt{\frac{2I_{sig}}{k\mu}}$$

【0037】

駆動トランジスタ Tr_d のゲートに現れた電位変化 $V_{sig} - V_{ref}$ は、容量 C_2 を介してノード A にカップリングされる。ノード A は一対の容量 C_1 、 C_2 の接続点であり、その電位を V_a で表してある。ゲート電位の変化の容量カップリング分は $(V_{sig} - V_{ref}) C_2 / (C_1 + C_2)$ で表される。元々電位 V_{ref} にあった A 点にこの容量カップリング分が加わる為、ノード A の電位 V_a は以下の数式 9 で表される事になる。

40

【数 9】

$$V_a = V_{ref} + \frac{C_2}{C_1 + C_2} (V_{sig} - V_{ref}) = \frac{V_{sig} + V_{ref}}{2}$$

なお上記数式 9 では $C_1 = C_2$ を仮定しているので、 $V_a = (V_{sig} + V_{ref}) / 2$

50

となっている。

【 0 0 3 8 】

ノード A の電位 V_a から駆動トランジスタ T_{rd} のゲート電位 V_{sig} を引いたものが、容量 C_2 に保持された電位である。数式 9 の結果から、この容量 C_2 の両端に保持された電圧 $V_a - V_{sig}$ は $(V_{ref} - V_{sig}) / 2$ で表される。さらに、この V_{ref} 及び V_{sig} に、数式 7 及び 8 で得られた結果を代入すると、結局以下の数式 10 が得られる。

【 数 1 0 】

$$V_a - V_{sig} = \frac{V_{ref} - V_{sig}}{2} = \frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}}$$

10

【 0 0 3 9 】

上記の数式 10 から明らかなように、容量 C_2 の両端には、信号電流 I_{sig} と基準電流 I_{ref} の差分に応じた電圧が保持された事になる。以上の動作により、信号電流 I_{sig} の書き込みと I_{ref} 及び I_{sig} の電流差分が求められ、且つ電流差分に応じた電圧が数式 10 で表される形によって容量 C_2 に保持される。

【 0 0 4 0 】

図 7 は、図 4 に示したタイミングチャートの期間 $T_8 - T_9$ で行われる V_{th} キャンセル動作を示す模式図である。この期間 $T_8 - T_9$ では、スイッチングトランジスタ T_{r1} 、 T_{r3} 及び T_{r5} がオフにある一方、スイッチングトランジスタ T_{r2} 及び T_{r4} がオンしている。これにより、電源 V_{cc} 、駆動トランジスタ T_{rd} 、スイッチングトランジスタ T_{r4} 、スイッチングトランジスタ T_{r2} 及び容量 C_1 により閉ループが構成される。この閉ループに電源 V_{cc} から電流が流れ、容量 C_1 を充電して駆動トランジスタ T_{rd} のゲート電位を上昇させる。駆動トランジスタ T_{rd} のゲート電圧 V_{gs} が丁度閾電圧 V_{th} に到達した段階で、過渡電流は流れなくなる。この時のゲート電圧 V_{gs} が閾電圧 V_{th} として容量 C_1 に書き込まれる事になる。この様にして、駆動トランジスタ T_{rd} の閾電圧 V_{th} のキャンセルに必要な電位 V_{th} が容量 C_1 に保持される。

20

30

【 0 0 4 1 】

図 8 は、図 4 のタイミングチャートに示した期間 T_{11} 以降で行われる発光動作を示す模式図である。図示するように、タイミング T_{11} 以降の発光期間では、スイッチングトランジスタ T_{r1} 、 T_{r2} 及び T_{r4} がオフする一方、 T_{r3} 及び T_{r5} がオンしている。この結果駆動電流 I_{ds} が電源 V_{cc} から駆動トランジスタ T_{rd} 及びスイッチングトランジスタ T_{r5} を通って発光素子 EL に流れ、所定の輝度で発光が行われる。この発光期間における駆動トランジスタ T_{rd} のゲート電圧 V_{gs} はスイッチングトランジスタ T_{r3} がオンしている為、容量 C_1 に保持された電圧と容量 C_2 に保持された電圧の和となる。トランジスタ T_{r3} をオンして容量 C_1 と C_2 を接続した時、駆動トランジスタ T_{rd} のゲート寄生容量に比べて容量 C_1 及び C_2 の値が大きいので C_1 と C_2 は電荷を保持したまま接続される。よって駆動トランジスタ T_{rd} のゲート電圧 V_{gs} は C_1 に保持された電圧 V_{th} と C_2 に保持された電圧 $(V_{ref} - V_{sig}) / 2$ の和となり、以下の数式 11 で表される。

40

【 数 1 1 】

$$V_{gs} = V_{th} + \frac{1}{2}(V_{ref} - V_{sig})$$

50

【 0 0 4 2 】

一方、発光期間に流れる駆動電流 I_{ds} は以下の数式 1 2 によって表される。なお、この数式 1 2 はトランジスタの基本特性を示す数式 1 と同じである。

【数 1 2】

$$I_{ds} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

【 0 0 4 3 】

数式 1 2 に含まれる V_{gs} に数式 1 1 で求めた結果を代入すると、以下の数式 1 3 が得られる。

【数 1 3】

$$I_{ds} = \frac{1}{2} k\mu \left(V_{th} + \frac{V_{ref} - V_{sig}}{2} - V_{th} \right)^2$$

【 0 0 4 4 】

上記数式 1 3 から明らかなように、元々のトランジスタ特性式に含まれていた V_{th} の項は容量 C_1 に保持された V_{th} の項によってキャンセルされる。これにより、駆動トランジスタ T_{rd} の閾電圧 V_{th} のばらつきの影響が除かれる。さらに数式 1 3 で残された $(V_{ref} - V_{sig}) / 2$ の項に数式 1 0 で求めた結果を代入すると、以下の数式 1 4 が得られる。

【数 1 4】

$$I_{ds} = \frac{1}{2} k\mu \left(\frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \right)^2$$

【 0 0 4 5 】

数式 1 4 に含まれている移動度 μ の項は結局分子と分母でキャンセルするので、最終的な駆動電流 I_{ds} の式は以下の数式 1 5 のようになる。

【数 1 5】

$$I_{ds} = \frac{1}{4} (\sqrt{I_{sig}} - \sqrt{I_{ref}})^2$$

【 0 0 4 6 】

上記数式 1 5 から明らかなように、駆動電流 I_{ds} は信号電流 I_{sig} と基準電流 I_{ref} の差分に応じて決まり、駆動トランジスタに固有の移動度 μ や閾電圧 V_{th} は含まれていない。この様にして本画素回路では、 I_{sig} と I_{ref} の電流差分値により発光電流が決定され、閾電圧 V_{th} と移動度 μ のばらつきによらないユニフォーミティの高い画質を得ることができる。さらに、本画素回路で黒表示は $I_{sig} = I_{ref}$ にて表示する。そして I_{ref} 及び I_{sig} の値は書き込みに十分な電流値に設定している。このため黒表示の信号電流でも 1 水平期間内に充分画素容量に書き込む事ができ、黒浮きや縦クロストークなどの発生を抑制できる。

【 0 0 4 7 】

図 9 は、本画素回路に含まれる駆動トランジスタの動作を模式的に表したグラフである

10

20

30

40

50

。このグラフは横軸にゲート電圧 V_{gs} を取り、縦軸にドレイン電流 I_{ds} を取って、駆動トランジスタの動作特性を模式的に表している。実線は画素 A に含まれる駆動トランジスタの特性であって、移動度 μ が大きい場合である。点線のカーブは画素 B に含まれる駆動トランジスタの特性であって、移動度 μ が小さい場合である。移動度 μ が小さいほど特性カーブは傾斜が緩やかになっており、各画素で特性にばらつきがある。このような特性のばらつきは低温ポリシリコン薄膜を用いたトランジスタに顕著である。この様に特性のばらつきがある駆動トランジスタであっても、本先行開発例は信号電流 I_{sig} と基準電流 I_{ref} の差分に応じて発光電流が定まるように駆動トランジスタを制御している。したがって、移動度 μ がばらついていても、常に各画素で電流差分に応じた発光電流制御が行われる為、高ユニフォーミティの画面品質が得られる。

10

【0048】

以上説明したように、図 2 に示した本発明の元になった先行開発例にかかる画素回路は、信号電流 I_{sig} が流れる信号線 SL と、制御信号を供給する走査線 $WS1$, $WS2$, $WS3$, AZ , DS とが交差する部分に配されている。この画素回路 2 は、発光素子 EL と、発光素子 EL に駆動電流 I_{ds} を供給する駆動トランジスタ Trd と、制御信号 $WS1$, $WS2$, $WS3$, AZ , DS に応じて動作し信号電流 I_{sig} に基づいて駆動トランジスタ Trd の駆動電流 I_{ds} を制御する制御部とで構成されている。この制御部は、第 1 サンプルング手段と第 2 サンプルング手段と差分手段とを含んでいる。第 1 サンプルング手段は、トランジスタ $Tr1$, $Tr3$, $Tr4$ と画素容量 $C2$ とで構成されており、信号線 SL に流れる信号電流 I_{sig} をサンプルングする。第 2 サンプルング手段はトランジスタ $Tr1$, $Tr2$, $Tr3$, $Tr4$ と画素容量 $C1$ とで構成され、信号電流 I_{sig} に前後して信号線 SL に流れる所定の基準電流 I_{ref} をサンプルングする。差分手段はトランジスタ $Tr1$, $Tr3$, $Tr4$ と一対の画素容量 $C1$, $C2$ で構成されており、サンプルングされた基準電流 I_{ref} に対するサンプルングされた信号電流 I_{sig} の差分に応じた制御電圧 $(V_{ref} - V_{sig}) / 2$ を生成する。駆動トランジスタ Trd は、この制御電圧 $(V_{ref} - V_{sig}) / 2$ をゲート G に受けてソース S / ドレイン D 間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。

20

【0049】

第 1 及び第 2 サンプルング手段が各々サンプルングする信号電流 I_{sig} 及び基準電流 I_{ref} は、両者の相対的な差分が小さいとき発光素子 EL の発光量が小さくなり且つ差分が大きいとき発光量が大きくなる一方、相対的な差分が小さいときでも信号電流 I_{sig} 及び基準電流 I_{ref} の絶対的なレベルはサンプルングを可能とするように大きく設定されている。

30

【0050】

画素回路 2 の制御部は、上述した第 1 及び第 2 サンプルング手段と差分手段に加え、補正手段を有している。この補正手段はトランジスタ $Tr2$, $Tr4$ と画素容量 $C1$ とで構成されており、駆動トランジスタ Trd の閾電圧 V_{th} を検出してこれを前述した制御電圧 $(V_{ref} - V_{sig}) / 2$ に加える事ができる様にしている。これにより、閾電圧 V_{th} の影響を駆動電流 I_{ds} からキャンセルする事ができる。

【0051】

本先行開発例では、第 1 サンプルング手段は信号電流 I_{sig} を駆動トランジスタ Trd に流してその時ゲート G に発生する信号電圧 V_{sig} をサンプルングする。同様に第 2 サンプルング手段は駆動トランジスタ Trd に基準電流 I_{ref} を流してその時ゲート G に発生する基準電圧 V_{ref} をサンプルングする。このとき差分手段は、容量 $C2$ を介して信号電圧 V_{sig} と基準電圧 V_{ref} をカップリングさせ両者の差分を求めて制御電圧 $(V_{ref} - V_{sig}) / 2$ を生成している。なお、第 1 サンプルング手段はサンプルングした信号電圧 V_{sig} を保持する容量 $C2$ を有し、第 2 サンプルング手段はサンプルングした基準電圧 V_{ref} を保持し且つ信号電圧 V_{sig} にカップリングする為の容量 $C1$ を有する。この場合、第 1 及び第 2 の容量 $C1$, $C2$ は同一の容量値を有する。

40

【0052】

50

上述したように、差分型電流駆動方式は、従来の単純な電流書き込み駆動方式と異なり、2種類の電流信号を交互に投入し、その差分値を用いることで駆動トランジスタの V_{th} 特性や移動度特性のばらつきを補正し、いわゆる黒浮きや縦クロストークのない高ユニフォームリティの画質を得ている。しかしながら、先行開発にかかる差分型電流駆動回路では、1画素当り5種類の走査線（ゲートライン）を用いている。この様にゲートライン数が増えれば、配線同士のオーバーラップが増加し、歩留りが低下してしまう。また、各ゲートラインを駆動するためにスキナの個数も多くなる為、パネルの中央にある画素アレイで構成される画面を囲む額縁の部分が大きくなってしまふ。そこで本発明は、上述した先行開発にかかる表示装置をさらに改善してゲートライン数の削減を図ることを目的とする。

10

【0053】

図10は、本発明にかかる画素回路及びこれを組み込んだ表示装置の第1実施形態を示す全体ブロック図である。理解を容易にするため、図1に示した先行開発にかかる表示装置と対応する部分には対応する参照番号を付してある。異なる点は、図1に示した先行開発例が1画素行当り5本の走査線 $WS1$ 、 $WS2$ 、 $WS3$ 、 DS 、 AZ を含んでいるのに対し、本第1実施形態は1画素行当り4本の走査線 $WS2$ 、 $WS3$ 、 DS 、 AZ で構成されていることである。換言すると本実施形態では走査線 $WS1$ が省略されており、これと対応して第一ライトスキナも省かれている。

【0054】

図11は、図10に示した第1実施形態に組み込まれる画素回路の具体的な構成例を示す回路図である。理解を容易にするため図2に示した先行開発例と対応する部分には対応する参照番号を付してある。説明の都合上図11の回路図は、 $n-1$ 行目に属する画素回路 $2n-1$ と n 行目に属する画素回路 $2n$ を2個並べて描いてある。これと対応するように、各走査線にもサフィックス $n-1$ 及び n を付けて、行毎に区別している。なお n は正の整数である。 n が大きくなる方向に、スキナ部は行順次で各画素回路を走査していく。

20

【0055】

画素回路 $2n$ に着目すると、トランジスタ $Tr2$ は対応する当該行の走査線 $WS2n$ に接続し、トランジスタ $Tr3$ のゲートは同じく対応する走査線 $WS3n$ に接続し、トランジスタ $Tr4$ のゲートは同じく対応する走査線 AZn に接続し、トランジスタ $Tr5$ のゲートも同じく対応する走査線 DSn に接続している。しかしながらサンプリグトランジスタ $Tr1$ のゲートは対応する当該行の走査線（ $WS1n$ ）がなく、この代わりに前の行の走査線 $WS2n-1$ がサンプリグトランジスタ $Tr1$ のゲートに接続している。この様に本発明では、画素回路 $2n$ は、当該行 n よりも時間的に先行する前行 $n-1$ の画素回路 $2n-1$ に供給される複数の制御信号の内の1つである第1制御信号 $WS2n-1$ を、当該行 n に供給される複数の制御信号のうちの別の第2制御信号（ $WS1n$ に相当）として用い、以って行当りの走査線の本数を削減している。図から明らかなように、画素回路 $2n-1$ では制御信号 $WS2n-1$ がスイッチングトランジスタ $Tr2$ を制御する第1制御信号として使われているのに対し、当該行の画素回路 $2n$ では同じ制御信号 $WS2n-1$ がサンプリグトランジスタ $Tr1$ を制御する別の制御信号（即ち第2制御信号）として使われている。この様に時間的に前後する画素行の間で走査線を共有することにより、行当りの走査線の本数を削減可能である。

30

40

【0056】

図11に示した実施形態では、当該行 n の直前にある行 $n-1$ の画素回路 $2n-1$ に供給される第1制御信号 $WS2n-1$ を、当該行 n に供給される第2制御信号（ $WS1n$ に相当）に用いている。但し本発明はこれに限られるものではなく、場合によっては直前行ではなくさらに時間的に先行する前の行の制御信号を利用して、後ろの行の画素回路を制御するようにしても良い。

【0057】

図12は、図11に示した画素回路 $2n$ の動作説明に供する模式図である。理解を容易

50

にするため、図3に示した画素回路と対応する部分には対応する参照番号を付してある。図から明らかなように、トランジスタ T_{r1} のゲートには、本来の制御信号 WS_1 に代えて前行から供給された制御信号 WS_{2n-1} が印加されている。その他の点は、図3に示した先行開発例と同じである。

【0058】

図13は、図12に示した画素回路の動作説明に供するタイミングチャートである。理解を容易にするため、図4に示した先行開発例にかかるタイミングチャートと同様の表記を採用している。図4のタイミングチャートと比較すれば明らかなように、前行から供給された制御信号 WS_{2n-1} が、制御信号 WS_1 の代わりに使われている。換言すると、本実施形態では制御信号 WS_1 を別途供給する必要がない。ただ制御信号 WS_2 は元々トランジスタ T_{r2} のゲートを制御するため二連のパルスからなる。この関係でトランジスタ T_{r1} のゲートに印加される制御信号 WS_{2n-1} も二連のパルスとなってしまう。制御信号 WS_{2n-1} の二連パルスの内、1番目のパルスはサンプリングトランジスタ T_{r1} の動作に不要なものであるが、ゲートに印加しても特に動作に問題が生じることはない。なお問題が生じないようにするためには、二連のパルスの時間的間隔は、スキャナ部が行う行順次走査の間隔（即ち一水平走査期間）と等しくすることが好ましい。

10

【0059】

引き続き図14ないし図19を参照して、図12に示した画素回路の動作を詳細に説明する。まず図14に示すように、タイミング T_1 になると制御信号 DS_n が立ち下がり、トランジスタ T_{r5} がオフする。このとき画素容量 C_1 と C_2 には電荷が保持されており、駆動トランジスタ T_{rd} の V_{gs} は一定であり、発光時の電流 I_{ds} が流れる。これに従い駆動トランジスタ T_{rd} のドレイン電位は上昇して線形領域に入り、最終的には V_{cc} になる。この変化に伴い I_{ds} は減少し最終的には0Aとなって、非発光状態に至る。

20

【0060】

続いて図15に示すように、タイミング T_1 の後タイミング T_2 に入る前に、制御信号 WS_{2n-1} の一番目のパルスがサンプリングトランジスタ T_{r1} に印加されるので、 T_{r1} が一時的にオンする。このときトランジスタ T_{r5} はオフしてあるので、駆動トランジスタ T_{rd} には電流が流れない。オンしたトランジスタ T_{r1} を介して駆動トランジスタ T_{rd} のゲートに前行の画素と同じ電位が書き込まれる。但し書き込まれた時点で電流は流れておらず非発光状態のままであり、且つ一旦書き込まれたゲート電位も次の本来の書き込み動作によって直ちに打ち消される。従って動作上は何ら問題はない。

30

【0061】

この後の動作は先行開発例と同じであり、丁度図16ないし図19が、先行開発例の図5ないし図8にそれぞれ対応している。繰り返しになるが、図16に示すように T_{r4} をオンした上で、 T_{r1} と T_{r2} もオンして、 I_{ref} を書き込む。ここで T_{r1} と T_{r2} は前述したように1行異なる走査線から制御信号パルスを供給している。この動作を行うためには、制御信号に含まれる二連パルスの間隔は1H（水平書き込み期間）に設定する必要があり、且つ互いに共用する走査線は隣接画素間にする必要がある。

【0062】

続いて図17に示すように、 T_{r2} をオフして信号電流を I_{sig} に変化させる。これにより駆動トランジスタ T_{rd} のゲート電圧を変化させ、カップリングを用いて C_2 に電流差分値に相当する電圧を保持する。

40

【0063】

次に図18に示すように T_{r1} と T_{r3} をオフする一方 T_{r2} をオンして、 V_{th} 補正を行い、その電圧を C_1 に保持する。

【0064】

最後に図19に示すように T_{r2} と T_{r4} をオフする一方、 T_{r3} と T_{r5} をオンすることで C_1 容量と C_2 容量を連結し、発光させる。この一連の動作により、電流差分に相当する電流が駆動トランジスタ T_{rd} を流れ、 V_{th} や移動度特性を補正し、さらに完全に沈んだ黒を実現することが出来る。合わせてゲートラインを共有化することで配線数を

50

削減することが出来、配線オーバーラップを少なくすることでパネル歩留りを向上することが出来る。

【0065】

図20は、本発明にかかる表示装置の第2実施形態を示す模式的なブロック図である。理解を容易にするため、図10に示した第1実施形態と対応する部分には対応する参照番号を付してある。第1実施形態と同様に本第2実施形態でも、1画素行当りの走査線本数はWS1, WS2, WS3, DSの4本であり、先行開発例に比較して1本少なくなっている。但し第1実施形態は走査線WS1を他の走査線と兼用したのに対し、本実施形態は走査線AZを他の走査線と兼用することで省くようにしている。これに対応して、図20に示した第2実施形態では、走査線AZを線順次走査するための補正用スキャナが不要となっている。

10

【0066】

図21は、図20に示した第2実施形態に組み込まれる画素回路の構成を示す回路図である。理解を容易にするため、図11に示した第1実施形態と対応する部分には対応する参照番号を付してある。図21では説明の都合上線順次走査が画素アレイ部1の下から上に向かって行われており、この関係で図21の上側に画素回路2nを表記し、その下に1行前の画素回路2n-1を描いてある。画素回路2nに着目すると、スイッチングトランジスタTr3のゲートには通常通り走査線WS3nが接続しており、対応する第三ライトスキャナ43から対応する制御信号WS3nが印加される。これに対しスイッチングトランジスタTr4のゲートには通常の走査線AZnに代えて直前行の走査線WS3n-1が接続されている。この様に制御線WS3を隣り合う画素行で使い分けることにより、走査線の本数を1本削減できる。ここで画素回路2nに着目すると、前行からの制御信号WS3n-1を第1制御信号としてTr4を制御し、当該行の制御信号WS3nを第2制御信号として用いている。必然的に第1制御信号と第2制御信号は波形自体が同じなので、極性が同一になる。同一の極性の第1制御信号及び第2制御信号で画素回路2nが正常に動作するために、制御対象となるトランジスタTr3及びTr4の導電型を適切に設定する必要がある。本実施形態では、トランジスタTr3をN導電型とする一方トランジスタTr4をP導電型とすることで、動作の適正化を図っている。換言すると本実施形態はトランジスタTr3とTr4を互いに相補型とすることで、第1制御信号と第2制御信号が同一極性となっても問題が生じないようにしている。

20

30

【0067】

図22は、図21に示した画素回路2nの動作説明に供する模式的な回路図である。図示する様に、トランジスタTr1のゲートには通常の制御信号WS1nが印加され、トランジスタTr2のゲートにも通常の制御信号WS2nが印加され、トランジスタTr3のゲートにも同じく通常の制御信号WS3nが印加され、さらにトランジスタTr5のゲートにも通常の制御信号DSnが印加されている。これに対しトランジスタTr4のゲートのみ通常の制御信号AZnに代えて前行から供給された制御信号WS3n-1が印加されている。これと対応してトランジスタTr4の導電型もNチャネル型からPチャネル型に変わっている。

【0068】

40

図23は、図22に示した画素回路2nの動作説明に供するタイミングチャートである。図4に示した先行開発例のタイミングチャートと比較すれば明らかな様に、制御信号AZに代えて制御信号WS3n-1が使われている。但し図4と図23を比較すれば明らかなように、図4のAZと図23のWS3n-1は極性が反対になっている。反対極性のWS3n-1で画素回路2nが通常に動作するように、対応するトランジスタTr4の導電型がPチャネル型に設定されている。

【0069】

図24ないし図27を参照して、図22に示した第2実施形態の画素回路の動作を詳細に説明する。なお基本的には図24ないし図27は、先行開発例の動作説明に供した図5ないし図8と対応している。まず図24に示すように、Tr5をオフして非発光状態にし

50

た後、制御信号 $WS3n-1$ をローレベルに切換えることで、トランジスタ $Tr4$ がオンする。前述したようにパルス共有化のためトランジスタ $Tr4$ は P チャンネル型にしている。続いてトランジスタ $Tr1$ と $Tr2$ をオンして $Iref$ を書き込む。

【0070】

続いて図 25 に示すように、トランジスタ $Tr2$ をオフして信号電流を $I sig$ に変化させる。これにより駆動トランジスタ Trd のゲート電圧を変化させ、カップリングを用いて $C2$ に電流差分値に相当する電圧を保持する。

【0071】

続いて図 26 に示すように、トランジスタ $Tr1$ と $Tr3$ をオフする一方トランジスタ $Tr2$ をオンして Vth 補正を行う。その結果を示す電圧を容量 $C1$ に保持する。

10

【0072】

最後に図 27 に示すように、トランジスタ $Tr2$ と $Tr4$ をオフする一方、トランジスタ $Tr3$ と $Tr5$ をオンすることで、容量 $C1$ と $C2$ を連結し発光させる。この一連の動作により、電流差分に相当する電流が駆動トランジスタ Trd を流れ、 Vth や移動度特性を補正し、さらに完全に沈んだ黒を表現することが出来る。以上により、走査線を供給化することで配線数を削減することが出来、配線オーバーラップを減らすことでパネル歩留りを改善可能である。

【0073】

図 28 は、本発明にかかる表示装置の第 3 実施形態を示す模式的な回路図である。理解を容易にするため、図 21 の第 2 実施形態と対応する部分には対応する参照番号を付してある。この第 3 実施形態は先の第 2 実施形態と基本的に同じであり、走査線 AZ を削減する一方走査線 $WS3$ を代用している。異なる点は、トランジスタ $Tr3$ を P チャンネル型とし、トランジスタ $Tr4$ を N チャンネル型としていることである。トランジスタ $Tr3$ と $Tr4$ が相補型である点は変わらないが、チャンネル型が第 2 実施形態と入れ替わっている。

20

【0074】

図 29 は、図 28 に示した第 3 実施形態に含まれる画素回路 $2n$ の模式図である。図示する様に、P チャンネル型のトランジスタ $Tr3$ のゲートには制御信号 $WS3n$ が印加される一方、N チャンネル型のトランジスタ $Tr4$ のゲートには前行の制御信号 $WS3n-1$ が印加されている。

【0075】

図 30 は、図 29 に示した画素回路 $2n$ の動作説明に供するタイミングチャートである。理解を容易にするため、図 23 に示した第 2 実施形態と同様の表記を採用している。図 23 と図 30 を比較すれば明らかなように、制御信号 $WS3n$ の極性が反対になっている。同様に制御信号 $WS3n-1$ の極性も反対になっている。これは、第 2 実施形態と第 3 実施形態で、トランジスタ $Tr3$ 及び $Tr4$ の導電型を逆にした点に対応している。

30

【図面の簡単な説明】

【0076】

【図 1】 先行開発にかかる表示装置を示す模式的な全体ブロック図である。

【図 2】 図 1 に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図 3】 図 2 に示した画素回路の動作説明に供する模式図である。

40

【図 4】 同じく動作説明に供するタイミングチャートである。

【図 5】 同じく動作説明に供する模式図である。

【図 6】 同じく動作説明に供する模式図である。

【図 7】 同じく動作説明に供する模式図である。

【図 8】 同じく動作説明に供する模式図である。

【図 9】 駆動トランジスタの電流電圧特性を示すグラフである。

【図 10】 本発明の第 1 実施形態にかかる表示装置を示す全体ブロック図である。

【図 11】 第 1 実施形態の画素回路の構成を示す回路図である。

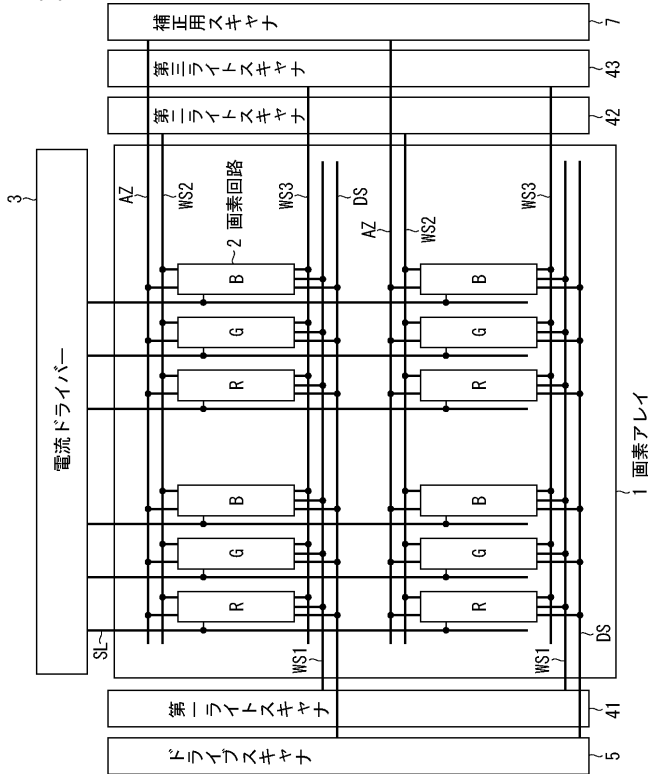
【図 12】 第 2 実施形態の動作説明に供する模式図である。

【図 13】 第 1 実施形態の動作説明に供するタイミングチャートである。

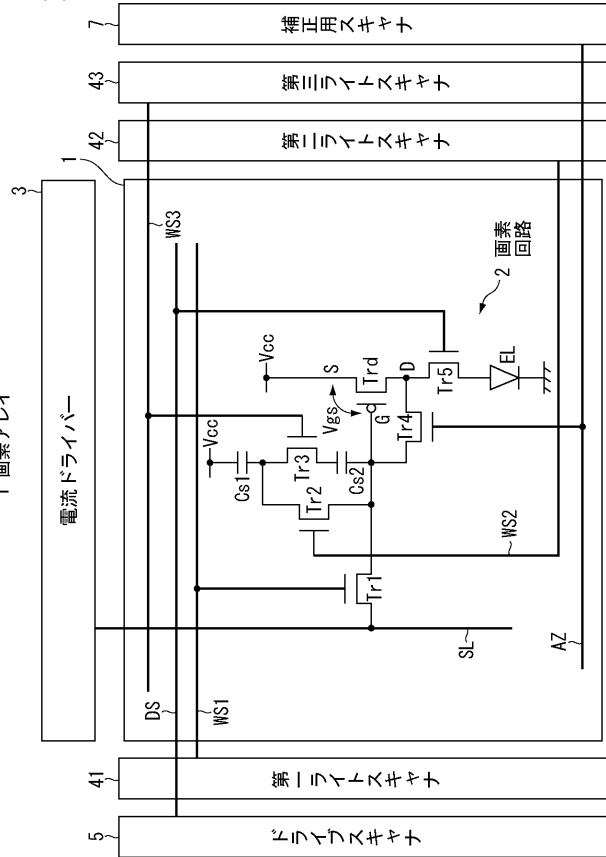
50

- 【図 1 4】第 1 実施形態の動作説明に供する模式図である。
- 【図 1 5】同じく第 1 実施形態の動作説明に供する模式図である。
- 【図 1 6】同じく第 1 実施形態の動作説明に供する模式図である。
- 【図 1 7】同じく第 1 実施形態の動作説明に供する模式図である。
- 【図 1 8】同じく第 1 実施形態の動作説明に供する模式図である。
- 【図 1 9】同じく第 1 実施形態の動作説明に供する模式図である。
- 【図 2 0】本発明の第 2 実施形態にかかる表示装置の全体構成を示すブロック図である。
- 【図 2 1】第 2 実施形態の画素回路の構成を示す回路図である。
- 【図 2 2】第 2 実施形態の動作説明に供する模式図である。
- 【図 2 3】第 2 実施形態の動作説明に供するタイミングチャートである。 10
- 【図 2 4】第 2 実施形態の動作説明に供する模式図である。
- 【図 2 5】同じく第 2 実施形態の動作説明に供する模式図である。
- 【図 2 6】同じく第 2 実施形態の動作説明に供する模式図である。
- 【図 2 7】同じく第 2 実施形態の動作説明に供する模式図である。
- 【図 2 8】本発明にかかる表示装置の第 3 実施形態を示す模式的な回路図である。
- 【図 2 9】第 3 実施形態の動作説明に供する模式図である。
- 【図 3 0】第 3 実施形態の動作説明に供するタイミングチャートである。
- 【図 3 1】従来の表示装置の一例を示す全体ブロック図である。
- 【図 3 2】図 2 2 に示した従来の表示装置に含まれる画素回路の構成を示す回路図である 20
- 。
- 【図 3 3】図 3 1 に示した従来の表示装置の画面の一例を示す模式図である。
- 【符号の説明】
- 【0 0 7 7】
- 1・・・画素アレイ、2・・・画素回路、3・・・電流ドライバー、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、4 1・・・第一ライトスキャナ、4 2・・・第二ライトスキャナ、4 3・・・第三ライトスキャナ、T r d・・・駆動トランジスタ、T r 1・・・スイッチングトランジスタ、T r 2・・・スイッチングトランジスタ、T r 3・・・スイッチングトランジスタ、T r 4・・・スイッチングトランジスタ、T r 5・・・スイッチングトランジスタ、T r 6・・・スイッチングトランジスタ、T r 7・・・スイッチングトランジスタ、T r 8・・・スイッチングトランジスタ、E L・・・発光素子、C s 1・・・画素容量、C s 2・・・画素容量、C s 3・・・画素容量 30

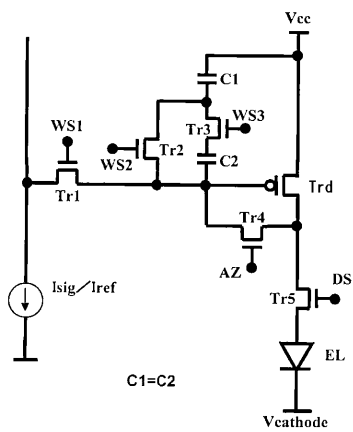
【図 1】



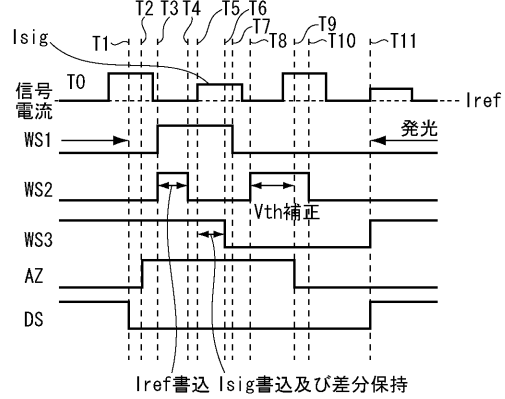
【図 2】



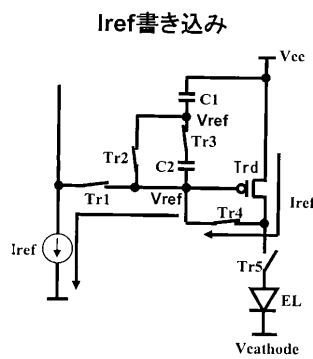
【図 3】



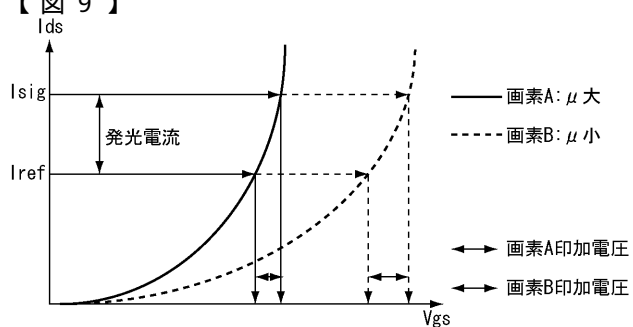
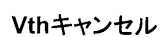
【図 4】



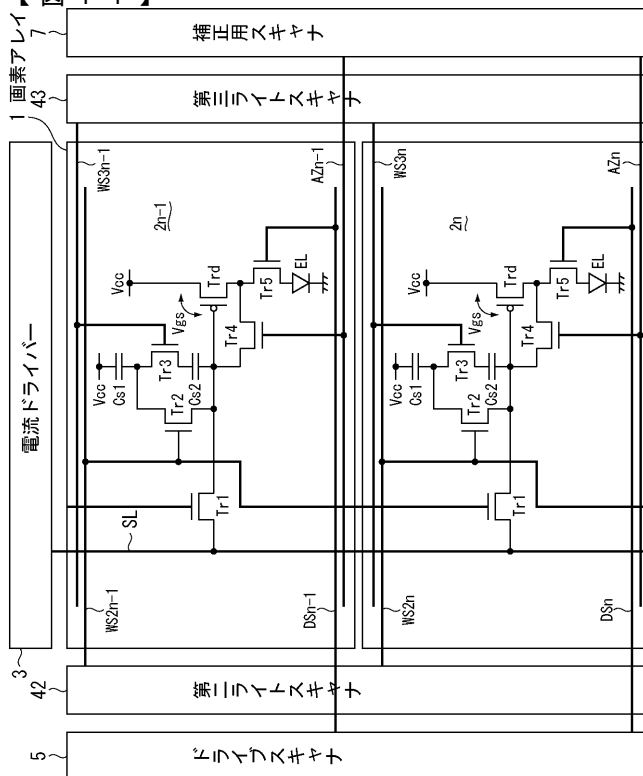
【図 5】



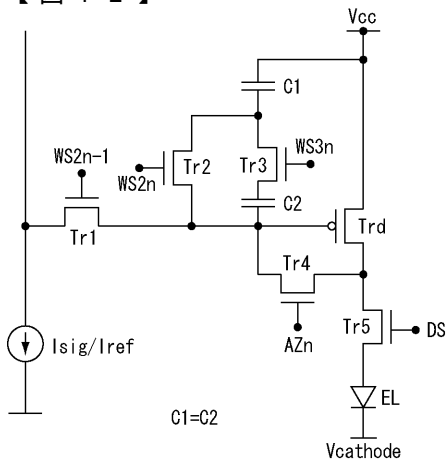
Isig書き込み&電流差分保持



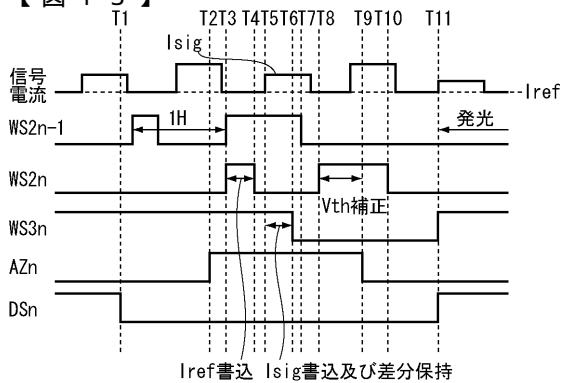
【 図 1 1 】



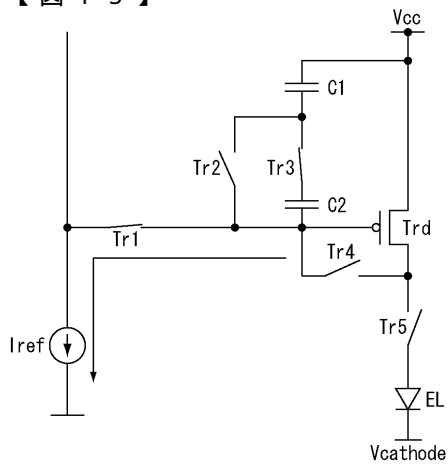
【図 1 2】



【図 1 3】

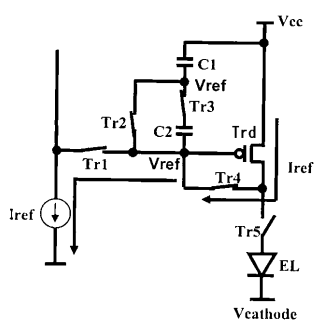


【図 1 5】

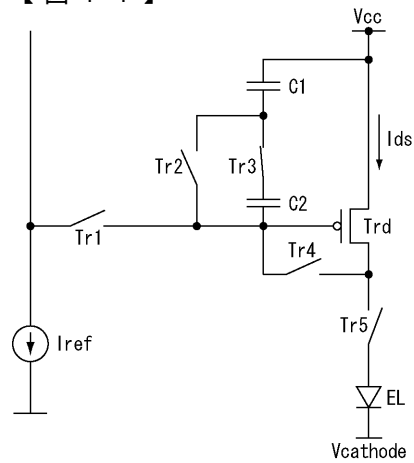


【図 1 6】

Iref書き込み

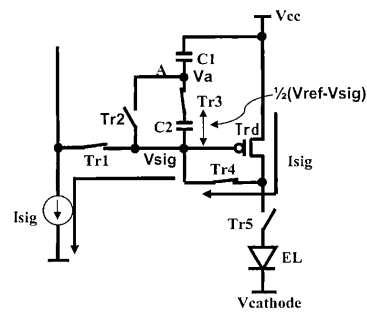


【図 1 4】



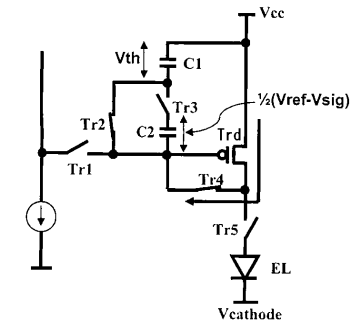
【図 1 7】

Isig書き込み&電流差分保持

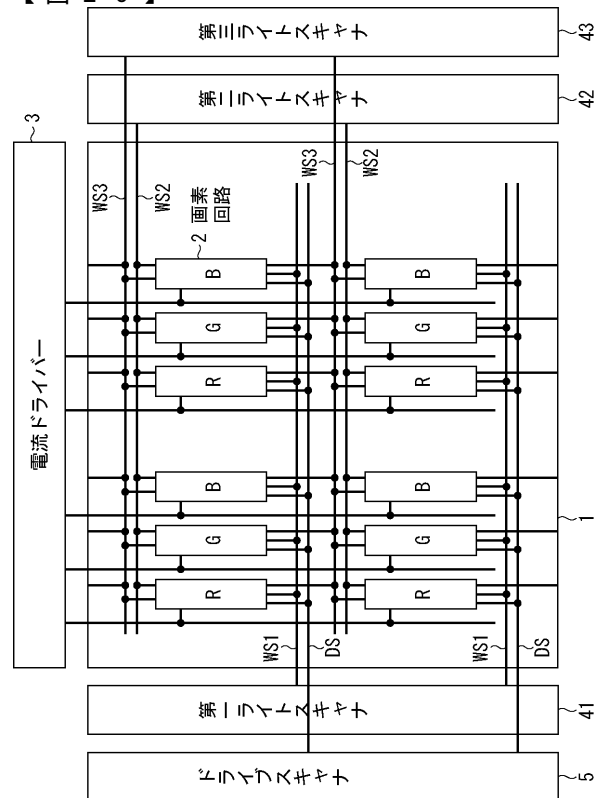
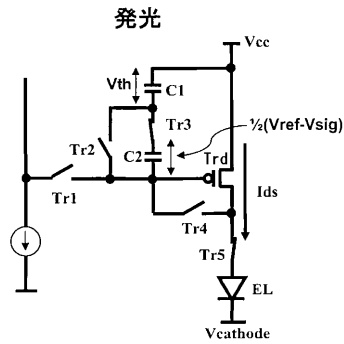


【図 1 8】

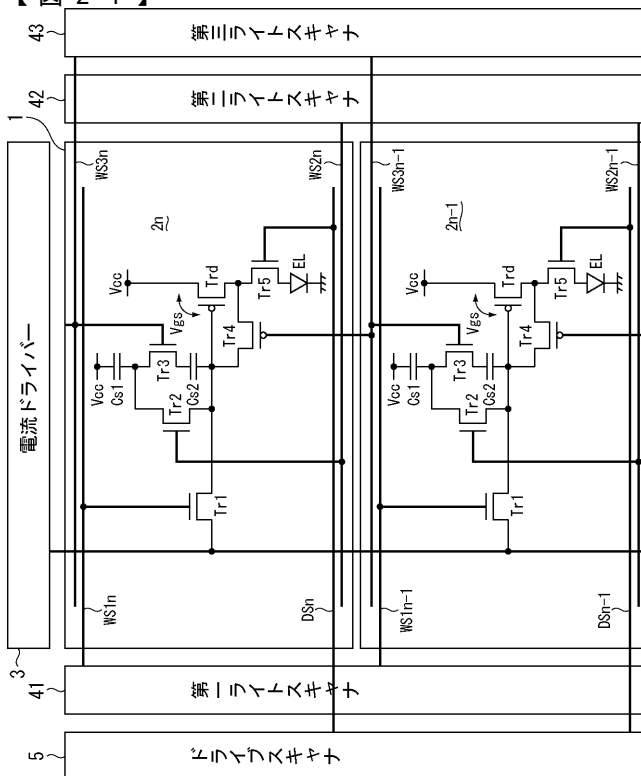
Vthキャンセル



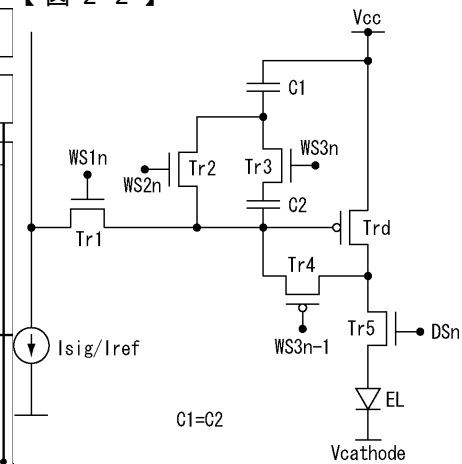
【 図 2 0 】



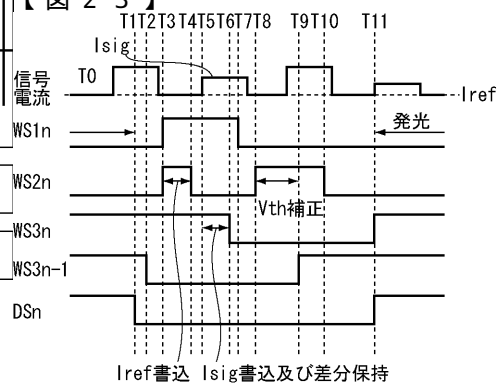
【 図 2 1 】



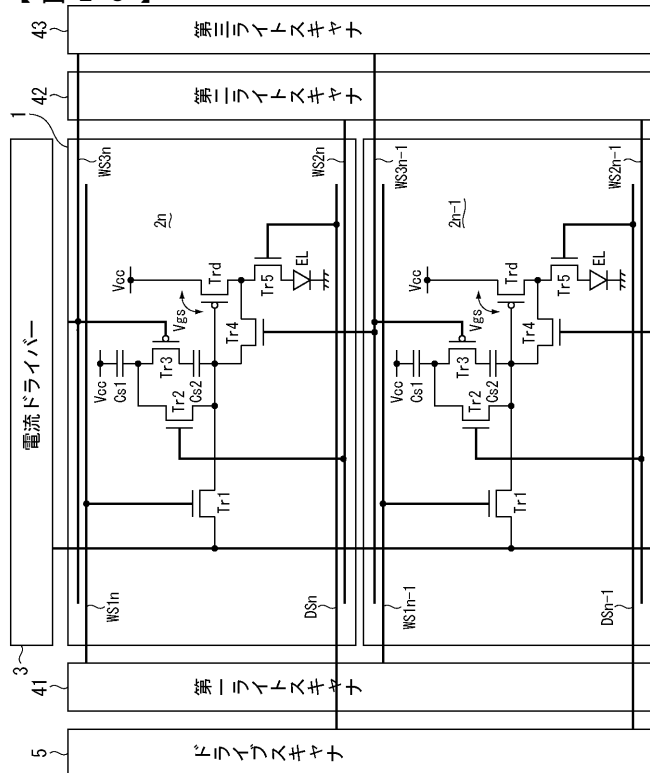
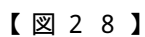
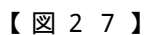
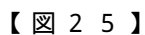
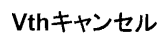
【 図 2 2 】



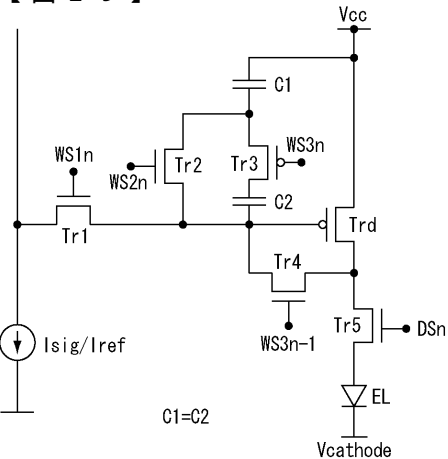
【 図 2 3 】



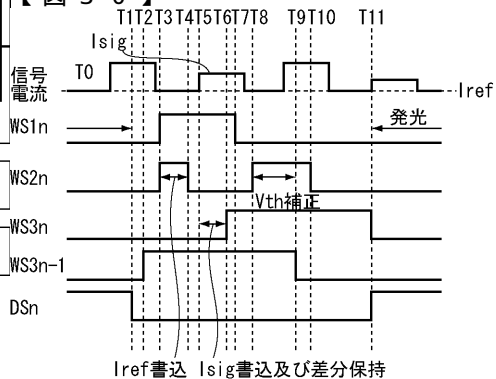
【 図 2 6 】



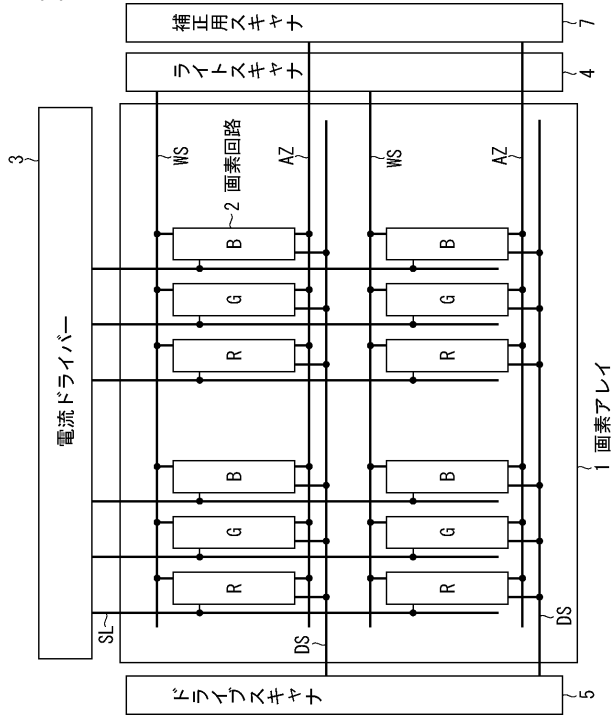
【 図 2 9 】



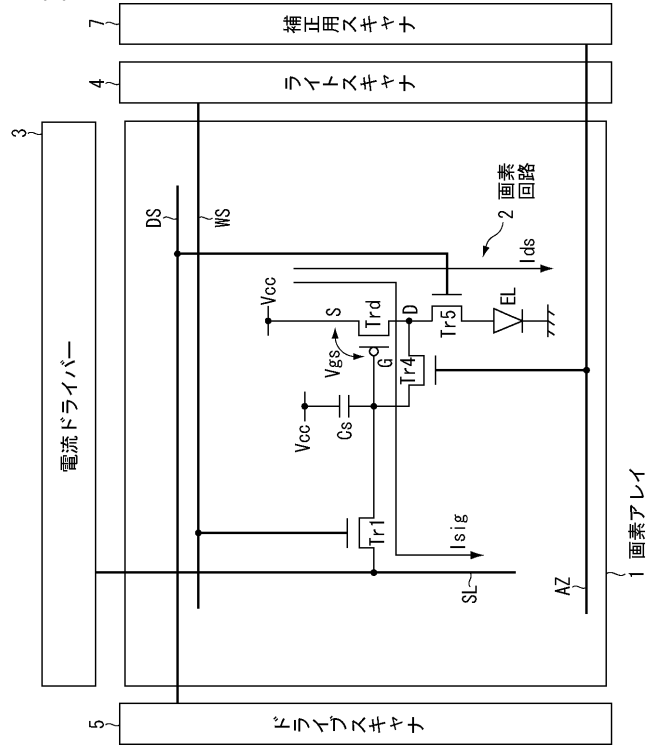
【 図 3 0 】



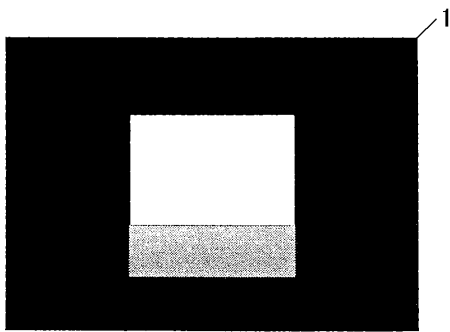
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

专利名称(译)	表示装置		
公开(公告)号	JP2007286453A	公开(公告)日	2007-11-01
申请号	JP2006115140	申请日	2006-04-19
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.622.C G09G3/20.622.Q H05B33/14.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD23 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB31 5C380/AB34 5C380/BA10 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BB23 5C380/CA13 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC13 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC54 5C380/CC55 5C380/CC61 5C380/CC65 5C380/CC66 5C380/CD014 5C380/CD026 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA20		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少电流差像素电路中的扫描线的数量，从而提高显示装置的产量。解决方案：像素电路2n包括用于对信号线SL中的信号电流进行采样的第一采样装置，用于在信号线之前和之后对信号线SL中的参考电流进行采样的第二采样装置，以及用于生成的差分装置控制电压Vgs，根据采样信号电流和参考电流之间的差值。驱动晶体管Trd通过栅极接收控制电压Vgs，并将将在源极和漏极之间流动的驱动电流Ids提供给发光元件EL以发光。像素电路2n使用第一控制信号WS2n-1，该第一控制信号WS2n-1是提供给前一行n-1中的像素电路2n-1的多个控制信号之一，暂时位于行n之前，作为第二控制信号。提供给行n的多个控制信号，因此可以减少扫描线的数量。Z

