

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-303522

(P2004-303522A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H05B 33/10	H05B 33/10	3K007
G09F 9/30	G09F 9/30 338	5C094
H05B 33/04	G09F 9/30 360	
H05B 33/14	H05B 33/04	
	H05B 33/14 A	
審査請求 未請求 請求項の数 5 O L (全 20 頁)		

(21) 出願番号 特願2003-93643 (P2003-93643)  
 (22) 出願日 平成15年3月31日 (2003.3.31)

(71) 出願人 302036002  
 富士通ディスプレイテクノロジーズ株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (74) 代理人 100087479  
 弁理士 北野 好人  
 (74) 代理人 100114915  
 弁理士 三村 治彦  
 (72) 発明者 岡崎 晋  
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

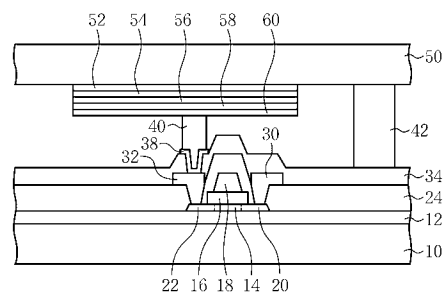
(57) 【要約】

【課題】 EL素子などを用いた自発光型の表示装置及びその製造方法に関し、製造工程の簡素化が可能であるとともに開口率及び輝度が高い高性能の表示装置及びその製造方法を提供する。

【解決手段】 一方の面上に複数の発光素子が形成された基板50と、基板50の一方の面側に、複数の発光素子が形成された領域を密閉するように貼り合わされ、複数の発光素子を制御するための回路が形成された基板10とを有する。これにより、発光素子を平滑な面上に形成することができ、発光素子の発光特性が劣化することを防止することができる。また、表示装置の開口率を向上するとともに、高輝度化を図ることができる。

【選択図】 図1

本発明の第1実施形態による表示装置の構造を示す概略断面図



**【特許請求の範囲】****【請求項 1】**

一方の面上に複数の発光素子が形成された第 1 の基板と、前記第 1 の基板の前記一方の面側に、前記複数の発光素子が形成された領域を密閉するように貼り合わされ、前記複数の発光素子を制御するための回路が形成された第 2 の基板とを有することを特徴とする表示装置。

**【請求項 2】**

請求項 1 記載の表示装置において、前記回路は、複数のスキャン線と、前記複数のスキャン線に交差するように配置された複数のデータ線と、前記複数のスキャン線と前記複数のデータ線との交差部にそれぞれ配置され、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子とを有することを特徴とする表示装置。

10

**【請求項 3】**

請求項 1 記載の表示装置において、前記第 1 の基板上に、複数のスキャン線と、前記複数のスキャン線に交差するように設けられた複数のデータ線と、前記複数のスキャン線と前記複数のデータ線との交差部にそれぞれ配置され、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子が形成されていることを特徴とする表示装置。

20

**【請求項 4】**

第 1 の基板の一方の面上に、複数の発光素子を形成する工程と、第 2 の基板の一方の面上に、複数のスイッチング素子を形成する工程と、前記第 1 の基板の前記一方の面と前記第 2 の基板の前記一方の面とが向かい合うように前記第 1 の基板と前記第 2 の基板とを貼り合わせ、前記複数の発光素子を前記複数のスイッチング素子にそれぞれ電氣的に接続する工程とを有することを特徴とする表示装置の製造方法。

**【請求項 5】**

第 1 の基板の一方の面上に、複数の発光素子と、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子とを形成する工程と、第 2 の基板の一方の面上に、前記複数のスイッチング素子に電氣的に接続される所定の回路を形成する工程と、前記第 1 の基板の前記一方の面と前記第 2 の基板の前記一方の面とが向かい合うように前記第 1 の基板と前記第 2 の基板とを貼り合わせ、前記複数のスイッチング素子を前記回路に電氣的に接続する工程とを有することを特徴とする表示装置の製造方法。

30

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、表示装置及びその製造方法に係り、特にエレクトロルミネッセンス（EL）素子などを用いた自発光型の表示装置及びその製造方法に関する。

40

**【0002】****【従来の技術】**

アクティブマトリクス型の表示装置は、スイッチング素子とこれにより駆動される表示部とが透明絶縁性基板上にマトリクス状に複数形成されたものである。

**【0003】**

アクティブマトリクス型表示装置の代表的なものは、液晶表示装置である。液晶表示装置は、スイッチング素子と対向する基板との間に液晶を充填し、スイッチング素子によりこの液晶を制御してシャッターとして利用するものである。

**【0004】**

50

液晶表示装置以外の表示装置としては、E L (エレクトロルミネッセンス)、F E D (フィールドエミッションディスプレイ)等の自発光型の表示装置が知られている。E Lは、スイッチング素子に接続された無機又は有機材料からなる発光素子を発光させるものであり、液晶物質の充填や素子に対向する基板が不要である。F E Dは、電子放出素子から放出された電子を対向する基板に設けられた蛍光体に衝突させるときに発生する光を利用するものである。

【0005】

これらアクティブマトリクス型表示装置の中で、近年、アクティブ駆動するE L素子として有機発光素子(有機E L素子)を用い、スイッチング素子としてポリシリコンT F Tを使用した表示装置が注目を集めている。液晶素子が2枚の基板間に挟持された液晶分子をシャッターとして利用するのとは異なり、E L素子は自己発光するものであり、視野角依存性がない、1枚の基板で完結できるため液晶表示装置と比較して薄い・軽い、などの利点がある。また、アクティブ駆動では、1フレームの間連続して発光させることが可能であり、発光する時間を長くすることができる。これにより、明るさなどの発光品位が向上し発光時間が長くなるため、瞬間的に流れる電流が小さくなり、長寿命化を図ることができる。

10

【0006】

以下、有機E L素子を用いた表示装置について図13及び図14を用いて説明する。有機E L素子を用いた表示装置は、利用する光の放出する方向により、スイッチング素子が形成された基板側に光を放出するボトムエミッション型と、スイッチング素子が形成された基板とは反対側に光を放出するトップエミッション型とに分類される。なお、ボトムエミッション型の表示装置は、例えば非特許文献1及び非特許文献2に記載されている。また、トップエミッション型の表示装置は、例えば特許文献1、特許文献2及び非特許文献3に記載されている。

20

【0007】

図13は、従来のボトムエミッション型の表示装置である。

【0008】

透明基板100上には、ポリシリコン膜よりなるチャンネル層102が形成されている。チャンネル層102上には、ゲート絶縁膜104を介してゲート電極106が形成されている。ゲート電極106の両側のチャンネル層102には、ソース領域108及びドレイン領域110が設けられている。こうして、ポリシリコンをチャンネルとする薄膜トランジスタ(T F T)が構成されている。

30

【0009】

T F Tが形成された透明基板100上には、層間絶縁膜112が形成されている。層間絶縁膜112には、ソース領域108及びドレイン領域110に達するコンタクトホール114, 116が形成されている。層間絶縁膜112上には、コンタクトホール114, 116を介してソース領域108及びドレイン領域110にそれぞれ接続されたソース電極118及びドレイン電極120が形成されている。

【0010】

ソース電極118及びドレイン電極120が形成された層間絶縁膜112上には、層間絶縁膜122が形成されている。層間絶縁膜122には、ドレイン電極120に達するコンタクトホール124が形成されている。

40

【0011】

層間絶縁膜122上には、コンタクトホール124を介してドレイン電極120に電気的に接続されたアノード電極126と、正孔輸送層128と、発光層130と、電子供給層132と、カソード電極134とが順次形成されている。こうして、T F Tに接続された有機E L素子が構成されている。なお、ボトムエミッション型の表示装置では透明基板100の下方に光を発するため、アノード126としては例えばI T Oなどの透明電極材料が用いられ、カソード134としては例えばアルミなどの高反射率材料が用いられる。

【0012】

50

TFT及び有機EL素子が形成された透明基板100上には、保護層136が形成されている。層間絶縁膜122と保護層136との間には、素子形成領域を囲うようにシール剤138が設けられており、有機EL素子を外気の水分などから保護するようになっている。

【0013】

図14は、トップエミッション型の表示装置である。

【0014】

図14に示すように、トップエミッション型の表示装置は、基本的な構造はボトムエミッション型の表示装置と同様である。ボトムエミッション型の表示装置と異なる点は、有機EL素子の層構造がボトムエミッション型の表示装置とは逆になっていることである。

10

【0015】

すなわち、トップエミッション型の表示装置では、層間絶縁膜122上に、コンタクトホール124を介してドレイン電極120に電氣的に接続されたカソード電極134と、電子輸送層132と、発光層130と、正孔供給層128と、アノード電極126とが順次形成されている。トップエミッション型の表示装置では透明基板100の上方に光を発するため、アノード126としては例えばITOなどの透明電極材料が用いられ、カソード134としては例えばアルミなどの高反射率材料が用いられる。

【0016】

上述したような1つのTFTと1つの有機EL素子から構成される1つの画素140は、図15に示すように、透明基板100上にマトリクス状に配置されている。透明基板100上には、図において列方向に隣接する画素140のTFTのソース電極118を共通接続する複数のデータ線142と、図において行方向に隣接する画素のTFTのゲート電極106を共通接続する複数のスキャン線144とが形成されている。画素領域の周辺には、データ線142が接続されるデータ制御回路146と、スキャン線144が接続されるゲート制御回路148とが形成されている。データ制御回路146及びゲート制御回路148には、駆動回路等を含む外部回路基板と接続するためのフレキシブル基板150が接続されている。

20

【0017】

上記表示装置は、モニターとして用いられるが、1)スタンドアロンとしてのモニター、あるいは装置や壁などへの組み込み型、2)ノートパソコンの様に表示部が折り曲げて内側になるような使用方法、3)携帯電話等のモバイル機器、4)タブレットPCや液晶TV、など幅広い利用が行われている。上記1)~4)の装置を構成する単位はモジュールと呼ばれ、a)EL素子が搭載された表示基板、b)表示基板と折り曲げ等の自由度を持って接続されたコントロール回路などを実装したプリント基板(外部回路基板)、等がベゼルと呼ばれる外枠によってコンパクトに収納される。

30

【0018】

表示基板と外部回路基板との接続方法としては、1)フレキシブル基板を用い、プリント基板などに実装された回路基板と表示基板とを、異方性導電性樹脂やハンダ等を介して接続する方法、2)フレキシブル基板やフィルム基板上に回路の一部を搭載し、表示基板の周辺部に接続するTAB(Tape Automated Bonding)やCOF(Chip On Film)と呼ばれる方法、3)表示基板上に直接半導体素子を搭載するCOG(Chip On Glass)と呼ばれる方法、等が知られている。これらに共通する回路が実装されたプリント基板は、フレキシブルフィルムを介して折り曲げ等の自由度を持って接続されている。また、COGにおいては表示基板上の表示部外に実装されている。

40

【0019】

【特許文献1】

特開2001-060076号公報

【特許文献2】

特開2001-147659号公報

50

## 【非特許文献1】

T. Shimoda et al., "High resolution light emitting polymer display driven by low temperature polysilicon thin film transistor with integrated driver", ASIA DISPLAY 98, pp. 217 - 220

## 【非特許文献2】

M. T. Johnson et al., "Active matrix poly LED display", IDW '00, pp. 235 - 238

## 【非特許文献3】

T. Sasaoka et al., "A 13.0-inch AM-OLED display with top emitting structure and adaptive current mode programmed pixel circuit (TAC)", SID 2001, pp. 384 - 386

10

## 【0020】

## 【発明が解決しようとする課題】

しかしながら、上記従来のボトムエミッション型の表示装置では、TFTや配線が形成された透明基板100側に光を取り出すため、これらTFTや配線により開口率が制限され、その部分が発光に全く寄与することができなかつた。これに対し、上記従来のトップエミッション型の表示装置では、TFTの形成された透明基板100とは反対側に光を取り出すため、EL素子をTFT上部まで延在して発光面とすることができ、開口率を高めることができる。しかしながら、TFTや配線などの下地凹凸により、EL素子が形成される面にも凹凸が反映され、EL素子の発光特性が劣化することがあった。

20

## 【0021】

また、表示基板に接続される外部回路に関しては、低電流駆動回路やタイミング発生回路、CPUなどの周辺回路の実装スペースを減らし、配線による信号の遅延、電波他各種ノイズを低減することが望まれている。

## 【0022】

本発明の目的は、製造工程の簡素化が可能であるとともに開口率及び輝度が高い高性能の表示装置及びその製造方法を提供することにある。また、本発明の他の目的は、実装スペース並びに表示基板と外部回路基板との接続距離を縮小しうる表示装置及びその製造方法を提供することにある。

30

## 【0023】

## 【課題を解決するための手段】

上記目的は、一方の面上に複数の発光素子が形成された第1の基板と、前記第1の基板の前記一方の面側に、前記複数の発光素子が形成された領域を密閉するように貼り合わされ、前記複数の発光素子を制御するための回路が形成された第2の基板とを有することを特徴とする表示装置によって達成される。

## 【0024】

また、上記目的は、第1の基板の一方の面上に、複数の発光素子を形成する工程と、第2の基板の一方の面上に、複数のスイッチング素子を形成する工程と、前記第1の基板の前記一方の面と前記第2の基板の前記一方の面とが向かい合うように前記第1の基板と前記第2の基板とを貼り合わせ、前記複数の発光素子を前記複数のスイッチング素子にそれぞれ電氣的に接続する工程とを有することを特徴とする表示装置の製造方法によっても達成される。

40

## 【0025】

また、上記目的は、第1の基板の一方の面上に、複数の発光素子と、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子とを形成する工程と、第2の基板の一方の面上に、前記複数のスイッチング素子に電氣的に接続される所定の回路を形成する工程と、前記第1の基板の前記一方の面と前記第2の基板の前記一方の面とが向かい

50

合うように前記第 1 の基板と前記第 2 の基板とを貼り合わせ、前記複数のスイッチング素子を前記回路に電氣的に接続する工程とを有することを特徴とする表示装置の製造方法によっても達成される。

【 0 0 2 6 】

【 発明の実施の形態 】

[ 第 1 実施形態 ]

本発明の第 1 実施形態による表示装置及びその製造方法について図 1 乃至図 4 を用いて説明する。

【 0 0 2 7 】

図 1 は本発明の第 1 実施形態による表示装置の構造を示す概略断面図、図 2 乃至図 4 は本実施形態による表示装置の製造方法を示す工程断面図である。 10

【 0 0 2 8 】

はじめに、本実施形態による表示装置の構造について図 1 を用いて説明する。なお、図 1 は 1 画素分の構造のみを示したものであるが、実際には複数の画素がマトリクス状に配置されている。

【 0 0 2 9 】

透明基板 1 0 上には、バッファ層 1 2 が形成されている。バッファ層 1 2 上には、チャンネル層 1 4 が形成されている。チャンネル層 1 4 上には、ゲート絶縁膜 1 6 を介してゲート電極 1 8 が形成されている。ゲート電極 1 8 の両側のチャンネル層 1 4 には、ソース領域 2 0 及びドレイン領域 2 2 が、それぞれ形成されている。こうして、透明基板 1 0 上には、ゲート電極 1 8、チャンネル層 1 4 に形成されたソース領域 2 0 及びドレイン領域 2 2 を有する薄膜トランジスタ ( T F T ) が形成されている。 20

【 0 0 3 0 】

T F T が形成された透明基板 1 0 上には、層間絶縁膜 2 4 が形成されている。層間絶縁膜 2 4 上には、コンタクトホールを介してソース領域 2 0 及びドレイン領域 2 2 にそれぞれ接続されたソース電極 3 0 及びドレイン電極 3 2 が形成されている。

【 0 0 3 1 】

ソース電極 3 0 及びドレイン電極 3 2 が形成された層間絶縁膜 2 4 上には、層間絶縁膜 3 4 が形成されている。層間絶縁膜 3 4 上には、コンタクトホールを介してドレイン電極 3 2 に接続された引き出し電極 3 8 が形成されている。引き出し電極 3 8 上には、柱状電極 4 0 が形成されている。 30

【 0 0 3 2 】

透明基板 5 0 上には、アノード電極 5 2 と、正孔輸送層 5 4 と、発光層 5 6 と、電子輸送層 5 8 と、カソード電極 6 0 とを有する有機 E L 素子が形成されている。

【 0 0 3 3 】

透明基板 1 0 と透明基板 5 0 とは、柱状電極 4 0 とカソード電極 6 0 とが接続されるように重ね合わされている。透明基板 1 0 上に形成された層間絶縁膜 3 4 と透明基板 5 0 との間には、画素領域を囲うようにシール剤 4 2 が形成されており、画素領域が密閉されている。これにより、有機 E L 素子を外気の水分等から遮断するようになっている。 40

【 0 0 3 4 】

このように、本実施形態による表示装置は、スイッチング素子 ( T F T ) や配線層が形成された基板 ( 透明基板 1 0 ) と、有機 E L 素子が形成された基板 ( 透明基板 5 0 ) とを貼り合わせてなることを主たる特徴としている。

【 0 0 3 5 】

有機 E L 素子をスイッチング素子とは異なる基板上に形成することにより、スイッチング素子による表面段差の影響を受けることはなく、有機 E L 素子を平滑な面上に形成することができる。したがって、トップエミッション型の表示装置においてスイッチング素子形成領域と有機 E L 素子形成領域とが重なるようにレイアウトしても、有機 E L 素子の発光特性が劣化することを防止することができる。これにより、表示装置の開口率を向上するとともに、高輝度化を図ることができる。 50

## 【0036】

有機EL素子を用いた表示装置では、有機EL素子を外気から遮断するために、有機EL素子上に保護膜を形成する必要がある。この点、本実施形態による表示装置では、透明基板10と透明基板50との間にシール剤42を設けている。これにより、透明基板50を保護膜として利用することができる。

## 【0037】

次に、本実施形態による表示装置の製造方法について図2乃至図4を用いて説明する。

## 【0038】

まず、ガラスなどよりなる透明基板10上に、例えばCVD法により、例えば膜厚400nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなるバッファ層12を形成する。

10

## 【0039】

次いで、バッファ層12上に、例えばCVD法により、例えば膜厚40nmのポリシリコン膜を堆積する。なお、ポリシリコン膜を堆積する代わりに、アモルファスシリコン膜を堆積し、レーザアニール法などによりこれを結晶化してポリシリコン膜としてもよい。

## 【0040】

次いで、フォトリソグラフィー及びドライエッチングによりポリシリコン膜をパターンニングし、ポリシリコン膜よりなるチャンネル層14を形成する(図2(a))。

## 【0041】

次いで、例えばCVD法により、例えば膜厚110nmのシリコン酸化膜を堆積する。

## 【0042】

次いで、例えばスパッタ法により、例えば膜厚300nm、Nd含有量2at%のAl-Nd膜を堆積する。

20

## 【0043】

次いで、フォトリソグラフィー及びドライエッチングによりAl-Nd膜及びシリコン酸化膜をパターンニングし、チャンネル層14上に、シリコン酸化膜よりなるゲート絶縁膜16と、Al-Nd膜よりなるゲート電極18とを形成する。なお、図示しないが、アクティブマトリクス型の表示装置では、ゲート電極18と同一導電層によりスキャン線を形成することができる。

## 【0044】

次いで、ゲート電極24をマスクとして、例えば燐(P)イオンをイオン注入し、ゲート電極18の両側のチャンネル層14に、ソース領域20及びドレイン領域22をそれぞれ形成する。

30

## 【0045】

こうして、ゲート電極18、ポリシリコンよりなるチャンネル層14に形成されたソース領域20及びドレイン領域22を有するTFTを形成する(図2(b))。

## 【0046】

次いで、TFTが形成された透明基板10上に、例えばCVD法により、例えば膜厚400nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜24を形成する。

## 【0047】

次いで、フォトリソグラフィー及びドライエッチングにより、層間絶縁膜24をパターンニングし、ソース領域20及びドレイン領域22に達するコンタクトホール26, 28をそれぞれ形成する(図2(c))。

40

## 【0048】

次いで、層間絶縁膜24上に、例えばスパッタ法により、例えば膜厚100nmのチタン(Ti)膜と、例えば膜厚200nmのアルミ(Al)膜と、例えば膜厚50nmのチタン膜とを堆積する。

## 【0049】

次いで、フォトリソグラフィー及びドライエッチングにより、Ti/Al/Ti構造の積層膜をパターンニングし、Ti/Al/Ti構造の積層膜よりなり、コンタクトホール26, 28を介してソース領域20, ドレイン領域22に接続されたソース電極30及びドレ

50

イン電極 32 を形成する ( 図 2 ( d ) ) 。 なお、図示しないが、アクティブマトリクス型の表示装置では、ソース電極 30 と同一導電層によりデータ線を形成することができる。

【 0050 】

次いで、ソース電極 30 及びドレイン電極 32 が形成された層間絶縁膜 24 上に、例えば CVD 法により、例えば膜厚 300 nm のシリコン窒化膜を堆積し、シリコン窒化膜よりなる層間絶縁膜 34 を形成する。

【 0051 】

次いで、フォトリソグラフィ及びドライエッチングにより層間絶縁膜 34 をパターンニングし、ドレイン電極 32 に達するコンタクトホール 36 を形成する ( 図 3 ( a ) ) 。

【 0052 】

次いで、層間絶縁膜 34 上に、例えばスパッタ法により、例えば膜厚 200 nm のアルミ膜を形成する。

【 0053 】

次いで、フォトリソグラフィ及びドライエッチングによりアルミ膜をパターンニングし、アルミ膜よりなりコンタクトホール 36 を介してドレイン電極 32 に接続された引き出し電極 38 を形成する。

【 0054 】

次いで、引き出し電極 38 が形成された層間絶縁膜 34 上に導電性レジスト膜を形成し、フォトリソグラフィによりこの導電性レジスト膜をパターンニングし、引き出し電極 38 上に、導電性レジスト膜よりなる柱状電極 40 を形成する ( 図 3 ( b ) ) 。

【 0055 】

また、透明基板 10 上に TFT 等の素子を形成する上記プロセスとは別に、ガラスなどよりなる透明基板 50 上に、例えばスパッタ法により、例えば膜厚 100 nm の ITO 膜を形成する。次いで、ITO 膜上に、例えば蒸着法により、例えば膜厚 10 nm の NPD (ジフェニルナフチルジアミン) 膜と、例えば膜厚 10 nm の所望の発光材料をドーピングした Alq<sub>3</sub> (キノリノールアルミ錯体) 膜と、例えば膜厚 20 nm の Alq<sub>3</sub> 膜とを形成する。次いで、Alq<sub>3</sub> 膜上に、例えばスパッタ法により、例えば膜厚 100 nm のアルミ膜を堆積する。

【 0056 】

次いで、フォトリソグラフィ及びドライエッチングにより、これら膜を所定の画素形状にパターンニングし、透明基板 50 上に、ITO 膜よりなるアノード電極 52 と、NPD 膜よりなる正孔輸送層 54 と、所望の発光材料をドーピングした Alq<sub>3</sub> 膜よりなる発光層 56 と、Alq<sub>3</sub> 膜よりなる電子輸送層 58 と、アルミ膜よりなるカソード電極 60 とを有する有機 EL 素子を形成する ( 図 3 ( c ) ) 。

【 0057 】

次いで、TFT 等の素子を形成した透明基板 10 の面と、有機 EL 素子を形成した透明基板 50 の面とを向かい合わせ、柱状電極 40 とカソード電極 60 とが接続されるように、透明基板 10 と透明基板 50 とを重ね合わせる。この際、層間絶縁膜 34 上に、画素領域を囲うようにシール剤 42 を塗布しておき、透明基板 10 と透明基板 50 とを重ね合わせた後に画素領域が外部から遮断されるようにする ( 図 4 ( a ) ~ ( b ) ) 。

【 0058 】

シール剤 42 は、例えば、防湿機能を有する光硬化性の樹脂をディスペンサ等により塗布した後、透明基板 10 と透明基板 50 とを重ね合わせ、光照射により硬化させることにより、形成することができる。なお、外気中の水分の影響を効果的に防止するために、シールの内側に、水分を含まない気体を封入し或いは乾燥剤を入れることが望ましい。

【 0059 】

こうして、図 1 に示す表示装置を製造する。

【 0060 】

上記一連の製造方法によれば、透明基板 10 上に形成する素子と、透明基板 50 上に形成する素子とを、並行して製造することができる。これにより、製造時間を短縮することが

10

20

30

40

50

できる。また、一の基板上にアクティブ駆動素子と有機EL素子とを形成する必要はないので、従来の表示装置の製造方法と比較して製造工程を簡略にすることができる。

【0061】

このように、本実施形態によれば、スイッチング素子を形成する基板とは別の基板に有機EL素子を形成し、これら基板を貼り合わせることにより表示装置を構成するので、スイッチング素子による表面段差の影響を受けることはなく、有機EL素子を平滑な面上に形成することができる。したがって、スイッチング素子形成領域と有機EL素子形成領域とが重なるようにレイアウトしても、有機EL素子の発光特性が劣化することを防止することができる。これにより、表示装置の開口率を向上するとともに、高輝度化を図ることができる。

10

【0062】

また、有機EL素子を形成する基板は、有機EL素子を外気の水分等から遮断する保護膜として利用することができるため、全体として製造工程数が増大することにはならない。その逆に、2つの基板は別々に並行して製造することができるので、製造時間が短縮され、歩留まり向上も期待することができる。また、TFTの形成と有機EL素子の形成とを同一プロセス中で行う必要がないので、製造プロセス自体を簡略にすることができる。

【0063】

なお、上記実施形態では、TFTと有機EL素子との間の電気的な接続を、一つの柱状電極40により確保したが、複数の柱状電極40によりTFTと有機EL素子とを接続するようにしてもよい。これにより、TFTと有機EL素子との電気的接続を確実にすることができる。

20

【0064】

また、上記実施形態では、導電性レジストを用いて柱状電極を形成したが、非導電性レジストを用いてTFTと有機EL素子との電気的接続を行う構造体を形成することも可能である。例えば、図5に示すように、引き出し電極38上に非導電性レジストよりなる柱状体44を形成した後、この柱状体44上に引き出し電極38に接続されるアルミなどよりなる導電性薄膜46を形成することにより、透明基板10上に柱状に突出する導電性の構造体を形成することができる。

【0065】

[第2実施形態]

本発明の第2実施形態による表示装置及びその製造方法について図6及び図7を用いて説明する。なお、図1乃至図5に示す第1実施形態による表示装置と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

30

【0066】

図6は本実施形態による表示装置の構造を示す斜視図、図7は本実施形態による表示装置の構造を示す概略断面図である。

【0067】

従来の表示装置では、図15に示すように、表示基板は、透明基板100に接続されたフレキシブル基板150などを介して外部回路基板(図示せず)に接続されている。このため、駆動回路部を含めた表示装置の全体でみると、基板点数が増加し、配線長も増加する。本実施形態では、駆動回路部をも含めて少ないスペースに実装が可能であり、配線による信号の遅延や電波他各種ノイズの低減が実現可能な表示装置について説明する。

40

【0068】

本実施形態による表示装置は、図6に示すように、マトリクス状に配されたバスラインの各交差部に、スイッチング素子TFT及びこれに接続される有機EL素子ELがそれぞれ設けられた表示基板70と、表示基板70を駆動するための回路が形成された外部回路基板80とが貼り合わされたものである。

【0069】

表示基板70は、保護膜が形成されていない点を除き、基本的には図13に示す従来のボトムエミッション型の表示装置と同様である。

50

## 【0070】

すなわち、図7に示すように、透明基板10上には、バッファ層12が形成されている。バッファ層12上には、チャンネル層14が形成されている。チャンネル層14上には、ゲート絶縁膜16を介してゲート電極18が形成されている。ゲート電極18の両側のチャンネル層14には、ソース領域20及びドレイン領域22が、それぞれ形成されている。こうして、透明基板10上に、ゲート電極18、チャンネル層14に形成されたソース領域20及びドレイン領域22を有するTFTが形成されている。

## 【0071】

TFTが形成された透明基板10上には、層間絶縁膜24が形成されている。層間絶縁膜24上には、コンタクトホールを介してソース領域20及びドレイン領域22にそれぞれ接続されたソース電極30及びドレイン電極32が形成されている。 10

## 【0072】

ソース電極30及びドレイン電極32が形成された層間絶縁膜24上には、層間絶縁膜34が形成されている。層間絶縁膜34上には、コンタクトホールを介してドレイン電極32に接続されたカソード電極60と、電子輸送層58と、発光層56と、正孔輸送層54と、アノード電極52とを有する有機EL素子と、コンタクトホールを介してソース電極30に接続されたデータ線72とが形成されている。

## 【0073】

透明基板10に対向する透明基板86上には、通常の半導体装置の製造プロセスにより、データ制御回路82、ゲート制御回路84、その他の外部回路88が形成されている。 20

## 【0074】

表示基板70と外部回路基板80とは、図7に示されるように、ソース電極30に接続されるデータ線72の端子部72aと、データ制御回路82の端子部82aとが、柱状電極62により接続されるように、また、ゲート電極18に接続されるスキャン線(ゲート線)74の端子部74aと、ゲート制御回路84の端子部(図示せず)とが、柱状電極(図示せず)によって接続されるように、貼り合わされている。

## 【0075】

また、表示基板70と外部回路基板80との間には、第1実施形態による表示装置の場合と同様にして、表示領域を囲うようにシール剤(図示せず)が形成されている。これにより、外部回路基板80を、有機EL素子を外気の湿気から保護する保護膜として機能させることができる。 30

## 【0076】

このように、本実施形態によれば、表示部及び駆動部を含むとともに有機EL素子を外気の湿気から保護する保護機能を備えた表示装置を、2枚の基板により構成することができる。これにより、表示装置をコンパクトにすることができ、実装スペースを大幅に縮小することができる。また、表示基板と外部回路基板とを重ね合わせて互いを配線するので、配線長を短くすることができる。これにより、配線による信号の遅延や電波他各種ノイズを低減することができる。

## 【0077】

なお、上記実施形態では、外部回路基板80の外部回路88として表示装置の駆動部を想定したが、表示機能と直接関係のない回路を含むようにしてもよい。例えば図8に示すように、データ制御回路82及びゲート制御回路84を、フレキシブル基板等を用いて更に外部の基板に形成された演算装置に接続し、この演算装置に接続されるROMなどの他の回路要素を外部回路基板80上に形成するようにしてもよい。また、外部回路基板80上に、COG等の技術を用いてICを搭載するようにしてもよい。 40

## 【0078】

また、表示領域に対応する領域を利用した大規模な回路を外部回路基板80上に形成する場合には、本実施形態で示したようなボトムエミッション型の表示素子とする必要があるが、データ制御回路82やゲート制御回路84など、表示領域に対応する領域を利用しない回路のみを外部回路基板80上に形成する場合には、トップエミッション型の表示素子 50

とすることも可能である。

【0079】

また、図9に示すように、データ制御回路82及びゲート制御回路84を、表示基板70側に形成するようにしてもよい。この場合、外部回路基板80側から表示基板70側へ供給する必要があるのは、電源線、クロック、データ信号など、限られた信号線のみとなる。したがって、両基板間の電氣的接続点を減らすことができ、接続不良による信頼性低下を抑制することができる。

【0080】

[第3実施形態]

本発明の第3実施形態による表示装置及びその製造方法について図10を用いて説明する。なお、図1乃至図9に示す第1及び第2実施形態による表示装置と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。 10

【0081】

図10は本実施形態による表示装置の構造を示す概略断面図である。

【0082】

本実施形態による表示装置は、第2実施形態による表示装置における表示基板70と、多層プリント基板90とが貼り合わされていることに特徴がある。

【0083】

すなわち、図10に示すように、透明基板10上には、バッファ層12が形成されている。バッファ層12上には、チャンネル層14が形成されている。チャンネル層14上には、ゲート絶縁膜16を介してゲート電極18が形成されている。ゲート電極18の両側のチャンネル層14には、ソース領域20及びドレイン領域22が、それぞれ形成されている。こうして、透明基板10上に、ゲート電極18、チャンネル層14に形成されたソース領域20及びドレイン領域22を有するTFTが形成されている。 20

【0084】

TFTが形成された透明基板10上には、層間絶縁膜24が形成されている。層間絶縁膜24上には、コンタクトホールを介してソース領域20及びドレイン領域22にそれぞれ接続されたソース電極30及びドレイン電極32が形成されている。

【0085】

ソース電極30及びドレイン電極32が形成された層間絶縁膜24上には、層間絶縁膜34が形成されている。層間絶縁膜34上には、コンタクトホールを介してドレイン電極32に接続されたカソード電極60と、電子輸送層58と、発光層56と、正孔輸送層54と、アノード電極52とを有する有機EL素子と、コンタクトホールを介してソース電極30に接続されたデータ線72とが形成されている。 30

【0086】

表示基板70に対向する多層プリント基板90の表面上には、配線層92が形成されている。表示基板70と対向する側とは反対の面側の配線層92上には、ICなどの電子素子94が搭載されている。

【0087】

表示基板70と多層プリント基板90とは、図7に示されるように、ソース電極30に接続されるデータ線72の端子部72aと、表示基板70と対向する面側に形成された配線層92とが、柱状電極62により接続されるように貼り合わされている。 40

【0088】

また、表示基板70と多層プリント基板90との間には、第1実施形態による表示装置の場合と同様にして、表示領域を囲うようにシール剤(図示せず)が形成されている。これにより、多層プリント基板90を、有機EL素子を外気の湿気から保護する保護膜として機能させることができる。この目的のもと、本実施形態による表示装置では、なくとも装置完成時において、多層プリント基板90には素子や部品を取り付けるための貫通孔が残存しないように注意する必要がある。

【0089】

このように、本実施形態によれば、表示部及び駆動部を含むとともに有機EL素子を外気の湿気から保護する保護機能を備えた表示装置を、2枚の基板により構成することができる。これにより、表示装置をコンパクトにすることができ、実装スペースを大幅に縮小することができる。また、表示基板と多層プリント基板とを重ね合わせて互いを配線するので、配線長を短くすることができ、配線による信号の遅延や電波他各種ノイズを低減することができる。

【0090】

なお、上記実施形態では、表示基板70と対向する側とは反対の面側の配線層92上に電子素子94を搭載したが、表示基板70と対向する面側の配線層92上に電子素子94を搭載するようにしてもよい。

10

【0091】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0092】

例えば、第1実施形態において有機EL素子を形成するための基板(透明基板50)及び第2実施形態において外部回路基板80を形成するための基板(透明基板86)としてガラス基板を用いているが、これら基板は、必ずしも透明材質の基板で構成する必要はない。これら基板は、有機EL素子から発せられた光を透過させる必要はなく、プラスチック、シリコン、その他の材料により構成しても差し支えない。

【0093】

また、上記実施形態では、2枚の基板の電気的接続を行うために柱状電極を用いているが、例えば図11に示すように、第1の基板64と第2の基板66とをフレキシブル基板68により接続するようにしてもよい。また、例えば図12に示すように、接続の途中にリジッド基板76を経由してフレキシブル基板68により接続するようにしてもよい。これらフレキシブル基板68やリジッド基板76上には、回路が搭載されていても差し支えない。また、柱状電極による接続とともに、フレキシブル基板による接続を行ってもよい。

20

【0094】

また、上記実施形態では、スイッチング素子として薄膜トランジスタを用いたが、他のスイッチング素子を用いてもよい。例えば、二端子素子であるダイオードを利用したMIM(金属-絶縁膜-金属)構造のスイッチング素子を用いるようにしてもよい。

30

【0095】

また、上記実施形態では、発光素子として有機EL素子を用いたが、他の発光素子を用いてもよい。例えば、発光ダイオードなどの無機EL素子を用いるようにしてもよい。

【0096】

上述したとおり、本発明の特徴をまとめると以下の通りとなる。

【0097】

(付記1) 一方の面上に複数の発光素子が形成された第1の基板と、前記第1の基板の前記一方の面側に、前記複数の発光素子が形成された領域を密閉するように貼り合わされ、前記複数の発光素子を制御するための回路が形成された第2の基板とを有することを特徴とする表示装置。

40

【0098】

(付記2) 付記1記載の表示装置において、前記回路は、複数のスキャン線と、前記複数のスキャン線に交差するように配置された複数のデータ線と、前記複数のスキャン線と前記複数のデータ線との交差部にそれぞれ配置され、前記複数の発光素子のそれぞれに電気的に接続された複数のスイッチング素子とを有することを特徴とする表示装置。

【0099】

(付記3) 付記1記載の表示装置において、前記第1の基板上に、複数のスキャン線と、前記複数のスキャン線に交差するように設け

50

られた複数のデータ線と、前記複数のスキャン線と前記複数のデータ線との交差部にそれぞれ配置され、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子とが形成されていることを特徴とする表示装置。

【0100】

(付記4) 付記3記載の表示装置において、前記第1の基板の上に、前記複数のスキャン線に入力する信号を制御するスキャン線制御回路と、前記複数のデータ線から出力される信号を制御するデータ線制御回路とが形成されていることを特徴とする表示装置。

10

【0101】

(付記5) 付記3記載の表示装置において、前記回路は、前記複数のスキャン線に入力する信号を制御するスキャン線制御回路と、前記複数のデータ線から出力される信号を制御するデータ線制御回路とを有することを特徴とする表示装置。

【0102】

(付記6) 付記3又は4記載の表示装置において、前記第2の基板は、プリント基板であることを特徴とする表示装置。

【0103】

(付記7) 付記1乃至6のいずれか1項に記載の表示装置において、前記発光素子は、有機EL素子であることを特徴とする表示装置。

20

【0104】

(付記8) 付記1乃至7のいずれか1項に記載の表示装置において、前記第1の基板と前記第2の基板とは、前記第1の基板と前記第2の基板との間に形成された柱状電極により電氣的に接続されていることを特徴とする表示装置。

【0105】

(付記9) 付記1乃至8のいずれか1項に記載の表示装置において、前記第1の基板と前記第2の基板とは、フレキシブル基板により電氣的に接続されていることを特徴とする表示装置。

30

【0106】

(付記10) 付記1乃至9のいずれか1項に記載の表示装置において、前記発光素子から放出された光を、前記第1の基板の他方の面側に取り出すことを特徴とする表示装置。

【0107】

(付記11) 第1の基板の一方の面上に、複数の発光素子を形成する工程と、第2の基板の一方の面上に、複数のスイッチング素子を形成する工程と、前記第1の基板の前記一方の面と前記第2の基板の前記一方の面とが向かい合うように前記第1の基板と前記第2の基板とを貼り合わせ、前記複数の発光素子を前記複数のスイッチング素子にそれぞれ電氣的に接続する工程とを有することを特徴とする表示装置の製造方法。

40

【0108】

(付記12) 第1の基板の一方の面上に、複数の発光素子と、前記複数の発光素子のそれぞれに電氣的に接続された複数のスイッチング素子とを形成する工程と、第2の基板の一方の面上に、前記複数のスイッチング素子に電氣的に接続される所定の回路を形成する工程と、前記第1の基板の前記一方の面と前記第2の基板の前記一方の面とが向かい合うように前記第1の基板と前記第2の基板とを貼り合わせ、前記複数のスイッチング素子を前記回路

50

に電氣的に接続する工程と  
を有することを特徴とする表示装置の製造方法。

【0109】

(付記13) 付記11又は12記載の表示装置の製造方法において、  
前記第1の基板と第2の基板とを貼り合わせる工程では、前記複数の発光素子が形成された領域を密閉するように、前記第1の基板と第2の基板とを貼り合わせることを特徴とする表示装置の製造方法。

【0110】

【発明の効果】

以上の通り、本発明によれば、スイッチング素子を形成する基板とは別の基板に発光素子を形成し、これら基板を貼り合わせることにより表示装置を構成するので、スイッチング素子による表面段差の影響を受けることはなく、発光素子を平滑な面上に形成することができる。したがって、スイッチング素子形成領域と発光素子形成領域とが重なるようにレイアウトしても、発光素子の発光特性が劣化することを防止することができる。これにより、表示装置の開口率を向上するとともに、高輝度化を図ることができる。

【0111】

また、発光素子を形成する基板は、発光素子を外気の水分等から遮断する保護膜として利用することができるため、全体として製造工程数が増大することにはならない。その逆に、2つの基板は別々に並行して製造することができるので、製造時間が短縮され、歩留まり向上も期待することができる。また、スイッチング素子の形成と発光素子の形成とを同一プロセス中で行う必要がないので、製造プロセス自体を簡略にすることができる。

【0112】

また、表示部及び駆動部を含むとともに発光素子を外気の湿気から保護する保護機能を備えた表示装置を、2枚の基板により構成するので、表示装置をコンパクトにすることができ、実装スペースを大幅に縮小することができる。また、表示基板と回路基板とを重ね合わせて互いを配線するので、配線長を短くすることができる。これにより、配線による信号の遅延や電波他各種ノイズを低減することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による表示装置の構造を示す概略断面図である。

【図2】本発明の第1実施形態による表示装置の製造方法を示す工程断面図(その1)である。

【図3】本発明の第1実施形態による表示装置の製造方法を示す工程断面図(その2)である。

【図4】本発明の第1実施形態による表示装置の製造方法を示す工程断面図(その3)である。

【図5】本発明の第1実施形態の変形例による表示装置の構造を示す概略断面図である。

【図6】本発明の第2実施形態による表示装置の構造を示す斜視図である。

【図7】本発明の第2実施形態による表示装置の構造を示す概略断面図である。

【図8】本発明の第2実施形態の変形例による表示装置の構造を示す平面図である。

【図9】本発明の第2実施形態の変形例による表示装置の構造を示す斜視図である。

【図10】本発明の第3実施形態による表示装置の構造を示す概略断面図である。

【図11】本発明の実施形態の変形例による表示装置の構造を示す平面図(その1)である。

【図12】本発明の実施形態の変形例による表示装置の構造を示す平面図(その2)である。

【図13】従来の表示装置の構造を示す概略断面図(その1)である。

【図14】従来の表示装置の構造を示す概略断面図(その2)である。

【図15】従来の表示装置の構造を示す平面図である。

【符号の説明】

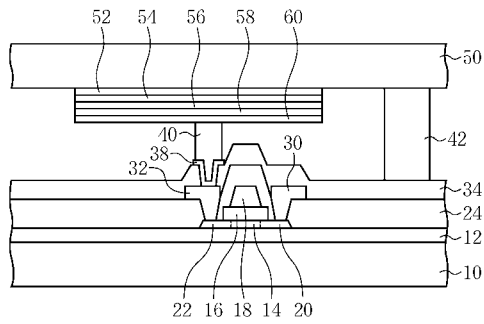
10, 50, 86...透明基板

1 2 ... バッファ層	
1 4 ... チャネル層	
1 6 ... ゲート絶縁膜	
1 8 ... ゲート電極	
2 0 ... ソース領域	
2 2 ... ドレイン領域	
2 4 , 3 4 ... 層間絶縁膜	
2 6 , 2 8 , 3 6 ... コンタクトホール	
3 0 ... ソース電極	
3 2 ... ドレイン電極	10
3 8 ... 引き出し電極	
4 0 , 6 2 ... 柱状電極	
4 2 ... シール剤	
4 4 ... 柱状体	
4 6 ... 導電性薄膜	
5 2 ... アノード電極	
5 4 ... 正孔輸送層	
5 6 ... 発光層	
5 8 ... 電子輸送層	
6 0 ... カソード電極	20
6 4 ... 第1の基板	
6 6 ... 第2の基板	
6 8 ... フレキシブル基板	
7 0 ... 表示基板	
7 2 ... データ線	
7 4 ... スキャン線	
7 6 ... リジッド基板	
8 0 ... 外部回路基板	
8 2 ... データ制御回路	
8 4 ... ゲート制御回路	30
8 8 ... 外部回路	
9 0 ... 多層プリント基板	
9 2 ... 配線層	
9 4 ... 電子素子	
1 0 0 ... 透明基板	
1 0 2 ... チャネル層	
1 0 4 ... ゲート絶縁膜	
1 0 6 ... ゲート電極	
1 0 8 ... ソース領域	
1 1 0 ... ドレイン領域	40
1 1 2 , 1 2 2 ... 層間絶縁膜	
1 1 4 , 1 1 6 , 1 2 4 ... コンタクトホール	
1 1 8 ... ソース電極	
1 2 0 ... ドレイン電極	
1 2 6 ... アノード電極	
1 2 8 ... 正孔輸送層	
1 3 0 ... 発光層	
1 3 2 ... 電子輸送層	
1 3 4 ... カソード電極	
1 3 6 ... 保護膜	50

- 1 3 8 ... シール剤
- 1 4 0 ... 画素
- 1 4 2 ... データ線
- 1 4 4 ... スキャン線
- 1 4 6 ... データ制御回路
- 1 4 8 ... ゲート制御回路
- 1 5 0 ... フレキシブル基板

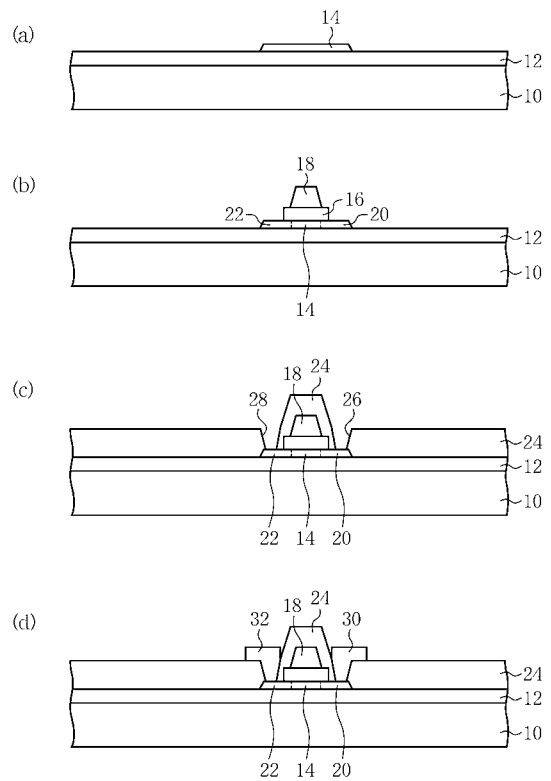
【 図 1 】

本発明の第1実施形態による表示装置の構造を示す概略断面図



【 図 2 】

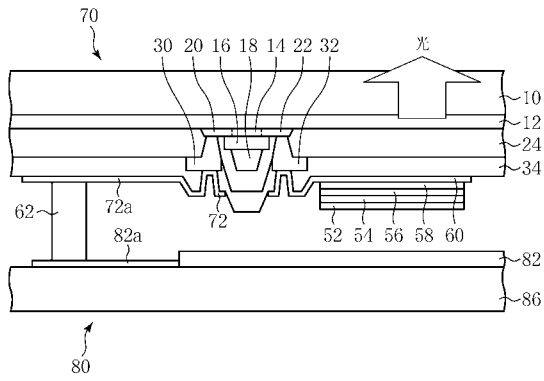
本発明の第1実施形態による表示装置の製造方法を示す工程断面図 (その1)





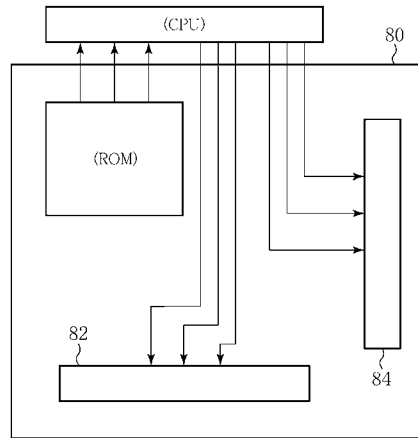
【 図 7 】

本発明の第2実施形態による表示装置の構造を示す概略断面図



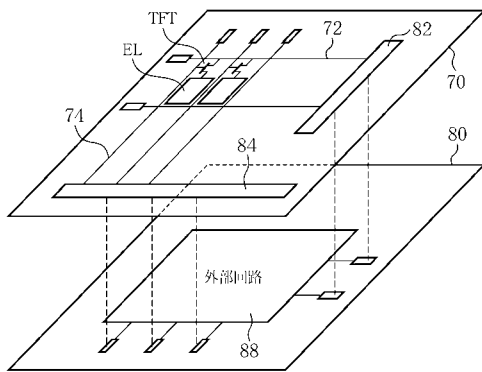
【 図 8 】

本発明の第2実施形態の変形例による表示装置の構造を示す平面図



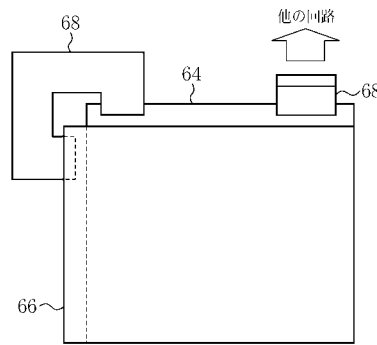
【 図 9 】

本発明の第2実施形態の変形例による表示装置の構造を示す斜視図



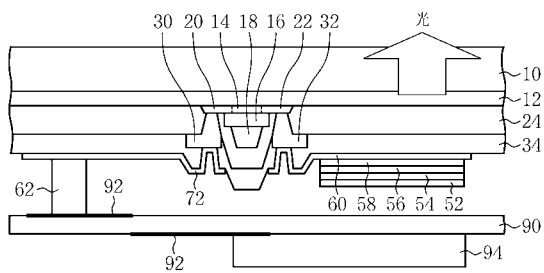
【 図 1 1 】

本発明の実施形態の変形例による表示装置の構造を示す平面図 (その1)



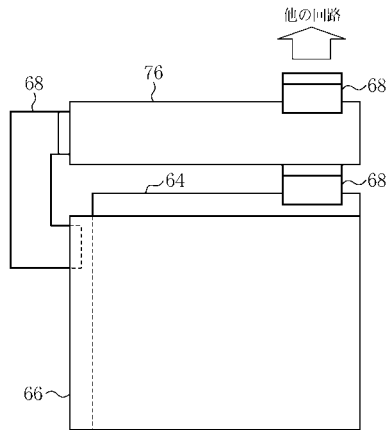
【 図 1 0 】

本発明の第3実施形態による表示装置の構造を示す概略断面図



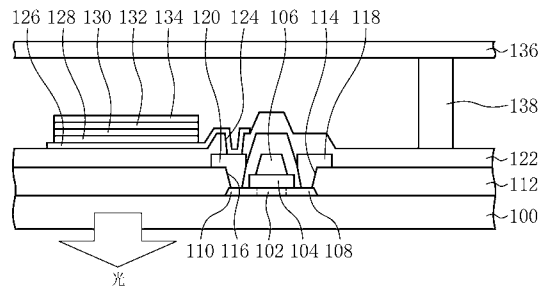
【図 1 2】

本発明の実施形態の変形例による表示装置の構造を示す  
平面図 (その2)



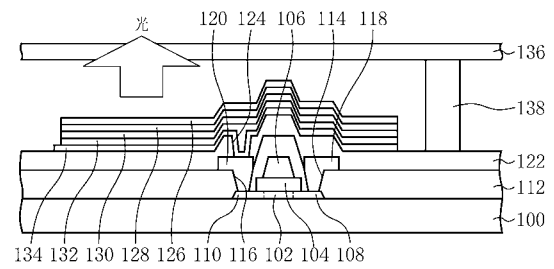
【図 1 3】

従来の表示装置の構造を示す概略断面図 (その1)



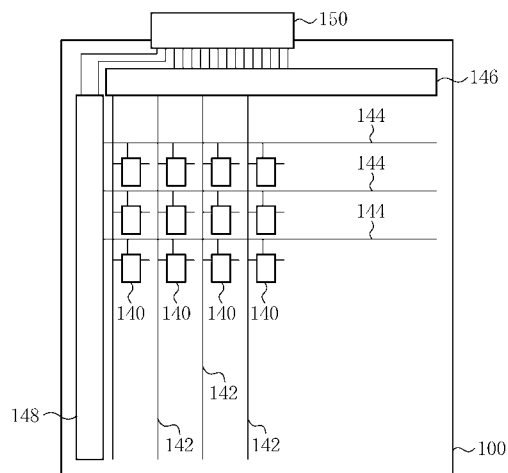
【図 1 4】

従来の表示装置の構造を示す概略断面図 (その2)



【図 1 5】

従来の表示装置の構造を示す平面図



---

フロントページの続き

(72)発明者 渡部 卓哉

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 星野 淳之

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 3K007 AB02 AB18 BA06 BB01 BB07 DB03 FA02 GA00

5C094 AA10 AA15 AA43 BA03 BA29 CA19 DA13 DB01 FB14 HA08

HA10

专利名称(译)	显示装置及其制造方法		
公开(公告)号	<a href="#">JP2004303522A</a>	公开(公告)日	2004-10-28
申请号	JP2003093643	申请日	2003-03-31
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	冈崎 晋 渡部 卓哉 星野 淳之		
发明人	冈崎 晋 渡部 卓哉 星野 淳之		
IPC分类号	H05B33/10 G09F9/30 G09G3/10 H01L27/32 H01L51/50 H05B33/04 H05B33/14		
CPC分类号	H01L27/3253		
FI分类号	H05B33/10 G09F9/30.338 G09F9/30.360 H05B33/04 H05B33/14.A		
F-TERM分类号	3K007/AB02 3K007/AB18 3K007/BA06 3K007/BB01 3K007/BB07 3K007/DB03 3K007/FA02 3K007/GA00 5C094/AA10 5C094/AA15 5C094/AA43 5C094/BA03 5C094/BA29 5C094/CA19 5C094/DA13 5C094/DB01 5C094/FB14 5C094/HA08 5C094/HA10 3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC02 3K107/CC36 3K107/CC45 3K107/EE03 3K107/EE05 3K107/GG37		
代理人(译)	三村治彦		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种使用EL元件等的自发光显示装置及其制造方法，并提供一种具有高开口率和高亮度的高性能显示装置，其可以简化制造工艺，并提供一种制造方法。解决方案：具有在一个表面上形成的多个发光元件和多个发光元件的基板50附接到基板50的一个表面侧，以密封形成多个发光元件的区域。基板10上形成有用于控制装置的电路。结果，可以在光滑表面上形成发光元件，并且可以防止发光元件的发光特性劣化。另外，可以提高显示装置的开口率，并且可以实现高亮度。

[选型图]图1

本発明の第1実施形態による表示装置の構造を示す概略断面図

