

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4631

(P2004-4631A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611A

G09G 3/20

621A

G09G 3/20

641D

G09G 3/20

670E

テーマコード(参考)

3K007

5C080

審査請求 有 請求項の数 16 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-77421 (P2003-77421)

(22) 出願日 平成15年3月20日(2003.3.20)

(31) 優先権主張番号 特願2002-87953 (P2002-87953)

(32) 優先日 平成14年3月27日(2002.3.27)

(33) 優先権主張国 日本国(JP)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100079555

弁理士 梶山 信是

(74) 代理人 100079957

弁理士 山本 富士男

(72) 発明者 阿部 真一

京都市右京区西院溝崎町21番地 ローム

株式会社内

Fターム(参考) 3K007 AB03 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD09 DD26 FF12

JJ02 JJ03 JJ04

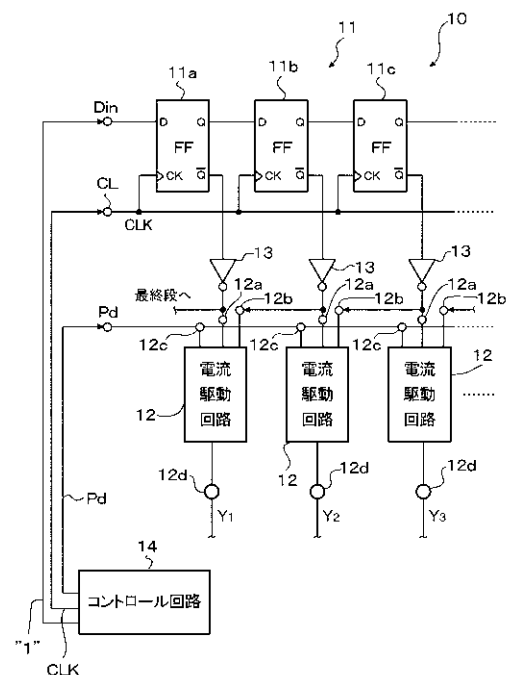
(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【要約】

【課題】マトリクス状に配置された有機EL素子の誤発光を防止しかつ消費電力を低減することができる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】この発明は、現在走査対象となるラインより1ラインあるいは数ライン前に走査したラインに接続される1つまたは複数の電流駆動回路が有機EL素子を逆バイアスにする電圧を自己が接続されている陰極接続ラインに印加し、この電流駆動回路と現在走査対象となるラインの電流駆動回路以外の残りの陰極接続ラインに接続される駆動回路が一定期間の間、自己が接続されている陰極接続ラインを所定のバイアスラインに接続してEL素子に蓄積されている電荷を放電する。これにより逆バイアス分の電荷を蓄積する電流のラインが手前の1ラインあるいは数ラインだけとなり、全体の消費電力を低減することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリックス状に配置された複数の有機 EL 素子を有し、この複数の有機 EL 素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対応してそれぞれ設けられ電流を吐出す複数の電流源と、複数の前記有機 EL 素子の陰極側にそれぞれ接続される複数の陰極接続ラインに対応してそれぞれ設けられこれら陰極接続ラインを順次走査して前記陰極接続ラインから流出される電流を所定のバイアスラインにシンクする駆動回路と、一定期間の間前記所定のバイアスラインあるいは所定の定電圧のラインに前記陽極接続ラインを接続して前記有機 EL 素子の電荷を放電する放電回路とを備える有機 EL 駆動回路において、前記複数の陰極接続ラインのうち、現在走査対象となる前記陰極接続ラインに接続される前記駆動回路が自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記現在走査対象となる前記陰極接続ラインより 1 ラインあるいは複数ライン前に走査した陰極接続ラインに接続される 1 つあるいは複数の前記駆動回路が前記有機 EL 素子を逆バイアスにする電圧を自己が接続されている前記陰極接続ラインに印加し、残りの複数の前記陰極接続ラインに接続される複数の前記駆動回路が前記一定期間の間、自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続することを特徴とする有機 EL 駆動回路。

【請求項 2】

各前記駆動回路は、論理回路とプッシュプル動作の CMOS 回路とを有し、各前記駆動回路の前記 CMOS 回路の出力端子が各前記陰極接続ラインにそれぞれ接続され、前記 CMOS 回路が前記論理回路の出力を受けて前記逆バイアスの電圧を前記出力端子に発生して自己が接続されている前記陰極接続ラインを前記逆バイアスの電圧に設定し、前記 CMOS 回路が前記論理回路の出力を受けて前記出力端子を前記所定のバイアスラインに接続することで自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続する請求項 1 記載の有機 EL 駆動回路。

【請求項 3】

前記逆バイアスの電圧が設定される前記陰極接続ラインは 1 ラインであり、前記所定のバイアスラインは接地ラインであり、前記論理回路は、前記現在走査対象となる陰極接続ラインについての走査のための駆動信号を第 1 の駆動信号として受け、次の前記陰極接続ラインが走査対象とされたときに発生する次の走査ラインについての前記走査のための駆動信号あるいはこれに応じた信号を第 2 の駆動信号として受けて、前記走査のための駆動信号に応じて前記 CMOS 回路の前記出力端子を前記接地ラインに接続する論理信号を発生し、前記第 2 の駆動信号に応じて前記有機 EL 素子を逆バイアスにする電圧を前記 CMOS 回路の前記出力端子に発生させる論理信号を発生する請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

前記論理回路は、さらに前記有機 EL 素子の電荷を放電するための前記放電パルスを受け、前記第 1 の駆動信号あるいは第 2 の駆動信号を受けていないときに前記放電パルスに応じて前記 CMOS 回路を介して前記陰極接続ラインを前記接地ラインに接続する論理信号を発生する請求項 3 記載の有機 EL 駆動回路。

【請求項 5】

さらに前記駆動回路の数に対応する段数のシフトレジスタを有し、前記シフトレジスタは、所定のビットをシフトすることで前記走査のための駆動信号を順次各段に発生していくものであり、前記放電回路は、前記放電パルスを受けて前記有機 EL 素子の電荷を前記接地ラインあるいは所定の定電圧のラインに放電する請求項 4 記載の有機 EL 駆動回路。

【請求項 6】

各前記駆動回路は、論理回路と出力端子が前記陰極接続ラインに接続されたプッシュプル動作の CMOS 回路とを有し、前記 CMOS 回路が前記論理回路の出力を受けて前記逆バイアスの電圧を前記出力端子に発生して自己が接続されている前記陰極接続ラインを前記逆バイアスの電圧に設定し、前記 CMOS 回路が前記論理回路の出力を受けて前記出力端

子を前記所定のバイアスラインに接続することで自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記CMOS回路が前記論理回路の出力を受けて前記出力端子をハイインピーダンスに設定することによって前記残りの陰極接続ラインを前記所定のバイアスラインに接続することに換えてハイインピーダンスにする請求項1記載の有機EL駆動回路。

【請求項7】

前記逆バイアスの電圧が設定される前記陰極接続ラインは1ラインであり、前記所定のバイアスラインは接地ラインであり、前記論理回路は、前記現在走査対象となるラインについての走査のための駆動信号を第1の駆動信号として受け、次の前記陰極接続ラインが走査対象とされたときに発生する次の走査ラインについての前記走査のための駆動信号あるいはこれに応じた信号を第2の駆動信号として受けて、前記第1の駆動信号に応じて前記CMOS回路の前記出力端子を前記接地ラインに接続する論理信号を発生し、前記第2の駆動信号に応じて前記有機EL素子を逆バイアスにする電圧を前記CMOS回路の前記出力端子に発生させる論理信号を発生する請求項6記載の有機EL駆動回路。

10

【請求項8】

前記論理回路は、さらに所定の期間の間前記出力端子を前記ハイインピーダンスに設定するためのパルスを受けて前記第1の駆動信号あるいは第2の駆動信号を受けていないときに前記CMOS回路の出力端子をハイインピーダンスに設定する論理信号を発生する請求項7記載の有機EL駆動回路。

【請求項9】

20

マトリックス状に配置された複数の有機EL素子を有し、この複数の有機EL素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対応してそれぞれ設けられ電流を吐出す複数の電流源と、複数の前記有機EL素子の陰極側にそれぞれ接続される複数の陰極接続ラインに対応してそれぞれ設けられこれら陰極接続ラインを順次走査して前記陰極接続ラインから流出される電流を所定のバイアスラインにシンクする駆動回路と、一定期間の間前記所定のバイアスラインあるいは所定の定電圧のラインに前記陽極接続ラインを接続して前記有機EL素子の電荷を放電する放電回路とを備える有機EL表示装置において、前記複数の陰極接続ラインのうち、現在走査対象となる前記陰極接続ラインに接続される前記駆動回路が自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記現在走査対象となる前記陰極接続ラインより1ラインあるいは複数ライン前に走査した陰極接続ラインに接続される1つあるいは複数の前記駆動回路が前記有機EL素子を逆バイアスにする電圧を自己が接続されている前記陰極接続ラインに印加し、残りの複数の前記陰極接続ラインに接続される複数の前記駆動回路が前記一定期間の間、自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続することを特徴とする有機EL表示装置。

30

【請求項10】

各前記駆動回路は、論理回路とプッシュプル動作のCMOS回路とを有し、各前記駆動回路の前記CMOS回路の出力端子が各前記陰極接続ラインにそれぞれ接続され、前記CMOS回路が前記論理回路の出力を受けて前記逆バイアスの電圧を前記出力端子に発生して自己が接続されている前記陰極接続ラインを前記逆バイアスの電圧に設定し、前記CMOS回路が前記論理回路の出力を受けて前記出力端子を前記所定のバイアスラインに接続することで自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続する請求項9記載の有機EL表示装置。

40

【請求項11】

前記逆バイアスの電圧が設定される前記陰極接続ラインは1ラインであり、前記所定のバイアスラインは接地ラインであり、前記論理回路は、前記現在走査対象となる陰極接続ラインについての走査のための駆動信号を第1の駆動信号として受け、次の前記陰極接続ラインが走査対象とされたときに発生する次の走査ラインについての前記走査のための駆動信号あるいはこれに応じた信号を第2の駆動信号として受けて、前記第1の駆動信号に応じて前記CMOS回路の前記出力端子を前記接地ラインに接続する論理信号を発生し、前

50

記第2の駆動信号に応じて前記有機EL素子を逆バイアスにする電圧を前記CMOS回路の前記出力端子に発生させる論理信号を発生する請求項10記載の有機EL表示装置。

【請求項12】

前記論理回路は、さらに前記有機EL素子の電荷を放電するための前記放電パルスを受け、前記第1の駆動信号あるいは第2の駆動信号を受けていないときに前記放電パルスに応じて前記CMOS回路を介して前記陰極接続ラインを前記接地ラインに接続する論理信号を発生する請求項9記載の有機EL表示装置。

【請求項13】

さらに前記駆動回路の数に対応する段数のシフトレジスタを有し、前記シフトレジスタは、所定のビットをシフトすることで前記走査のための駆動信号を順次各段に発生していくものであり、前記放電回路は、前記放電パルスを受けて前記有機EL素子の電荷を前記接地ラインあるいは前記所定の定電圧のラインに放電する請求項12記載の有機EL表示装置。 10

【請求項14】

各前記駆動回路は、論理回路とプッシュプル動作のCMOS回路とを有し、各前記駆動回路の前記CMOS回路の出力端子が各前記陰極接続ラインにそれぞれ接続され、前記CMOS回路が前記論理回路の出力を受けて前記逆バイアスの電圧を前記出力端子に発生して自己が接続されている前記陰極接続ラインを前記逆バイアスの電圧に設定し、前記CMOS回路が前記論理回路の出力を受けて前記出力端子を前記所定のバイアスラインに接続することで自己が接続されている現在走査対象となる前記陰極接続ラインを前記所定のバイアスラインに接続し、前記CMOS回路が前記論理回路の出力を受けて前記出力端子をハイインピーダンスに設定することによって前記残りの陰極接続ラインを前記所定のバイアスラインに接続することに換えてハイインピーダンスにする請求項9記載の有機EL表示装置。 20

【請求項15】

前記逆バイアスの電圧が設定される前記陰極接続ラインは1ラインであり、前記所定のバイアスラインは接地ラインであり、前記論理回路は、前記現在走査対象となるラインについての走査のための駆動信号を第1の駆動信号として受け、次の前記陰極接続ラインが走査対象とされたときに発生する次の走査ラインについての前記走査のための駆動信号あるいはこれに応じた信号を第2の駆動信号として受けて、前記第1の駆動信号に応じて前記CMOS回路の前記出力端子を前記接地ラインに接続する論理信号を発生し、前記第2の駆動信号に応じて前記有機EL素子を逆バイアスにする電圧を前記CMOS回路の前記出力端子に発生させる論理信号を発生する請求項14記載の有機EL表示装置。 30

【請求項16】

前記論理回路は、さらに所定の期間の間前記出力端子を前記ハイインピーダンスに設定するためのパルスを受けて前記第1の駆動信号あるいは第2の駆動信号を受けていないときに前記CMOS回路の出力端子をハイインピーダンスに設定する論理信号を発生する請求項15記載の有機EL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、マトリックス状に配置された有機EL素子の誤発光を防止しかつ消費電力を低減することができるような有機EL駆動回路および有機EL表示装置の改良に関する。

【0002】

【従来の技術】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度 40 50

差があることから制御が難しくなる問題点がある。

そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。例えば、特開平10-112391号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

【0003】

携帯電話機用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×3)の端子ピン(以下ピン)、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでもピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。そのドライブ段は、例えば、特願2002-82662号(特願2001-86967号と特願2001-396219号の国内優先出願)のようにピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路(基準電流分配回路)を有して、入力段となる手前の基準電流発生回路から基準電流を受けてピン対応に多数のミラー電流を発生することで基準電流をピン対応に分配して出力回路を駆動する。あるいはピン対応に分配されたこのミラー電流をさらにk倍(kは2以上の整数)の電流に増幅して出力回路を駆動する。そして、そのk倍電流増幅回路には、ピン対応にD/A変換回路を設けたこの出願人の特願2002-33719号の出願がある。これは、カラム側のピン対応にD/A変換回路が表示データを受けてこの表示データをピン対応にA/D変換してカラム方向の駆動電流を同時に生成する。

10

20

【0004】

ところで、有機EL表示装置では、カラム側(陽極側)の1ラインが電流吐出し側となり、ロー側(陰極走査側)が電流吸い込み側(シンク側)となって、ロー側の走査に応じてカラム側の電流駆動回路から電流が有機EL素子(以下EL素子)の陽極側に出力される。EL素子の陰極側は、CMOSのプッシュプル回路を介してグランドGNDに接続され、この駆動電流をシンクする。EL素子は、容量性の素子であるので、このとき、駆動電流の一部を電荷として蓄積する。そのためマトリックス状にEL素子を配置する表示装置にあっては、走査対象となっていない周囲のEL素子から走査対象となっているEL素子へ電荷が流れ込み、駆動対象でないEL素子が発光し、あるいは駆動対象のEL素子の輝度に変化して誤発光する問題がある。

30

図6は、一般的な有機EL表示パネルの概要を示す説明図である。1は、マトリックス状に配置されたEL素子4を有する有機EL表示パネル、2は、カラム側の電流駆動回路、3は、ロー側の駆動回路、4は、EL素子であって、説明の都合上、コンデンサとして示してある。また、ロー側の駆動回路3のCMOSのプッシュプル回路はスイッチとして示してある。

【0005】

有機EL表示パネル1にあっては、EL素子4の接合容量で決定された一定期間だけEL素子4が駆動時点であらかじめ充電され、EL素子4の輝度を向上させ、輝度むらなどを防止している。そのために駆動する前にスイッチ回路SWが一定期間ONにされてEL素子4の電荷が放電され、リセットされる。このリセットは、ロー側の駆動回路3の走査対象なるラインがLowレベル(以下“L”)になった初期の一定期間、スイッチ回路SWをONにしてカラム側の電流駆動回路2の出力が接続されている陽極側ライン(カラムライン)X1, X2, X3…をグランドGNDへと落とすことで行われる。これによりEL素子4の残留電荷が放電され、その後カラム側の電流駆動回路2の出力電流がEL素子4に加えられる。また、ロー側の駆動回路3においては走査対象以外のEL素子4が逆バイアスされる。このようにしておかないと、走査対象のEL素子4に流れ込む駆動電流が周囲のEL素子4にも流れ込み、誤発光の原因になる。そのため、走査対象以外の陰極側ライン(ローライン)Y1, Y2, Y3…は、Highレベル(以下“H”)に固定される。

40

【0006】

50

【発明が解決しようとする課題】

近年、駆動ピン数は高解像度の要請により増加する傾向にある。そのため、駆動周波数も高くなり、消費電力は増加する傾向にある。しかし、誤発光防止のために走査対象以外のE L素子をロー側において逆バイアスにすると、逆バイアスした分の電荷がE L素子に、駆動する方向とは逆方に蓄積される。そのため、あるローラインが走査対象となったときには、逆方向に蓄積された電荷を相殺して駆動するだけの大きな過渡電流が流れる。その結果、逆バイアス分の電荷を蓄積するための電流による電力消費と、前記の過渡電流とによる駆動電流の増加が駆動ピン数の増加に応じて無視できなくなっている。

この発明の目的は、このような従来技術の問題点を解決するものであって、マトリックス状に配置された有機E L素子の誤発光を防止しかつ消費電力を低減することができる有機E L駆動回路および有機E L表示装置を提供することにある。 10

【0007】**【課題を解決するための手段】**

このような目的を達成するためのこの発明のE L駆動回路およびE L表示装置の特徴は、マトリックス状に配置された複数の有機E L素子を有し、この複数の有機E L素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対応してそれぞれ設けられ電流を吐出す複数の電流源と、複数の前記有機E L素子の陰極側にそれぞれ接続される複数の陰極接続ラインに対応してそれぞれ設けられこれら陰極接続ラインを順次走査して前記陰極接続ラインから流出される電流を所定のバイアスラインにシンクする駆動回路と、一定期間の間前記所定のバイアスラインあるいは所定の定電圧のラインに前記陽極接続ラインを接続して前記有機E L素子の電荷を放電する放電回路とを備える有機E L駆動回路において、前記複数の陰極接続ラインのうち、現在走査対象となる前記陰極接続ラインに接続される前記駆動回路が自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記現在走査対象となる前記陰極接続ラインより1ラインあるいは複数ライン前に走査した陰極接続ラインに接続される1つあるいは複数の前記駆動回路が前記有機E L素子を逆バイアスにする電圧を自己が接続されている前記陰極接続ラインに印加し、残りの複数の前記陰極接続ラインに接続される複数の前記駆動回路が前記一定期間の間、自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続するものである。 20

【0008】**【発明の実施の形態】**

このように、この発明にあっては、現在走査対象となるラインより1ラインあるいは数ライン前に走査したラインに接続される1つまたは複数の電流駆動回路が有機E L素子を逆バイアスにする電圧を自己が接続されている陰極接続ラインに印加し、この電流駆動回路と現在走査対象となるラインの電流駆動回路以外の残りの陰極接続ラインに接続される駆動回路が一定期間の間、自己が接続されている陰極接続ラインを所定のバイアスラインに接続してE L素子に蓄積されている電荷を放電する。もちろん、このとき、現在走査対象となっている陰極接続ラインに接続されている駆動回路は、ロー側走査対象として自己が接続されている陰極接続ラインを所定のバイアスラインに接続しているので、そのE L素子の電荷も一定期間放電される。 40

これにより逆バイアス分の電荷を蓄積する電流のラインが手前の1ラインあるいは数ラインだけとなり、過渡電流による駆動電流の増加が抑えられ、全体の消費電力を低減することができる。

その結果、マトリックス状に配置されたE L素子の誤発光を防止しかつ消費電力を低減することができる有機E L駆動回路および有機E L表示装置を容易に実現することができる。

【0009】**【実施例】**

図1は、この発明のE L駆動回路を適用した一実施例のロー側の走査回路のブロック図、図2は、その電流駆動回路のブロック図、図3は、その表示駆動動作のタイミングチャー 50

ト、図 4 は、その他の電流駆動回路のブロック図、そして、図 5 は、図 4 の電流駆動回路による表示駆動のタイミングチャートである。なお、各図において同一の構成要素は同一の符号で示す。

図 1 において、10 は、ロー側走査回路であって、11 は、フリップフロップ (FF) 11a, 11b, 11c … からなるシフトレジスタである。このシフトレジスタ 11 にはロー側の走査ライン数分の段数のフリップフロップが接続されている。フリップフロップ 11a, 11b, 11c … は、それぞれデータ端子 D に前段のフリップフロップから Q 出力のデータを受け、クロック端子 CK にはロー側のクロックであるロークロック CLK を端子 CL を介して受けて動作する。

【0010】

初段のフリップフロップ 11a は、データ入力端子 Din にコントロール回路 14 から “1” の 1 ビットのデータを受ける。そして各段のフリップフロップの出力として Q 出力の反転出力である Q バー出力がインバータ 13 を介して各段に対応して設けられた電流駆動回路 12, 12, … にそれぞれ送出される。各インバータ 13 の出力は、前段のフリップフロップに対応する電流駆動回路 12 にも入力される。

なお、各図においては、同一構成要素を同一の符号で示し、それらの説明を割愛する。

初段のフリップフロップに対応するインバータ 13 の出力は、最終段のフリップフロップに対応する電流駆動回路 12 に入力される。この場合、最終段のフリップフロップの後に初段のフリップフロップに対応するダミーフリップフロップを設けて、このダミーフリップフロップからの出力をインバータ 13 を介して最終段のフリップフロップに対応する電流駆動回路 12 に入力するようにしてもよい。このようにすれば、初段のフリップフロップに対応するインバータ 13 の出力を最終段の電流駆動回路 12 に入力するための引き回し配線は不要となり、配線接続ラインのレイアウトが簡単になる。

【0011】

コントロール回路 14 は、ロークロック CLK と、ローデータ “1” を発生して、これらをシフトレジスタ 11 に入力し、さらに放電パルス Pd を発生して各電流駆動回路 12 に入力する。

電流駆動回路 12, 12, 12 … は、フリップフロップ 11a, 11b, 11c … の各段に対応して設けられていて、同様に各段に対応して設けられたインバータ 13, 13, 13 … 13 を介してフリップフロップの Q バー出力を受ける。その結果、電流駆動回路 12 に入力される信号は、フリップフロップの Q 出力に対応するものとなる。

シフトレジスタ 11 には、ロー側の走査開始時点で初段のフリップフロップ 11a から最終段のフリップフロップに向かってコントロール回路 14 から入力されたビット “1” のデータがロークロック CLK に応じて順次シフトされていく。これによりビット “1” がセットされたフリップフロップの Q バー出力に対応する電流駆動回路 12 は、そのときに走査対象の対象となるローライン (陰極側ライン) に “L” の出力を発生する。これによりローライン Y1, Y2, Y3 … は順次駆動されていく。このとき他のフリップフロップは、ビット “0” がセットされているのでその出力に対応する電流駆動回路 12 は走査の対象とはならない。

【0012】

各電流駆動回路 12 は、図 2 に示すように論理回路 121 とレベルシフト回路 122、バッファ 123, 124、そして CMOS トランジスタ Trp, Trn からなる CMOS 出力回路 125 とからなる。各電流駆動回路 12 の CMOS 出力回路 125 の出力端子 12d は、図 1 に示すように、それぞれロー側のライン Y1, Y2, Y3 … に接続されている。各電流駆動回路 12 は、自己の段に対応するインバータ 13 の出力 (第 1 の駆動信号) と放電パルス Pd、そして次段のインバータ 13 の出力 (第 2 の駆動信号) とを受けて、現在走査対象となっている電流駆動回路 12 と 1 つ前に走査対象となっている電流駆動回路 12 を除いて、放電動作の一定期間だけローライン Y1, Y2, Y3 … を “L” にする (図 3 の放電パルス Pd の期間参照)。

この電流駆動回路 12 について、図 1、図 2 を参照して説明すると、インバータ 13 の入

10

20

30

40

50

力端子として自己のフリップフロップの段に対応するインバータ13の出力信号を入力端子12aに受け、次段のフリップフロップに対応するインバータ13からの出力信号を入力端子12bに受ける。そして放電パルスPdを入力端子12cに受ける。

論理回路121は、2つのORゲートと2つのANDゲートとで構成されている。2入力ORゲート121aを介して入力端子12aから自己に対応する段のインバータ13の出力信号を受けてそれをレベルシフト回路122, バッファ123を介してCMOS出力回路125のトランジスタTrnのゲートへ出力する。この2入力ORゲート121aは、他方の入力として3入力ANDゲート121bの出力を受ける。

【0013】

3入力ANDゲート121bは、入力端子12cから放電パルスPdを受け、さらに入力端子12bから次段のインバータ13の出力信号を負論理入力に受け、そして自己に対応する段のインバータ13の出力信号を負論理入力に受ける。3入力ANDゲート121bの出力は、2入力ORゲート121aへ入力されて、これを介して“H”の信号でCMOS出力回路125のトランジスタTrnを駆動してこれをONにする。“L”の信号でトランジスタTrnをOFFにする。

したがって、“H”の放電パルスPdを受けたときには、トランジスタTrnはONになるが、この3入力ANDゲート121bは、前記の2つの負論理入力により、自己の電流駆動回路12がロー側走査の対象となっているとき、あるいは次段に対応する電流駆動回路12がロー側走査の対象となっているときの2つの条件のいずれにおいても放電パルスPdが阻止される。したがって、これらいずれかの条件のときにはトランジスタTrn, トランジスタTrpのON/OFFは放電パルスPdと無関係に行われる。

【0014】

同様に、2入力ANDゲート121cは、入力端子12cから放電パルスPdを受け、さらに入力端子12bから次段のインバータ13の出力信号を負論理入力に受ける。2入力ANDゲート121cの出力は、2入力ORゲート121dへ入力され、“L”のときにORゲート121dを介して“L”の信号でCMOS出力回路125のトランジスタTrpを駆動してこれをONにする。“H”信号のときにはトランジスタTrpがOFFになる。そこで、次段のインバータ13の出力が“H”のときには、放電パルスPdが阻止される。言い換えれば、前記と同様に、次段に対応する電流駆動回路12がロー側走査の対象となっているときには放電パルスPdが阻止される。すなわち、トランジスタTrn, トランジスタTrpのON/OFFは放電パルスPdによらない。

また、自己の電流駆動回路12がロー側走査の対象となっているときは、入力端子12aに入力された駆動信号（インバータ13の出力信号）“H”がORゲート121dを介してトランジスタTrpのゲートへ出力されるので、放電パルスPdには無関係にトランジスタTrpがOFFにされ、出力端子12dがグランドGNDに落ちる。

【0015】

したがって、電流駆動回路12がロー側走査の対象となっているときと、次段に対応する電流駆動回路12がロー側走査の対象となっているときの2つの条件のときには、放電パルスPdには関係なく、論理回路121は、自己に対応する段のインバータ13の出力信号“H”, “L”に応じて“H”, “L”の出力信号をORゲート121aとORゲート121dとを介してCMOS出力回路125に送出してランジスタTrn, トランジスタTrpをON/OFFする。

その結果、このような3入力ANDゲート121bと2入力ANDゲート121cとにより放電パルスPdを阻止してロー側走査の対象となっているCMOS出力回路125は、その出力端子12dに“L”を発生し、1つ前にロー側走査の対象となつて、いまはロー側走査の対象となっていない前段のCMOS出力回路125は、その出力端子12dに“H”を発生し、従来と同様な走査制御になる。

これ以外の場合には、各段のフリップフロップに対応するインバータ13の出力は、“L”となつていて、かつ、次段のフリップフロップに対応するインバータ13の出力も、“L”となつていたので、3入力ANDゲート121bと2入力ANDゲート121cはそ

れぞれ開き、“H”の放電パルスP_dは、2入力ORゲート121a、2入力ORゲート121dへそれぞれ入力されて、レベルシフト回路122、バッファ124を介してトランジスタT_{rn}、トランジスタT_{rp}のゲートへそれぞれ出力される。

【0016】

その結果、放電パルスP_dの“H”の期間の間、CMOS出力回路125のトランジスタT_{rn}がONになり、トランジスタT_{rp}がOFFになる。放電パルスP_dの“H”の期間の間、トランジスタT_{rn}がONになると、ロー側走査の対象となっているフリップフロップの前段のフリップフロップに対応する電流駆動回路12以外の電流駆動回路12が接続されるローラインは、“L”になる。

したがって、論理回路121は、“H”の放電パルスP_dを受けたときにはトランジスタT_{rn}をONにし、トランジスタT_{rp}をOFFにして出力端子12dをグランドGNDへと落とす論理出力を発生するが、現在走査対象となっている電流駆動回路12に対しては放電パルスP_dに関係なく、出力端子12dをグランドGNDへと落とし、1つ前に走査対象となっている電流駆動回路12に対しては放電パルスP_dに関係なくトランジスタT_{rn}をOFFにし、トランジスタT_{rp}をONにして出力端子12dを電源ライン+VDDに接続する制御をする。

すなわち、図3に示すように、ロー側走査の対象となっているフリップフロップに対応する電流駆動回路12とその前段のフリップフロップに対応する電流駆動回路12以外の電流駆動回路12の出力端子12dは、放電パルスP_dが発生している期間に“L”となって、EL素子4を逆バイアスにはしない。そして、放電期間が終了して放電パルスP_dが“L”になると、これらの電流駆動回路12の出力は、“H”に保持され、EL素子4を逆バイアスする。

ロー側の現在走査対象となっている電流駆動回路12は、入力端子12aに“H”が入力されているので2入力ANDゲート121cに“H”の出力が発生してトランジスタT_{rp}がOFFになる。このとき、ロー側の現在走査対象となっている電流駆動回路12のトランジスタT_{rp}がONになっているので、その出力端子12dは、放電パルスP_dの有無に関係なく、“L”に保持されて、通常のロー側走査が行われる。

【0017】

その結果、図3に示すような波形でロー側走査が順次行われる。なお、図3において、ロー側の現在走査対象となっているロー側ラインがライン2であるとする、これが“L”のときに、その手前がライン1が“H”となっている。そして、その他の走査ラインは、放電パルスP_dがある期間だけ“L”に維持される。

このような制御をすると、放電パルスP_dが“H”の放電期間では、走査対象となるラインの手前の走査ライン以外はグランドGNDに落ちる。そこで、放電パルスP_dが“H”の放電期間では、1つ手前の走査ライン以外は逆バイアス状態とはならない。そのため手前の走査ライン以外は、カラム側の電流駆動回路12によるEL素子4の電流駆動時に大きな過渡電流が流れないで済む。

また、1つ手前の走査ラインは、1つ前に駆動され、その駆動電流によりEL素子4に残留電荷が蓄積しているが、このラインが“H”に設定されて逆バイアス状態になっているので、誤発光が防止される。1つ後の走査ラインについては、放電期間に何回も放電が繰り返されているので、蓄積電荷の問題はほとんど発生しない。

これにより、逆バイアス分の電荷を蓄積する電流のラインが手前の1ラインだけとなり、過渡電流による駆動電流の増加が低減され、全体の表示駆動の電力を抑えることができる。

【0018】

図4は、他の実施例の電流駆動回路のブロック図である。これは、放電期間の間だけ走査対象以外のラインに接続されたCMOS出力回路125をハイ・インピーダンス(Hi-Z)に保持するものである。

図2の論理回路121に換えて、トランジスタT_{rp}のゲートへ出力を発生する論理回路126が設けられている。トランジスタT_{rn}のゲートへ出力は、論理回路を通すことな

く、入力端子12aの信号が直接加えられる。したがって、ロー側の現在走査対象となっている電流駆動回路12のCMOS出力回路125のトランジスタTrnは、ONとなり、それ以外は電流駆動回路12のこのトランジスタがOFFである。

論理回路126は、放電期間の間、トランジスタTrpをOFFするためにコントローラ14から放電パルスPdに同期して発生する“H”のHi-Z選択パルスPz（以下選択パルスPz、図5参照）を受ける。なお、この実施例では、コントローラ14は、さらにHi-Z選択パルスPzを発生する。

この選択パルスPzは、図5に示すように、立上がりタイミングが放電パルスPdより少し手前にあって、立下がりタイミングが放電パルスPdの立下がり一致している。

ただし、1つ手前の走査ラインは、誤発光を防止するために逆バイアスするのは図1の場合と同様である。また、走査対象のラインの電流駆動回路12については、Hi-Z選択パルスPzの“H”は無視される。そのために入力端子12aの信号が2入力ORゲート126bに入力されている。

【0019】

論理回路126は、Hi-Z選択パルスPzを入力端子12cを介して受ける2入力ANDゲート126aと、この2入力ANDゲート126aの出力を受ける2入力ORゲート126bとからなる。

2入力ANDゲート126aの他方の負論理入力、次段のフリップフロップに対応するインバータ13からの入力を入力端子12bを介して受ける。その結果、次段のフリップフロップに対応するインバータ13が“H”でない限り、言い換えれば、次段の電流駆動回路12が現在の走査対象となっていない限り、2入力ANDゲート126aは開き、Hi-Z選択パルスPzが“H”の期間の間、トランジスタTrpのゲートに“H”が出力されてこのトランジスタがOFFになる。

これにより現在走査対象となっている電流駆動回路12の前段のフリップフロップに対応する電流駆動回路12以外のCMOS出力回路125のトランジスタTrpがOFFとなる。現在走査対象となっている電流駆動回路12以外では、ローラン駆動信号（入力端子12aに入力されるインバータ13の信号）が“L”であるので、そのCMOS出力回路125のトランジスタTrpに対応するトランジスタTrnもOFFになっている。そこで、これらの電流駆動回路12が接続される出力端子12dは、Hi-Zになる。その結果、現在走査対象となっているロー側走査ラインとその手前のロー側走査ラインを除いて、CMOS出力回路125の出力が接続されているロー側走査ラインはHi-Zになる。

【0020】

一方、現在走査対象となっている電流駆動回路12では、入力端子12a、2入力ORゲート126bを介してトランジスタTrpのゲートに“H”の信号が加えられるので、このトランジスタTrpはONとなる。このときこれに対応するトランジスタTrnは、入力ORゲート126aから“H”の信号をそのゲートに受けてONになる。これによりその出力端子12dが接続されたローラインがグランドGNDに接続されて、ロー側走査が行われる。

現在走査対象となっているものの前段のフリップフロップに対応する電流駆動回路12は、入力端子12bから“H”の信号を受けるので、Hi-Z選択パルスPzが“H”が阻止されて、入力端子12a、2入力ORゲート126bを介してトランジスタTrpのゲートに“L”の信号が加えられる。そこで、このトランジスタTrpはONとなる。その結果、この電流駆動回路12が接続される出力端子12dは“H”になり、この出力が接続されているローラインに接続されているEL素子4は逆バイアスにされる。

その結果、図5に示すような波形でロー側走査が行われる。なお、図は、図3と同様にロー側の現在走査対象となっているロー側ラインがライン2であり、これが“L”のときに、その手前のライン1が“H”となっている。そして、その他の走査ラインは、Hi-Z選択パルスPzがある期間だけハイ・インピーダンス（Hi-Z）になる。

【0021】

以上説明してきたが、実施例では、次段のインバータ13の駆動信号を直接前段の論理回

路 1 2 1 あるいは論理回路 1 2 6 が受けて動作するようになっているが、これは、次段の論理回路でインバータ 1 3 の駆動信号に応じた駆動を別に発生してそれを前段の論理回路に送出してもよいことはもちろんである。したがって、前段の論理回路 1 2 1 あるいは論理回路 1 2 6 の駆動は、次段のインバータ 1 3 の駆動信号そのものを用いる必要はない。ところで、実施例では、シフトレジスタ 1 1 の次段のフリップフロップからの Q バー出力をインバータを介して受けることで、走査が終了した 1 つ手前のローラインが “H” (= +VDD) に設定されている。しかし、例えば、シフトレジスタ 1 1 の次段とこれの次の段のフリップフロップからそれぞれの Q バー出力をインバータを介して受けるようにすれば、走査が終了した 2 つ手前のローラインを “H” に設定できる。したがって、この発明は、2 つ手前あるいは数ライン手前の数本分のローラインを “H” に設定するようにする 10

ことができる。
このように、1 本乃至数本程度手前のローラインを “H” に設定してもロー走査ラインは、現在のところ 1 6 2 本か、それ以上あるので、消費電力の増加はほとんど無視できる。ただし、走査が終了した手前のライン数を増加させると、その分、回路規模が大きくなるので、“H” に設定する手前のラインは回路規模が大きくなならない程度の数本が好ましい。

【0022】

また、実施例では、放電パルスに応じて陽極側ライン（カラムライン）をグランド GND へと落として有機 EL 素子の電荷を放電してリセットする例を挙げているが、陽極側ラインをグランド GND ではなく、有機 EL 素子の電荷を定電圧のバイアスラインへ放電して 20

リセットする定電圧リセットを採用してもよい。
さらに、実施例では、バイポーラトランジスタを主体として構成しているが、MOSFET トランジスタを主体として構成してもよいことはもちろんである。また、実施例の npn 型トランジスタ（あるいは N チャンネル型）は、pnp 型（あるいは P チャンネル型）トランジスタに、pnp 型（あるいは P チャンネル型）トランジスタは、npn 型（あるいは N チャンネル）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

【0023】

【発明の効果】

以上説明してきたように、この発明にあっては、現在走査対象となるラインより 1 ライン 30

あるいは数ライン前に走査したラインに接続される 1 つまたは複数の電流駆動回路が有機 EL 素子を逆バイアスにする電圧を自己が接続されている陰極接続ラインに印加し、この電流駆動回路と現在走査対象となるラインの電流駆動回路以外の残りの陰極接続ラインに接続される駆動回路が一定期間の間、自己が接続されている陰極接続ラインを所定のバイアスラインに接続して EL 素子に蓄積されている電荷を放電する。

これにより逆バイアス分の電荷を蓄積する電流のラインが手前の 1 ラインあるいは数ラインだけとなり、過渡電流による駆動電流の増加が抑えられ、全体の消費電力を低減することができる。 40

その結果、マトリックス状に配置された EL 素子の誤発光を防止しかつ消費電力を低減することができる有機 EL 駆動回路および有機 EL 表示装置を容易に実現することができる。

【図面の簡単な説明】

【図 1】図 1 は、この発明の EL 駆動回路を適用した一実施例のロー側の走査回路のブロック図である。

【図 2】図 2 は、その電流駆動回路のブロック図である。

【図 3】図 3 は、その表示駆動動作のタイミングチャートである。

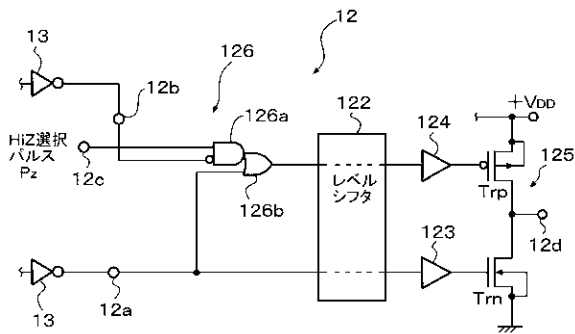
【図 4】図 4 は、その他の電流駆動回路のブロック図である。

【図 5】図 5 は、図 4 の電流駆動回路による表示駆動のタイミングチャートである。

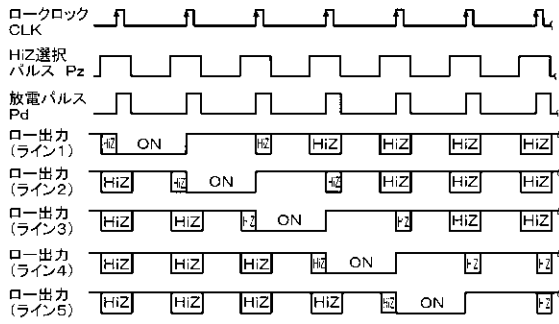
【図 6】図 6 は、一般的な有機 EL 表示パネルの概要を示す説明図である。

【符号の説明】

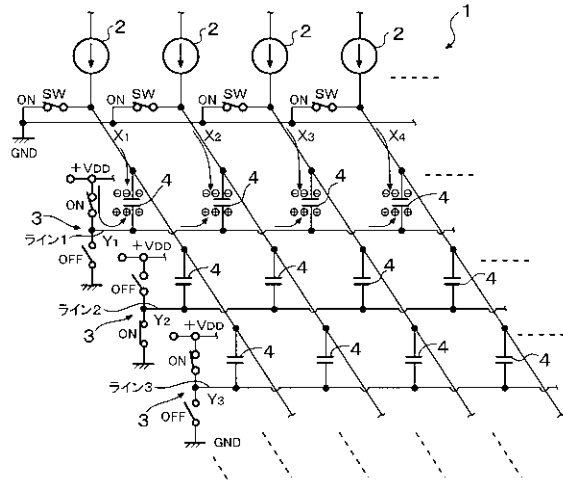
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H 0 5 B 33/14

A

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP2004004631A	公开(公告)日	2004-01-08
申请号	JP2003077421	申请日	2003-03-20
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	阿部真一		
发明人	阿部 真一		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.621.A G09G3/20.641.D G09G3/20.670.E H05B33/14.A G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD09 5C080/DD26 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC35 3K107/HH00 5C380/AA01 5C380/AB06 5C380/AB34 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BC18 5C380/CA08 5C380/CA13 5C380/CA16 5C380/CB01 5C380/CF07 5C380/CF10 5C380/CF23 5C380/CF24 5C380/CF26 5C380/CF31 5C380/CF32 5C380/CF33 5C380/DA01 5C380/DA02 5C380/DA06		
代理人(译)	梶山 侑是 山本富士雄		
优先权	2002087953 2002-03-27 JP		
其他公开文献	JP3653568B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有机EL驱动电路和有机EL显示装置，该有机EL驱动电路和有机EL显示装置能够防止以矩阵形式布置的有机EL元件的错误发光并且降低功耗。根据本发明，在当前要扫描的线之前，连接到扫描一条线或多条线的一条或多条电流驱动电路被用来产生用于使有机EL元件自身反向偏置的电压。通过施加到所连接的阴极连接线，该电流驱动电路和连接至除要扫描的线的电流驱动电路之外的其余阴极连接线的驱动电路彼此连接一定时间。所连接的阴极连接线连接到预定的偏置线以释放在EL元件中累积的电荷。结果，用于累积用于反向偏置的电荷的电流线仅变为前面的一条线或几条线，并且可以降低总功耗。[选型图]图1

