

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2001 - 222240

( P2001 - 222240A )

(43)公開日 平成13年8月17日 (2001.8.17)

| (51) Int. Cl <sup>7</sup> | 識別記号 | F I           | テ-マ-ト* ( 参考 )   |
|---------------------------|------|---------------|-----------------|
| G 0 9 F 9/30              | 338  | G 0 9 F 9/30  | 338 3 K 0 0 7   |
|                           | 365  |               | 365 Z 5 C 0 8 0 |
| G 0 9 G 3/20              | 641  | G 0 9 G 3/20  | 641 E 5 C 0 9 4 |
|                           |      | 3/30          | J               |
| // H 0 5 B 33/14          |      | H 0 5 B 33/14 | A               |

審査請求 未請求 請求項の数 8 O L ( 全 47数 )

(21)出願番号 特願2000 - 302979(P2000 - 302979)

(22)出願日 平成12年10月2日(2000.10.2)

(31)優先権主張番号 特願平11 - 338845

(32)優先日 平成11年11月29日(1999.11.29)

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

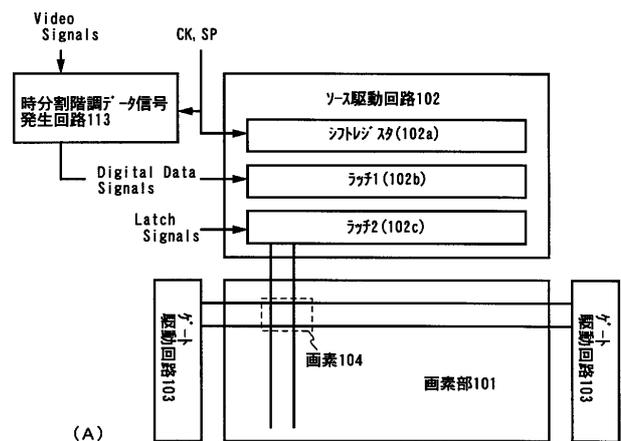
最終頁に続く

(54)【発明の名称】 E L 表示装置及び電気器具

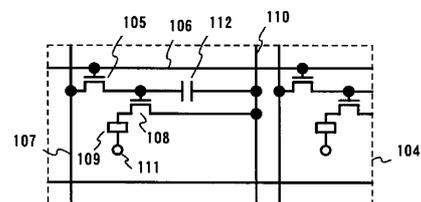
(57)【要約】

【課題】 鮮明な多階調カラー表示の可能な E L 表示装置及びそれを具備する電気器具を提供する。

【解決手段】 画素 1 0 4 に設けられた E L 素子 1 0 9 の発光、非発光を時間で制御する時分割駆動方式により階調表示を行い、電流制御用 T F T 1 0 8 の特性バラツキによる影響を防ぐ。



(A)



(B)

## 【特許請求の範囲】

【請求項1】基板上に画素部を有し、画素中のスイッチング用TFTのゲート絶縁膜を挟んでスイッチング用TFTのLDD領域は、ゲート電極に重ならない位置にあり、かつ電流制御用TFTは、ゲート絶縁膜を挟んで電流制御用TFTのゲート電極に重なる位置にLDD領域を持つことを特徴とするEL表示装置。

【請求項2】同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、画素中のスイッチング用TFTのLDD領域は、ゲート絶縁膜を挟んで前記スイッチング用TFTのゲート電極に重ならない位置にあり、かつ電流制御用TFTのLDD領域は、ゲート絶縁膜を挟んで前記電流制御用TFTのゲート電極に重なる位置にあることを特徴とするEL表示装置。

【請求項3】基板上に画素部を有し、画素中のスイッチング用TFTのLDD領域は、ゲート絶縁膜を挟んで前記スイッチング用TFTのゲート電極に重ならない位置にあり、電流制御用TFTのLDD領域は、ゲート絶縁膜を挟んで前記電流制御用TFTのゲート電極に重ならない位置にあり、前記スイッチング用TFTはnチャネル型TFTまたはpチャネル型TFTからなり、前記電流制御用TFTはpチャネル型TFTからなり、前記電流制御用TFTのドレインはEL素子の陽極に電気的に接続されていることを特徴とするEL表示装置。

【請求項4】同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、前記画素部を構成する画素は、スイッチング用TFT、電流制御用TFT及びEL素子を有し、前記スイッチング用TFTのLDD領域は、ゲート絶縁膜を挟んで前記スイッチング用TFTのゲート電極に重ならない位置にあり、前記電流制御用TFTのLDD領域もゲート絶縁膜を挟んで前記電流制御用TFTのゲート電極に重ならない位置にあることを特徴とし、さらに前記スイッチング用TFTはnチャネル型TFTまたはpチャネル型TFTからなり、前記電流制御用TFTはpチャネル型TFTからなり、前記電流制御用TFTのドレインはEL素子の陽極に電気的に接続されていることを特徴とするEL表示装置。

【請求項5】基板上に画素部を有し、画素中のスイッチング用TFTのLDD領域は、ゲート絶縁膜を挟んで前記スイッチング用TFTのゲート電極に重ならない位置にあり、かつ前記電流制御用TFTのLDD領域は、ゲート絶縁膜を挟んで前記電流制御用TFTのゲート電極に重なる位置にあり、さらに前記スイッチング用TFTはnチャネル型TFTまたはpチャネル型TFTからなり、前記電流制御用TFTはnチャネル型TFTからなり、前記電流制御用TFTのドレインはEL素子の陰極に電気的に接続されていることを特徴とするEL表示装置。

【請求項6】同一基板上に画素部、ソース駆動回路及びゲート駆動回路を有し、画素中のスイッチング用TFT

のLDD領域は、ゲート絶縁膜を挟んで前記スイッチング用TFTのゲート電極に重ならない位置にあり、かつ電流制御用TFTのLDD領域は、ゲート絶縁膜を挟んで電流制御用TFTのゲート電極に重なる位置にあることを特徴とし、さらに前記スイッチング用TFTはnチャネル型TFTまたはpチャネル型TFTからなり、前記電流制御用TFTはnチャネル型TFTからなり、前記電流制御用TFTのドレインはEL素子の陰極に電気的に接続されていることを特徴とするEL表示装置。

【請求項7】請求項1乃至請求項6のいずれか一に記載のEL表示装置を含む電気器具。

【請求項8】請求項1乃至請求項6のいずれか一に記載のEL表示装置を有し、かつ該EL表示装置が時分割階調方式により表示されることを特徴とする電気器具。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたEL（エレクトロルミネッセンス）表示装置及びそのEL表示装置を表示ディスプレイ（表示部）として有する電気器具に関する。

## 【0002】

【従来の技術】近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。

【0003】アクティブマトリクス型EL表示装置の画素構造は図3に示すようなものが一般的である。図3において、301はスイッチング素子として機能するTFT（以下、スイッチング用TFTという）、302はEL素子303に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、電流制御用TFTという）、304はコンデンサ（保持容量）である。スイッチング用TFT301はゲート線305及びソース線（データ線）306に接続されている。また、電流制御用TFT302のドレインはEL素子303に、ソースは電流供給線307に接続されている。

【0004】ゲート線305が選択されるとスイッチング用TFT301のゲートが開き、ソース線306のデータ信号がコンデンサ304に蓄積され、電流制御用TFT302のゲートが開く。そして、スイッチング用TFT301のゲートが閉じた後、コンデンサ304に蓄積された電荷によって電流制御用TFT302のゲートは開いたままとなり、その間、EL素子303が発光する。このEL素子303の発光量は流れる電流量で変化する。

【0005】つまり、アナログ駆動の階調表示において、ソース配線306から入力されるデータ信号によつ

て電流制御用TFT302に流れる電流量が制御され、EL素子の発光量が変化するのである。

【0006】図4(A)は電流制御用TFTのトランジスタ特性を示すグラフであり、401は $I_d - V_g$ 特性(又は $I_d - V_g$ 曲線)と呼ばれている。ここで $I_d$ はドレイン電流であり、 $V_g$ はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0007】通常、EL素子を駆動するにあたって、上記 $I_d - V_g$ 特性の点線402で示した領域を用いる。402で囲んだ領域の拡大図を図4(B)に示す。

【0008】図4(B)において、斜線で示す領域はサブスレッショルド領域と呼ばれている。実際にはしきい値電圧( $V_{th}$ )近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0009】図3におけるスイッチング用TFT301が開いて画素内に入力されたデータ信号は、まずコンデンサ304に蓄積され、その信号がそのまま電流制御用TFT302のゲート電圧となる。このとき、図4(A)に示した $I_d - V_g$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、データ信号に対応して所定の電流がEL素子303を流れ、その電流量に対応した発光量で前記EL素子303が発光する。

【0010】以上のように、入力される信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ階調と呼ばれる方式であり、信号の振幅の変化で階調表示が行われる。

【0011】しかしながら、上記アナログ階調方式はTFTの特性バラツキに非常に弱いという欠点がある。例えばスイッチング用TFTの $I_d - V_g$ 特性が同じ階調を表示する隣接画素のスイッチング用TFTと異なる場合(全体的にプラス又はマイナス側へシフトした場合)を想定する。

【0012】その場合、各スイッチング用TFTのドレイン電流はバラツキの程度にもよるが異なるものとなり、各画素の電流制御用TFTには異なるゲート電圧がかかることになる。即ち、各EL素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

【0013】また、仮に各画素の電流制御用TFTに等しいゲート電圧がかかったとしても、電流制御用TFTの $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図4(A)からも明らかのようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているため、 $I_d - V_g$ 特性が僅かでもずれば、等しいゲート

電圧がかかっても出力される電流量は大きく異なるという事態が生じうる。こうなってしまうとEL素子の発光量が隣接画素で大きく異なってしまう。

【0014】実際には、スイッチング用TFTと電流制御用TFTとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ階調方式はTFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型EL表示装置の多色カラー化における障害となっている。

【0015】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型EL表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型EL表示装置を表示部として具備する高性能な電気器具を提供することを課題とする。

【0016】

【課題を解決するための手段】本出願人は、TFT特性のバラツキの影響を受けにくい画素構造とするために、電流制御によってEL素子の発光量を制御する従来のアナログ駆動の階調方式よりも、電流制御用TFTを単に電流供給用のスイッチング素子として用いたデジタル駆動の階調方式の方が良いと考えた。

【0017】そこで、アクティブマトリクス型EL表示装置においてデジタル駆動で、時間分割方式の階調表示(以下、時分割階調という)を行うことを考えた。

【0018】さらに、ソース駆動回路にビデオ信号を入力する際、ビデオ線を分割して、一度に複数のデータを入力することで、パネル表示の高速化を実現した。なお、ここでいうビデオ信号は、本明細書中のソース駆動回路に入力されるデータ信号のことである。

【0019】図5に時分割階調表示を行う際の書込期間と表示期間の駆動タイミング全体を示す。ここでは6ビットデジタル駆動方式により64階調表示を行う場合について説明する。なお、書込期間とは、1フレームを構成する全ての画素に信号が書き込まれるのに要する時間であり、表示期間とは、書込に対して画素表示が行われる期間を示している。

【0020】書込期間ではEL駆動電源を切り(全画素消灯)、画素内のEL素子に電圧がかからない状態にする。また、表示期間ではEL駆動電源を入れ、画素内のEL素子に電圧がかかる状態にしてある。このとき画素が点灯するデータ信号が入力されると画素は点灯する。

【0021】表示領域の画像が完全に表示される期間を1フレームと呼ぶ。通常のELディスプレイでは発振周波数は60Hzであり、図5(a)に示すように1秒間には、60フレーム存在することになる。例えば4番目の1フレームにおいて6ビットデジタル階調(64階調)表示を行う場合、1フレームを16分割して書込期間と表示期間の比率を6:10に決めると図5(b)に

示すように書込期間（6.24 msec）に6回の書込ができる。なお、この6回の書込を書き込む順に書込1から書込6とする。また、書込期間（書込1から書込6）に対応する表示期間をそれぞれ表示1から表示6とする。

【0022】また、表示期間については、表示1：表示2：表示3：表示4：表示5：表示6 = 1：1/2：1/4：1/8：1/16：1/32となるように設定する。

【0023】図5（c）は、1フレーム中で6回の書込（書込1から書込6）を行う際、各表示期間が、それぞれの書込に対して上記の比になる様子を示したものである。ここで、図5（c）の下部に示されている数値は、書込期間と表示期間の長さの関係を示すものである。

【0024】具体的には、書込1における表示期間（表示1）は、書込期間を63としたときに320に値することを示している。さらに、各書込期間が63であるのに対して、表示2は表示期間が160、表示3は表示期間が80、表示4は表示期間が40、表示5は表示期間が20、表示6は表示期間が10にそれぞれ値すること20を示している。

【0025】1書込期間（書込）と1表示期間（表示）をあわせて1フィールドという。つまり、図5（c）には、書込期間が全て一定で表示期間の異なる6つのフィールドが存在することになる。ここで1フレームを完成させるために、はじめに表示される1つ目のフィールドをフィールド1（F1）と呼び、以下表示される順に2つ目のフィールドから6つ目のフィールドまでをフィールド2（F2）～フィールド6（F6）と呼ぶ。但し、フィールド1からフィールド6を出現させる順序はどの30ようにしても良い。この表示期間の組み合わせで64階調のうち所望の階調表示を行うことができる。

【0026】また、実際のタイミングは、図5（d）に示すように表示期間の異なる6つのフィールドを分散させた組み合わせにする。

【0027】図5（d）においては、表示1の期間、所定の画素を点灯させるとすると次に、書込5に入り、全画素にデータ信号を入力したら表示5に入る。つぎに書込4で全画素にデータ信号を入力したら表示4に入る。このようにして、書込2、書込3、書込6においても同40様にそれぞれのフィールドで表示所定の画素を点灯させる。

【0028】図5（e）は、図5（d）に示された6つのフィールドのフィールド5においてゲート回路から入力されるデータ信号によってあるゲート線が選択されるというデータが書き込まれる期間（書込5）と、選択されたゲート線にソース線からの信号が入力されて画素が表示される表示期間（表示5）を示したものである。

【0029】図5は、VGA（640×480）のパネル表示をもとにしているため、ゲート配線は480本で50

あり、さらに何本かのダミーを含むゲート線全てを選択する期間が、図5（e）の書込期間である。

【0030】書込期間においてソース線から入力される信号をドットデータという。1ゲート選択期間にソース駆動回路から入力されるドットデータは、図5（f）に示す期間でサンプリングされる。これは、図5（e）に示す書込期間に選択されるゲートのデータが書き込まれると同時にソース線から入力された信号が書き込まれていることを示している。なお、データが一度にサンプリングされる期間は、40 nsecである。

【0031】なお、ソース駆動回路から入力されるドットデータは、図5（f）に示すように16個ずつ40 nsecごとに同時に入力される。

【0032】さらに、1ゲート選択期間に選択されるドットデータは、全てのデータサンプリングがなされるまで、図6に示すソース駆動回路内のラッチ1（6001）にそれぞれ保持され、全てのサンプリングが終了した後にラッチ線6003からラッチデータが入力されて、全てのデータが一斉にラッチ2（6002）に移動する。なお、シフトレジスタ6004は、クロック線6005からのクロックパルスによりビデオ線6006から入力されるビデオ信号を選択している。

【0033】図5（f）中にサンプリング期間の他に設けられているラインデータラッチ期間とは、ラッチ1（6001）からラッチ2（6002）にデータを移動させる際にラッチ信号が入力され、データが移動する期間のことをいう。

【0034】本発明におけるアクティブマトリクス型EL表示装置の画素構造を図7に示す。図7において、701はスイッチング素子として機能するTF T（以下、スイッチング用TF Tまたは、画素スイッチTF Tという）、702はEL素子703に供給する電流を制御するための素子（電流制御素子）として機能するTF T（以下、電流制御用TF TまたはEL駆動TF Tという）、704はコンデンサ（保持容量または、補助容量という）である。スイッチング用TF T701はゲート線705及びソース線（データ線）706に接続されている。また、電流制御用TF T702のドレインはEL素子703に、ソースは電流供給線（または、EL駆動電源線という）707に接続されている。

【0035】ゲート線705が選択されるとスイッチング用TF T701のゲートが開き、ソース線706のデータ信号がコンデンサ704に蓄積され、電流制御用TF T702のゲートが開く。そして、スイッチング用TF T701のゲートが閉じた後、コンデンサ704に蓄積された電荷によって電流制御用TF T702のゲートは開いたままとなり、その間、EL素子703が発光する。このEL素子703の発光量は流れる電流量で変化する。

【0036】つまり、デジタル駆動の階調表示におい

て、ソース線706から入力されるデータ信号によって電流制御用TFT702のゲートが開または閉になり、EL駆動電源が入ると電流が流れ、EL素子が発光するのである。

【0037】画素の電流制御用TFTの機能は、表示期間に当該画素を点灯(表示)させるか消灯(非表示)させるかを制御することである。表示期間と書込期間の切り替えは、右のパネル外の電源がFPC端子を通して行う。

【0038】また、パネル外に取り付けられた電源(図7の72の709)は、書込期間と表示期間を切り替えるためのスイッチ機能を果たしている。書込期間では、この電源を切った状態(電圧を加えない状態)で、各画素にデータ信号を入力していく。

【0039】そして、全ての画素にデータが入力されて書込期間が終了したら、電源(図7の72の709)を入れ、一斉に表示を行う。この期間が表示期間となる。EL素子が発光し画素を点灯させる期間は6つのフィールドのうち表示1~表示6までのいずれかの期間である。

【0040】6つのフィールドが出現したら1フレームを終えたことになる。このとき、表示期間の積算によってその画素の階調が制御される。例えば、表示1と表示2を選択した場合には全灯を100%としたうちの76%の輝度が表現でき、表示3と表示5を選択した場合には16%の輝度が表現できる。

【0041】なお、以上は64階調の場合について説明したが、他の階調表示を行うことも可能である。

【0042】仮にNビット(Nは2以上の整数)の階調(2<sup>n</sup>階調)の表示を行う場合には、図8に示すように、まず1フレームをNビットの階調に対応させてN枚のフィールド(F1、F2、F3...F(n-1)、F(n)と表す)に分割する。階調が多くなるにつれて1フレームの分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0043】さらに、これらN枚の各フィールドは書込期間(Ta)及び表示期間(Ts)に分離される。

【0044】そして、N枚の各フィールドの表示期間(但し、F1、F2、F3...F(n-1)、F(n)に対応する表示期間を各々Ts1、Ts2、Ts3...Ts(n-1)、Ts(n)と表す)をTs1 : Ts2 : Ts3 : ... : Ts(n-1) : Ts(n) = 2<sup>0</sup> : 2<sup>-1</sup> : 2<sup>-2</sup> : ... : 2<sup>-(n-2)</sup> : 2<sup>-(n-1)</sup>となるように処理する。

【0045】この状態で、任意の1フィールドでは順次画素が選択され(厳密には各画素のスイッチング用TFTが選択され)、電流制御用TFTのゲート電極に所定のゲート電圧(データ信号に対応する)が加わる。このとき、電流制御用TFTが導通状態になるようなデータ信号が入力された画素のEL素子は、書込期間終了後、電源が入力されるとそのフィールドに割り当てられた表

示期間だけ画素が点灯する。

【0046】この動作をN枚のフィールド全てにおいて繰り返し、その表示期間の積算によって1フレームにおける各画素の階調が制御される。従って、任意の1画素に注目すると、その画素が各フィールドでどれだけの期間点灯したか(どれだけの表示期間を経由したか)によって、その1画素の階調が制御される。

【0047】以上のように、アクティブマトリクス型EL表示装置にデジタル駆動の時分割階調方式を用いる点が本発明の最大の特徴である。この時分割階調駆動を用いることでアナログ駆動の階調表示において問題であったTFT特性の影響を受けずに階調表示を行うことが可能となる。

【0048】

【発明の実施の形態】図1は、本実施例のアクティブマトリクス型EL表示装置の概略ブロック図である。図1のアクティブマトリクス型EL表示装置は、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース駆動回路102、ゲート駆動回路103が形成される。また、113は時分割階調データ信号発生回路(SPC; Serial-to-Parallel Conversion Circuit)である。

【0049】ソース駆動回路102は、シフトレジスタ102a、ラッチ1(102b)、ラッチ2(102c)を有している。その他、バッファ(図示せず)を有している。

【0050】なお、本実施例のアクティブマトリクス型EL表示装置においては、ソース駆動回路を1つだけ設けているが、画素部の上下を挟むように2つのソース駆動回路を設けても良い。

【0051】また、103はゲート駆動回路であり、シフトレジスタ、バッファ等(いずれも図示せず)を有している。

【0052】画素部101は、640×480(横×縦)の画素を有している。各画素にはスイッチング用TFTおよび電流制御用TFTが配置されている。スイッチング用TFT105はゲート線106及びソース線(データ線)107に接続されている。また、電流制御用TFT108のドレインはEL素子109に、ソースは電流供給線110に接続されている。ゲート線106が選択されるとスイッチング用TFT105のゲートが開き、ソース線107のデータ信号がコンデンサ112に蓄積され、電流制御用TFT108のゲートが開く。つまり、ソース線107から入力されるデータ信号により電流制御用TFT108に電流が流れ、EL素子が発光する。

【0053】ここで、本実施例のアクティブマトリクス型EL表示装置の動作および信号の流れを説明する。

【0054】まず、ソース駆動回路102の動作を説明する。ソース駆動回路102は、基本的にシフトレジス

タ102a、ラッチ1(102b)、ラッチ2(102c)を含む。シフトレジスタ102aにクロック信号(CK)およびスタートパルス(SP)が入力される。シフトレジスタ102aは、これらのクロック信号(CK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ(図示せず)を通して後段の回路へタイミング信号を順次供給する。

【0055】シフトレジスタ102aからのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給されるソース線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいため生ずるタイミング信号の立ち上がりまたは立ち下がりでの“鈍り”を防ぐために、このバッファが設けられる。

【0056】バッファによって緩衝増幅されたタイミング信号(デジタルデータ信号(Digital Data Signals))は、ラッチ1(102b)に供給される。ラッチ1(102b)は、6ビットデジタル信号(6bit digital signal)を処理するラッチを有する。ラッチ1(102b)は、前記タイミング信号が入力されると、時分割階調データ信号発生回路113から供給される6ビットデジタルデータ信号を順次取り込み、保持する。

【0057】ラッチ1(102b)の全てのステージにデジタルデータ信号の書込が一通り終了するまでの時間を書込期間という。すなわち、ラッチ1(102b)の中で一番左側のステージのラッチにデジタルデータ信号が書き込まれる時点から、一番右側のステージのラッチにデジタルデータ信号の書込が終了する時点までが書込期間である。また、上記書込期間をライン期間と呼ぶこともある。

【0058】書込期間終了後、シフトレジスタ102aの動作タイミングに合わせて、ラッチ2(102c)にラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ1(102b)に書き込まれ保持されているデジタルデータ信号は、ラッチ2(102c)に一斉に送出され、ラッチ2(102c)に保持される。

【0059】デジタル信号をラッチ2(102c)に送出し終えたラッチ1(102b)には、シフトレジスタ102aからのタイミング信号に基づき、再び時分割階調データ信号発生回路113から供給されるデジタル信号の書込が順次行われる。

【0060】また、ラッチ2(102c)にはラッチ信号(Latch Signals)が入力される。

【0061】ゲート駆動回路103においては、シフトレジスタ(図示せず)からのタイミング信号がバッファ(図示せず)に供給され、対応するゲート線(走査線)に供給される。

【0062】113は時分割階調データ信号発生回路(SPC; Serial-to-Parallel Conversion Circuit)である。時分割階調データ信号発生回路113は、外部

から入力されるデジタル信号の周波数を1/mに落とすための回路である。外部から入力されるデジタル信号を分割することにより、駆動回路の動作に必要な信号の周波数も1/mに落とすことができる。

【0063】本発明では画素部に入力されるデータ信号がデジタル信号であり、また液晶表示装置と異なり電圧階調表示ではないので、「0」または「1」の情報を有するデジタルデータ信号がそのまま画素部へと入力される。

【0064】画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図1(B)に示す。図1(B)において、105はスイッチング用TFTであり、ゲート信号を入力するゲート線106とビデオ信号を入力するソース配線107に接続されている。

【0065】また、108は電流制御用TFTであり、そのゲートはスイッチング用TFT105のドレインに接続される。そして、電流制御用TFT108のドレインはEL素子109に接続され、ソースは電流供給線110に接続される。EL素子109は電流制御用TFT108に接続された陽極(画素電極)と、EL層を挟んで陽極に対向して設けられた陰極(対向電極)とからなり、陰極は所定の電源111に接続されている。

【0066】なお、スイッチング用TFT105は、nチャネル型TFTでもpチャネル型TFTでもよい。

【0067】また、電流制御用TFT108においては、電流制御用TFT108が、nチャネル型TFTである場合には、電流制御用TFT108のドレイン部はEL素子109の陰極に接続され、電流制御用TFT108が、pチャネル型TFTである場合には、電流制御用TFT108のドレイン部はEL素子109の陽極に接続される構造をとる。

【0068】また、スイッチング用TFT105が非選択状態(オフ状態)にある時、電流制御用TFT108のゲート電圧を保持するためにコンデンサ112が設けられる。このコンデンサ112はスイッチング用TFT105のドレインと電流供給線110とに接続されている。

【0069】以上のような画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路113にて形成される。この回路ではデジタル信号からなるビデオ信号(画像情報を含む信号)を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0070】典型的には、時分割階調データ信号発生回路113には、1フレームをNビット(Nは2以上の整数)の階調に対応した複数のフィールドに分割する手段と、それら複数のフィールドにおいて書込期間及び表示期間を選択する手段と、その表示期間をTs1:Ts2:T

s3 : ... : Ts(n-1) : Ts(n) = 2<sup>0</sup> : 2<sup>-1</sup> : 2<sup>-2</sup> : ... : 2<sup>-(n-2)</sup> : 2<sup>-(n-1)</sup>となるように設定する手段とが含まれる。

【0071】時分割階調データ信号発生回路113は、本発明のEL表示装置の外部に設けても良いし、一体形成しても良い。EL表示装置の外部に設けられる場合、そこで形成されたデジタルデータ信号が本発明のEL表示装置に入力される構成となる。

【0072】次に、本発明のアクティブマトリクス型EL表示装置について、断面構造の概略を図2に示す。

【0073】図2において、11は基板、12は下地となる絶縁膜（以下、下地膜という）である。基板11としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0074】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（SiO<sub>x</sub>N<sub>y</sub>：x、yは任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0075】201はスイッチング用TF Tであり、nチャネル型TF Tで形成されているが、スイッチング用TF Tは、pチャネル型としてもよい。また、202は電流制御用TF Tであり、図2は、電流制御用TF T 202がpチャネル型TF Tで形成された場合を示している。つまり、この場合は、電流制御用TF Tのドレイン電極は、EL素子の陽極に接続される。しかし、電流制御用TF Tがnチャネル型TF Tで形成された場合には、電流制御用TF TはEL素子の陰極に接続される。

【0076】nチャネル型TF Tの電界効果移動度はpチャネル型TF Tの電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTF Tサイズはnチャネル型TF Tの方が小さくできる。

【0077】ただし、本発明において、スイッチング用TF Tと電流制御用TF Tをnチャネル型TF Tに限定する必要はなく、両方又はどちらか片方にpチャネル型TF Tを用いることも可能である。

【0078】スイッチング用TF T 201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、分離領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン線22を有して形成される。なお、ゲート絶縁膜18又は第1層間絶縁膜20は基板上の全TF Tに共通であって

も良いし、回路又は素子に応じて異ならせても良い。

【0079】また、図2に示すスイッチング用TF T 201はゲート電極19a、19bが電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0080】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TF Tのオフ電流を十分に低くすれば、それだけ図1（B）に示すコンデンサ112に必要な容量を小さくすることができる。即ち、コンデンサ112の専有面積を小さくできるので、マルチゲート構造とすることはEL素子109の有効発光面積を広げる上でも有効である。

【0081】さらに、スイッチング用TF T 201においては、LDD領域15a~15dは、ゲート絶縁膜18を介してゲート電極17a、17bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a~15dの長さ（幅）は0.5~3.5μm、代表的には2.0~2.5μmとすれば良い。

【0082】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層からなり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0083】次に、電流制御用TF T 202は、ソース領域26、ドレイン領域27、チャネル形成領域29、ゲート絶縁膜18、ゲート電極30、第1層間絶縁膜20、ソース配線31並びにドレイン線32を有して形成される。なお、ゲート電極30はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0084】図1（B）に示すように、スイッチング用TF Tのドレインは電流制御用TF Tのゲートに接続されている。具体的には電流制御用TF T 202のゲート電極30はスイッチング用TF T 201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電氣的に接続されている。また、ソース配線31は図1（B）の電流供給線110に接続される。

【0085】また、流しうる電流量を多くするという観点から見れば、電流制御用TF T 202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50~100nm、さらに好ましくは60~80nm）ことも有効である。逆に、スイッチング用TF T 201の場合はオフ電流を小さくするという観点から見れば、活性

層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20～50nm、さらに好ましくは25～40nm）ことも有効である。

【0086】以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図2には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0087】図2においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT204として用いる。なお、ここでいう駆動回路としては、図1に示したソース駆動回路102、ゲート信号駆動回路103を指す。勿論、他の論理回路（レベルシフト、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0088】nチャネル型204の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャネル形成領域38を含み、LDD領域37はゲート絶縁膜18を介してゲート電極39と重なっている。本明細書中では、このLDD領域37をLov領域ともいう。

【0089】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域37は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0090】また、CMOS回路のpチャネル型TFT205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくてもよい。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0091】また、nチャネル型TFT204及びpチャネル型TFT205はそれぞれ第1層間絶縁膜20に覆われ、ソース配線44、45が形成される。また、ドレイン配線46によって両者は電氣的に接続される。

【0092】次に、47は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすればよい。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属（可動イオン）をTFT側に侵入させない保護層としても働

く。しかし、このパッシベーション膜は必ずしも設けなければならないものではなく、必要に応じて設けるようにすればよい。

【0093】また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm（好ましくは1.5～2.5μm）が好ましい。

【0094】また、49は透明導電膜からなる画素電極（EL素子の陽極）であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。なお、図2のように画素電極49とドレイン領域27とが直接接続されないようにしておくこと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0095】画素電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜からなる第3層間絶縁膜50が0.3～1μmの厚さに設けられる。この第3層間絶縁膜50は画素電極49の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°（好ましくは30～50°）とするとよい。

【0096】第3層間絶縁膜50の上にはEL層51が設けられる。EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でもよい。本発明では公知のいずれの構造を用いてもよいし、EL層に対して蛍光性色素等をドーピングしてもよい。

【0097】有機EL材料としては、公知の材料を用いることができるが、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国

特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0098】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R(赤)G(緑)B(青)に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

【0099】図2の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図2には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0100】本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。しかし、蛍光体はELに比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。また、発光輝度を落とす要因となるカラーフィルターもなるべく使わない方が望ましいと言える。

【0101】EL層51の上にはEL素子の陰極52が設けられる。陰極52としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)からなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0102】陰極52はEL層51を形成した後、大気解放しないで連続的に形成することが望ましい。陰極52とEL層51との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0103】EL層51と陰極52からなる積層体は、各画素で個別に形成する必要があるが、EL層51は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0104】なお、EL層を選択的に形成する方法として、インクジェット法やスクリーン印刷法等を用いることも可能であるが、これらは現状では陰極の連続形成が

できないので、上述の方法の方が好ましいと言える。

【0105】また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に、各画素の陰極52を接続するための電極である。保護電極53としては、アルミニウム(Al)、銅(Cu)若しくは銀(Ag)を含む低抵抗な材料を用いることが好ましい。この保護電極53にはEL層の発熱を緩和する放熱効果も期待できる。また、上記EL層51、陰極52を形成した後、大気解放しないで連続的に保護電極53まで形成することも有効である。

【0106】また、54は第2パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。第2パッシベーション膜54を設ける目的は、EL層51を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いからなるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレATING法又は溶液塗布法(スピンコーティング法)が望ましい成膜方法と言える。しかし、この第2パッシベーション膜54は、必ずしも設けなければならないものではなく、必要に応じて設けるようにすればよい。

【0107】本発明の主旨は、アクティブマトリクス型EL表示装置において、アナログ駆動の階調表示をデジタル駆動の時分割階調表示にすることで、これまでアナログ駆動の階調において問題となっていたTFTのバラツキの問題を改善したというものである。従って、図2のEL表示装置の構造に限定されるものではなく、図2の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0108】上記ポリシリコン膜を用いたTFTは、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、図2のように、画素内において機能に応じて構造の異なるTFT(オフ電流の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFT)を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)EL表示装置を作製する上で非常に有効である。

【0109】〔実施例1〕本発明の実施例について図9~図16および表1~4を用いて説明する。ここでは、本発明を実施する上で用いる画素部とその周辺に設けられる駆動回路構成およびその仕様(サイズおよび電圧値等)、さらに入力される信号について説明する。図9は、上面(陰極成膜側)からみたパネル全体の平面図である。ここで、表示は下面に向かってなされる。図9において901は画素部であり、902はソース駆動回路、903はゲート駆動回路、904はフレキシブルプリントサーキット(以下FPC)入力部である。なお、本実施例において用いたFPC入力部904は、300

μmピッチで50本の端子を有する。

【0110】本実施例において図9のFPC入力部904は、図10に示すFPC入力部の保護回路を有する。ただし、ビデオ信号入力端子(図9中のFPC入力部904の上部に付けられている番号(1~50)のうちの5~20、27~42)には、抵抗(R1)はない。なお、FPC入力端子部の保護回路を有するのは、図9中のFPC入力部904の上部に付けられている番号(1\*

FPC入力端子

\*~50)のうちの1、2、21、22、43、44、49、50を除く部分である。

【0111】さらに、本実施例において用いたFPC入力端子の仕様を表1に示す。なお、表1に示されている「端子No.」は、図9中のFPC入力部904の上部に付けられている番号(1~50)と対応している。

【0112】

【表1】

| 端子No. | 端子記号    | 信号形式 | 電圧値(範囲)[V]     | 備考(信号名称等)                          |
|-------|---------|------|----------------|------------------------------------|
|       |         | NC   |                | パッドのみ                              |
| 1     | EL CATH | 非平衡  | 約4 (0.0~9.0)/9 | EL駆動直流電源(負端子)                      |
| 2     | EL ANOD | 電源   | 9              | EL駆動直流電源(正端子)                      |
| 3     | S LATb  | 非平衡  | 0.0/9.0        | ソース駆動回路ラッチ反転信号                     |
| 4     | S LAT   | 非平衡  | 0.0/9.0        | ソース駆動回路ラッチ信号                       |
| 5     | VD 16   | 非平衡  | 0.0/9.0        | デジタルビデオ信号16                        |
| 6     | VD 15   | 非平衡  | 0.0/9.0        | デジタルビデオ信号15                        |
| 7     | VD 14   | 非平衡  | 0.0/9.0        | デジタルビデオ信号14                        |
| 8     | VD 13   | 非平衡  | 0.0/9.0        | デジタルビデオ信号13                        |
| 9     | VD 12   | 非平衡  | 0.0/9.0        | デジタルビデオ信号12                        |
| 10    | VD 11   | 非平衡  | 0.0/9.0        | デジタルビデオ信号11                        |
| 11    | VD 10   | 非平衡  | 0.0/9.0        | デジタルビデオ信号10                        |
| 12    | VD 09   | 非平衡  | 0.0/9.0        | デジタルビデオ信号9                         |
| 13    | VD 08   | 非平衡  | 0.0/9.0        | デジタルビデオ信号8                         |
| 14    | VD 07   | 非平衡  | 0.0/9.0        | デジタルビデオ信号7                         |
| 15    | VD 06   | 非平衡  | 0.0/9.0        | デジタルビデオ信号6                         |
| 16    | VD 05   | 非平衡  | 0.0/9.0        | デジタルビデオ信号5                         |
| 17    | VD 04   | 非平衡  | 0.0/9.0        | デジタルビデオ信号4                         |
| 18    | VD 03   | 非平衡  | 0.0/9.0        | デジタルビデオ信号3                         |
| 19    | VD 02   | 非平衡  | 0.0/9.0        | デジタルビデオ信号2                         |
| 20    | VD 01   | 非平衡  | 0.0/9.0        | デジタルビデオ信号1                         |
| 21    | S GND   | 電源   | 0              | ソース駆動回路負電源                         |
| 22    | S VDD   | 電源   | 9              | ソース駆動回路正電源                         |
| 23    | S LEFT  | 電源   | 0.0または9.0      | ソース駆動回路走査方向切替(0.0:右方向走査、9.0:左方向走査) |
| 24    | S SP    | 非平衡  | 0.0/9.0        | ソース駆動回路スタートパルス信号                   |
| 25    | S CKb   | 平衡   | 0.0/9.0        | ソース駆動回路クロック反転信号                    |
| 26    | S CK    | 平衡   | 0.0/9.0        | ソース駆動回路クロック信号                      |
| 27    | VD 01   | 非平衡  | 0.0/9.0        | デジタルビデオ信号1                         |
| 28    | VD 02   | 非平衡  | 0.0/9.0        | デジタルビデオ信号2                         |
| 29    | VD 03   | 非平衡  | 0.0/9.0        | デジタルビデオ信号3                         |
| 30    | VD 04   | 非平衡  | 0.0/9.0        | デジタルビデオ信号4                         |
| 31    | VD 05   | 非平衡  | 0.0/9.0        | デジタルビデオ信号5                         |
| 32    | VD 06   | 非平衡  | 0.0/9.0        | デジタルビデオ信号6                         |
| 33    | VD 07   | 非平衡  | 0.0/9.0        | デジタルビデオ信号7                         |
| 34    | VD 08   | 非平衡  | 0.0/9.0        | デジタルビデオ信号8                         |
| 35    | VD 09   | 非平衡  | 0.0/9.0        | デジタルビデオ信号9                         |
| 36    | VD 10   | 非平衡  | 0.0/9.0        | デジタルビデオ信号10                        |
| 37    | VD 11   | 非平衡  | 0.0/9.0        | デジタルビデオ信号11                        |
| 38    | VD 12   | 非平衡  | 0.0/9.0        | デジタルビデオ信号12                        |
| 39    | VD 13   | 非平衡  | 0.0/9.0        | デジタルビデオ信号13                        |
| 40    | VD 14   | 非平衡  | 0.0/9.0        | デジタルビデオ信号14                        |
| 41    | VD 15   | 非平衡  | 0.0/9.0        | デジタルビデオ信号15                        |
| 42    | VD 16   | 非平衡  | 0.0/9.0        | デジタルビデオ信号16                        |
| 43    | G GND   | 電源   | 0              | ゲート駆動回路負電源                         |
| 44    | G VDD   | 電源   | 10             | ゲート駆動回路正電源                         |
| 45    | G UP    | 電源   | 0.0または10.0     | ゲート駆動回路走査方向切替(0.0:下方向走査、9.0:上方向走査) |
| 46    | G CKb   | 平衡   | 0.0/10.0       | ゲート駆動回路クロック反転信号                    |
| 47    | G CK    | 平衡   | 0.0/10.0       | ゲート駆動回路クロック信号                      |
| 48    | G SP    | 非平衡  | 0.0/10.0       | ゲート駆動回路スタートパルス信号                   |
| 49    | EL ANOD | 電源   | 9              | EL駆動直流電源(正端子)                      |
| 50    | EL CATH | 非平衡  | 約4 (0.0~9.0)/9 | EL駆動直流電源(負端子)                      |
|       |         | NC   |                | パッドのみ                              |

【0113】次に、図9のゲート駆動回路903の詳細な回路図を図11に示す。ゲート駆動回路における正電源電圧は10Vであり、負電源電圧は0V、ゲート駆動回路に入力される動作クロックの周波数は、232kHzである。また、このゲート駆動回路は、走査方向の切り替え機能を有する。

【0114】図11における記号g\_chsw\_aは、走査方向切り替えスイッチ、g\_sfttr\_b、g\_sfttr\_c、g\_sfttr\_dは、シフトレジスタの一部であり、g\_nand\_eは、NAND回路、g\_buff\_fは、バッファを示す。

【0115】本実施例では、図11中の破線で囲まれて

いる部分、つまりg\_chsw\_a、g\_sfttr\_b、g\_sfttr\_c、g\_sfttr\_dから構成される部分をシフトレジスタ(11001)という。

【0116】本実施例のゲート駆動回路を構成するシフトレジスタ、NAND回路、バッファに含まれるTFTのサイズを表2に示す。シフトレジスタ、NAND回路、バッファには、p型のTFTおよびn型のTFTが用いられているので、それぞれについて示した。表2中のサイズは、図10に示されている記号にそれぞれ対応している。また、表中においてL[μm]は、TFTのチャンネル長を示し、W[μm]は、TFTのチャンネル幅を示す。なお、n型TFTのチャンネル長には、Lov領

域が含まれている。

\*【表2】

【0117】

| Pch-TFT  | L[μm] | W[μm] | Nch-TFT  | L[μm] | Lov[μm] | W[μm] |
|----------|-------|-------|----------|-------|---------|-------|
| g_chsw_a | 4.5   | 20    | g_chsw_a | 5     | 0.5     | 10    |
| g_sftr_b | 4.5   | 16    | g_sftr_b | 5     | 0.5     | 8     |
| g_sftr_c | 4.5   | 40    | g_sftr_c | 5     | 0.5     | 20    |
| g_sftr_d | 4.5   | 10    | g_sftr_d | 5     | 0.5     | 5     |
| g_nand_e | 4.5   | 22    | g_nand_e | 5     | 0.5     | 22    |
| g_buff_f | 4.5   | 50    | g_buff_f | 5     | 0.5     | 25    |

【0118】次に、図9のソース駆動回路902の詳細な回路図を図12に示す。ソース駆動回路における正電源電圧は9Vであり、負電源電圧は0Vで、ソース駆動回路に入力される動作クロックの周波数は、12.5MHzであり、走査方向の切り替え機能を有する。

【0119】図12におけるs\_chsw\_aは、走査方向切り替えスイッチ、g\_sftr\_b、g\_sftr\_c、g\_sftr\_dは、シフトレジスタの一部、s\_nand\_eは、NAND回路、s\_buff\_f、s\_buff\_g、s\_buff\_h、s\_buff\_iは、いずれもバッファである。また、s\_lat1\_j、s\_lat1\_k、s\_lat1\_m、s\_lat1\_nは、いずれも1段目のラッチ(以下ラッチ1という)を示し、s\_lat2\_p、s\_lat2\_r、s\_lat2\_sは、いずれも2段目のラッチ(以下ラッチ2という)を示す。

\*【0120】本実施例では、図12中の破線で囲まれている部分、つまりs\_chsw\_a、s\_sftr\_b、s\_sftr\_c、s\_sftr\_dから構成される部分をシフトレジスタ(12001)という。

【0121】次に本実施例のソース駆動回路を構成するシフトレジスタ、NAND回路、バッファに含まれるTFTのサイズを表3に示す。シフトレジスタ、NAND回路、バッファには、p型のTFTおよびn型のTFTが用いられているので、それぞれについて示した。表3中のサイズは、図12に示されている記号にそれぞれ対応している。また、表中においてL[μm]は、TFTのチャンネル長を示し、W[μm]は、TFTのチャンネル幅を示す。なお、n型TFTのチャンネル長には、Lov領域が含まれている。

【0122】

\*【表3】

| Pch-TFT   | L[μm] | W[μm] | Nch-TFT   | L[μm] | Lov[μm] | W[μm] |
|-----------|-------|-------|-----------|-------|---------|-------|
| s_chsw_a  | 4.5   | 60    | s_chsw_a  | 5     | 0.5     | 40    |
| s_sftr_b  | 4.5   | 50    | s_sftr_b  | 5     | 0.5     | 25    |
| s_sftr_c  | 4.5   | 100   | s_sftr_c  | 5     | 0.5     | 50    |
| s_sftr_d  | 4.5   | 30    | s_sftr_d  | 5     | 0.5     | 15    |
| s_nand_e  | 4.5   | 50    | s_nand_e  | 5     | 0.5     | 50    |
| s_buff_f  | 4.5   | 100   | s_buff_f  | 5     | 0.5     | 50    |
| s_buff_g  | 4.5   | 100   | s_buff_g  | 5     | 0.5     | 50    |
| s_buff_h  | 4.5   | 300   | s_buff_h  | 5     | 0.5     | 150   |
| s_buff_i  | 4.5   | 400   | s_buff_i  | 5     | 0.5     | 200   |
| s_lat1_j  | 4.5   | 16    | s_lat1_j  | 5     | 0.5     | 8     |
| s_lat1_k  | 4.5   | 16    | s_lat1_k  | 5     | 0.5     | 8     |
| s_lat1_m  | 4.5   | 4     | s_lat1_m  | 5     | 0.5     | 2     |
| s_buff2_n | 4.5   | 30    | s_buff2_n | 5     | 0.5     | 15    |
| s_lat2_p  | 4.5   | 16    | s_lat2_p  | 5     | 0.5     | 8     |
| s_lat2_r  | 4.5   | 16    | s_lat2_r  | 5     | 0.5     | 8     |
| s_lat2_s  | 4.5   | 4     | s_lat2_s  | 5     | 0.5     | 2     |
| s_buff3_t | 4.5   | 30    | s_buff3_t | 5     | 0.5     | 15    |

【0123】ここで、ゲート駆動回路から入力された信号のタイミングチャートを図13、図14に示す。図13はゲート線の選択が下方向走査の場合であり、図14は、上方向走査の場合である。なお、これは、1フィールドを単位として示している。

【0124】図13、図14には、FPCから入力される信号とゲート駆動回路から入力される信号を示す。FPC入力信号において、EL\_CATHは、ELを駆動させる直流電源、G\_UPは、ゲート駆動回路の走査方向を切り替える信号、G\_CKは、ゲート駆動回路に入力されるクロック信号、G\_CKbはゲート駆動回路に入力されるクロック反転信号、G\_SPは、ゲート駆動回路に入力されるスタートパルス信号をそれぞれ示して

いる。

【0125】また、ゲート駆動回路から入力される信号においては、G\_OSR\_001等は、シフトレジスタから出力される信号であり、G\_LINE\_001等は、ゲート線に入力される信号を示す。

【0126】図13、図14中で示されている記号は、図11で示されている記号に対応している。

【0127】つぎに、ソース駆動回路から書き込まれた信号のタイミングチャートを図15、図16に示す。これらは、いずれも水平方向走査であり、図15は右方向走査によりm行の画素に書込をする場合であり、図16は、左方向走査によりm行の画素に書込をする場合である。

【0128】図15、図16には、FPCからの入力信号とゲート駆動回路およびソース駆動回路から入力される信号を示している。FPC入力信号において、S<sub>\_\_</sub>L A Tは、ソース駆動回路に入力されるラッチ信号、S<sub>\_\_</sub>L A T bは、ソース駆動回路に入力されるラッチ反転信号、S<sub>\_\_</sub>L E F Tは、ソース駆動回路の走査方向を切り替える信号、S<sub>\_\_</sub>C Kは、ソース駆動回路に入力されるクロック信号、S<sub>\_\_</sub>C K bは、ソース駆動回路に入力されるクロック反転信号、S<sub>\_\_</sub>S Pは、ソース駆動回路に入力されるスタートパルス信号、V D<sub>\_\_</sub>0 1等は、16本のビデオ線の01番目からソース駆動回路に入力されるビデオ信号をそれぞれ示している。

【0129】また、ソース駆動回路から入力される信号において、S<sub>\_\_</sub>O S R<sub>\_\_</sub>0 1等は、シフトレジスタからソース線に出力された信号であり、S<sub>\_\_</sub>O L 1<sub>\_\_</sub>0 0 1等は、001番目のソース線につながるラッチ1の出力信号を示す。S<sub>\_\_</sub>S M P<sub>\_\_</sub>0 1等は、01番目のソース\*

\*線につながるサンプリング回路の出力信号を示す。G<sub>\_\_</sub>L I N E<sub>\_\_</sub>mは、m番目のゲート線に入力される信号を示す。

【0130】図15、図16中で示されている記号は、図12で示されている記号に対応している。

【0131】本実施例におけるパネル内の各画素は、図7(71)のような構造をとる。ここで、EL駆動T F T 7 0 2はp型(L = 5 μm, W = 2 μm)であり、画素スイッチT F T 6 0 1は、N型(L = 2.5 T (L o f f = 0.5 × 2 × 3を除く), W = 1 μm)である。また、補助容量704の面積は、S ~ 0.05 × 0.11 mm<sup>2</sup>である。

【0132】本実施例における表示パネルの仕様を表4に示す。

【0133】

【表4】

|                   |          |
|-------------------|----------|
| 画面サイズ             | 対角0.7インチ |
| 画素数               | 640×480  |
| 画素間隔              | 22.5 μm  |
| 階調                | 64(6bit) |
| 開口率               | 38%      |
| ソース駆動回路の動作クロック周波数 | 12.5MHz  |
| ゲート駆動回路の動作クロック周波数 | 232kHz   |
| 駆動回路の電圧           | 9V       |
| 表示領域の電圧           | 7V       |
| デューティー比           | 62.5%    |
| 色                 | 単色       |

【0134】本実施例におけるパネルサイズは、50 mm × 50 mmであり、画面サイズは、14.4 mm × 10.8 mm (対角0.7インチ)である。画素サイズは、12.5 μm × 12.5 μm、画素配列は、ストライプ状になっており、開口率は、約38%である。また、1画面あたりの画素数は、(d<sup>2</sup> + 640 + d<sup>2</sup>) × (d<sup>2</sup> + 480 + d<sup>2</sup>)で計算され、307200 + (d)4496画素である。(ただし、dは、ダミーを意味する。)

【0135】本実施例におけるパネル仕様は、640 × 480のVGAであり、単色表示である。また、64階調(6ビット)で、デューティー比は、62.5%である。

【0136】本実施例におけるソース駆動回路の一部を図26に示す。図中の2601は、シフトレジスタ、2602は、ラッチ1である。

【0137】さらに、本発明を実施することにより得られたEL表示装置の静止画表示の写真図を図27に示す。

【0138】〔実施例2〕実施例1では、表示期間にパネル外に設けられたEL素子に電圧を加えるための電源(図7の709)のスイッチを切り、書込期間に電源のスイッチを入れるとしているが、この方法を用いると書

込期間終了後、表示期間に入ると同時に電源のスイッチが入るというシステムになる。その場合、表示期間に入ると同時に急激な電流の増加が生じるため、パネル全体の負荷に対して電荷を充電する可変電圧源の能力を超えてしまうことがある。

【0139】これによりパネル全体に必要な電圧を加えることができなくなり、十分なパネル表示ができなくなる。

【0140】本実施例は、電源(図7の709)のスイッチを常に入れておくことで書込期間と表示期間の急激な電流の増加を防ぐことができる。

【0141】しかし、この方法を用いると書込期間中も表示がなされることになり、図4(c)における書込4、書込5、書込6などの書込期間よりも表示期間が短い場合には、実質的に表示4、表示5、表示6を実施することは不可能になる。

【0142】つまり、本実施例を実施する場合には(1)画素数を少なくして書込期間を短くする、(2)駆動回路に含まれるT F Tの能力を上げて動作速度を上げる、(3)駆動回路をパネル外に付ける構造にして動作速度を上げるといった点を考慮する必要がある。

【0143】〔実施例3〕本発明の実施例について図17~図20を用いて説明する。ここでは、画素部とその

10

30

40

50

周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0144】まず、図17(A)に示すように、下地膜(図示せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくことと良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0145】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0146】ここから図17(C)までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0147】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0148】次に、図17(B)に示すように、不活性雰囲気中で570~14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造からなるポリシリコン膜507が形成される。この時点において、電子線回折写真には図12(A)に示したような{110}配向に対応する回折斑点が観測されることが判っている。

【0149】次に、図17(C)に示すように、保護膜505をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0150】次に、図17(C)に示すように、不活性雰囲気中で600~12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターリング効

果による現象であると考えられる。

【0151】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも $2 \times 10^{17}$ atoms/cm<sup>3</sup>にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度( $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下)であると考えられる。

【0152】こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510~513をパターニング工程により形成する。なお、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図17(D))

【0153】次に、図17(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950~1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0154】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510~513の膜厚はこの熱酸化工程によって30nmとなる。

【0155】次に、図18(A)に示すように、レジストマスク515a、515bを形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0156】なお、本実施例ではジボラン(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm<sup>3</sup>)の濃度でボロンを含む不純物領域516~518が形成される。

【0157】次に、図18(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純

物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0158】この工程により形成されるn型不純物領域520には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。

【0159】次に、図18(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンエスアニール処理が好ましい。また、図18(A)の工程でチャンネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0160】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800～1時間のファーンエスアニール処理により行う。なお、処理雰囲気は酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0161】この工程によりn型不純物領域520の端部、即ち、n型不純物領域520の周囲に存在するn型不純物元素を添加していない領域(図18(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0162】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極521～524を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。

【0163】具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、アルミニウム(Al)、銅(Cu)、銀(Ag)または、導電性を有するシリコン(Si)から選ばれた元素からなる膜、または前記元素の窒化物からなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0164】本実施例では、50nm厚の窒化タングス

テン(WN)膜と、350nm厚のタングステン(W)膜とからなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0165】またこの時、ゲート電極522はn型不純物領域520の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極523a、523bは断面では二つに見えるが、実際は電氣的に接続されている。

【0166】次に、図19(A)に示すように、ゲート電極521～524をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域525～532にはn型不純物領域520の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>(典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$  atoms/cm<sup>3</sup>)の濃度が好ましい。

【0167】次に、図19(B)に示すように、ゲート電極等を覆う形でレジストマスク533a～533dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域534～538を形成する。ここでもホスフィン(PH<sub>3</sub>)を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$  atoms/cm<sup>3</sup>)となるように調節する。

【0168】この工程によってnチャンネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図19(A)の工程で形成したn型不純物領域528～530の一部を残す。この残された領域が、図2におけるスイッチング用TFTのLDD領域15a～15dに対応する。

【0169】次に、図19(C)に示すように、レジストマスク533a～533dを除去し、新たにレジストマスク539を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域540～543を形成する。ここではジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>)濃度となるようにボロンを添加する。

【0170】なお、不純物領域540～543には既に $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0171】次に、図19(D)に示すように、レジストマスク539を除去した後、第1層間絶縁膜544を形成する。第1層間絶縁膜544としては、珪素を含む

絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0172】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550、4時間の熱処理を行う。

【0173】さらに、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0174】なお、水素化処理は第1層間絶縁膜544を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成し

ても構わない。  
【0175】次に、図20(A)に示すように、第1層間絶縁膜544及びゲートに対してコンタクトホールを形成し、ソース配線545~548と、ドレイン配線549~551を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0176】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜552を形成する。本実施例では第1パッシベーション膜552として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0177】この時、窒化酸化シリコン膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜544に供給され、熱処理を行うことで、第1パッシベーション膜552の膜質が改善される。それと同時に、第1層間絶縁膜544に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0178】次に、図20(B)に示すように、有機樹脂からなる第2層間絶縁膜553を形成する。有機樹脂としてはポリイミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜553はTFEが形成する段差を平坦化する必要があるので、平坦性に優れたアクリル膜が好ましい。本実施例では2.5μmの厚さでアクリル膜を形成する。

【0179】次に、第2層間絶縁膜553、第1パッシ

ベーション膜552にドレイン配線551に達するコンタクトホールを形成し、画素電極(陽極)554を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターンングを行って画素電極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極がEL素子の陽極となる。

【0180】次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極554に対応する位置に開口部を形成して第3層間絶縁膜555を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることができる。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0181】次に、EL層556及び陰極(MgAg電極)557を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層556の膜厚は800~2000nm(典型的には100~1200nm)、陰極557の厚さは180~300nm(典型的には200~2500nm)とすれば良い。

【0182】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。

【0183】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0184】なお、EL層556としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層からなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、Ybといった公知の他の材料を用いても良い。

【0185】また、保護電極558としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極558はEL層及び陰極を形成した時とは異なるマスクを用

いて真空蒸着法で形成すれば良い。また、E L層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0186】最後に、窒化珪素膜からなる第2パッシベーション膜559を300nmの厚さに形成する。実際には保護電極558がE L層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜559を形成しておくことで、E L素子の信頼性をさらに高めることができる。

【0187】こうして図20(C)に示すような構造のアクティブマトリクス型E L表示装置が完成する。なお、実際には、図20(C)まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やセラミックス製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置することでE L層の信頼性(寿命)が向上する。

【0188】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷できる状態にまでしたE L表示装置を本明細書中ではE Lモジュールという。

【0189】ここで本実施例のアクティブマトリクス型E L表示装置の構成を図21の斜視図を用いて説明する。本実施例のアクティブマトリクス型E L表示装置は、ガラス基板601上に形成された、画素部602と、ゲート側駆動回路603と、ソース側駆動回路604で構成される。画素部のスイッチング用TFT605はnチャネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、ソース側駆動回路604に接続されたソース配線607の交点に配置されている。また、スイッチング用TFT605のドレインは電流制御用TFT608のゲートに接続されている。

【0190】さらに、電流制御用TFT608のソース側は電流供給線609に接続される。本実施例のような構造では、電流供給線609には接地電位(アース電位)が与えられている。また、電流制御用TFT608のドレインにはE L素子610が接続されている。また、このE L素子610の陰極には所定の電圧(本実施例では10~12V)が加えられる。

【0191】そして、外部入出力端子となるFPC611には駆動回路まで信号を伝達するための入出力配線(接続配線)612、613、及び電流供給線609に接続された入出力配線614が設けられている。

【0192】さらに、ハウジング材をも含めた本実施例のE Lモジュールについて図22(A)、(B)を用い

て説明する。なお、必要に応じて図21で用いた符号を引用することにする。

【0193】基板1200上には画素部1201、ソース駆動回路1202、ゲート駆動回路1203が形成されている。それぞれの駆動回路からの各種配線は、入出力配線612~614を経てFPC611に至り外部機器へと接続される。

【0194】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材1204を設ける。なお、ハウジング材1204はE L素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤1205によって、基板1200と共同して密閉空間を形成するようにして基板1200に固着される。このとき、E L素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材1204は複数設けても構わない。

【0195】また、ハウジング材1204の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス(硼硅酸塩ガラス、石英等)、結晶化ガラス、セラミックスガラス、有機系樹脂(アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等)、シリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤1205が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

【0196】また、接着剤1205の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0197】さらに、ハウジング材と基板1200との間の空隙1206は不活性ガス(アルゴン、ヘリウム、窒素等)を充填しておくことが望ましい。また、ガスに限らず不活性液体(パーフルオロアルカンに代表されるの液状フッ素化炭素等)を用いることも可能である。不活性液体に関しては特開平8-78519号で用いられているような材料が良い。

【0198】また、空隙1206に乾燥剤を設けておくことも有効である。乾燥剤としては特開平9-148066号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【0199】また、図22(B)に示すように、画素部には個々に孤立したE L素子を有する複数の画素が設けられ、それらは全て保護電極1207を共通電極として有している。本実施例では、E L層、陰極(MgAg電極)及び保護電極を大気解放しないで連続形成することが好ましいとしたが、E L層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図22(B)の構造を実現することができる。

【0200】このとき、E L層と陰極は画素部のみ設け

ればよく、駆動回路の上に設ける必要はない。勿論、駆動回路の上に設けられていても問題とはならないが、E L層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0201】なお、保護電極1207は1208で示される領域において、画素電極と同一材料からなる接続配線1209を介して入出力配線1210に接続される。入出力配線1210は保護電極1207に所定の電圧（本実施例では接地電位、具体的には0V）を与えるための電流供給線であり、導電性ペースト材料1211を介してFPC611に接続される。

【0202】ここで領域1208におけるコンタクト構造を実現するための作製工程について図23を用いて説明する。

【0203】まず、本実施例の工程に従って図20(A)の状態を得る。このとき、基板端部(図22(B)において1208で示される領域)において第1層間絶縁膜544及びゲート絶縁膜514を除去し、その上に入出力配線1210を形成する。勿論、図20(A)のソース配線及びドレイン配線と同時に形成される。(図23(A))

【0204】次に、図20(B)において第2層間絶縁膜553及び第1パッシベーション膜552をエッチングする際に、1301で示される領域を除去し、且つ開孔部1302を形成する。そして、開孔部1302を覆うようにして接続配線1209を形成する。勿論、この接続配線1209は図20(B)において画素電極554と同時に形成される。(図23(B))

【0205】この状態で画素部ではE L素子の形成工程(第3層間絶縁膜、E L層及び陰極の形成工程)が行われる。この際、図13に示される領域ではマスク等を用いて第3層間絶縁膜やE L素子が形成されないようにする。そして、陰極557を形成した後、別のマスクを用いて保護電極558を形成する。これにより保護電極558と入出力配線1210とが接続配線1209を介して電氣的に接続される。さらに、第2パッシベーション膜559を設けて図23(C)の状態を得る。

【0206】以上の工程により図22(B)の1208で示される領域のコンタクト構造が実現される。そして、入出力配線1210はハウジング材1204と基板1200との間を隙間(但し接着剤1205で充填されている。即ち、接着剤1205は入出力配線の段差を十分に平坦化する厚さが必要である。)を通過してFPC611に接続される。なお、ここでは入出力配線1210について説明したが、他の出力配線612~614も同様にしてハウジング材1204の下を通過してFPC611に接続される。

【0207】〔実施例4〕本実施例では、実施例3によって作製されたアクティブマトリクス型E L表示装置の画素構造の一例を説明する。説明には図24を用いる。

なお、図24において図1又は図2と対応する部分には適宜、図1又は図2の符号を引用する。また、図24(A)は、第2配線(ソース線及び電流供給線)成膜前までの画素構造を示し、図24(B)にはE L層形成前までを示す。

【0208】図24において、201はスイッチング用TFTであり、ソース領域13、ドレイン領域14、ゲート電極106を含む。また、202は電流制御用TFTであり、ソース領域26、ドレイン領域27、ゲート電極30を含む。また、電流制御用TFT202と画素電極49はドレイン配線32を介して電氣的に接続される。

【0209】このとき、スイッチング用TFT201のドレイン配線22はコンタクト部1601にて電流制御用TFT202のゲート電極30に電氣的に接続される。また、そのゲート電極30は電流供給線110と重なる部分において保持容量(A)112aを形成する。このとき電流供給線110をゲート電極30の形状に合わせて重ねることで画素の開口率を減らさずに保持容量(A)112aのキャパシタンスを大きくさせることができる。

【0210】また、電流供給線110とコンタクト部80で電氣的に接続された半導体膜81は、ゲート電極30と重なって保持容量(B)112bを形成している。このとき誘電体はゲート絶縁膜と同一の層の絶縁膜である。

【0211】図24の画素構造では、保持容量(A)112a及び保持容量(B)112bが並列に接続されて一つの保持容量112として機能する。

【0212】なお、本実施例において電流制御用TFT202のソース領域26と半導体膜81とは、電流供給線110と別々のコンタクト部で電氣的に接続されている。この点について説明する。保持容量(B)112bの下側の電極となる半導体膜81にはリングドープされているのに対して電流制御用TFT202の活性層はpチャネル型TFTであるためボロンがドープされている。つまりリングドープされている半導体領域とボロンがドープされている半導体領域が隣接しており、p-n接合が形成されているため整流作用が生じることが考えられる。このことを考慮して、電流制御用TFT202のソース領域26と半導体膜81とをそれぞれ別々に電流供給線110と電氣的に接続させている。

【0213】なお、本実施例において図24に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。スイッチング用TFT、電流制御用TFT又は保持容量をどのような位置に形成するかは実施者が適宜設計すれば良い。本実施例は、実施例1~3のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0214】本実施例の構造は、特に画像表示領域の面

積が大きくなった場合において有効である。その理由を以下に説明する。

【0215】本発明のEL表示装置は1フレームを複数のフィールドに分割して駆動するため、画素部を駆動する駆動回路にかかる負担は大きい。これを低減するには画素部が有する負荷（配線抵抗、寄生容量またはTFTの書き込み容量など）を可能な限り低減することが好ましい。

【0216】TFTの書き込みにおいてデータ配線やゲート配線に付加される寄生容量は大部分がそれら配線の上に形成されたEL素子の陰極（または保護電極）との間で形成されるが、この点については第2層間絶縁膜として比誘電率の低い有機樹脂膜を1.5~2.5μmという厚さで形成するので寄生容量は殆ど無視できる。

【0217】このことより本発明を画素部の面積の大きいEL表示装置に実施する上で最も障害となるのはデータ配線やゲート配線の配線抵抗となる。勿論、ソース駆動回路を複数に分割して並列処理をさせたり、画素部を挟んでソース駆動回路やゲート駆動回路を設けて双方向から信号を送り、実質的に駆動回路の動作周波数を落とすようなことも可能である。但し、その場合は駆動回路の専有面積が大きくなるなど別の問題が生じてしまう。

【0218】従って、本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、本発明を実施する上で非常に有効である。なお、本実施例において図24に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例1~3のいずれの構成とも自由に組み合わせて実施することが可能である。

【0219】〔実施例5〕本実施例では、図2と異なる構造の画素部を形成する場合について図25を用いて説明する。なお、図25に示す第2層間絶縁膜48で覆われた電流制御用TFT206は図2と異なる構造になっている。

【0220】また、図25に示したEL表示装置は、電流制御用TFT206において、ドレイン領域27とチャンネル形成領域29との間にLDD領域28が設けられ、且つ、LDD領域28がゲート絶縁膜18を挟んでゲート電極30に重なっている領域と重なっていない領域とを有する構造になっている。

【0221】なお、本実施例では、スイッチング用TFTは、Pチャンネル型TFTであってもnチャンネル型TFTであっても良いが、電流制御用TFTは、nチャンネル型TFTで形成されるのが好ましい。

【0222】電流制御用TFT206は、EL素子203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT206をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの

低下等を招く。従って、オフ電流も抑える必要がある。

【0223】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0224】この時、ゲート電極に重なったLDD領域の長さは0.1~3μm（好ましくは0.3~1.5μm）にすれば良い。また、ゲート電極に重ならないLDD領域の長さは1.0~3.5μm（好ましくは1.5~2.0μm）にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。なお、ゲート電極に重ならないLDD領域を省略し、ゲート電極に重なったLDD領域のみとすることも可能である。

【0225】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されるため、ソース領域26とチャンネル形成領域29との間には設けない方が好ましい。電流制御用TFTはキャリア（ここでは電子）の流れる方向が常に同一であるので、ドレイン領域側のみLDD領域を設けておけば十分である。

【0226】一方で、ドレイン側に設けられたゲート電極とLDD領域とが重なった領域では寄生容量を積極的に利用して図1の保持容量112と同等の機能を持たせることができる。その場合、保持容量112と併用するか、もしくは保持容量112の代わりとして保持容量112を省略することも可能である。保持容量112が省略できれば開口率を大幅に向上させることができる。

【0227】本実施例の場合、第2層間絶縁膜48及び第1パッシベーション膜47に対してコンタクトホールを形成したら、陰極となる画素電極61を形成する。本実施例では画素電極61として、200nm厚のアルミニウム合金膜（1wt%のチタンを含有したアルミニウム膜）を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。

【0228】そして、その上に酸化珪素膜からなる第3層間絶縁膜62を300nmの厚さに形成し、次にEL層63として下から電子輸送層20nm、発光層40nm、正孔輸送層30nmを形成する。但し、EL層63は画素電極61よりも若干大きいパターンとなるように形成しておく必要がある。こうすることで画素電極61が後に形成する陽極65と短絡するのを防ぐことができる。

【0229】なお、ここで用いるEL層を形成するEL材料としては、電子輸送層にBCPやAlq<sub>3</sub>といった

材料を用いることができる。また、発光層には、CBPとIr(pppy)<sub>3</sub>や、アルミキノリラト錯体(Alq<sub>3</sub>)、ベンゾキノリノラトベリリウム錯体(BeBq)を用いることもできる。さらには、アルミキノリラト錯体(Alq<sub>3</sub>)にクマリン6やキナクリドンといった材料をドーパントとして用いたものを発光材料として用いることもできる。

【0230】さらには、Eu錯体(Eu(DCM)<sub>3</sub>(Phen))の他にアルミキノリラト錯体(Alq<sub>3</sub>)にDCM-1をドーパントとして用いたもの等を発光材料として用いてもよいし、ジスチリル誘導体であるDPVBiの他に、アゾメチン化合物を配位子に持つ亜鉛錯体及びDPVBiにペリレンをドーピングしたものを発光材料に用いることができる。

【0231】次に、正孔輸送層として、スターバーストアミンと呼ばれる芳香族アミンのMTDATAや-NPD、またTPACやPDA及びTPDといった化合物や、ポリビニルカルバゾール(PVK)やTPDを高分子の主鎖や側鎖に組み込んだ種々の高分子化合物を用いることができる。

【0232】なお、画素電極61とEL層63はマルチチャンパー方式(クラスターツール方式ともいう)の真空蒸着機を用いて大気解放しないで連続的に形成するのが、好ましいが、本実施例では、第3層間絶縁膜62の形成工程が入るので、画素電極61及び第3層間絶縁膜62をパターンニングして形成した後、画素電極61上の酸化膜を十分に除去し、メタルマスクを用いて赤色発光のEL層を形成する。そして、このメタルマスクを精密に制御しながらずらして順次緑色発光のEL層、青色発光のEL層を形成する。

【0233】なお、RGBに対応する画素がストライプ状に並んでいる時は上記のような方法で第2マスクをずらすだけで良いが、いわゆるデルタ配置と呼ばれる画素構造を実現するには、緑色発光のEL層形成用のメタルマスク、青色発光のEL層形成用のメタルマスクを別途用いても構わない。

【0234】こうしてEL層63まで形成したら、その上に透明導電膜(本実施例ではITO膜に10wt%の酸化亜鉛を含有させた薄膜)からなる陽極65を110nmの厚さに形成する。こうしてEL素子206が形成され、窒化珪素膜からなる第2パッシベーション膜66を形成すれば図25に示すような構造の画素が完成する。なお、この場合、図2とは陰極及び陽極の位置が逆になる。

【0235】本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光はTF Tが形成された基板の反対側(すなわち断面図で見たときの上面側)に放射される。そのため、画素内のほぼ全域、即ちTF Tが形成された領域をも有効な発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上

し、画像の明るさやコントラスト比(明暗の比)が向上する。

【0236】なお、本実施例の構成は、実施例1~4のいずれの構成とも自由に組み合わせることが可能である。

【0237】〔実施例6〕実施例1の図2に示した構造において、活性層と基板11との間に設けられる下地膜12として、放熱効果の高い材料を用いることは有効である。特に電流制御用TF Tは長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することでTF Tの熱劣化を抑制することができる。

【0238】放熱効果をもつ透光性材料としては、B(ホウ素)、C(炭素)、N(窒素)から選ばれた少なくとも一つの元素と、Al(アルミニウム)、Si(珪素)、P(リン)から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。

【0239】例えば、窒化アルミニウム(Al<sub>x</sub>N<sub>y</sub>)に代表されるアルミニウムの窒化物、炭化珪素(Si<sub>x</sub>C<sub>y</sub>)に代表される珪素の炭化物、窒化珪素(Si<sub>x</sub>N<sub>y</sub>)に代表される珪素の窒化物、窒化ホウ素(B<sub>x</sub>N<sub>y</sub>)に代表されるホウ素の窒化物、リン化ホウ素(B<sub>x</sub>P<sub>y</sub>)に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム(Al<sub>x</sub>O<sub>y</sub>)に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が20Wm<sup>-1</sup>K<sup>-1</sup>であり、好ましい材料の一つと言える。なお、上記透光性材料において、x、yは任意の整数である。

【0240】また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、Al<sub>x</sub>N<sub>x</sub>O<sub>y</sub>で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、x、yは任意の整数である。

【0241】また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む絶縁膜(但し、Mは希土類元素の少なくとも一種、好ましくはCe(セリウム)、Yb(イットルビウム)、Sm(サマリウム)、Er(エルビウム)、Y(イットリウム)、La(ランタン)、Gd(ガドリニウム)、Dy(ジスプロシウム)、Nd(ネオジウム)から選ばれた少なくとも一つの元素)を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0242】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜(特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。)を含む炭素膜を用いることもできる。これらは非常に熱伝

導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄膜厚（好ましくは5～100nm）で用いることが好ましい。

【0243】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いても良い。

【0244】なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせる事が可能である。

【0245】〔実施例7〕実施例3ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFEを用いなければならない。

【0246】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0247】また、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0248】〔実施例8〕本発明を実施する上で用いたEL素子の素子構造の一例を図28に示す。図28(A)は、低分子EL材料を用いた場合であり、基板上にITO電極（図28(A)では、ITOと示す）を作成した後、陽極のバッファ層に銅フタロシアニン（CuPc）を用い、正孔輸送層にa-NPD、発光層にAlqを用いている。成膜方法は蒸着であり、基板上のITO電極上に順次積層させた。なお、蒸着時の真空度は $2 \times 10^{-6}$  Torr以下である。

【0249】図28(B)には、高分子(Polymer)EL材料を用いた場合の素子構造を示す。基板上にITO電極を作成し、Polymer層をスピコートし、さらに蒸着により陰極(Metal)を形成した。蒸着時の真空度は $4 \times 10^{-6}$  Torr以下である。本実施例では、発光層を各画素共通とし、モノカラーのパネルを制作した。さらに、陰極蒸着の際にはメタルマスクを用い、必要な部分にのみ金属を成膜した。また、その後作成した素子は、樹脂を用いて封止を行った。

【0250】また、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【0251】〔実施例9〕実施例8で説明したEL素子の特性を図29に示す。これは、EL素子に一定の電圧を加えたときの電流密度と輝度を測定したものである。結果は、低分子EL素子及び高分子EL素子ともに $10 \text{ mA/cm}^2$ で数百カンデラとなり、ELディスプレイとして用いるのに十分な効率を示している。

【0252】〔実施例10〕本発明の自発光装置および

その駆動方法を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のELディスプレイの表示部において本発明の自発光装置およびその駆動方法を用いると良い。

【0253】なお、ELディスプレイには、パソコン用表示装置、TV放送受信表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電気器具の表示部に本発明の自発光装置およびその駆動方法を用いることが出来る。

【0254】その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電気器具の具体例を図30および図31に示す。

【0255】図30(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の自発光装置およびその駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0256】図30(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の自発光装置およびその駆動方法は表示部3312にて用いることが出来る。

【0257】図30(C)はヘッドマウントELディスプレイの一部（右片側）であり、本体3321、信号ケーブル3322、頭部固定バンド3323、投影部3324、光学系3325、表示部3326等を含む。本発明の自発光装置およびその駆動方法は表示部3326にて用いることが出来る。

【0258】図30(D)は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示

するが、本発明の自発光装置およびその駆動方法はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0259】図30(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の自発光装置およびその駆動方法は表示部3342にて用いることが出来る。

【0260】図30(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の自発光装置およびその駆動方法は表示部3353にて用いることが出来る。

【0261】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0262】また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0263】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0264】図31(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の自発光装置およびその駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0265】図31(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の自発光装置およびその駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0266】図31(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、\*

操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明の自発光装置は、表示部(A)3502、表示部(B)3505にて用いることが出来る。また、表示部(B)3505を、主に操作パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0267】また、本実施例にて示した携帯型電気器具においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0268】また、将来的にEL材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0269】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~8のどのような組み合わせからなる構成を用いても実現することができる。

【0270】〔実施例11〕本実施例では、本発明の自発光装置を用いて、デジタル駆動の時分割階調によりパネル表示を行った際の消費電力について測定した結果を示す。なお、ここでの測定に用いた表示パネルは、実施例1の表4で示したものと同一仕様であり、1フレーム期間における書込期間及び表示期間の具体的な時間配分については、表5に示す。

【0271】

【表5】

| 期間    | 時間(ms) |
|-------|--------|
| 1フレーム | 16.67  |
| 書込    | 1.04   |
| 表示1   | 5.21   |
| 表示2   | 2.60   |
| 表示3   | 1.30   |
| 表示4   | 0.65   |
| 表示5   | 0.33   |
| 表示6   | 0.16   |

【0272】また、本実施例で用いた自発光装置に含まれるEL素子としては、ITO(陽極)上にCuPc(正孔注入層)(20nm)、MTDATA(正孔輸送層)(20nm)、-NPD(正孔輸送層)(10nm)、Alq<sub>3</sub>(発光層)(50nm)及びYb(陰極)(400nm)を積層することにより形成されるEL素子とITO(陽極)上にCuPc(正孔注入層)(20nm)、-NPD(正孔輸送層)(40nm)、Ir(ppy)<sub>3</sub>+CBP(発光層)(20nm)、BCP(電子輸送層)(10nm)、Alq<sub>3</sub>(電子輸送層)(40nm)及びYb(陰極)(400nm)を積層することにより形成されるEL素子を用いた。

【0273】なお、正孔と電子の再結合により生じた励起エネルギーを発光に利用するEL (electro luminescence) において、一重項励起エネルギーを発光に利用するAlq<sub>3</sub>といった発光材料をここでは、シングレット化合物とよび、三重項励起エネルギーを発光に利用するIr(ppy)<sub>3</sub>といった化合物をトリプレット化合物\*

\*とよぶことにする。そして、シングレット化合物(Singlet)とトリプレット化合物(Triplet)を有するEL素子の駆動電圧(Driving voltage)に対する輝度(Luminescence)及び消費電力(Power Consumption)を表6に示す。

【0274】

【表6】

|                 | Driving voltage (V) | Luminance (cd/m <sup>2</sup> ) | Power consumption (mW) |
|-----------------|---------------------|--------------------------------|------------------------|
| Singlet emitter | 6                   | 30                             | 6                      |
| Triplet emitter | 6                   | 117                            | 5                      |

【0275】なお、同じ輝度(具体的には60cd/m<sup>2</sup>)で比較した場合には、トリプレット化合物(Triplet)は、シングレット化合物(Singlet)の半分以下の消費電力を示す。

【0276】次に、本実施例で示したトリプレット化合物を有するEL素子の電圧に対する応答時間について、測定を行った。測定は、任意の電源により、DC(直流電流)を印加して、これをON、OFFにより切り替える。なお、ONは、選択期間であり、電圧を印加する期間のことをいう。また、OFFは、非選択期間であり、電圧は0Vである。又、これらの期間は、いずれも250μsである。

【0277】なお、具体的には、顕微鏡に光電子増倍管(Photomultiplier)を設置し、光電子増倍管の出力をオシロスコープで読みとった値で、評価を行った。また、本測定においては、OFFからONへの切り替えを立ち上がり、ONからOFFへの切り替えを立ち下がりとして定義する。そして、電源の電圧がOFFからONに切り替わった瞬間から、それに追従する光学応答が100%の発光輝度に対して90%まで増加した発光輝度を示すのに要する時間を立ち上がりの応答時間とした。また、電源の電圧がONからOFFに切り替わった瞬間から、それに追従する光学応答が、それまでの100%の発光輝度に対して10%まで減少した発光輝度を示すのに要する時間を立ち下がりの応答時間とした。

【0278】この測定により得られた結果を図32に示す。なお、図32に示す電圧の範囲における応答速度は非常に速いため、通常のデジタル駆動においても問題なく使用できる。

【0279】さらに、このEL素子を用いて64階調の階調表示を行ったときの各階調ごとの発光強度について測定したところ、図33に示す結果が得られた。各階調ごとに異なる発光強度が得られることから充分な階調表示が行われていることが分かる。

【0280】〔実施例12〕本実施例では、EL素子が有するEL層において、EL層の積層構造を形成する正孔注入層として低分子化合物を用いた場合と高分子化合物を用いた場合の発光特性について測定した結果を図34、35に示す。なお、ここで用いたEL層としては、ITOの上に-NPD(正孔輸送層)(40nm)、

\*Ir(ppy)<sub>3</sub>+CBP(発光層)(20nm)、BCP(電子輸送層)(10nm)、Alq<sub>3</sub>(電子輸送層)(40nm)及びYb(陰極)(400nm)を積層することにより形成されたものをEL層Aとし、EL層AのITOと-NPD(正孔輸送層)(40nm)との間にCuPc(正孔注入層)(20nm)を形成させたものをEL層Bとし、さらに、EL層AのITOと-NPD(正孔輸送層)(40nm)との間にPEDOT(正孔注入層)(20nm)を形成させたものをEL層Cとする。

【0281】図34には、各EL層で印加電圧ごとに測定された電流密度を比較した結果を示す。さらに、図35には、各EL層で印加電圧ごとに得られる輝度を比較した結果を示す。これにより、高分子化合物であるPEDOTを正孔注入層に用いたEL層Cにおいて、最も高い電流密度が得られ、さらに輝度においても優れた初期特性が得られることが分かる。

【0282】

【発明の効果】本発明を実施することで、TFTの特性バラツキに影響されない鮮明な多階調カラー表示が可能となるアクティブマトリクス型EL表示装置を得ることができ、具体的には、アクティブマトリクス型EL表示装置において従来のアナログ階調表示からデジタル信号による時分割階調表示を行うことで、電流制御用TFTの特性バラツキによる階調不良をなくし、色再現性の良い高精細な画像を得ることができる。

【0283】また、基板上に形成されるTFT自体も各回路又は素子が必要とする性能に併せて最適な構造のTFTを配置することで、信頼性の高いアクティブマトリクス型EL表示装置を実現している。

【0284】そして、そのようなアクティブマトリクス型EL表示装置を表示ディスプレイとして具備することで、画像品質が良く、信頼性の高い高性能な電気器具を生産することが可能となる。

【図面の簡単な説明】

【図1】 EL表示装置の構成を示す図。

【図2】 EL表示装置の断面構造を示す図。

【図3】 従来のEL表示装置における画素部の構成を示す図。

【図4】 アナログ階調方式で利用するTFT特性を

説明する図。

【図 5】 時分割階調方式の動作モードを説明する図。

【図 6】 EL 表示装置のソース駆動回路を示す図。

【図 7】 EL 表示装置の画素部の画素構造を示す図。

【図 8】 時分割階調方式の動作モードを説明する図。

【図 9】 EL 表示装置のパネル全体の上面図。

【図 10】 FPC 入力部の保護回路。

【図 11】 EL 表示装置のゲート駆動回路を示す図。

【図 12】 EL 表示装置のソース駆動回路を示す図。

【図 13】 EL 表示装置のソース駆動回路側からの入力信号のタイミング図。

【図 14】 EL 表示装置のソース駆動回路側からの入力信号のタイミング図。

【図 15】 EL 表示装置のゲート駆動回路側からの入力信号のタイミング図。

【図 16】 EL 表示装置のゲート駆動回路側からの入力信号のタイミング図。

【図 17】 EL 表示装置の作製工程を示す図。

\* 【図 18】 EL 表示装置の作製工程を示す図。

【図 19】 EL 表示装置の作製工程を示す図。

【図 20】 EL 表示装置の作製工程を示す図。

【図 21】 EL モジュールの外観を示す図。

【図 22】 EL モジュールの外観を示す図。

【図 23】 コンタクト構造の作製工程を示す図。

【図 24】 EL 表示装置の画素部の上面構造を示す図。

【図 25】 EL 表示装置の断面構造を示す図。

10 【図 26】 EL 表示装置のソース駆動回路の一部を示す図。

【図 27】 本発明を用いた EL 表示装置の画像を示す写真。

【図 28】 EL 素子の素子構造を示す図。

【図 29】 EL 素子の特性を示す図。

【図 30】 電気器具の具体例を示す図。

【図 31】 電気器具の具体例を示す図。

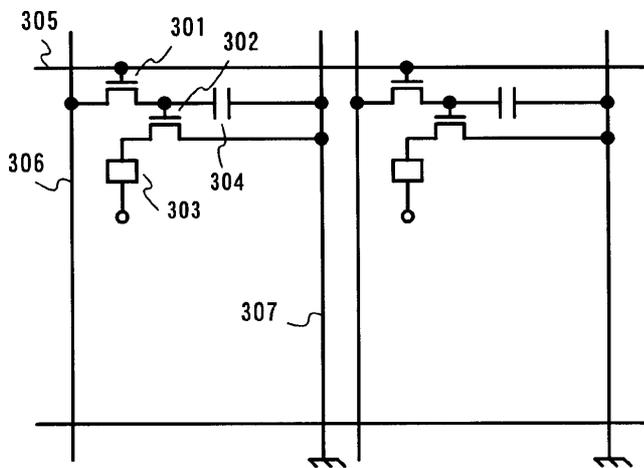
【図 32】 EL 素子の特性を示す図。

【図 33】 EL 素子の特性を示す図。

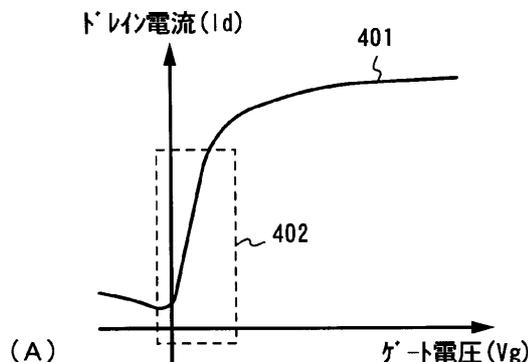
20 【図 34】 EL 素子の特性を示す図。

\* 【図 35】 EL 素子の特性を示す図。

【図 3】



【図 4】



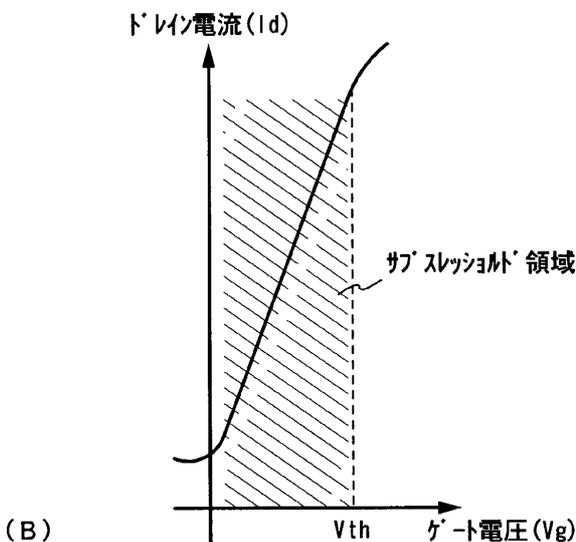
【図 28】

|               |
|---------------|
| Metal         |
| Alq           |
| $\alpha$ -NPD |
| CuPc          |
| ITO           |
| Substrate     |

(A)

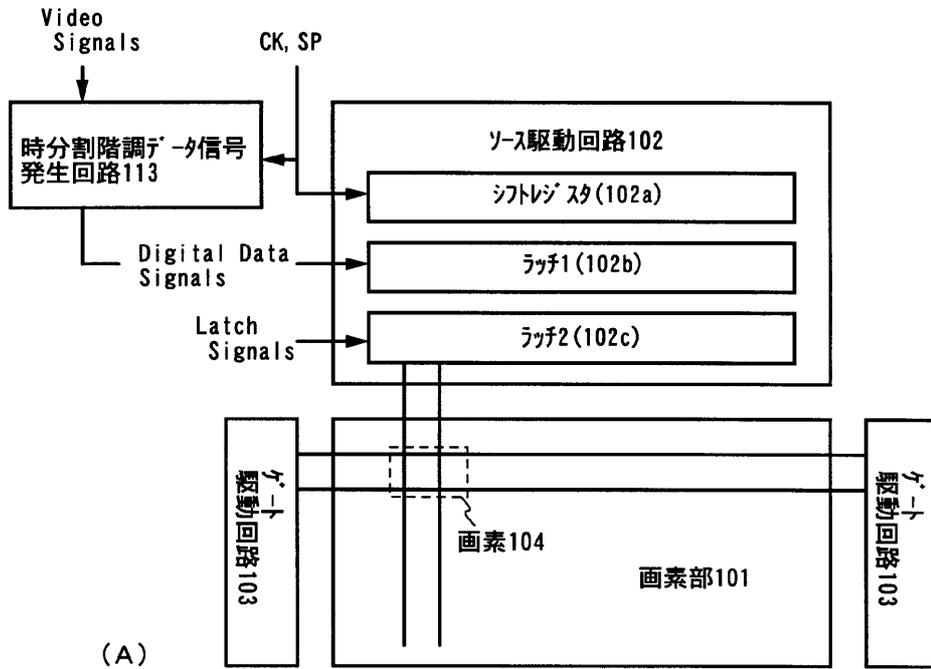
|           |
|-----------|
| Metal     |
| Polymer   |
| ITO       |
| Substrate |

(B)

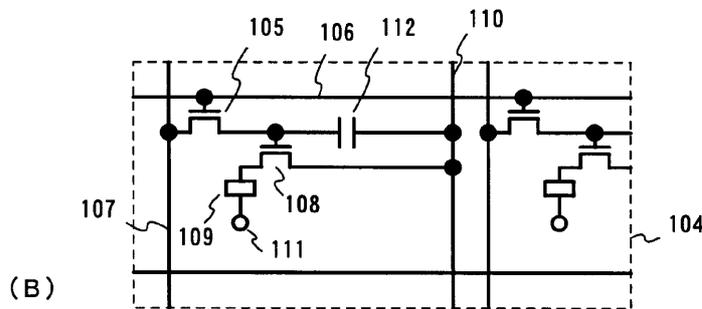


(B)

【図1】

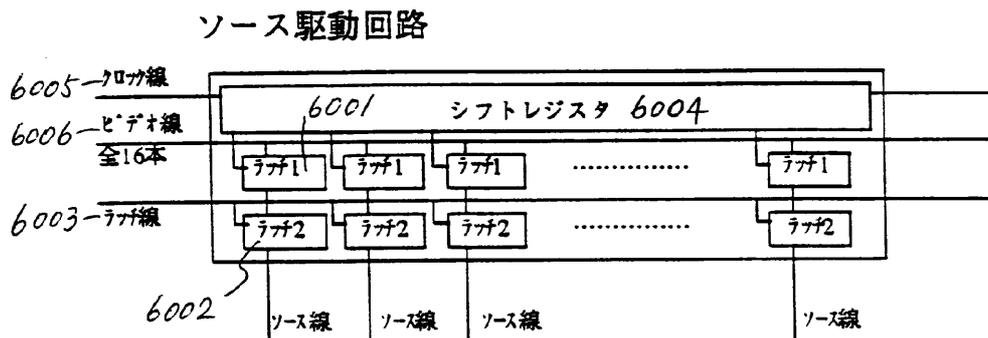


(A)

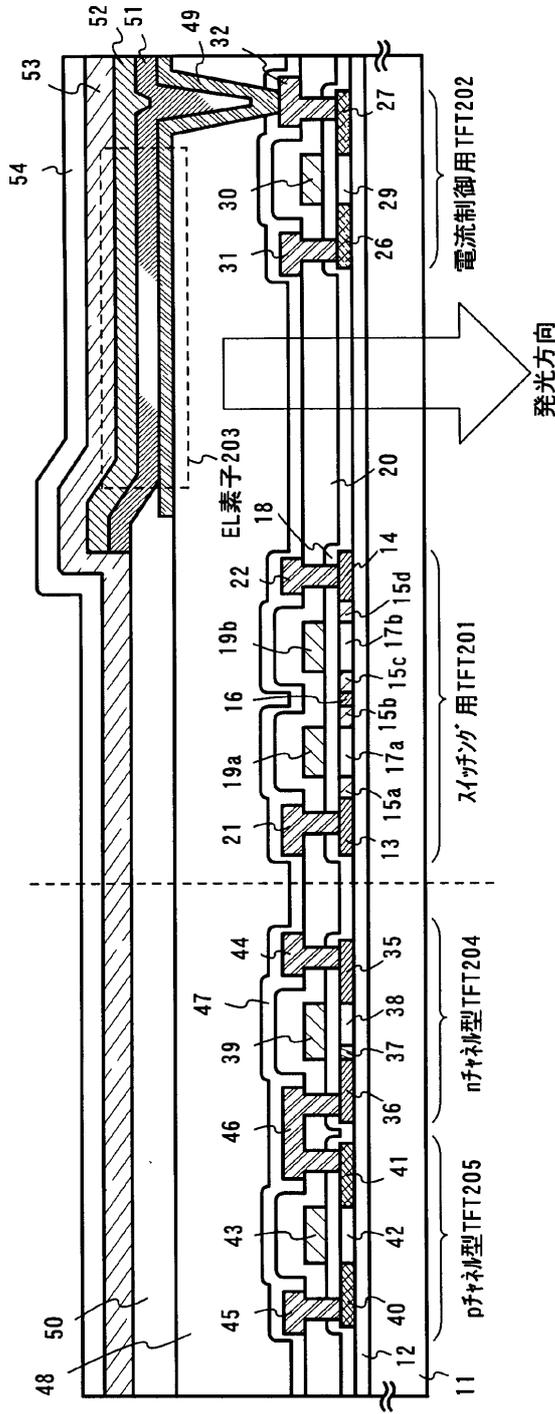


(B)

【図6】

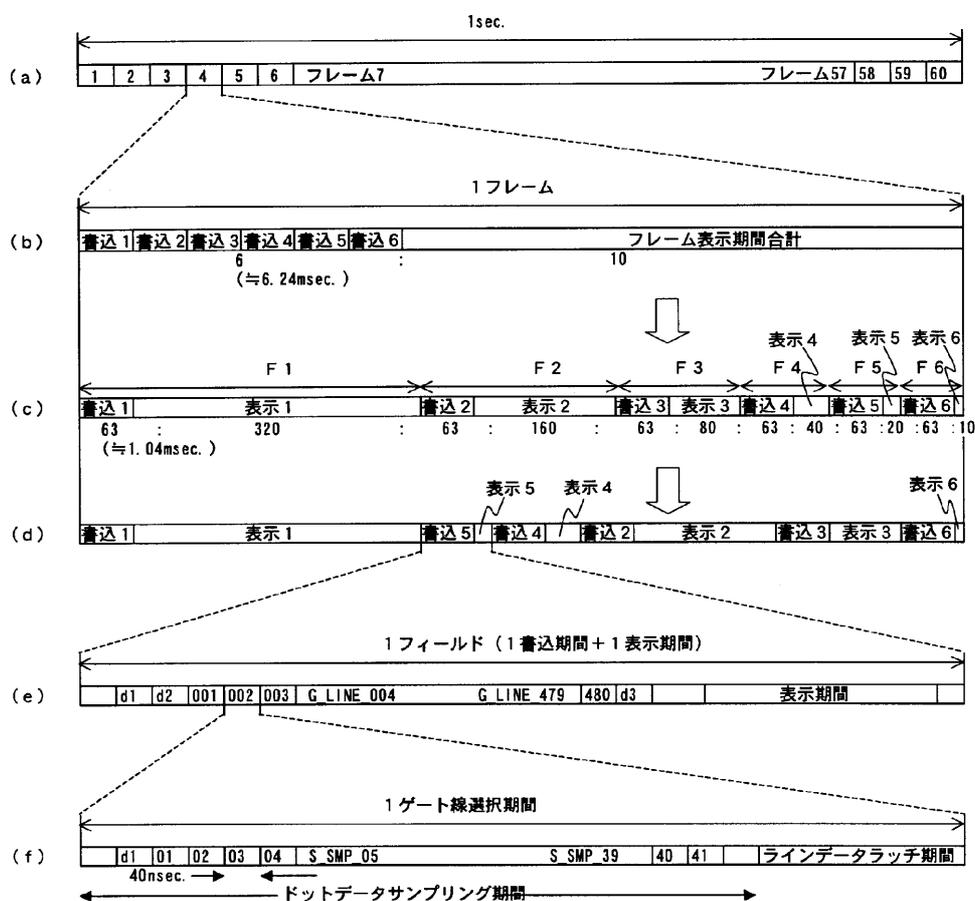


【図2】

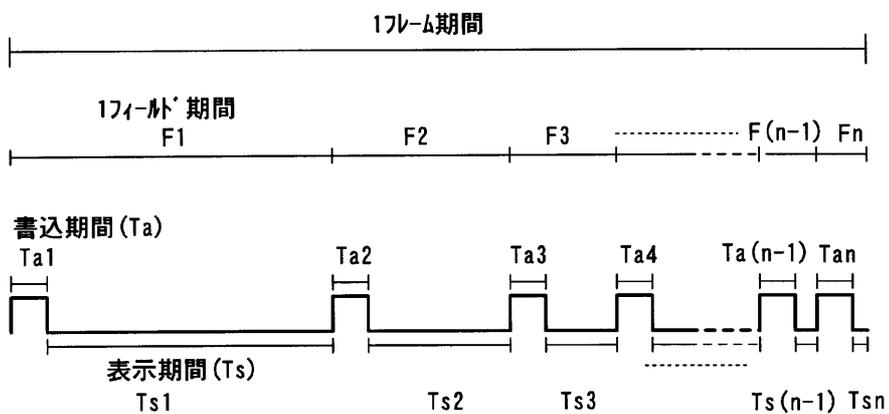


- 11: 基板
- 12: 下地膜
- 13: p-TFT領域
- 14: n-TFT領域
- 15a~15d: LDD領域
- 16: 分離領域
- 17a, 17b: 昇形形成領域
- 18: ゲート絶縁膜
- 19a, 19b: ゲート電極
- 20: 第1層間絶縁膜
- 21: p-TFT領域
- 22: p-TFT領域
- 23: n-TFT領域
- 24: n-TFT領域
- 25: LDD領域
- 26: 昇形形成領域
- 27: p-TFT領域
- 28: n-TFT領域
- 29: 第2層間絶縁膜
- 30: p-TFT領域
- 31: n-TFT領域
- 32: p-TFT領域
- 33: n-TFT領域
- 34: p-TFT領域
- 35: n-TFT領域
- 36: p-TFT領域
- 37: LDD領域
- 38: 昇形形成領域
- 39: ゲート電極
- 40: p-TFT領域
- 41: n-TFT領域
- 42: 昇形形成領域
- 43: ゲート電極
- 44: 第3層間絶縁膜
- 45: EL層
- 46: p-TFT領域
- 47: n-TFT領域
- 48: 第1層間絶縁膜
- 49: 画素電極 (陽極)
- 50: 保護電極
- 51: EL層
- 52: 陰極
- 53: 保護電極
- 54: 第2層間絶縁膜

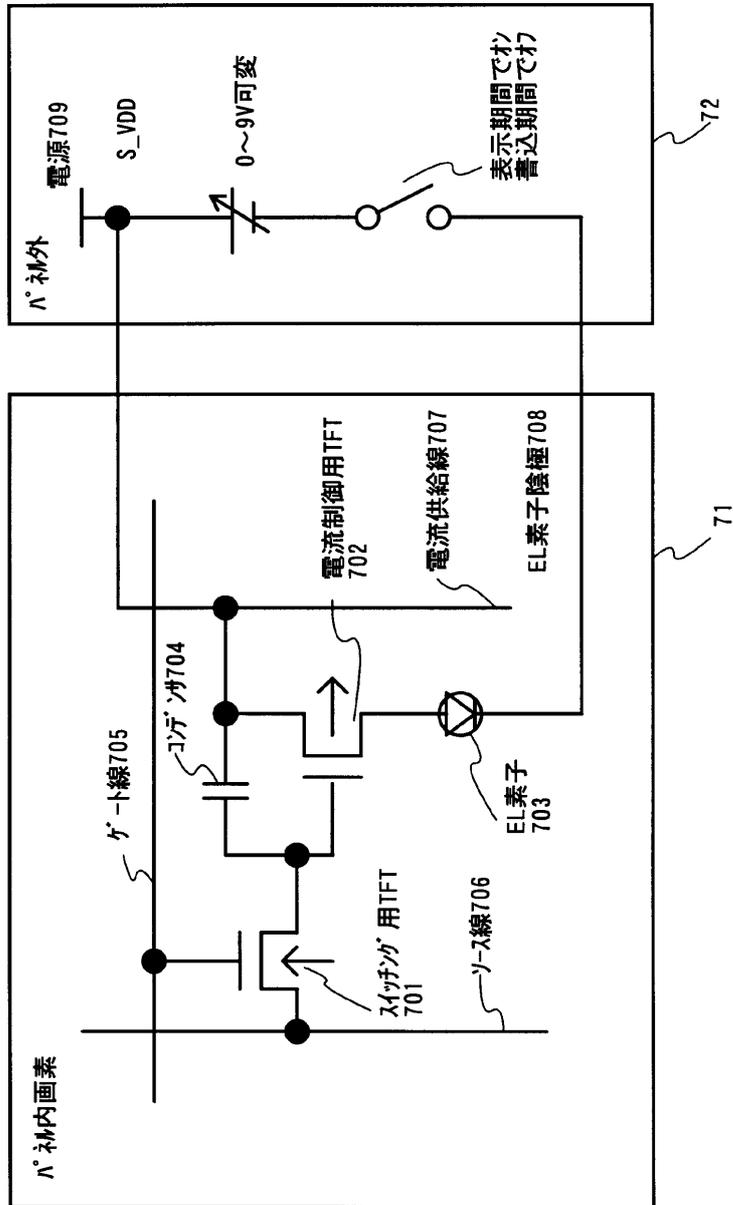
【図5】



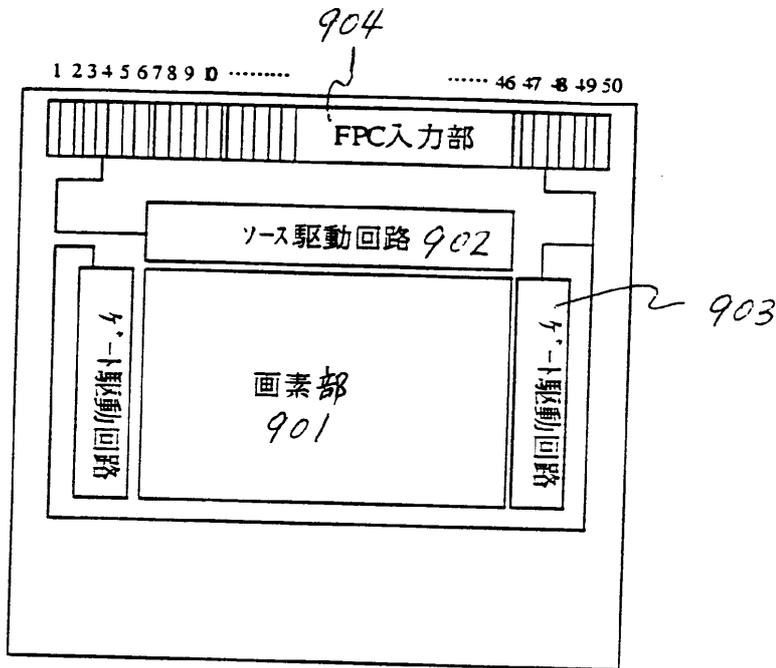
【図8】



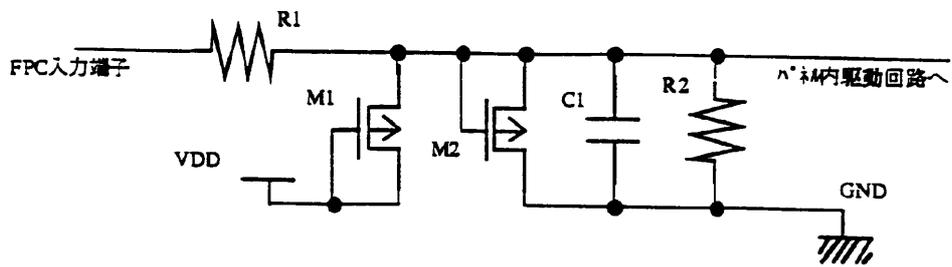
【図7】



【図9】



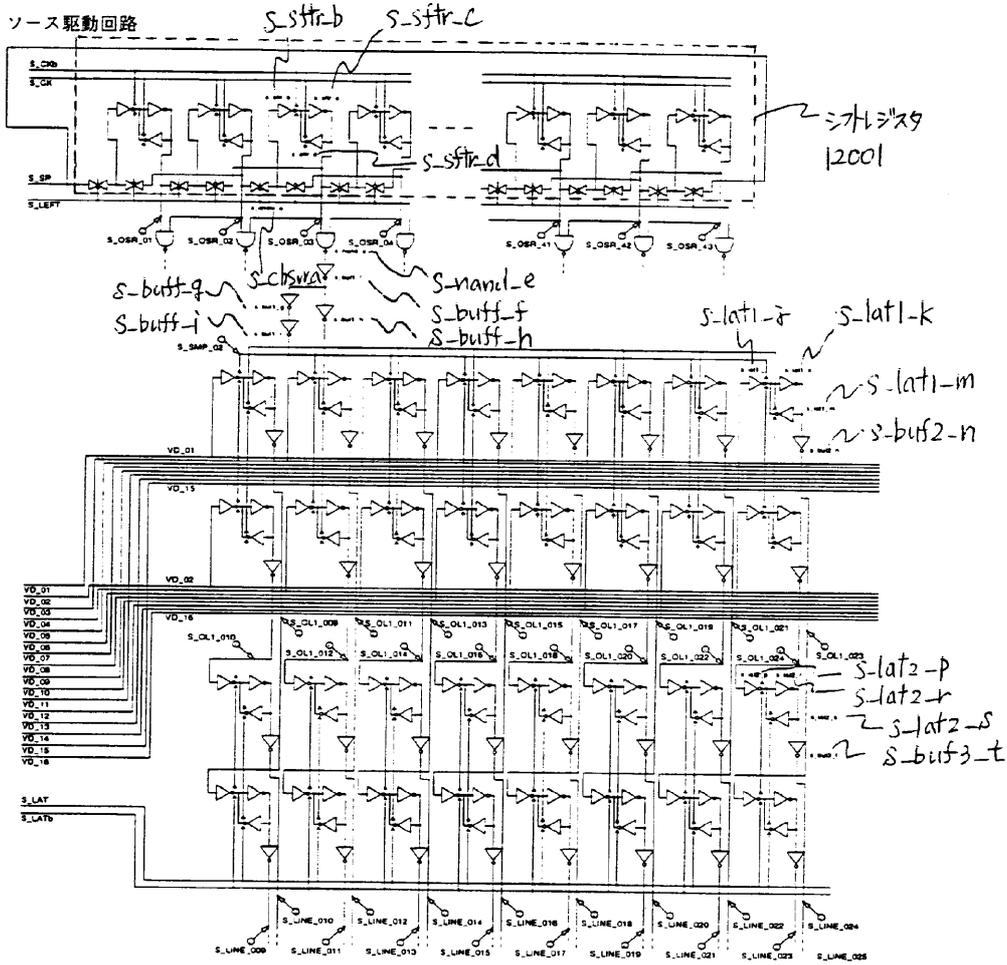
【図10】



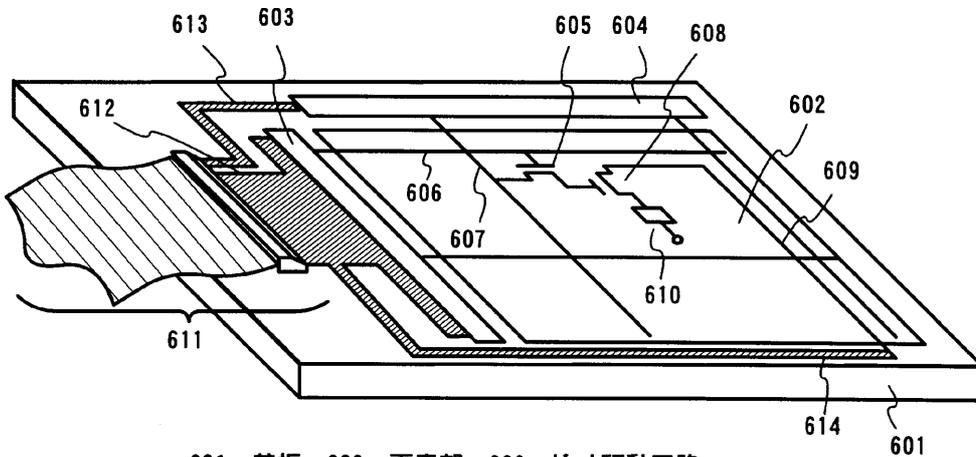
M1,M2 ; L=12W,W=35×2 [μm]  
 C1 ; S=0.14×0.14 [mm<sup>2</sup>] (GTa-Al間)  
 R1 ; L=800,W=10 [μm] (Al) 、 R2 ; L=591,W=3 [μm] (LDDSi)



【図12】

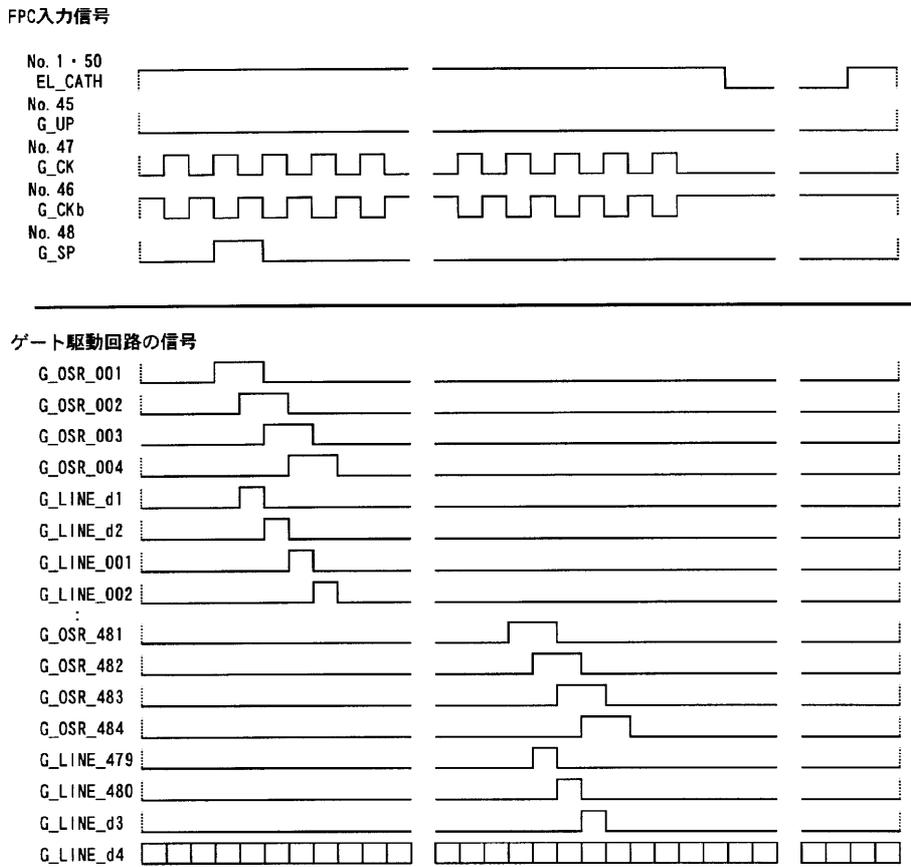


【図21】

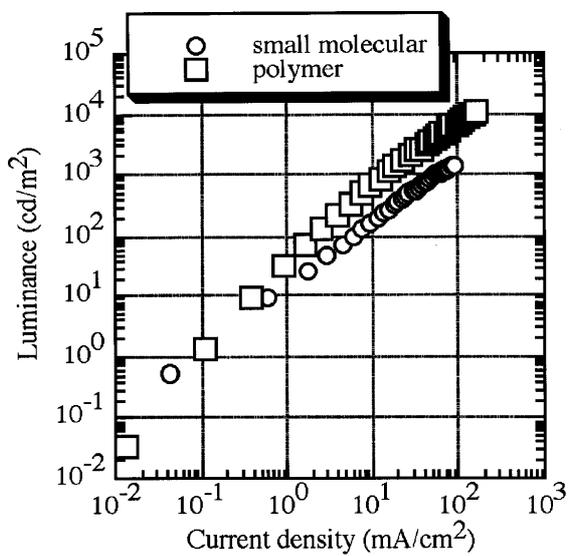


- 601: 基板 602: 画素部 603: ゲート駆動回路
- 604: ソース駆動回路 605: スイッチング用TFT
- 606: ゲート配線 607: データ配線 608: 電流制御用TFT
- 609: 電流供給線 610: EL素子 611: FPC
- 612~614: 入出力配線

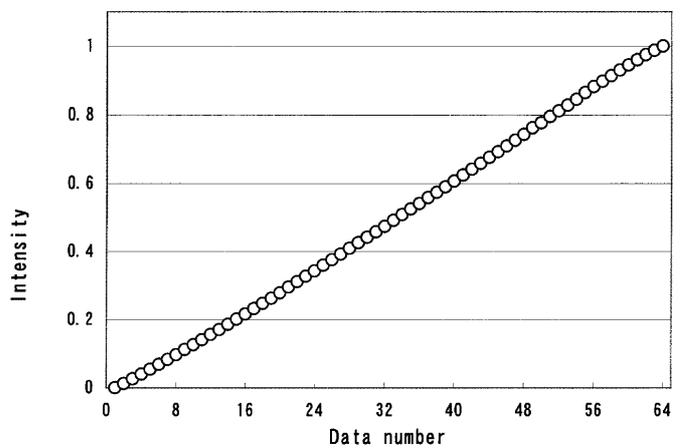
【図13】



【図29】

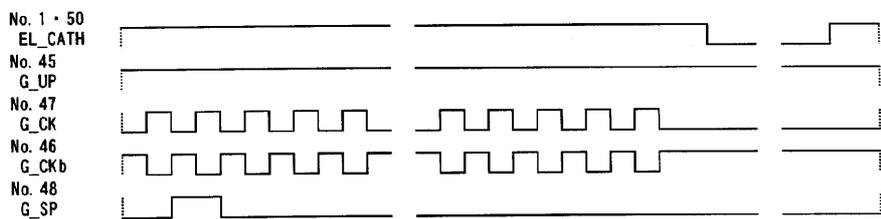


【図33】

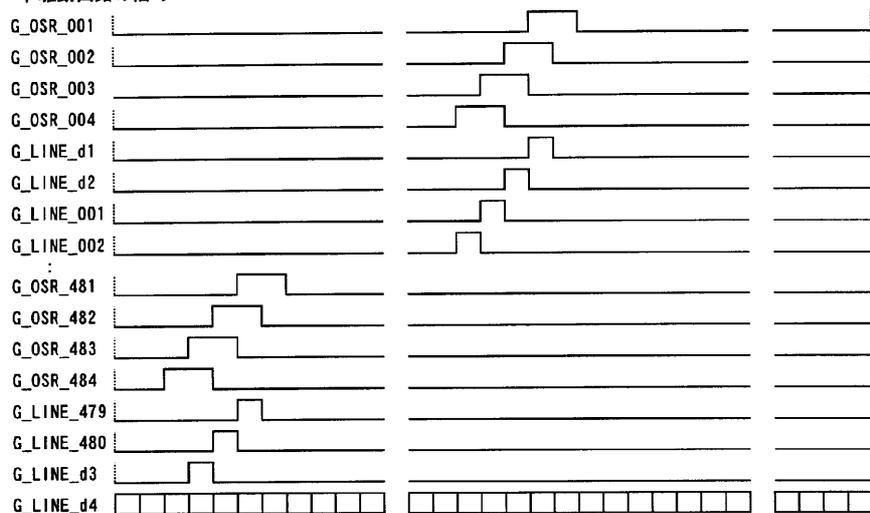


【図14】

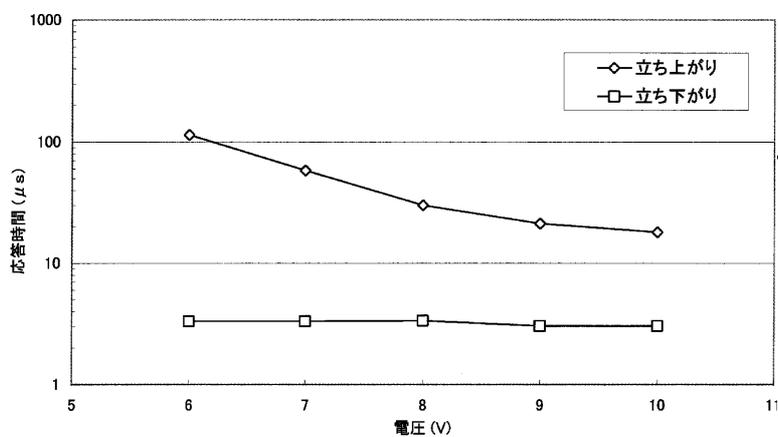
FPC入力信号



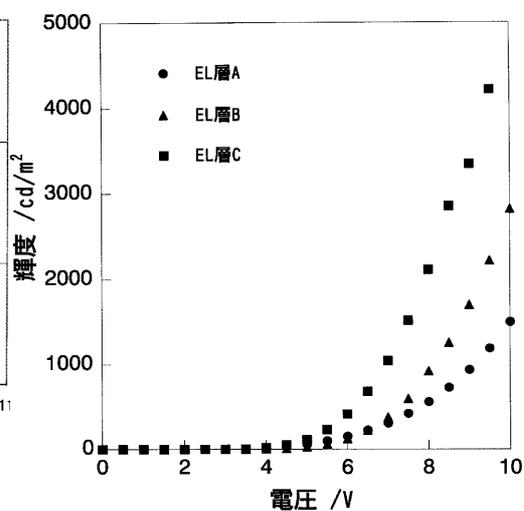
ゲート駆動回路の信号



【図32】

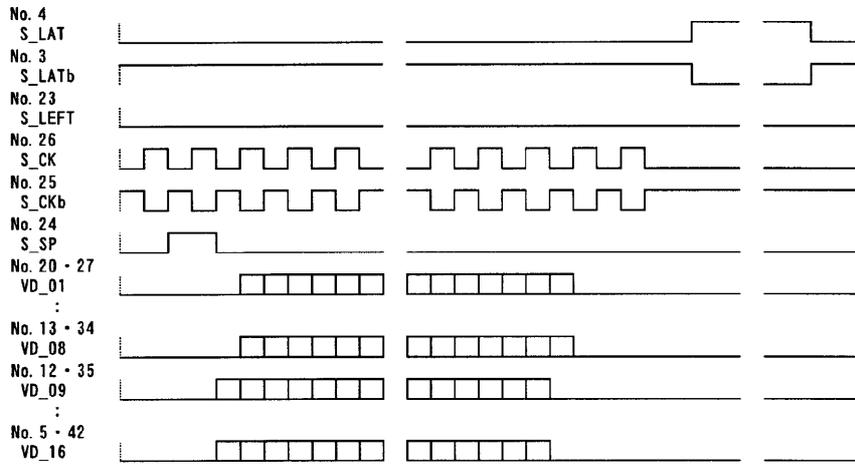


【図35】

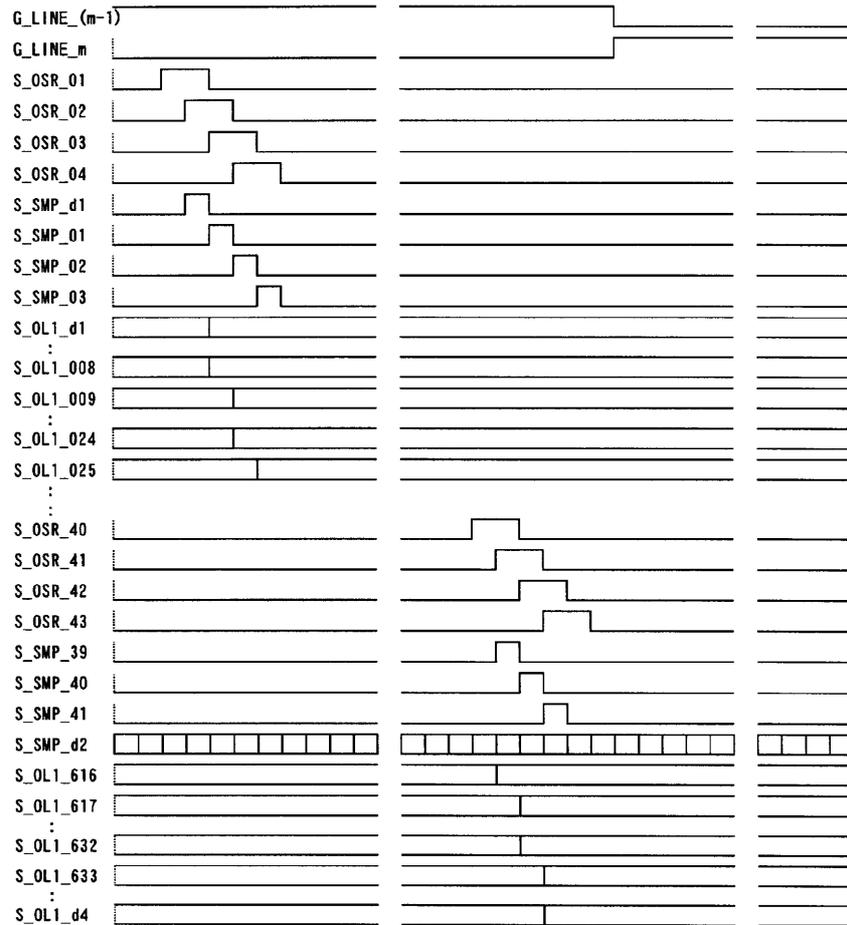


【図15】

FPC入力信号

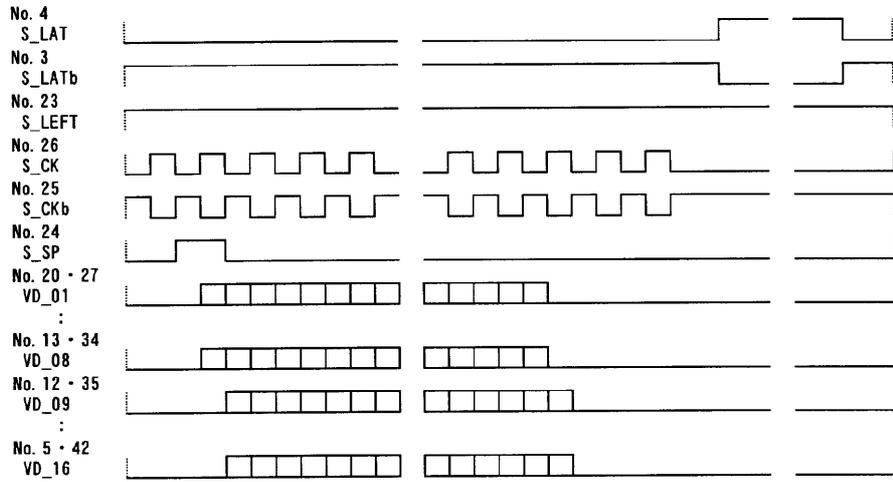


ゲートおよびソース駆動回路の信号

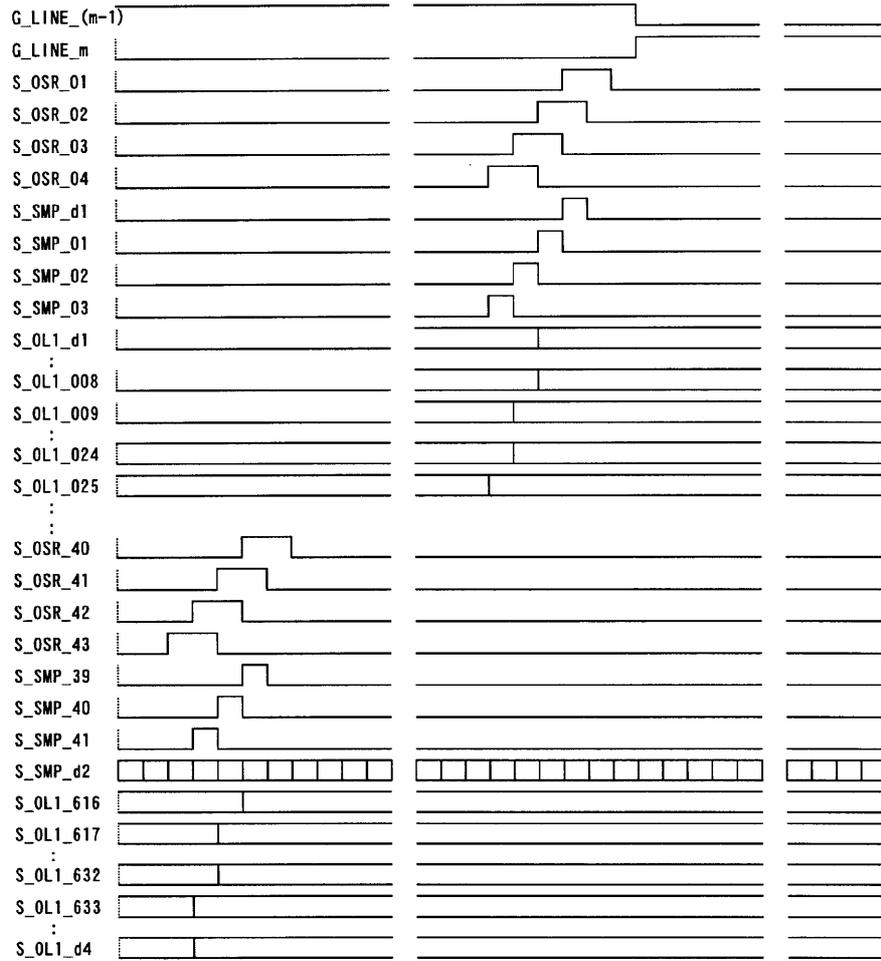


【図16】

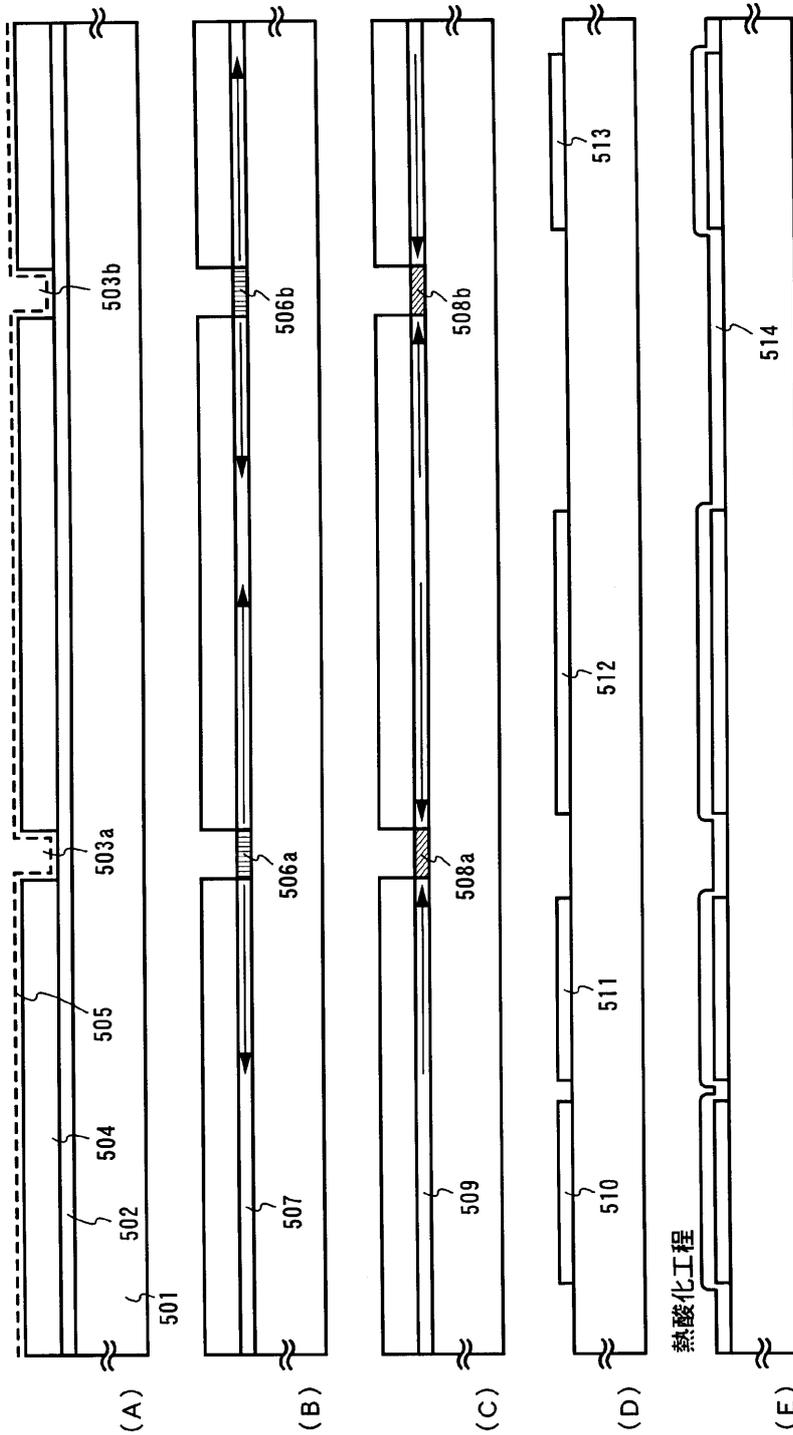
FPC入力信号



ゲートおよびソース駆動回路の信号

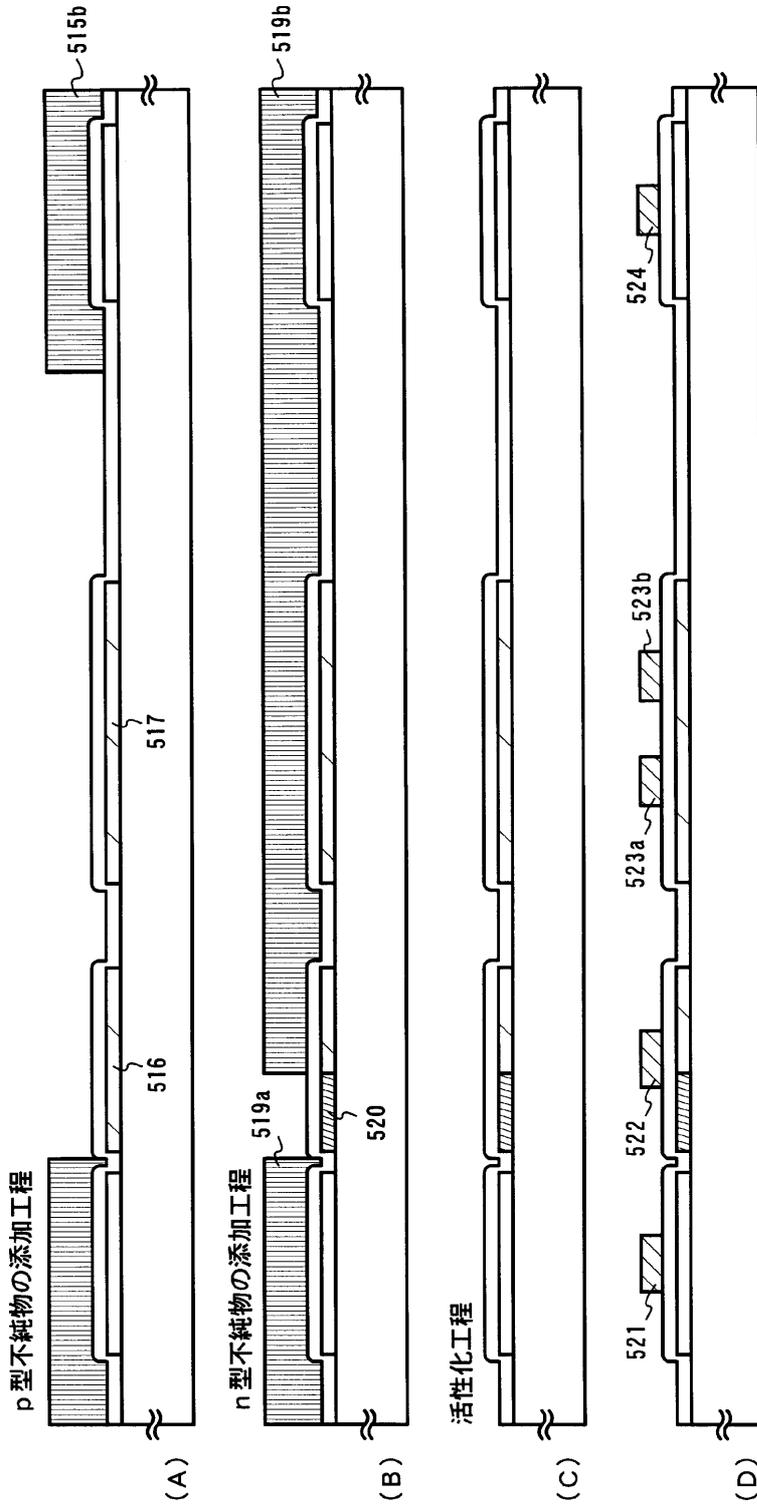


【図17】



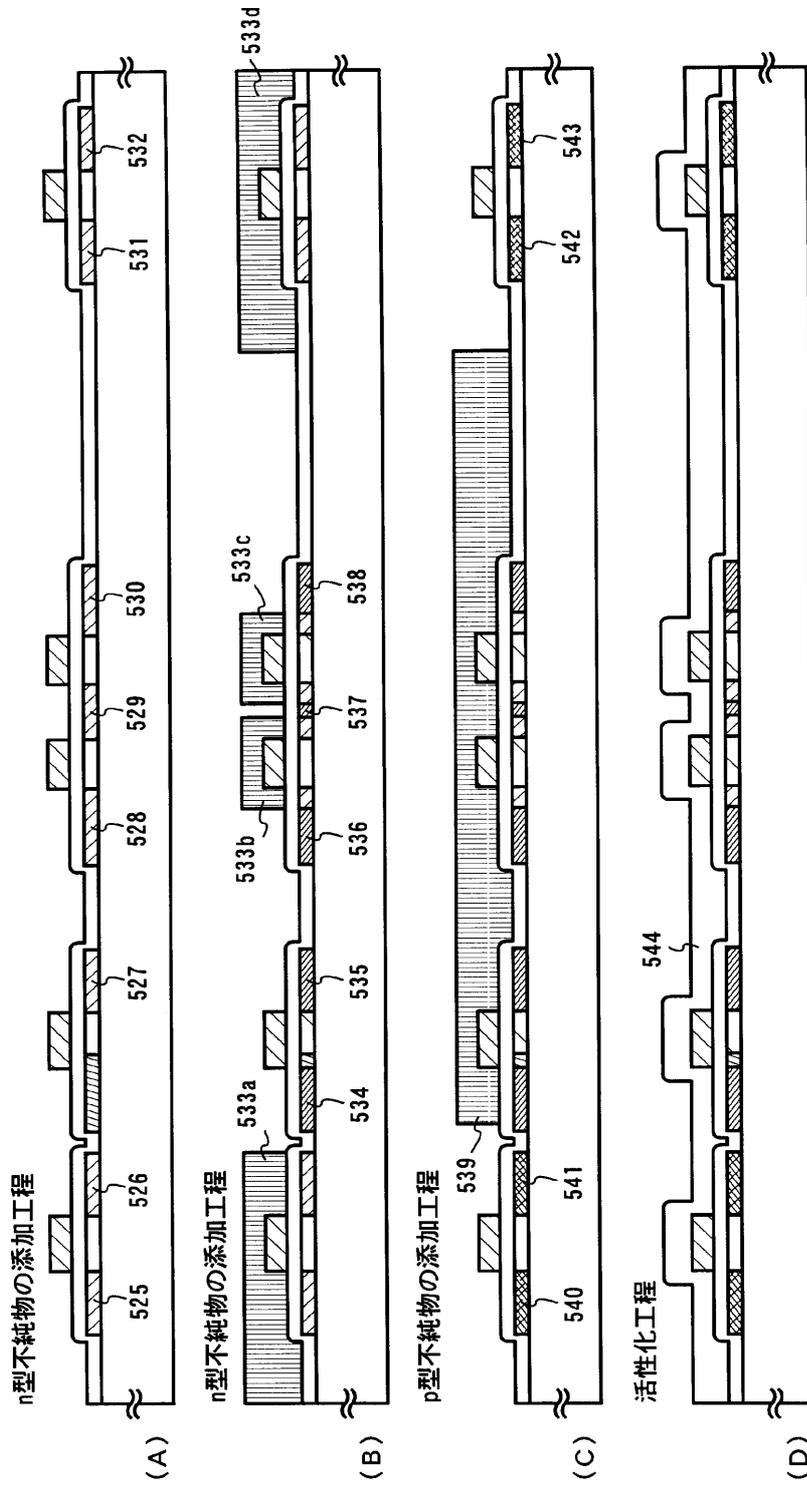
501: 石英基板 502: Ti/TiN膜 503a, 503b: 開口部 504: 保護膜 505: Ni含有層  
 506a, 506b: Ni添加領域 507: Ti/TiN膜 508a, 508b: Ti添加領域 509: Ti/TiN膜  
 510~513: 活性層 514: Si-絶縁膜

【図18】



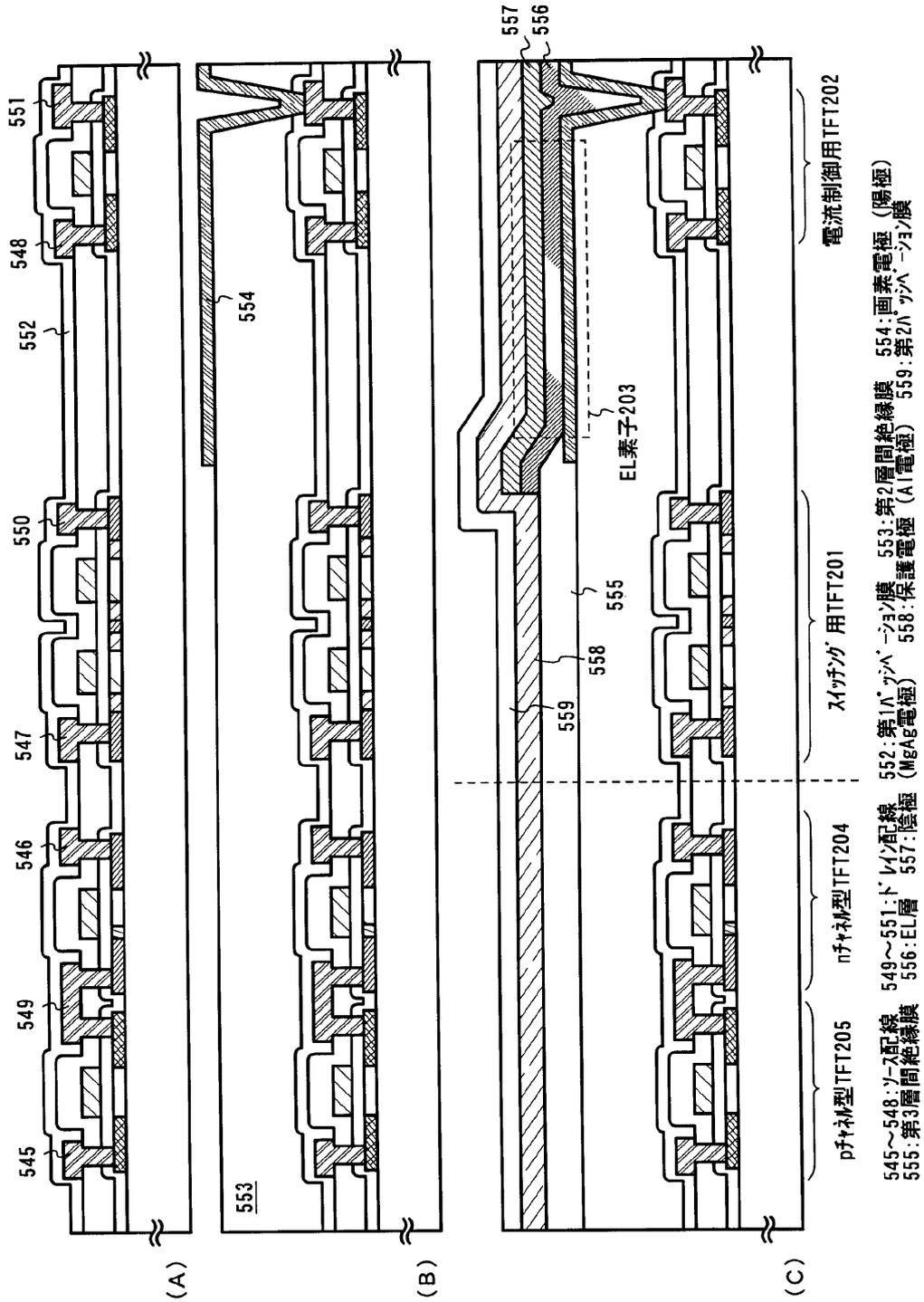
515a, 515b, 519a, 519b:  $V_{2O_5}$  ストック 516~517: p型不純物領域 520: n型不純物領域  
 521~524: ゲート電極

【図19】



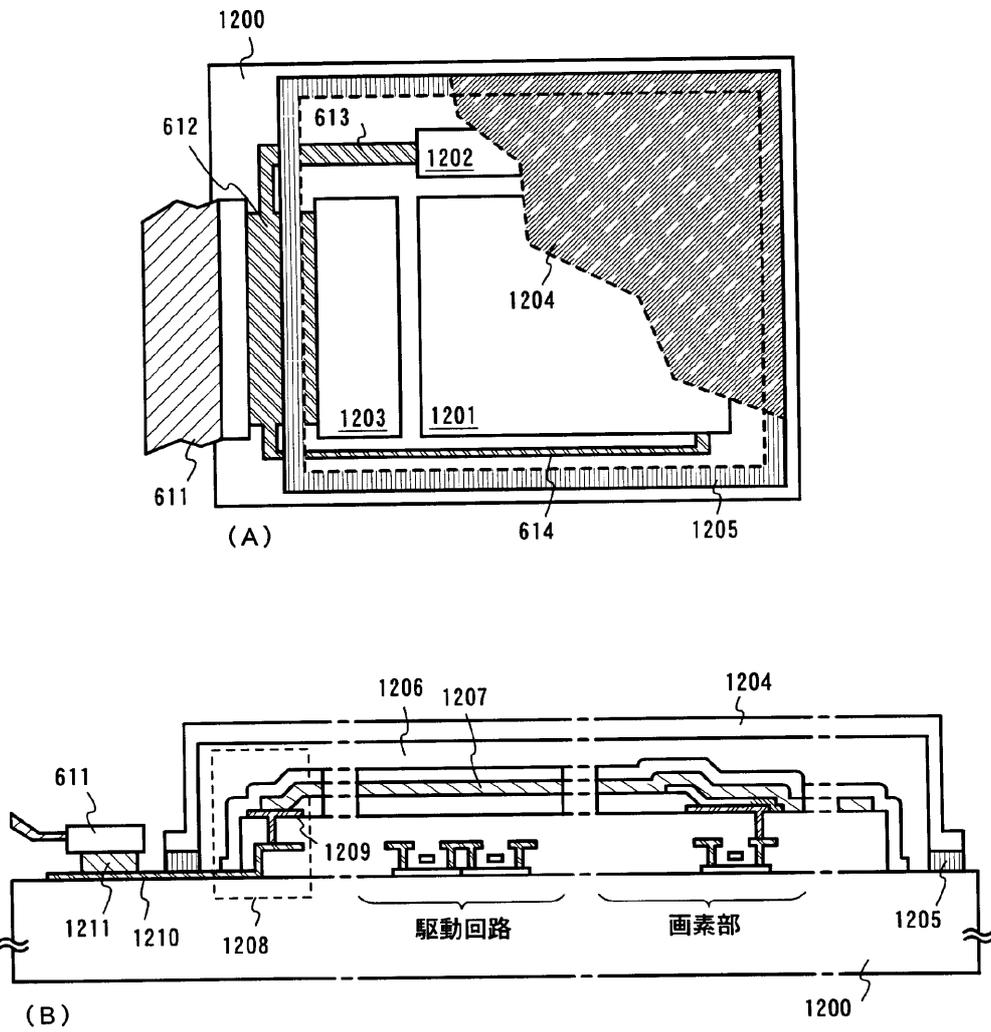
525~532: n型不純物領域  
 533a~533d, 539: n型不純物領域  
 534~538: p型不純物領域  
 540~543: p型不純物領域  
 544: 第1層間絶縁膜

【図20】

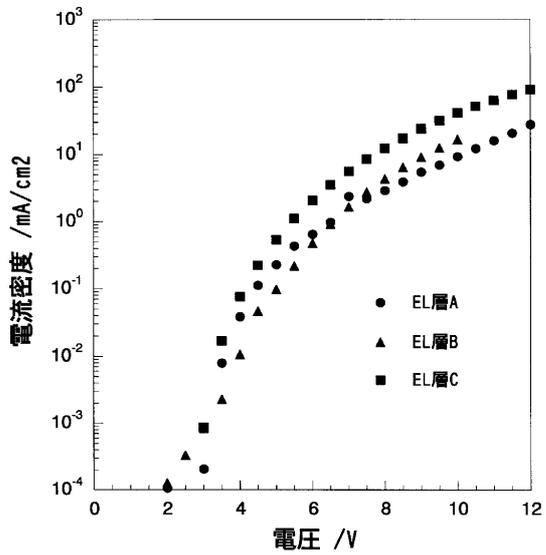


545~548: γ-配線 549~551: トリプル配線 552: 第2層間絶縁膜 553: 第2層間絶縁膜 554: 画素電極 (陽極)  
 555: 第3層間絶縁膜 556: EL層 557: 陰極 (MgAg電極) 558: 保護電極 (Al電極) 559: 第2ハットパッド膜

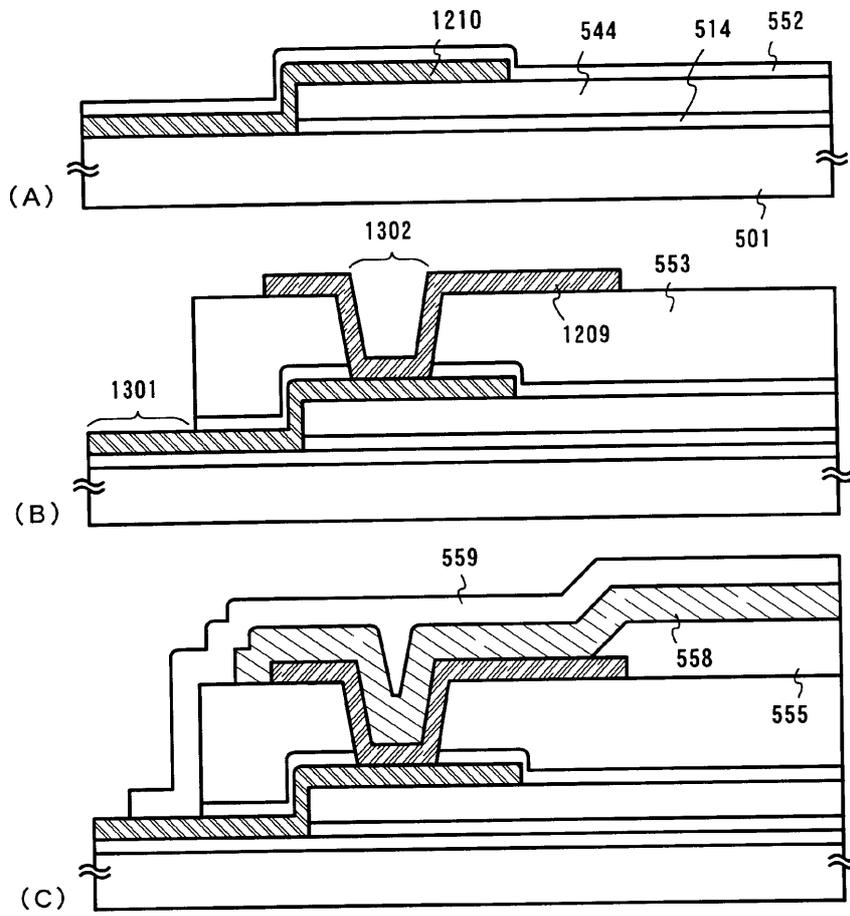
【図22】



【図34】

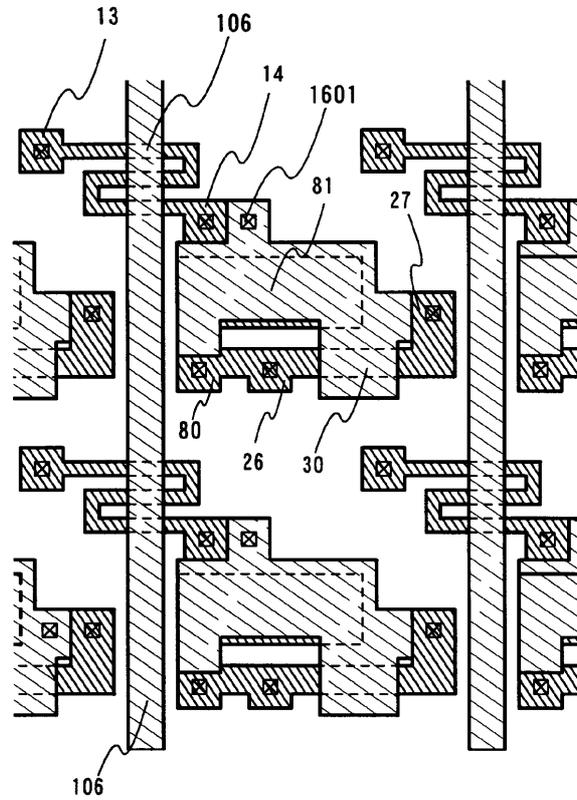


【図23】

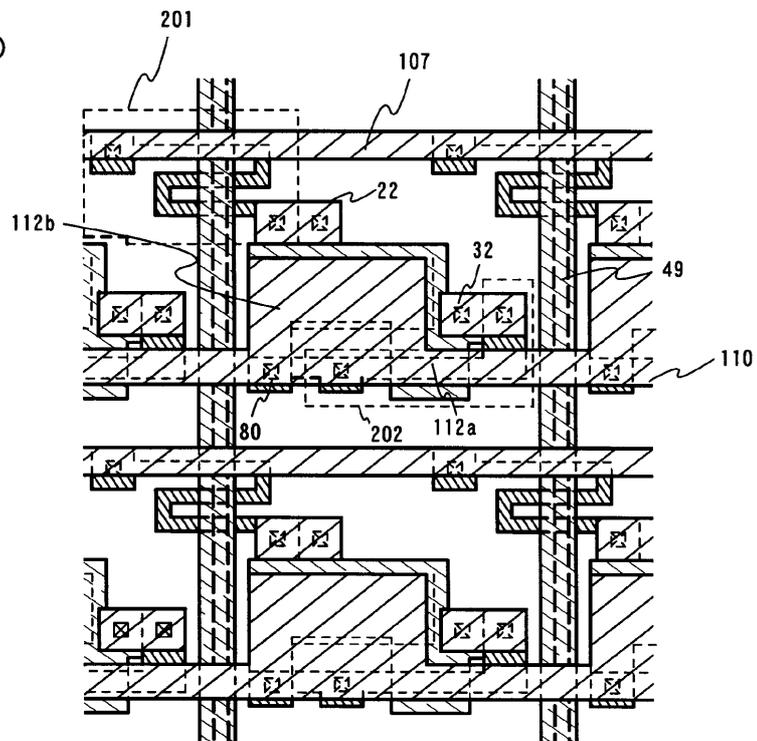


【図24】

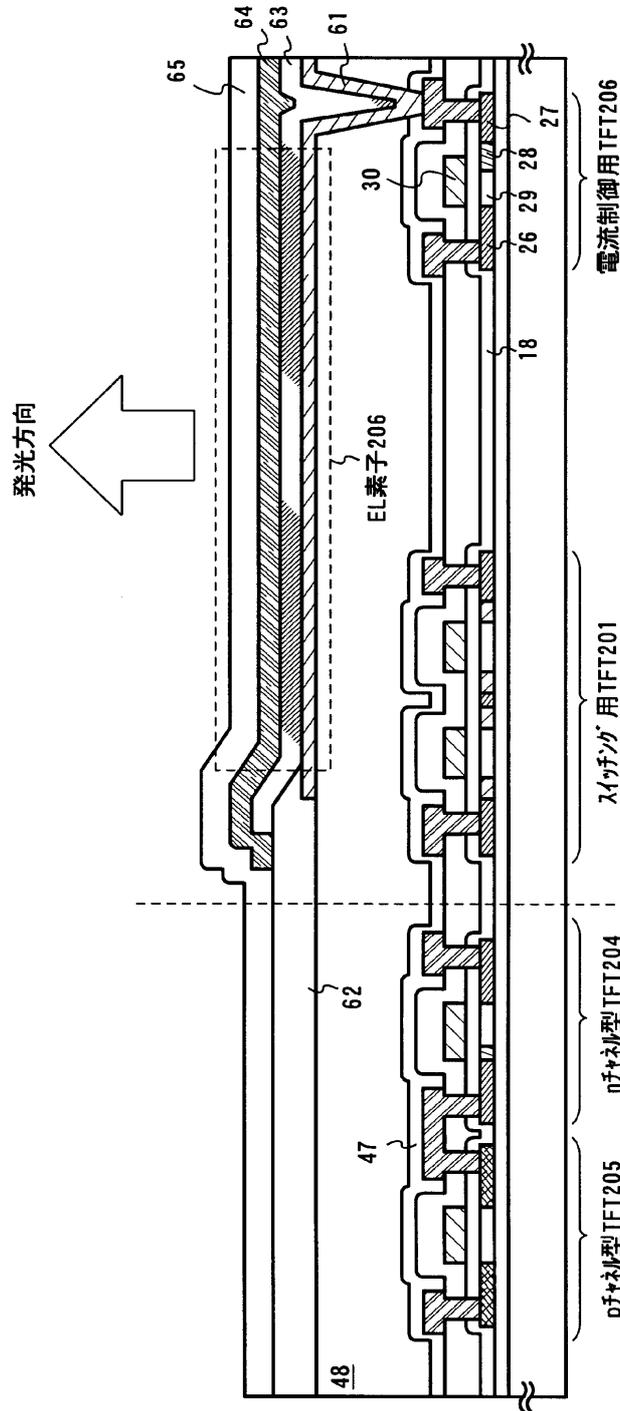
(A)



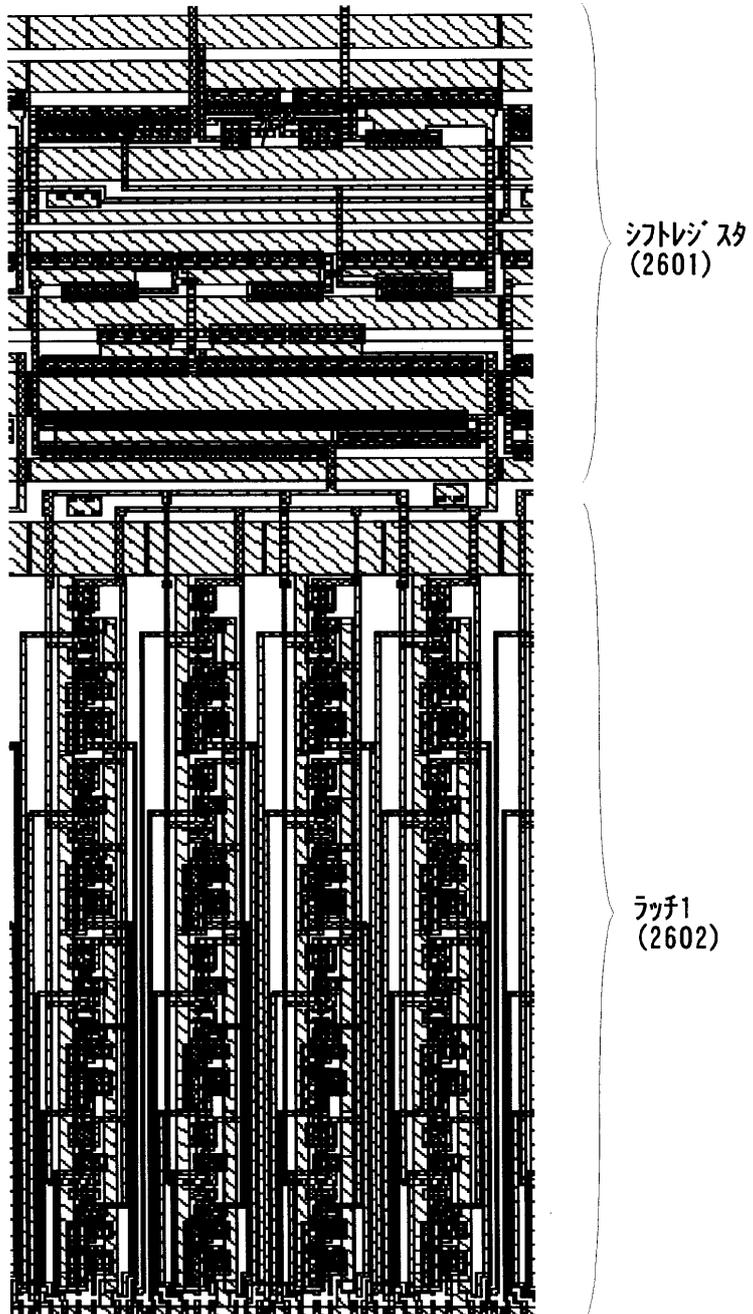
(B)



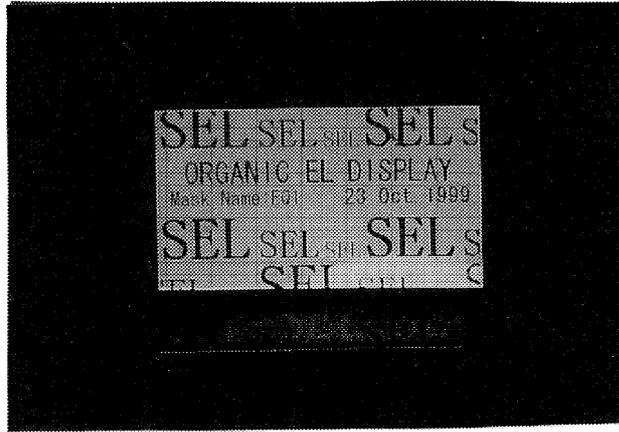
【図25】



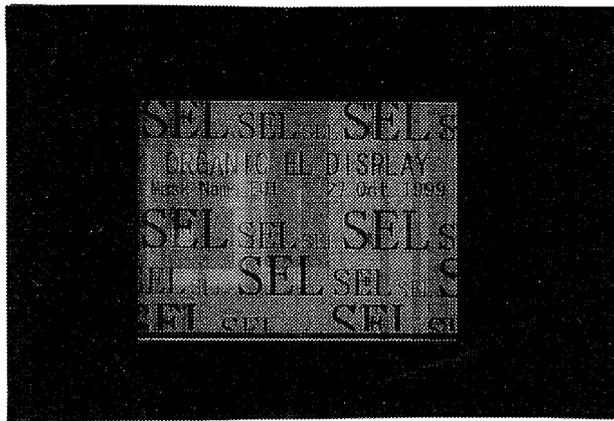
【図26】



【図27】

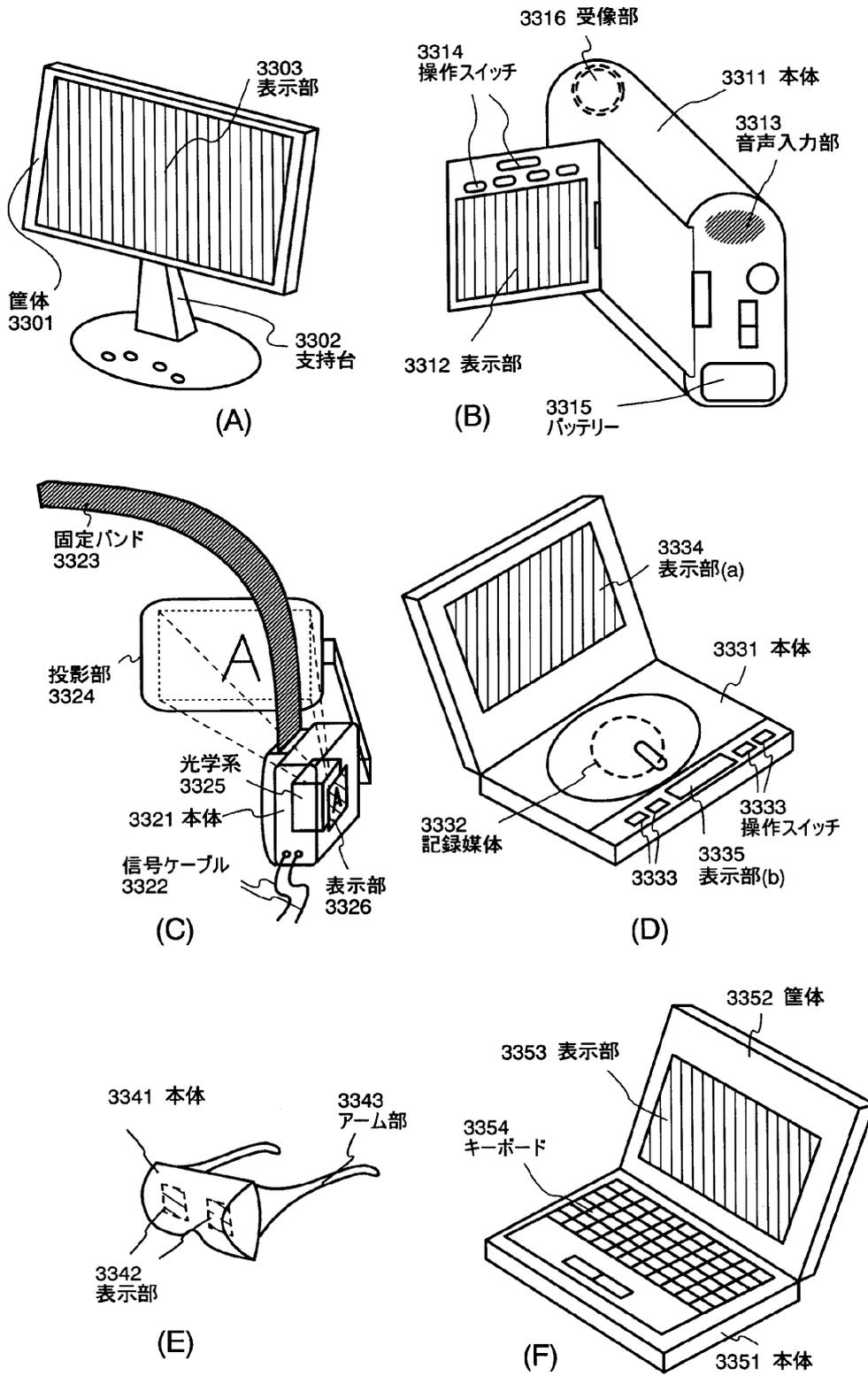


(A)

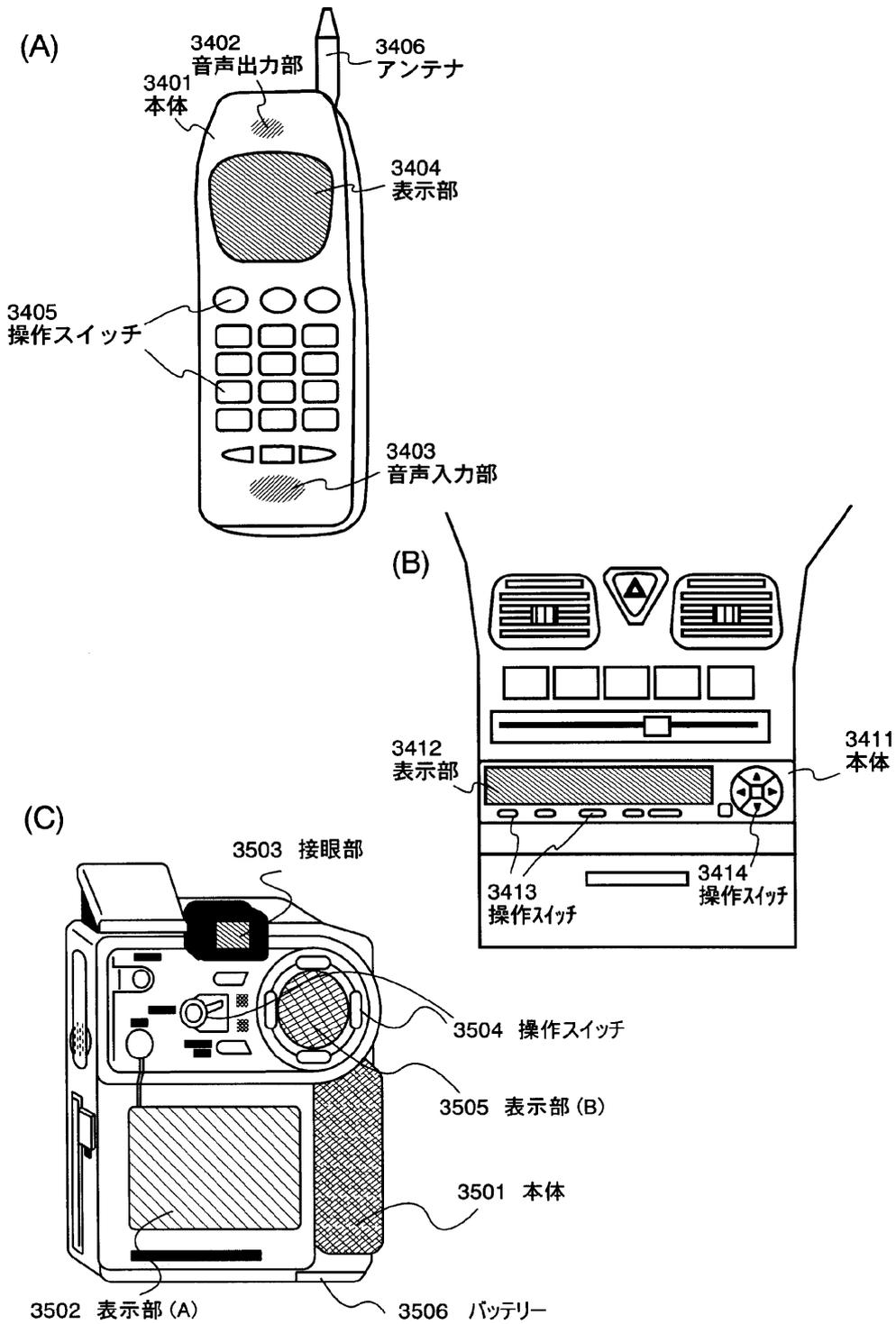


(B)

【図30】



【図31】



## フロントページの続き

Fターム(参考) 3K007 AB04 AB17 BA06 CA01 CB01  
DA01 DB03 EB00 GA04  
5C080 AA06 BB05 CC03 CC10 DD05  
DD07 FF07 FF09 JJ01 JJ02  
JJ03 JJ05 JJ06 KK02 KK43  
5C094 AA07 AA08 AA42 AA53 AA56  
BA03 BA12 BA27 CA19 CA24  
DA09 DA13 DB01 DB04 EA04  
EA05 EA10 EB02 FB01 FB12  
FB14 FB15 GA10

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | EL显示装置和电器  |         |            |
| 公开(公告)号        | <a href="#">JP2001222240A</a>  | 公开(公告)日 | 2001-08-17 |
| 申请号            | JP2000302979   | 申请日     | 2000-10-02 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所   |         |            |
| 申请(专利权)人(译)    | 半导体能源研究所有限公司   |         |            |
| [标]发明人         | 犬飼和隆<br>小山潤  |         |            |
| 发明人            | 犬飼 和隆<br>小山 潤  |         |            |
| IPC分类号         | H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L21/77 H01L27/32 H01L29/786 H04M1/22 H05B33/00 H05B33/14  |         |            |
| CPC分类号         | H01L27/1214 G09G3/2011 G09G3/2018 G09G3/2022 G09G3/30 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291 G09G2300/0426 G09G2300/0465 G09G2300/0842 G09G2300/0847 G09G2300/0866 G09G2310/0283 G09G2320/0233 G09G2320/043 H01L27/1222 H01L27/3244 H01L27/3262 H01L29/78621 H01L29/78624 H01L29/78627 H01L29/78645 H04M1/22  |         |            |
| FI分类号          | G09F9/30.338 G09F9/30.365.Z G09G3/20.641.E G09G3/30.J H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 H01L27/32  |         |            |
| F-TERM分类号      | 3K007/AB04 3K007/AB17 3K007/BA06 3K007/CA01 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/CC10 5C080/DD05 5C080/DD07 5C080/FF07 5C080/FF09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK43 5C094/AA07 5C094/AA08 5C094/AA42 5C094/AA53 5C094/AA56 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA10 5C094/EB02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC02 3K107/CC33 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AB41 5C380/AB43 5C380/AB45 5C380/AB47 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA05 5C380/BA10 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BA43 5C380/BA46 5C380/BB02 5C380/BB06 5C380/BB23 5C380/BD05 5C380/BD10 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA10 5C380/CA14 5C380/CA17 5C380/CA22 5C380/CA23 5C380/CA26 5C380/CA48 5C380/CB01 5C380/CB12 5C380/CB14 5C380/CB26 5C380/CB30 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CE02 5C380/CE08 5C380/CE09 5C380/CF07 5C380/CF08 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF32 5C380/CF41 5C380/CF43 5C380/CF46 5C380/CF49 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA16 5C380/DA19 5C380/DA27 5C380/DA32 5C380/DA33 5C380/DA41 5C380/DA42 5C380/FA06 5C380/GA14 5C380/HA02 5C380/HA12 5C380/HA13 |         |            |
| 优先权            | 1999338845 1999-11-29 JP   |         |            |
| 其他公开文献         | JP2001222240A5<br>JP4727029B2  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |
| 摘要(译)          |  |         |            |

解决的问题：提供一种能够进行生动的多灰度彩色显示的EL显示装置以及具备该EL显示装置的电气设备。类型：A1通过时分驱动方法执行灰度显示，其中通过时间控制设置在像素104中的EL元件109的发光和不发光，并防止了由于电流控制TFT 108的特性变化引起的影响。

