

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/087460

発行日 平成29年3月16日(2017.3.16)

(43) 国際公開日 平成27年6月18日(2015.6.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3266 (2016.01)	G09G 3/3266	3K107
G09G 3/3225 (2016.01)	G09G 3/3225	5C080
G09G 3/20 (2006.01)	G09G 3/20 622B	5C380
H01L 51/50 (2006.01)	G09G 3/20 611F	
H05B 33/06 (2006.01)	G09G 3/20 641D	
審査請求 有 予備審査請求 未請求 (全 22 頁) 最終頁に続く		

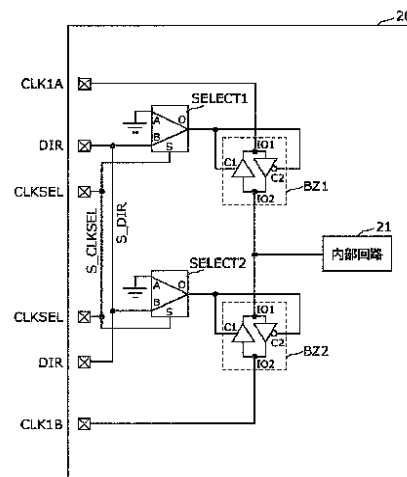
出願番号	特願2015-552283 (P2015-552283)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2014/002069		株式会社 J O L E D
(22) 国際出願日	平成26年4月10日 (2014.4.10)		東京都千代田区神田錦町三丁目23番地
(11) 特許番号	特許第6086336号 (P6086336)	(74) 代理人	100189430
(45) 特許公報発行日	平成29年3月1日 (2017.3.1)		弁理士 吉川 修一
(31) 優先権主張番号	特願2013-254556 (P2013-254556)	(74) 代理人	100190805
(32) 優先日	平成25年12月9日 (2013.12.9)		弁理士 傍島 正朗
(33) 優先権主張国	日本国 (JP)	(72) 発明者	中川 博文
			日本国東京都千代田区神田錦町三丁目23番地 株式会社 J O L E D 内
		(72) 発明者	高原 博司
			日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC45 DD38 EE03 EE58
			最終頁に続く

(54) 【発明の名称】 画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機ELディスプレイ

(57) 【要約】

本願発明は、汎用性のより高いゲート駆動用集積回路、及び、それを用いた画像表示装置を提供することを目的とする。

ゲート駆動用集積回路であって、クロック端子（CLK1A，CLK1B）と、クロック端子の間に配置され、クロック信号の入出力方向を制御する双方向バッファ（BZ1，BZ2）と、接続モード制御信号（S_CLKSEL）を受け付ける接続モード制御端子（CLKSEL）と、信号方向制御信号（S_DIR）を受け付ける1対の信号方向制御端子（DIR）とを備え、接続モード制御信号の論理状態が第一論理状態の場合に、双方向バッファによりクロック信号の入出力方向を一方に固定し、接続モード制御信号の論理状態が第二論理状態とは異なる第二論理状態の場合に、双方向バッファにより、クロック信号の入出力方向を信号方向制御信号の論理状態に応じて切り替えることを特徴としたゲート駆動用集積回路。



21 Internal circuit

【特許請求の範囲】**【請求項 1】**

所定の信号が入力または出力される 1 対の信号端子と、
前記 1 対の信号端子の間に配置されたバッファを含む信号方向制御回路であって、前記所定の信号の入出力方向を制御する前記信号方向制御回路と、
接続モード制御信号を受け付ける接続モード制御端子と、
信号方向制御信号を受け付ける 1 対の信号方向制御端子とを備え、
前記信号方向制御回路は、前記接続モード制御信号の論理状態が第一論理状態の場合に、前記所定の信号の入出力方向を一方に固定し、前記接続モード制御信号の論理状態が前記第一論理状態とは異なる第二論理状態の場合に、前記所定の信号の入出力方向を前記信号方向制御信号の論理状態に応じて切り替える、
画像表示装置に用いられるゲート駆動用集積回路。

【請求項 2】

前記信号方向制御回路は、
前記接続モード制御信号の論理状態が前記第二論理状態の場合において、
前記信号方向制御信号の論理状態が第三論理状態のときは、前記所定の信号の入出力方向を第一方向に設定し、
前記信号方向制御信号の論理状態が前記第三論理状態とは異なる第四論理状態のときは、前記所定の信号の入出力方向を前記第一方向とは異なる第二方向に設定する、
請求項 1 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 3】

前記 1 対の信号端子の間に、前記 1 対の信号方向制御端子および前記接続モード制御端子が配置される、
請求項 1 または 2 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 4】

前記 1 対の信号方向制御端子の間に、前記接続モード制御端子が配置される、
請求項 3 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 5】

前記所定の信号は、複数の信号を含み、
前記複数の信号には、発光素子を含む画素回路に含まれる複数のトランジスタのゲート端子に出力する複数のゲート信号が含まれ、
前記 1 対の信号端子および前記バッファは、前記複数の信号のそれぞれに対して設けられる、
請求項 1 ～ 4 の何れか 1 項に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 6】

前記複数の信号には、クロック信号が含まれる、
請求項 5 に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 7】

前記信号方向制御回路の前記バッファは、制御入力付き双方向バッファであり、
前記接続モード制御信号の論理状態が前記第一論理状態の場合は、前記制御入力に固定されたレベルの信号が入力され、
前記接続モード制御信号の論理状態が前記第二論理状態の場合は、前記制御入力に前記信号方向制御信号が入力される、
請求項 1 ～ 6 の何れか 1 項に記載の画像表示装置に用いられるゲート駆動用集積回路。

【請求項 8】

発光素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、
請求項 1 に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルと、
プリント基板とを備え、

10

20

30

40

50

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に１列に並んで配置され、

前記複数のフレキシブルケーブルのそれぞれは、一端が前記画像表示装置用基板の一辺に、他端が前記プリント基板に接続され、

前記複数のフレキシブルケーブルでは、前記１対の信号端子のうち的一方が、前記プリント基板に形成された配線に接続され、

前記複数のフレキシブルケーブルでは、前記接続モード制御端子に前記第一論理状態の前記接続モード制御信号が入力されている、

画像表示装置。

【請求項９】

発光素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、

請求項１に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルとを備え、

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に１列に並んで配置され、

前記複数のフレキシブルケーブルのそれぞれは、前記１対の信号端子のうち的一方が、隣接するフレキシブルケーブルの前記１対の信号端子のうち他方に接続され、

前記複数のフレキシブルケーブルでは、前記接続モード制御端子に前記第二論理状態の前記接続モード制御信号が入力されている、

画像表示装置。

【請求項１０】

有機ＥＬ（Electro Luminescence）素子および複数のトランジスタを含む複数の画素回路が形成された画像表示装置用基板と、

請求項１に記載の画像表示装置に用いられるゲート駆動用集積回路を搭載した複数のフレキシブルケーブルとを備え、

前記複数のフレキシブルケーブルは、前記画像表示装置用基板の一辺に１列に並んで接続されている、

有機ＥＬディスプレイ。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示は、画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機ＥＬ（Electro Luminescence）ディスプレイに関する。

【背景技術】

【０００２】

近年、ＥＬ（Electro Luminescence）素子を有する画素回路を行列状に配置した画像表示パネル、およびそれを用いた画像表示装置（以下、適宜「有機ＥＬディスプレイ」と称する）が商品化されている。

【０００３】

ＥＬ素子は、アノード電極およびカソード電極間に形成された発光層に電流を流すことにより発光する。画素回路のそれぞれには複数のトランジスタが形成されている。また、画像表示パネルには、画素回路のそれぞれのトランジスタを制御するための複数種類のゲート信号線が形成されている。

【０００４】

ゲート信号線は、ゲート信号線を駆動するゲート駆動用集積回路（以下、適宜「ゲートドライバＩＣ」と称する）を含むＣＯＦ（Chip On Film）に接続されている。ＣＯＦは、ＴＣＯＮ（タイミングコントローラ）からの指示に応じて、所定の電源からの電圧を用いてゲート信号線用電圧を生成し、ゲート信号線に印加する。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0005】

【特許文献1】特開2007-188078号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、有機ELディスプレイでは、製造コストの観点から、有機ELディスプレイを構成する部品であるゲート駆動用集積回路の汎用性の向上が望まれている。

【0007】

本開示は上述の課題を解決するためになされたものであり、製造コストを削減可能な画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機ELディスプレイを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本開示の一態様に係る画像表示装置に用いられるゲート駆動用集積回路は、所定の信号が入力または出力される1対の信号端子と、前記1対の信号端子の間に配置されたバッファを含む信号方向制御回路であって、前記所定の信号の入出力方向を制御する前記信号方向制御回路と、接続モード制御信号を受け付ける接続モード制御端子と、信号方向制御信号を受け付ける1対の信号方向制御端子とを備え、前記信号方向制御回路は、前記接続モード制御信号の論理状態が第一論理状態の場合に、前記所定の信号の入出力方向を一方に固定し、前記接続モード制御信号の論理状態が前記第一論理状態とは異なる第二論理状態の場合に、前記所定の信号の入出力方向を前記信号方向制御信号の論理状態に応じて切り替える。

【発明の効果】

【0009】

本開示における画像表示装置に用いられるゲート駆動用集積回路、画像表示装置、および、有機EL(Electro Luminescence)ディスプレイは、製造コストの低減を図ることができる。

【図面の簡単な説明】

【0010】

【図1A】図1Aは、有機ELディスプレイの構成(一部)の一例を示す図である。

【図1B】図1Bは、有機ELディスプレイの構成(一部)の他の一例を示す図である。

【図2A】図2Aは、比較例におけるカスケード接続に対応したゲートドライバICの一例を示す図である。

【図2B】図2Bは、比較例におけるマルチドロップ接続に対応したゲートドライバICの一例を示す図である。

【図3】図3は、実施の形態におけるゲートドライバICの構成の一例を示す回路図である。

【図4】図4は、実施の形態におけるゲートドライバICを構成の一例を示す回路図である。

【図5】図5は、実施の形態におけるゲートドライバICの端子の配置例を示す図である。

【図6】図6は、実施の形態におけるゲートドライバICの仕様の一例を示す表である。

【図7】図7は、実施の形態におけるゲートドライバICの仕様の一例を示す表である。

【図8】図8は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図9】図9は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図10】図10は、実施の形態におけるゲートドライバICの接続例を示す回路図である。

【図11】図11は、実施の形態のゲートドライバICを用いた有機ELディスプレイの外観の一例を示す図である。

【発明を実施するための形態】

【0011】

(課題の詳細)

図1Aおよび図1Bは、有機ELディスプレイ10の構成の一例を示す図である。但し、図1Aおよび図1Bでは、筐体あるいはTCON等を除いた所謂表示モジュールの構成を示している。

【0012】

図1Aに示す有機ELディスプレイ10Aは、ガラス基板11と、有機ELパネル12と、複数のゲートドライバIC20Aと、複数のソースドライバ30と、PCB(Printed Circuit Board、プリント回路基板)41および42を備えている。

10

【0013】

有機ELパネル12は、マトリクス状に配置された複数の画素回路で構成されている。画素回路は、ガラス基板上に形成されている。また、画素回路は、発光素子であるEL素子と複数のトランジスタを含む。複数のトランジスタには、例えば、EL素子に駆動電流を供給する駆動トランジスタと、EL素子の選択および非選択を切り替える選択トランジスタが含まれる。

【0014】

ゲートドライバIC20Aは、ここでは、上述した複数のトランジスタのゲート端子に接続された複数のゲート信号線を駆動する集積回路を備えたCOFである。言い換えると、ゲートドライバIC20Aは、ゲート信号線のそれぞれに、ゲート信号線に接続されたトランジスタをON状態またはOFF状態にする電圧を与える集積回路を備えて構成される。ゲートドライバIC20Aは、ガラス基板11上に形成された複数のゲート信号線に接続されている。また、ここでのゲートドライバIC20Aは、有機ELパネルの両側に設けられ、両側から同時に信号線を駆動するように構成されている。

20

【0015】

ソースドライバ30は、画素回路に接続されたソース信号線に、画素値に応じた電圧を与える集積回路を備えて構成される。ソースドライバ30は、ガラス基板11上に形成された複数のソース信号線に接続されている。PCB41は、TCON(図示せず)からの信号をゲートドライバIC20Aに与える回路を備える。PCB41は、ゲートドライバIC20Aに接続されている。PCB42は、TCON(図示せず)からの信号をソースドライバ30に与える回路を備える。PCB42は、ソースドライバ30に接続されている。また、図1Aでは、2つのPCB42を備えている。

30

【0016】

なお、ゲートドライバIC20およびPCB40の数は、有機ELディスプレイの大きさに応じて設定される。

【0017】

図1Bに示す有機ELディスプレイ10Bは、ガラス基板11と、有機ELパネル12と、複数のゲートドライバIC20Bと、複数のソースドライバ30と、PCB42を備えている。なお、図1Aに示す有機ELディスプレイ10Aとは、PCB41を備えない点で異なっている。

40

【0018】

ここで、ゲートドライバIC20を接続する方法、例えば、クロック信号を供給するクロック信号線の配線方法には、例えば、(1)カスケード接続と、(2)マルチドロップ接続とがある。ゲートドライバICには、カスケード接続に対応したゲートドライバICと(例えば、特許文献1参照)、マルチドロップ接続に対応したゲートドライバICの2種類がある。

【0019】

(1)カスケード接続では、各COFが後段のCOFにクロック信号を受け渡すように構成される。このため、カスケード接続では、クロス配線の数、つまり、配線の交差数を

50

抑えるあるいは無くすることができる。その為、一層での配線が可能である。

【 0 0 2 0 】

カスケード接続は、例えば、図 1 B に示す有機 E L ディスプレイ 1 0 B のように、P C B を備えない有機 E L ディスプレイで用いられる。P C B を備えない場合、有機 E L ディスプレイの薄型化に有利である。より詳細には、P C B を備えない場合、C O F に入力するクロック信号を伝達するためのクロック配線は、有機 E L パネルを構成するガラス基板上に形成する必要がある。ガラス基板上では、クロス配線は行えないため、C O F をカスケード接続にする必要がある。

【 0 0 2 1 】

図 2 A は、カスケード接続に対応したゲートドライバ I C の一例を示す図である。図 2 A では、説明のため、クロック端子 C L K 1 A および C L K 1 B と、クロック信号の方向を指示する信号を入力する 1 対の信号方向制御端子 D I R とを図示しており、その他の端子については省略している。

10

【 0 0 2 2 】

図 2 A に示すゲートドライバ I C 2 0 C a s (図 2 A では「ゲートドライバ」と記載) は、双方向バッファ B Z 1 および B Z 2 と、内部回路 2 1 とを備えている。

【 0 0 2 3 】

双方向バッファ B Z 1 は、信号方向制御回路の一例であり、2 つの 3 ステートバッファ (制御入力付きバッファ) を組み合わせて構成されている。より詳細には、双方向バッファ B Z 1 は、2 つの 3 ステートバッファを、入出力方向が逆向きになるように並列に接続して構成されている。なお、2 つの 3 ステートバッファの一方は、入力信号が H レベルの場合に入力信号と同じ論理状態の信号を出力し、L レベルの場合に出力が H i - Z となる。2 つの 3 ステートバッファの他方は、入力信号が L レベルの場合に入力信号と同じ論理状態の信号を出力し、H レベルの場合に出力が H i - Z となる。また、3 ステートバッファは、ここでは、クロックバッファである。クロックバッファは、クロック信号に対して利用可能なバッファである。クロックバッファは、例えば、高速動作に対応している、遅延が少ない等の特性を有するバッファであっても構わない。また、双方向バッファ B Z 1 は、クロック端子 C L K 1 A と内部回路 2 1 との間に設けられている。双方向バッファ B Z 1 は、切り替え端子 C 1 および C 2 が 1 対の信号方向制御端子 D I R に、端子 I O 1 がクロック端子 C L K 1 A に、端子 I O 2 が双方向バッファ B Z 2 の端子 I O 1 および内部回路 2 1 にそれぞれ接続されている。

20

30

【 0 0 2 4 】

双方向バッファ B Z 2 は、双方向バッファ B Z 1 と同様に、2 つの 3 ステートバッファを組み合わせて構成されている。より詳細には、双方向バッファ B Z 2 は、2 つの 3 ステートバッファを、入出力方向が逆向きになるように並列に接続して構成されている。また、双方向バッファ B Z 2 は、クロック端子 C L K 1 B と内部回路 2 1 との間に設けられている。双方向バッファ B Z 2 は、切り替え端子 C 1 および C 2 が 1 対の信号方向制御端子 D I R に、端子 I O 1 が双方向バッファ B Z 1 の端子 I O 2 および内部回路 2 1 に、端子 I O 2 がクロック端子 C L K 1 B にそれぞれ接続されている。

【 0 0 2 5 】

内部回路 2 1 は、シフトレジスタおよび出力回路等を備えて構成されている。

40

【 0 0 2 6 】

図 2 A に示すゲートドライバ I C 2 0 C a s では、1 対の信号方向制御端子 D I R に入力される信号方向制御信号が、L レベルの場合、クロック信号の入出力方向は、クロック端子 C L K 1 A からクロック端子 C L K 1 B に向かう方向 (第一方向) となる。また、信号方向制御信号が H レベルの場合、クロック信号の入出力方向は、クロック端子 C L K 1 B からクロック端子 C L K 1 A に向かう方向 (第二方向) となる。

【 0 0 2 7 】

(2) マルチドロップ接続では、全 C O F にクロック信号を供給するクロック配線が P C B 上に形成され、各 C O F は当該クロック配線から直接クロック信号を受信する。マル

50

チドロップ接続は、クロック信号の遅延が無いため、有機ＥＬディスプレイの高精細化に有利である。マルチドロップ接続は、図１Ａに示す有機ＥＬディスプレイ１０Ａおよび図１Ｂに示す有機ＥＬディスプレイ１０Ｂの何れにも用いることができる。

【００２８】

図２Ｂは、マルチドロップ接続に対応したゲートドライバＩＣの一例を示す図である。図２Ｂでは、説明のため、クロック端子ＣＬＫ１ＡおよびバッファＢ１を図示しており、その他の端子については省略している。

【００２９】

図２Ｂに示すゲートドライバＩＣ２０Ｍｕ１（図２Ｂでは「ゲートドライバ」と記載）は、クロック端子ＣＬＫ１Ａから入力された信号を、バッファＢ１を介して内部回路２１に入力している。マルチドロップ接続では、後段への信号の受け渡しおよび信号の方向の制御が必要ないため、クロック端子ＣＬＫ１Ｂ、クロックの信号方向を制御する機能としての１対の信号方向制御端子ＤＩＲを備える必要は無い。

【００３０】

有機ＥＬディスプレイでは、１つの画素回路あたりのゲート信号線数が４本以上と多い。そのため、ゲートドライバＩＣの構成は、複雑になる傾向がある。このため、特に、有機ＥＬディスプレイでは、カスケード接続に専用に対応したＩＣおよびマルチドロップ接続に専用に対応したＩＣの何れかを、搭載される有機ＥＬディスプレイの大きさあるいは用途等に応じて、使い分けていた。

【００３１】

しかしながら、上述したように、製造コストの観点から、カスケード接続およびマルチドロップ接続の何れにも対応可能な、つまり、汎用性を向上させたゲート駆動用集積回路の汎用性の向上が望まれている。

【００３２】

（実施の形態）

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【００３３】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【００３４】

なお、各図は、必ずしも各寸法あるいは各寸法比等を厳密に図示したものではない。

【００３５】

また、以下で説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本開示は、請求の範囲によって特定される。よって、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、本開示の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

【００３６】

実施の形態のゲートドライバＩＣおよび当該ゲートドライバＩＣを用いた有機ＥＬディスプレイについて、図３～図１１を基に説明する。

【００３７】

比較例におけるゲートドライバＩＣは、カスケード接続およびマルチドロップ接続の何れか一方にのみ対応していたが、本実施の形態のゲートドライバＩＣは、カスケード接続およびマルチドロップ接続の両方に対応している。このため、本実施の形態のゲートドライバＩＣは、カスケード接続およびマルチドロップ接続を切り替えるための接続モード制

10

20

30

40

50

御端子CLKSELを備えている。なお、本実施の形態では、接続モード制御端子CLKSELとして、2つの端子が対になるように設けられているが、1つの端子でも構わない。

【0038】

図11は、実施の形態のゲートドライバICを用いた有機ELディスプレイの外観の一例を示す外観図である。なお、有機ELディスプレイは、画像表示装置の一例である。

【0039】

[1. ゲートドライバICの構成]

図3および図4は、ゲートドライバIC20の構成の一例を示す回路図である。なお、図3では、ゲートドライバIC20の全体的なブロック構成を示している。

10

【0040】

図3では、ゲートドライバIC20が4種類のクロック信号を受け付ける場合を例示している。図3に示すゲートドライバIC20には、4種類のクロック信号のそれぞれに対応して、シフトレジスタSRj（図3ではj = 1 ~ 4）、および、出力回路OCjが設けられている。なお、図3では、ゲートドライバIC20が4つのシフトレジスタSRjおよび出力回路OCjを備える場合を示しているが、これに限るものではない。ゲートドライバIC20は、クロック信号の種類数、言い換えると、画素回路を構成するトランジスタの数に応じた数のシフトレジスタおよび出力回路を備えていけばよい。

【0041】

シフトレジスタSRjは、双方向レジスタであり、接続モード制御信号S__CLKSELが伝達されるノード、信号方向制御信号S__DIRが伝達されるノード、クロック端子CLKjAおよびCLKjB、端子STVjAおよびSTVjB、端子LSHIFTjAおよびLSHIFTjB、端子OUTCTLj、端子DLIN Ejおよび出力回路OCjに接続されている。接続モード制御信号S__CLKSELが伝達されるノードは、接続モード制御端子CLKSELが接続されるノードである（図4参照）。信号方向制御信号S__DIRが伝達されるノードには、1対の信号方向制御端子DIRが接続されるノードである（図4参照）。

20

【0042】

出力回路OCjは、端子SELj、端子VONk、端子VOFF1k、端子VOFF2、端子VOUTk1 ~ 180、および、端子HZに接続されている。なお、j = 1のときk = A、j = 2のときk = B、j = 3のときk = C、j = 4のときk = Dである。

30

【0043】

図4では、比較例との差異を説明するため、ゲートドライバIC20の構成のうち、クロック端子CLK1AまたはCLK1Bに入力される1種類のクロック信号に関する部分について示している。なお、他のクロック信号（クロック端子CLK2AまたはCLK2B ~ CLKnAまたはCLKnBに入力されるクロック信号）についても、クロック端子CLK1AまたはCLK1Bに入力されるクロック信号に対応する回路と同じ回路が構成されている。

【0044】

また、図5は、ゲートドライバIC20の端子の配置例を示す図である。

40

【0045】

ゲートドライバIC20は、図4に示すように、1対の信号端子と、双方向バッファと、接続モード制御端子と、1対の信号方向制御端子と、制御モード切り替え回路とを備える。なお、本実施の形態では、カスケード接続に対応するため、電源を入力する電源端子を除き、各信号に対し、入力側を構成する端子と出力側を構成する端子の2つが、1対の端子として設けられている。また、各端子は、入力側および出力側の両方に対応するため、双方向IOバッファで構成されている。

【0046】

1対の信号端子は、所定の信号が入力または出力される端子である。本実施の形態では、クロック信号が入力または出力されるクロック端子CLK1AおよびCLK1Bを例に

50

説明する。

【 0 0 4 7 】

双方向バッファは、クロック端子 C L K 1 A および C L K 1 B の間に配置され、クロック端子 C L K 1 A および C L K 1 B の入出力方向を切り替える切り替え端子を備えている。本実施の形態では、2つの双方向バッファ B Z 1 および B Z 2 が設けられている。

【 0 0 4 8 】

双方向バッファ B Z 1 は、クロック端子 C L K 1 A と内部回路 2 1 との間に設けられている。双方向バッファ B Z 1 は、切り替え端子 C 1 および C 2 が後述するセクタ S E L E C T 1 の出力端子 O に、端子 I O 1 がクロック端子 C L K 1 A に、端子 I O 2 が双方向バッファ B Z 2 の端子 I O 1 および内部回路 2 1 にそれぞれ接続されている。

10

【 0 0 4 9 】

双方向バッファ B Z 2 は、クロック端子 C L K 1 B と内部回路 2 1 との間に設けられている。双方向バッファ B Z 2 は、切り替え端子 C 1 および C 2 が後述するセクタ S E L E C T 2 の出力端子 O に、端子 I O 1 が双方向バッファ B Z 1 の端子 I O 2 および内部回路 2 1 に、端子 I O 2 がクロック端子 C L K 1 B にそれぞれ接続されている。

【 0 0 5 0 】

接続モード制御端子 C L K S E L は、接続モード制御信号 S _ C L K S E L が入力または出力される端子である。

【 0 0 5 1 】

接続モード制御信号 S _ C L K S E L の論理状態に応じて、クロック信号の入出力方向を一方に固定する（マルチドロップ接続を選択する）か、可変にする（カスケード接続を選択する）かが切り替えられる。

20

【 0 0 5 2 】

1 対の信号方向制御端子 D I R は、カスケード接続が選択されている場合に、信号方向制御信号 S _ D I R が入力または出力される端子である。

【 0 0 5 3 】

制御モード切り替え回路は、接続モード制御信号の論理状態が第一論理状態の場合に、双方向バッファの切り替え端子に対し、クロック信号の入出力方向を一方に固定する信号を与え、接続モード制御信号の論理状態が第二論理状態の場合に、双方向バッファの切り替え端子に対し、信号方向制御信号の論理状態に応じた信号を与える。

30

【 0 0 5 4 】

制御モード切り替え回路は、本実施の形態では、セクタ S E L E C T 1 および S E L E C T 2 を用いて構成されている。

【 0 0 5 5 】

セクタ S E L E C T 1 は、端子 S に接続モード制御端子 C L K S E L が、端子 B に 1 対の信号方向制御端子 D I R がそれぞれ接続され、端子 A に、L レベルの信号が入力されている。また、セクタ S E L E C T 1 の出力端子 O は、双方向バッファ B Z 1 の切り替え端子 C 1 および C 2 に接続されている。

【 0 0 5 6 】

セクタ S E L E C T 2 は、端子 S に接続モード制御端子 C L K S E L が、端子 B に 1 対の信号方向制御端子 D I R がそれぞれ接続され、端子 A に、L レベルの信号が入力されている。また、セクタ S E L E C T 2 の出力端子 O は、双方向バッファ B Z 2 の切り替え端子 C 1 および C 2 に接続されている。

40

【 0 0 5 7 】

図 5 は、ゲートドライバ I C 2 0 の端子の配置例を示す図である。

【 0 0 5 8 】

クロック端子 C L K n A および C L K n B (n = クロックの種類数) の間に、1 対の信号方向制御端子 D I R が配置され、1 対の信号方向制御端子 D I R の間に、接続モード制御端子 C L K S E L が配置されている。また、端子名に添え字 “ A ” が付く端子が、図面上側に、端子名に添え字 “ B ” が付く端子が、図面下側に配置されている。

50

【 0 0 5 9 】

なお、図 5 では、クロック信号の種類数 n が 4 である場合を示しているが、 n は画素回路の構成に応じた数、より詳細には、画素回路のトランジスタ数に応じて設定される。

【 0 0 6 0 】

[2 . ゲートドライバ IC の仕様および動作]

図 6 および図 7 は、本実施の形態におけるゲートドライバ IC 2 0 の仕様の一例を示す表である。

【 0 0 6 1 】

図 6 では、接続モード制御信号 S_CLKSEL 、つまり、接続モード制御端子 $CLKSEL$ に入力される信号の論理状態と、クロック信号の入出力方向との関係を示している。

10

【 0 0 6 2 】

図 7 では、信号方向制御信号 S_DIR 、つまり、1 対の信号方向制御端子 DIR に入力される信号方向制御信号 S_DIR の論理状態と、各信号の入出力方向との関係を示している。但し、図 6 に示した通り、クロック信号の入出力方向は、 $CLKSEL$ が L レベルの場合は、信号方向制御端子 DIR に依存せず（図 7 の表には従わず）、クロック端子 $CLK1A$ を入力、クロック端子 $CLK1B$ を出力とする第一方向に固定される。言い換えると、端子 STV 、端子 $LSHIFT$ については、接続モード制御信号 S_CLKSEL に依存せず、信号方向制御信号 S_DIR に応じて信号の入出力方向が設定される。

【 0 0 6 3 】

接続モード制御信号 S_CLKSEL が L レベル（第一論理状態に相当、例えば、接地電圧）の場合、図 6 に示すように、マルチドロップ接続モードとなる。このとき、クロック信号の入出力方向は、クロック端子 $CLK1A$ からクロック端子 $CLK1B$ に向かう第一方向に固定される。

20

【 0 0 6 4 】

また、接続モード制御信号 S_CLKSEL が H レベル（第二論理状態に相当、例えば、電源電圧）の場合、図 6 に示すように、カスケード接続モードとなる。このとき、クロック信号の入出力方向は、信号方向制御信号 S_DIR の論理状態に応じて設定される。具体的には、信号方向制御信号 S_DIR が L レベル（第三論理状態に相当）の場合、信号の入出力方向は、第一方向に設定される。信号方向制御信号 S_DIR が H レベル（第四論理状態に相当）の場合、信号の入出力方向は、第二方向に設定される。

30

【 0 0 6 5 】

なお、第一方向および第二方向は、逆であっても構わない。また、接続モード制御信号 S_CLKSEL が H レベルのときにマルチドロップ接続モード、L レベルのときにカスケード接続モードとなるように構成しても構わない。また、信号方向制御信号 S_DIR が H レベルのときに信号方向を第一方向に、L レベルのときに信号方向を第二方向に設定しても構わない。

【 0 0 6 6 】

[3 . ゲートドライバ IC の接続例（有機 EL ディスプレイの構成）]

ゲートドライバ IC の接続例について、図 8 ~ 1 0 を用いて説明する。ここでは、カスケード接続（PCB なし）の場合、カスケード接続（PCB あり）の場合、マルチドロップ接続（PCB あり）の場合について説明する。

40

【 0 0 6 7 】

[3 - 1 . 接続例 1 : カスケード接続（PCB なし）]

図 8 は、PCB 4 1 を備えない有機 EL ディスプレイ 1 0 B（図 1 B 参照）において、カスケード接続を行う場合の接続例を示す回路図である。

【 0 0 6 8 】

なお、有機 EL ディスプレイ 1 0 B の構成は、ゲートドライバ IC、および、ゲートドライバ IC と TCON とを接続する配線を除き、比較例と同じである。

【 0 0 6 9 】

50

図 8 に示すように、本接続例では、ガラス基板 11 の左端にゲートドライバ IC 201 ~ 20n が 1 列に接続され、ガラス基板 11 の右端にゲートドライバ IC 20n+1 ~ 20m (m = 2n) が 1 列に接続されている。

【0070】

ガラス基板 11 の左側では、図 8 に示すように、ゲートドライバ IC 20h (h = 1 ~ n - 1) のクロック端子 CLK1B とゲートドライバ IC 20h+1 のクロック端子 CLK1A とが接続されている。

【0071】

また、ガラス基板 11 の右側では、図 8 に示すように、ゲートドライバ IC 20n+1 ~ 20m (m = 2n) が、ゲートドライバ IC 201 ~ 20n とは上下および左右が逆になるように配置されている。ガラス基板 11 の右側では、図 8 に示すように、ゲートドライバ IC 20i (i = n+1 ~ m-1) のクロック端子 CLK1A とゲートドライバ IC 20i+1 のクロック端子 CLK1B とが接続されている。

【0072】

ゲートドライバ IC 20 同士を接続する配線は、ガラス基板 11 上に形成されている。

【0073】

なお、図示しないが、接続モード制御端子 CLKSEL、1 対の信号方向制御端子 DIR についても、クロック端子と同様の方法でカスケード接続する。

【0074】

実際の製品では、接続モード制御端子 CLKSEL に入力される接続モード制御信号 S__CLKSEL は、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子 CLKSEL は電源配線に接続されている。

【0075】

TCON50 は、信号の入出力方向を第一方向に設定する場合は、1 対の信号方向制御端子 DIR に L レベルの信号を出力し、ゲートドライバ IC 201 および 20m のクロック端子 CLK1A にクロック信号 CLK1 を出力する。TCON50 は、信号の入出力方向を第二方向に設定する場合は、1 対の信号方向制御端子 DIR に H レベルの信号を出力し、ゲートドライバ IC 20n および 20n+1 のクロック端子 CLK1B にクロック信号 CLK2 を出力する。

【0076】

[3 - 2 . 接続例 2 : カスケード接続 (PCB あり)]

図 9 は、PCB 41 を備えた有機 EL ディスプレイ 10A (図 1A 参照) において、カスケード接続を行う場合の接続例を示す回路図である。

【0077】

なお、有機 EL ディスプレイ 10A の構成は、ゲートドライバ IC、および、ゲートドライバ IC と TCON とを接続する配線を除き、比較例と同じである。

【0078】

本接続例では、図 9 に示すように、ガラス基板 11 の左端にゲートドライバ IC 201 ~ 20n が 1 列に接続されている。ゲートドライバ IC 201 ~ 20n の図面左側で、PCB 41 とゲートドライバ IC 201 ~ 20n とが接続されている。また、ガラス基板 11 の右端にゲートドライバ IC 20n+1 ~ 20m (m = 2n) が 1 列に接続されている。ゲートドライバ IC 20n+1 ~ 20m の図面右側で、PCB 41 とゲートドライバ IC 20n+1 ~ 20m とが接続されている。

【0079】

ガラス基板 11 の左側では、接続例 1 と同様に、ゲートドライバ IC 20h (h = 1 ~ n - 1) のクロック端子 CLK1B とゲートドライバ IC 20h+1 のクロック端子 CLK1A とが接続されている。

【0080】

また、ガラス基板 11 の右側では、接続例 1 と同様に、ゲートドライバ IC 20n+1 ~ 20m (m = 2n) が、ゲートドライバ IC 201 ~ 20n とは上下および左右が逆に

10

20

30

40

50

なるように配置されている。ガラス基板 11 の右側では、接続例 1 と同様に、ゲートドライバ IC 20i ($i = n + 1 \sim m - 1$) のクロック端子 CLK 1A とゲートドライバ IC 20i + 1 のクロック端子 CLK 1B とが接続されている。

【0081】

ゲートドライバ IC 20 同士を接続する配線は、本接続例では、PCB 41 上に形成されている。

【0082】

なお、図示しないが、接続モード制御端子 CLKSEL、1 対の信号方向制御端子 DIR についても、クロック端子と同様の方法でカスケード接続する。

【0083】

実際の製品では、接続モード制御端子 CLKSEL に入力される接続モード制御信号 S__CLKSEL は、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子 CLKSEL は電源配線に接続されている。

【0084】

TCON50 は、接続例 1 と同様に、信号の入出力方向を第一方向に設定する場合は、1 対の信号方向制御端子 DIR に L レベルの信号を出力し、ゲートドライバ IC 201 および 20m のクロック端子 CLK 1A にクロック信号 CLK 1 を出力する。さらに、TCON50 は、接続例 1 と同様に、信号の入出力方向を第二方向に設定する場合は、1 対の信号方向制御端子 DIR に H レベルの信号を出力し、ゲートドライバ IC 20n および 20n + 1 のクロック端子 CLK 1B にクロック信号 CLK 2 を出力する。

【0085】

[3 - 3 . 接続例 3 : マルチドロップ接続 (PCB あり)]

図 10 は、PCB 41 を備えた有機 EL ディスプレイ 10A (図 1 A 参照) において、マルチドロップ接続を行う場合の接続例を示す回路図である。

【0086】

なお、有機 EL ディスプレイ 10A の構成は、ゲートドライバ IC、および、ゲートドライバ IC と TCON とを接続する配線を除き、比較例と同じである。

【0087】

本接続例では、接続例 2 と同様に、ガラス基板 11 の左端にゲートドライバ IC 201 ~ 20n が 1 列に接続されている。ゲートドライバ IC 201 ~ 20n の図面左側で、PCB 41 とゲートドライバ IC 201 ~ 20n とが接続されている。また、ガラス基板 11 の右端にゲートドライバ IC 20n + 1 ~ 20m ($m = 2n$) が 1 列に接続されている。ゲートドライバ IC 20n + 1 ~ 20m の図面右側で、PCB 41 とゲートドライバ IC 20n + 1 ~ 20m とが接続されている。

【0088】

ゲートドライバ IC 201 ~ 20m のクロック端子 CLK 1A は、PCB 41 上に形成されたクロック配線 L 1A に、クロック端子 CLK 1B は、PCB 41 上に形成されたクロック配線 L 1B にそれぞれ接続されている。

【0089】

なお、図示しないが、接続モード制御端子 CLKSEL、1 対の信号方向制御端子 DIR についても、クロック端子と同様の方法でマルチドロップ接続する。

【0090】

実際の製品では、接続モード制御端子 CLKSEL に入力される接続モード制御信号 S__CLKSEL は、一方に固定されている。本接続例では、カスケード接続が選択されているため、接続モード制御端子 CLKSEL は接地配線に接続されている。

【0091】

本接続例では、1 対の信号方向制御端子 DIR の電圧に拘わらず、信号の入出力方向は第一方向に固定される。従って、TCON50 は、1 対の信号方向制御端子 DIR の電圧を切り替える必要がない。

【0092】

10

20

30

40

50

[4 . クロック信号以外の信号について]

なお、本実施の形態では、クロック信号について説明したが、画素回路に含まれる複数のトランジスタのゲート端子に供給されるゲート信号についても、カスケード接続およびマルチドロップ接続の両方に対応することが望ましい。

【 0 0 9 3 】

また、ゲート信号等の信号については、1 対の信号端子の間に設けられるバッファは、双方向クロックバッファでなくても構わない。1 対の信号端子の間に設けられるバッファは、信号の用途等に応じた適切な駆動能力を有するバッファであればよい。

【 0 0 9 4 】

なお、3 - 2 または 3 - 3 に示す PCB 4 1 を用いた接続例において、例えば、クロック信号等、同期を図ることが求められる信号についてはマルチドロップ接続し、他の信号についてはカスケード接続するように構成してもよい。

【 0 0 9 5 】

[5 . 作用効果等]

本実施の形態のゲートドライバ IC は、カスケード接続およびマルチドロップ接続の両方に対応しているので、汎用性が向上している。ゲートドライバ IC の汎用性が高まることで、2 種類のゲートドライバ IC を別個に作成する場合に比べ、製造コストの低減を図ることが可能になると考えられる。さらに、当該ゲートドライバ IC を用いた画像表示装置、例えば、有機 EL ディスプレイについても、製造コストの低減を図ることが可能になる。

【 0 0 9 6 】

なお、カスケード接続の場合は、1 対の信号方向制御端子 DIR に入力する信号方向制御信号により、信号の入出力方向を制御できる。

【 0 0 9 7 】

さらに、本実施の形態のゲートドライバ IC は、クロック信号およびゲート信号等の所定の信号を受け付ける 1 対の信号端子の間に、1 対の信号方向制御端子を設け、1 対の信号方向制御端子の間に、接続モード制御端子を設けている。これにより、カスケード接続モードを選択する場合における配線が容易になる。

【 0 0 9 8 】

また、本実施の形態のゲートドライバ IC では、接続モード制御信号 S__CLKSEL を受け付ける接続モード制御端子を設けるという簡単且つ小さな構成の変更で、カスケード接続とマルチドロップ接続とを切り替えることができる。これにより、TC ON とゲートドライバ IC との間の配線が、複雑化するのを抑えることができる。特に、有機 EL ディスプレイでは、液晶ディスプレイ等の他の画像表示装置と比較して、画素回路に含まれるトランジスタの数が多く、配線等が複雑化する傾向にある（図 3 参照）。このため、ゲートドライバ IC の構成の変更を簡単且つ小さくすることは、有機 EL ディスプレイにおいて特に有用である。

【 0 0 9 9 】

さらに、クロック信号は、有機 EL ディスプレイ 1 0 の動作に与える影響が大きいことから、クロック信号についてカスケード接続およびマルチドロップ接続を選択できるようにすることで、より汎用性を向上させることができる。

【 0 1 0 0 】

(他の実施の形態等)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、上記実施の形態で説明した各構成要素を組み合わせ、新たな実施の形態とすることも可能である。

【 0 1 0 1 】

(1) 例えば、上記実施の形態では、信号の入出力方向を設定する信号方向制御回路として、双方向バッファを用いたが、これに限るものではない。3 ステートバッファを直接

10

20

30

40

50

用いてもよいし、他の論理回路を組み合わせて作成したバッファ回路を用いても良い。

【 0 1 0 2 】

(2) また、上記実施の形態では、接続モードを切り替えるための構成として、セレクトを用いたが、これに限るものではない。

【 0 1 0 3 】

(3) また、上記実施の形態では、2つの接続モード制御端子 C L K S E L を備える場合について例示したが、これに限るものではない。接続モード制御端子は、特に、電源配線に接続する場合には、1つの端子であっても構わない。

【 0 1 0 4 】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

10

【 0 1 0 5 】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【 0 1 0 6 】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

20

【産業上の利用可能性】

【 0 1 0 7 】

本開示は、ゲート駆動用集積回路、および、当該ゲート駆動用集積回路を用いた画像表示装置、特に、有機 E L ディスプレイとして有用である。

【符号の説明】

【 0 1 0 8 】

1 0、1 0 A、1 0 B 有機 E L ディスプレイ

1 1 ガラス基板

1 2 有機 E L パネル

30

2 0、2 0 A、2 0 B、2 0 1、2 0 n、2 0 i、2 0 h、2 0 C a s、2 0 M u l ゲートドライバ I C

2 1 内部回路

3 0 ソースドライバ

4 0、4 1、4 2 P C B

5 0 T C O N

B 1 バッファ

B Z 1、B Z 2 双方向バッファ

C L K 1、C L K 2 クロック信号

C L K 1 A、C L K 1 B、C L K 2 A、C L K n A、C L K j A クロック端子

40

S _ C L K S E L 接続モード制御信号

C L K S E L 接続モード制御端子

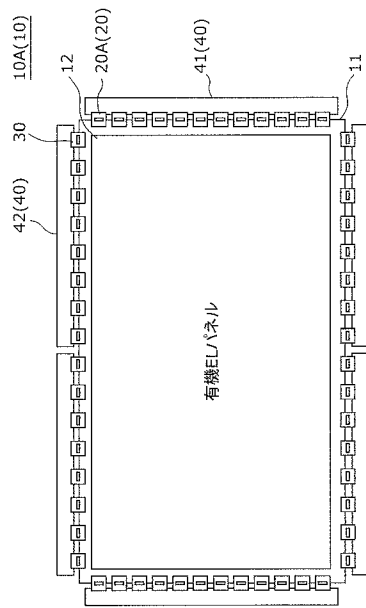
S _ D I R 信号方向制御信号

D I R 信号方向制御端子

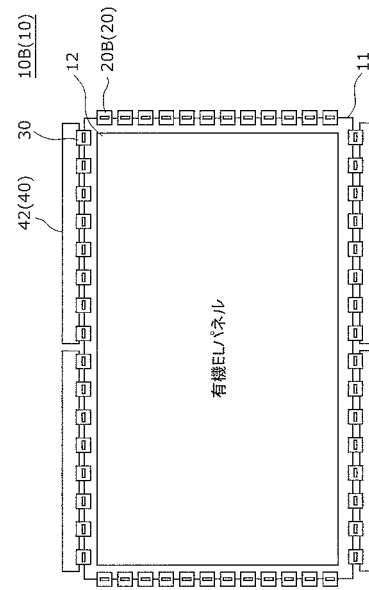
L 1 A、L 1 B クロック配線

S E L E C T 1、S E L E C T 2 セレクタ

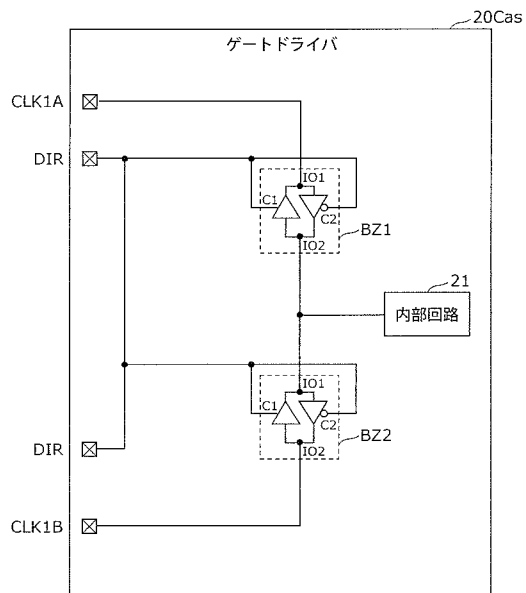
【図 1 A】



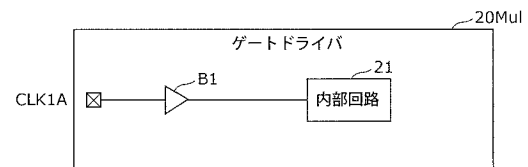
【図 1 B】



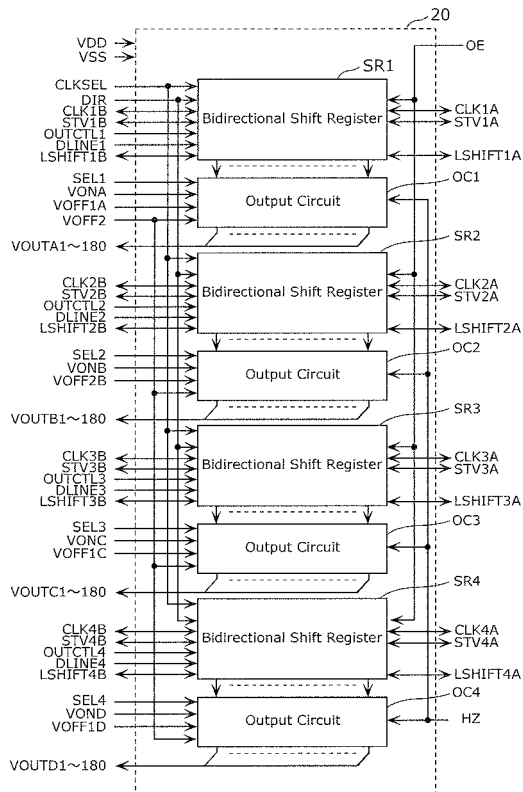
【図 2 A】



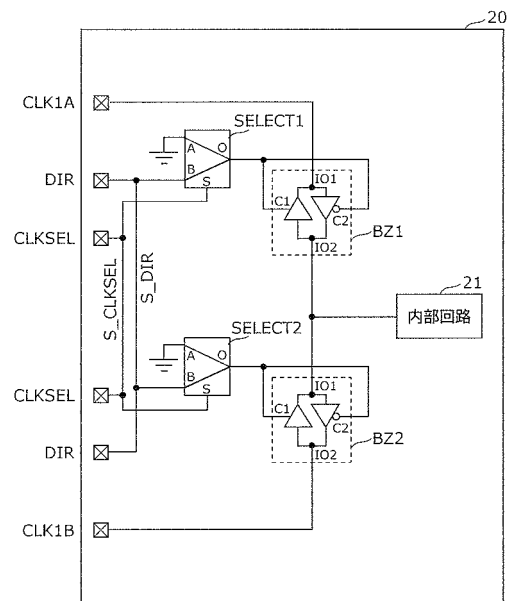
【図 2 B】



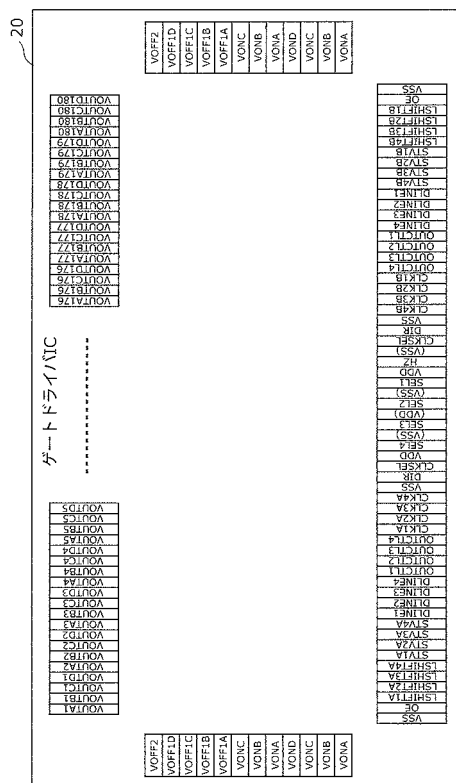
【図3】



【図4】



【図5】



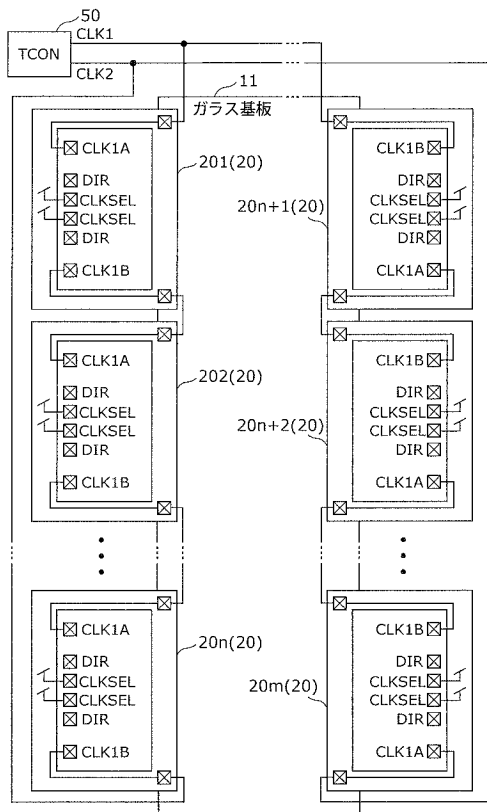
【図6】

CLKSEL	信号の入出力方向	接続モード
L	CLKnA→CLKnB (n=1~4)	マルチドロップ接続モード
H	図7のDIRの設定に従う	カスケード接続モード

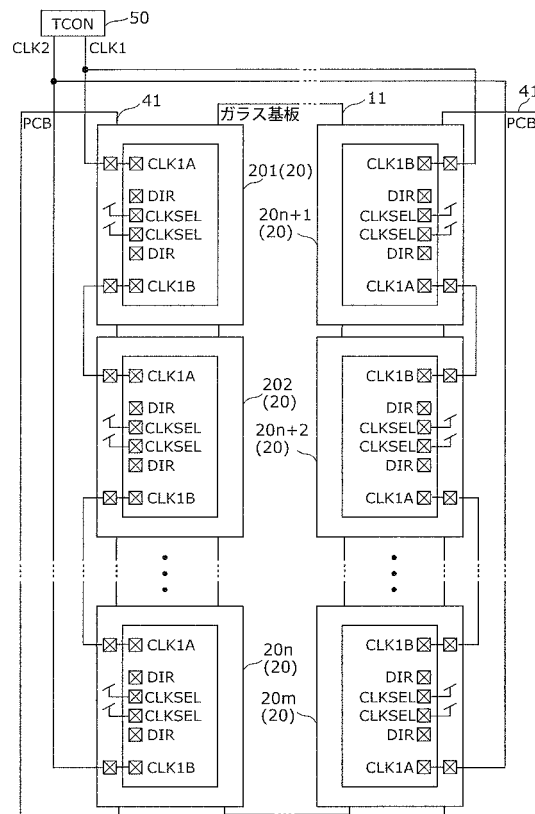
【図7】

DIR	データ信号の入出力方向	クロック信号等の入出力方向
L	VOUTx1 → VOUTx180 (x=A~D)	CLKnA→CLKnB STVnA→STVnB LSHIFTnA→LSHIFTnB (n=1~4)
H	VOUTx180 → VOUTx1 (x=A~D)	CLKnB→CLKnA STVnB→STVnA LSHIFTnB→LSHIFTnA (n=1~4)

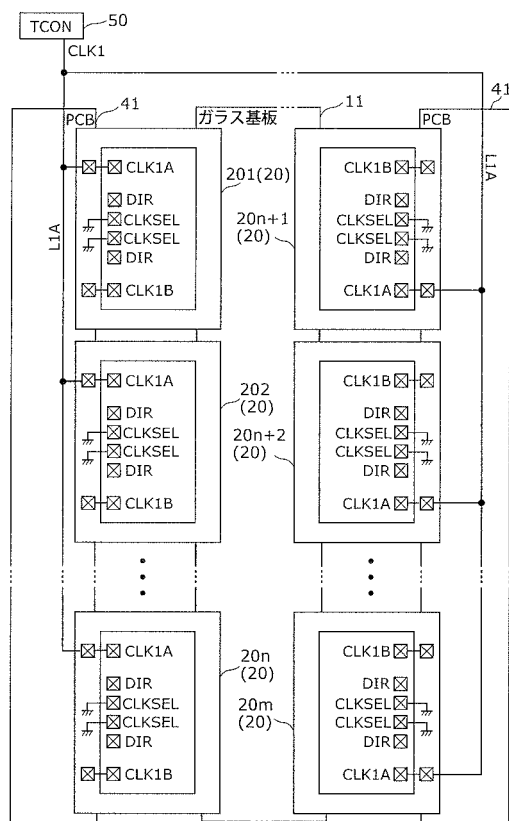
【図 8】



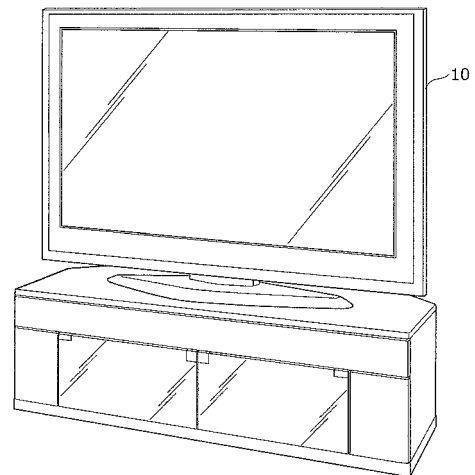
【図 9】



【図 10】



【図 11】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002069

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-72062 A (Hitachi Displays, Ltd.), 22 March 2007 (22.03.2007), paragraphs [0014] to [0018]; fig. 3 to 10 & US 2007/0063960 A1	1-10
A	JP 2007-264368 A (Epson Imaging Devices Corp.), 11 October 2007 (11.10.2007), paragraphs [0065] to [0071]; fig. 3(b) (Family: none)	1-10
A	JP 2002-175037 A (Canon Inc.), 21 June 2002 (21.06.2002), paragraphs [0124] to [0161]; fig. 13 to 15 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 June, 2014 (24.06.14)Date of mailing of the international search report
15 July, 2014 (15.07.14)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002069

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-35219 A (Fuji Electric Co., Ltd.), 12 February 1993 (12.02.1993), paragraphs [0014] to [0026]; fig. 1 to 3 (Family: none)	1-10
A	JP 2004-279467 A (Seiko Epson Corp.), 07 October 2004 (07.10.2004), paragraphs [0102] to [0115]; fig. 13 to 15 & US 2004/0239659 A1 & CN 1530905 A	1-10
A	JP 2006-285141 A (Mitsubishi Electric Corp.), 19 October 2006 (19.10.2006), paragraphs [0013] to [0032]; fig. 1 to 5 & US 2006/0233003 A1	1-10

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 2 0 6 9									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09G3/20, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2014年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2014年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2014年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2014年	日本国実用新案登録公報	1996-2014年	日本国登録実用新案公報	1994-2014年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2014年										
日本国実用新案登録公報	1996-2014年										
日本国登録実用新案公報	1994-2014年										
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2007-72062 A（株式会社 日立ディスプレイズ）2007.03.22, 段落【0014】-【0018】、【図3】-【図10】 & US 2007/0063960 A1	1-10									
A	JP 2007-264368 A（エプソンイメージングデバイス株式会社）2007.10.11, 段落【0065】-【0071】、【図3】（b）（ファミリーなし）	1-10									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 24.06.2014		国際調査報告の発送日 15.07.2014									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 西島 篤宏 電話番号 03-3581-1101 内線 3226									

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 2 0 6 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-175037 A (キヤノン株式会社) 2002.06.21, 段落【0124】－【0161】, 【図13】－【図15】 (ファミリーなし)	1-10
A	JP 5-35219 A (富士電機株式会社) 1993.02.12, 段落【0014】－【0026】, 【図1】－【図3】 (ファミリーなし)	1-10
A	JP 2004-279467 A (セイコーエプソン株式会社) 2004.10.07, 段落【0102】－【0115】, 【図13】－【図15】 & US 2004/0239659 A1 & CN 1530905 A	1-10
A	JP 2006-285141 A (三菱電機株式会社) 2006.10.19, 段落【0013】－【0032】, 【図1】－【図5】 & US 2006/0233003 A1	1-10

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 5 B 33/14	A
	H 0 5 B 33/06	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム (参考) 5C080 AA06 BB05 DD25 DD27 EE29 FF08 HH09 JJ02 JJ03 JJ05
 JJ06 KK43
 5C380 AA01 AB06 BA28 BA30 CA12 CA48 CB22 CB26 CC26 CC33
 CF07 CF08 CF22 CF51 DA02 DA06

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	用于图像显示装置的栅极驱动集成电路，图像显示装置和有机EL显示器		
公开(公告)号	JPWO2015087460A1	公开(公告)日	2017-03-16
申请号	JP2015552283	申请日	2014-04-10
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	中川博文 高原博司		
发明人	中川 博文 高原 博司		
IPC分类号	G09G3/3266 G09G3/3225 G09G3/20 H01L51/50 H05B33/06		
CPC分类号	G09G3/3258 G09G3/3266 G09G2310/0283 G09G2310/0286 G09G2310/0291 G09G2310/08 G11C19/28 H01L27/3244		
FI分类号	G09G3/3266 G09G3/3225 G09G3/20.622.B G09G3/20.611.F G09G3/20.641.D H05B33/14.A H05B33/06		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/DD38 3K107/EE03 3K107/EE58 5C080/AA06 5C080/BB05 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/BA28 5C380/BA30 5C380/CA12 5C380/CA48 5C380/CB22 5C380/CB26 5C380/CC26 5C380/CC33 5C380/CF07 5C380/CF08 5C380/CF22 5C380/CF51 5C380/DA02 5C380/DA06		
代理人(译)	吉川修 Sobashima正雄		
优先权	2013254556 2013-12-09 JP		
其他公开文献	JP6086336B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供具有更高通用性的栅极驱动集成电路和使用该栅极驱动集成电路的图像显示装置。用于驱动栅极的集成电路，其布置在时钟端子（CLK1A，CLK1B）和时钟端子之间；以及双向缓冲器（BZ1，BZ2），其控制时钟信号的输入/输出方向；以及连接模式控制信号（当提供接受（S_CLKSEL）的连接模式控制端子（CLKSEL）和接受信号方向控制信号（S_DIR）的一对信号方向控制端子（DIR）时，连接模式控制信号的逻辑状态为第一逻辑状态 另外，当时钟信号的输入/输出方向被双向缓冲器固定到一侧并且连接模式控制信号的逻辑状态是不同于第一逻辑状态的第二逻辑状态时，双向缓冲器输入时钟信号。一种用于驱动栅极的集成电路，其特征在于，根据信号方向控制信号的逻辑状态来切换输出方向。

