

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号
WO2005/088595

発行日 平成20年1月31日 (2008.1.31)

(43) 国際公開日 平成17年9月22日 (2005.9.22)

(51) Int. Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 1 A	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 8 0 D	
	G 0 9 G 3/20 6 4 1 D	
	G 0 9 G 3/20 6 2 3 Y	
審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く		

出願番号 特願2006-510962 (P2006-510962)	(71) 出願人 000116024
(21) 国際出願番号 PCT/JP2005/004112	ローム株式会社
(22) 国際出願日 平成17年3月9日 (2005.3.9)	京都府京都市右京区西院溝崎町21番地
(31) 優先権主張番号 特願2004-66821 (P2004-66821)	(74) 代理人 100079555
(32) 優先日 平成16年3月10日 (2004.3.10)	弁理士 梶山 信是
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100079957
	弁理士 山本 富士男
	(72) 発明者 前出 淳
	京都市右京区西院溝崎町21番地 ローム株式会社内
	(72) 発明者 阿部 真一
	京都市右京区西院溝崎町21番地 ローム株式会社内
	最終頁に続く

(54) 【発明の名称】 有機EL表示装置

(57) 【要約】

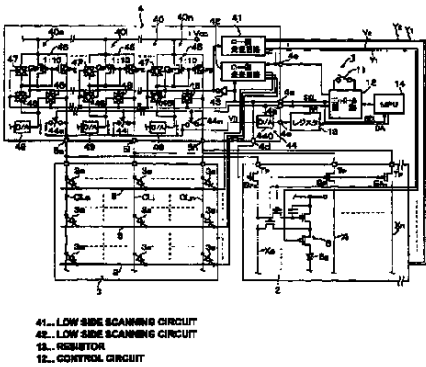
【課題】

アクティブマトリックス型のディスプレイの誤発光を防止し、表示切換時の消費電力を低減でき、小型薄型化に適した有機EL表示装置を提供することにある。

【解決手段】

発明にあっては、第1の有機ELパネルと第2の有機ELパネルとに対して出力ピンを共用する電流駆動回路を設け、アクティブマトリックス型の第1の有機ELパネルの内部に駆動電流を遮断するためのスイッチ回路を設けている。これにより、第1の発明は、第1の有機ELパネルと第2の有機ELパネルとに対応してそれぞれに電流駆動回路を設ける必要はない。そのため、選択されていない側の電流駆動回路を待機状態にする必要がなく、その分、消費電力を低減することができる。

第2の発明は、リセット回路が、このリセット回路の外部からリセット電圧の相違に応じたデータを受けてD/A変換回路によりアナログ電圧を発生し、リセット期間にアナログスイッチをONにしてアナログ電圧をリセット電圧として出力ピンに出力するものである。



【特許請求の範囲】**【請求項 1】**

第 1 および第 2 の有機 E L パネルを有し、選択信号に応じていずれか一方の前記有機 E L パネルを選択的に駆動して所定の表示をする有機 E L 表示装置において、

アクティブマトリックス型の前記第 1 の有機 E L パネルと、

アクティブマトリックス型あるいはパッシブマトリックス型の前記第 2 の有機 E L パネルと、

前記第 1 および第 2 の有機 E L 表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンからこれに接続されている前記データ線あるいは前記カラムピンに有機 E L 素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、 10

前記第 1 の有機 E L パネルのそれぞれの前記データ線あるいは前記カラムピンへの接続ラインに設けられ前記駆動電流をそれぞれ遮断するための多数の第 1 のスイッチ回路と、

前記第 2 の有機 E L パネルに対する前記駆動電流を遮断するために前記第 2 の有機 E L パネルの内部あるいは前記第 2 の有機 E L パネルの前記有機 E L 素子の下流に設けられた駆動電流遮断回路とを備え、

前記選択信号に応じて前記第 2 の有機 E L パネルを駆動するときには前記多数の第 1 のスイッチ回路を OFF にして前記第 1 の有機 E L パネルへの前記駆動電流を遮断して前記第 2 の有機 E L パネルの前記データ線あるいは前記カラムピンに前記駆動電流を出力し、前記選択信号に応じて前記第 1 の有機 E L パネルを駆動するときには前記第 2 の有機 E L 20 パネルに対する前記駆動電流を前記駆動電流遮断回路により遮断しかつ前記多数の第 1 のスイッチ回路を ON にして前記駆動電流を前記第 1 の有機 E L パネルの前記データ線あるいは前記カラムピンに流す有機 E L 表示装置。

【請求項 2】

さらに、前記第 1 および第 2 の有機 E L パネルに対応して前記第 1 および第 2 の有機 E L パネルのロー方向あるいは垂直方向の走査対象となる走査線を走査する走査回路をそれぞれ有し、前記選択信号に応じて前記第 1 および第 2 の有機 E L パネルのいずれか一方に対する前記走査回路を動作させてこの一方の有機 E L パネルへ前記駆動電流を出力しかつ 30 残りのいずれか他方の前記走査回路の走査動作あるいは動作そのものを停止させることでこの他方の有機 E L パネルへ流れる駆動電流を遮断し、これによりこの他方の有機 E L パネルに対応する前記走査回路が前記駆動電流遮断回路となる請求項 1 記載の有機 E L 表示装置。

【請求項 3】

前記第 1 および第 2 の有機 E L パネルのいずれか一方に対する前記走査回路の走査動作の開始は、前記いずれか他方の前記走査回路の走査動作の停止以降あるいは動作そのものの停止以降である請求項 2 記載の有機 E L 表示装置。

【請求項 4】

さらに、前記有機 E L 素子あるいはピクセル回路のコンデンサの端子電圧をリセットするリセット回路を有し、このリセット回路は、D/A 変換回路と前記出力ピンにそれぞれ接続された多数のアナログスイッチとからなり、このリセット回路の外部からデータを受けて前記 D/A 変換回路によりアナログ電圧を発生し、リセット期間に前記多数のアナログスイッチを ON にして前記アナログ電圧を前記出力ピンに出力する請求項 2 記載の有機 E L 表示装置。 40

【請求項 5】

前記第 2 の有機 E L パネルは、パッシブマトリックス型である請求項 4 記載の有機 E L 表示装置。

【請求項 6】

前記第 2 の有機 E L パネルは、アクティブマトリックス型であって、前記第 2 の有機 E L パネルに対応する前記走査回路は、前記第 1 の前記有機 E L パネルに対応する前記走査回路が使用され、前記駆動電流遮断回路は、前記データ線あるいは前記カラムピンにそれ 50

ぞれに設けられ、OFFにされて前記データ線あるいは前記カラムピンに出力される前記駆動電流をそれぞれ遮断する多数の第2のスイッチ回路であり、前記選択信号に応じて前記第2の有機ELパネルを駆動するときには各前記第2のスイッチ回路をONにして前記駆動電流を前記第2の有機ELパネルの前記データ線あるいは前記カラムピンに流し、前記選択信号に応じて前記第1の有機ELパネルを駆動するときには各前記第2のスイッチ回路をOFFにし、請求項4記載の有機EL表示装置。

【請求項7】

前記第1および第2の有機ELパネルのいずれか一方は、前記出力ピンにソース電流が出力されることで駆動され、いずれか他方は、前記出力ピンにシンク電流が出力されることで駆動され、前記電流駆動回路は、前記選択信号に応じて前記ソース電流と前記シンク電流のいずれか一方を選択的に発生する請求項5または6記載の有機EL表示装置。 10

【請求項8】

さらに、この有機EL表示装置を備えたある装置の蓋の開閉に応じてON/OFFする作動スイッチを有し、前記第1および第2の有機EL表示パネルの一方がメインディスプレイとされ、いずれか他方がサブディスプレイとされ、前記作動スイッチのON/OFFに応じてON/OFFに応じた前記選択信号が発生する請求項7記載の有機EL表示装置。

【請求項9】

前記作動スイッチは、光学センサからの信号に応じてON/OFFするスイッチであり、前記光学センサが前記ある装置に設けられている請求項8記載の有機EL表示装置。 20

【請求項10】

第1および第2の有機ELパネルを有し、選択信号に応じていずれか一方の前記有機ELパネルを選択的に駆動して所定の表示をする有機EL表示装置において、

リセット電圧が相違する前記第1および第2の有機ELパネルと、

前記第1および第2の有機EL表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンに接続されている前記データ線あるいは前記カラムピンに有機EL素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、

D/A変換回路とそれぞれの前記出力ピンにそれぞれ接続された多数のアナログスイッチとを有し前記有機EL素子あるいはピクセル回路のコンデンサの端子電圧をリセットするリセット回路とを備え、 30

前記リセット回路は、このリセット回路の外部から前記リセット電圧に応じたデータを受けて前記D/A変換回路によりアナログ電圧を発生し、リセット期間に前記多数のアナログスイッチをONにして前記アナログ電圧をリセット電圧として前記出力ピンに出力する有機EL表示装置。

【請求項11】

前記第1の有機ELパネルはアクティブマトリックス型であり、前記第2の有機ELパネルはパッシブマトリックス型であって、前記データは、前記ピクセル回路のコンデンサの端子電圧をリセットするための第1のデータと前記有機EL素子の端子電圧をリセットする前記第2のデータとからなり、選択信号に応じて前記第1のデータと前記第2のデータのいずれかが選択的に前記前記D/A変換回路に加えられる請求項10記載の有機EL表示装置。 40

【請求項12】

さらに、この有機EL表示装置を備えたある装置の蓋の開閉に応じてON/OFFする作動スイッチを有し、前記第1および第2の有機EL表示パネルの一方がメインディスプレイとされ、いずれか他方がサブディスプレイとされ、前記作動スイッチのON/OFFに応じてON/OFFに応じた前記選択信号が発生する請求項11記載の有機EL表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機EL表示装置に関し、詳しくは、メインディスプレイとサブディスプレイとを有する有機EL表示装置において、一方のディスプレイから他方のディスプレイへの表示切替時の消費電力を低減し、小型薄型化に適した有機EL表示装置に関する。

【背景技術】

【0002】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。

携帯電話機などでは、メインディスプレイとサブディスプレイとが背中合わせに配置される。サブディスプレイが装置の蓋の表側とされ、蓋を閉めた状態でサブディスプレイに必要な情報を表示し、蓋を開けた状態で蓋の裏面に設けられたメインディスプレイにメニュー等の操作情報を表示する切替表示が行われている。

10

この場合、メインディスプレイは、高解像度のカラーディスプレイであり、サブディスプレイは、メインディスプレイより画面サイズが小さい白黒のものが使用されている。特に、携帯電話機のサブディスプレイは、時刻の表示や受信があったときにコールのための映像などを表示する。

メインディスプレイとサブディスプレイのドライバは、それぞれに仕様が相違し、ディスプレイ基板にONチップされることから通常それぞれが個別に設けられている。

【0003】

20

有機EL表示パネルの電流駆動回路は、アクティブマトリックス型でもパッシブマトリックス型のものでも端子ピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

アクティブマトリックス型では、表示セル（画素）対応にピクセル回路が設けられていて、各ピクセル回路は、コンデンサに記憶した電圧に応じてトランジスタを駆動し、このトランジスタを介して有機EL素子（以下OEL素子）を電流駆動する。

一方、パッシブマトリックス型では、マトリックス状に配置されたOEL素子の陽極が直接電流源の駆動回路の出力ピンにカラムピンを介して接続され、各電流源の駆動回路によりそれぞれのOEL素子が駆動される。

なお、有機EL表示パネルの駆動回路としては、カラムピン対応にD/A変換回路（以下D/A）を設けたこの出願人の特開2003-234655号の出願が公知である（特許文献1）。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応に駆動電流あるいはこの駆動電流の元となる電流を生成する回路である。

30

【特許文献1】特開2003-234655号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

メインディスプレイとサブディスプレイにはデータ線対応にあるいはカラムピン対応にそれぞれ電流源の駆動回路を有するドライバICがそれぞれ設けられている。そのため、携帯電話機等の小型の電子機器にあっては、その分、メインディスプレイとサブディスプレイを搭載するエリアが大きくなって、それが、例えば、装置の蓋側ケースの薄型化の障害になっている。

40

また、メインディスプレイとサブディスプレイの一方を使用するときには、通常、他方のディスプレイの駆動電流源は、完全にOFFされるのではなく、待機状態に設定されている。そのために、その分、電力消費が増加し、表示ディスプレイの切替時には一方の駆動回路の待機設定と他方の駆動回路の待機状態からの復帰とが行われる。そのため、これによる過渡電流が消費電力を増加させる要因となっている。

そこで、メインディスプレイとサブディスプレイとについてドライバICを共用することが考えられるが、カラムピンに接続する出力ピン数を倍にしてドライバICの内部で切

50

換えることは、出力ピン数が増加する関係で非常に難しい。しかも、出力ピンに対応して切換スイッチを設けると、回路規模が非常に大きくなる問題がある。さらに、一方の表示パネルと他方の表示パネルとの表示輝度が相違した場合に出力ピンが共通であると出力ピンの電圧が跳ね上がる問題がある。

しかも、このような形で表示ディスプレイの切換（以下表示切換）をしたとしても、アクティブマトリックス型の有機ELパネルでは、駆動電流値の書込みは、通常、数百pFのピクセル回路のコンデンサを0.1μA～10μA程度の電流で充電することによるので、有機ELパネルの切換時に発生する過渡電流でピクセル回路のコンデンサに誤書込みが発生してOEL素子が誤発光する問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであって、一方のディスプレイから他方のディスプレイへの表示切換時のアクティブマトリックス型のディスプレイの誤発光を防止し、表示切換時の消費電力を低減し、小型薄型化に適した有機EL表示装置を提供することにある。 10

この発明の他の目的は、表示切換をする2枚のディスプレイパネルのリセット電圧が相違する場合において、表示切換時の消費電力を低減でき、小型薄型化に適した有機EL表示装置を提供することにある。

【課題を解決するための手段】

【0005】

このような目的を達成するための第1の発明の有機EL表示装置の構成は、アクティブマトリックス型の第1の有機ELパネルと、アクティブマトリックス型あるいはパッシブマトリックス型の第2の有機ELパネルと、第1および第2の有機EL表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンからこれに接続されているデータ線あるいはカラムピンにOEL素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、第1の有機ELパネルのそれぞれのデータ線あるいはカラムピンへの接続ラインに設けられ駆動電流をそれぞれ遮断するための多数の第1のスイッチ回路と第2の有機ELパネルに対する駆動電流を遮断するために第2の有機ELパネルの内部あるいは第2の有機ELパネルの有機EL素子の下流に設けられた駆動電流遮断回路とを備えていて、 20

選択信号に応じて第2の有機ELパネルを駆動するときには多数の第1のスイッチ回路をOFFにして第1の有機ELパネルへの駆動電流を遮断して第2の有機ELパネルのデータ線あるいはカラムピンに駆動電流を出力し、選択信号に応じて第1の有機ELパネルを駆動するときには第2の有機ELパネルに対する駆動電流を駆動電流遮断回路により遮断しかつ多数の第1のスイッチ回路をONにして駆動電流を第1の有機ELパネルのデータ線あるいはカラムピンに流すものである。 30

【0006】

また、第2の発明は、リセット電圧が相違する第1および第2の有機ELパネルと、第1および第2の有機EL表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンに接続されているデータ線あるいはカラムピンにOEL素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、D/A変換回路を有しそれぞれの出力ピンにアナログスイッチを介して接続されたりセット回路とを備えていて、 40

リセット回路が、このリセット回路の外部からリセット電圧の相違に応じたデータを受けてD/A変換回路によりアナログ電圧を発生し、リセット期間にアナログスイッチをONにしてアナログ電圧をリセット電圧として出力ピンに出力するものである。

【発明の効果】

【0007】

前記構成のように、この発明にあっては、第1の有機ELパネルと第2の有機ELパネルとに対して出力ピンを共用する電流駆動回路を設け、アクティブマトリックス型の第1の有機ELパネルの内部に駆動電流を遮断するためのスイッチ回路を設けている。これにより、第1の発明は、第1の有機ELパネルと第2の有機ELパネルとに対応してそれぞ 50

れに電流駆動回路を設ける必要はない。そのため、選択されていない側の電流駆動回路を待機状態にする必要がなく、その分、消費電力を低減することができる。

しかも、第1の発明は、第2の有機ELパネルへの切換時には、アクティブマトリックス型の第1の有機ELパネルの駆動電流をそれぞれのデータ線あるいはカラムピンの接続ラインに設けたスイッチ回路で遮断するようにしているので、切換時の過渡電流によるアクティブマトリックス型の第1の有機ELパネルの誤発光が防止される。しかも、非表示側のアクティブマトリックス型の第1の有機ELパネルは、第1のスイッチ回路がOFF状態になっているので、切換後においても誤発光が防止される。

さらに、この第1の発明は、第1および第2の有機ELパネルのいずれか一方を動作するようにすればよいので、アクティブマトリックス型の第1の有機ELパネルでは出力ピンを共用する電流駆動回路に対してこれの負荷である第1の有機ELパネル（負荷回路側）での切換となるので、その分、過度電流が抑制される。第2の有機ELパネルの駆動電流の遮断回路を垂直走査回路とすれば、電流駆動回路の負荷回路の下流での切換となる。これによりさらに過度電流が抑制される。しかも、垂直側の走査回路の動作／動作停止の切換えにおいて表示切換えを行うようにすれば、第2の有機ELパネルにあっては出力ピンに対応して切換スイッチを設けることが不要になり、回路規模が増加することない。

その結果、第1の発明にあっては、メインディスプレイとサブディスプレイとの表示切換時のアクティブマトリックス型のディスプレイの誤発光を防止し、表示切換時の消費電力を低減でき、小型薄型化に適した有機EL表示装置を実現できる。

一方、第2の発明にあっては、アクティブマトリックス型とパッシブマトリックス型のようにより、表示切換をする2枚のディスプレイパネルのリセット電圧が相違する第1および第2の有機ELパネルが電流駆動回路の出力ピンに対して共通負荷となっている。そこで、D/A変換回路とアナログスイッチを設けることで異なるリセット電圧を共通の回路で発生することができる。すなわち、2枚のディスプレイパネルのリセット回路を共通にできることにより、ドライバICにおけるリセット回路のトータル専有面積を低減できる。

その結果、第2の発明にあっては、表示切換時の消費電力を低減でき、小型薄型化に適した有機EL表示装置を実現できる。

【発明を実施するための最良の形態】

【0008】

図1は、アクティブマトリックス型とパッシブマトリックス型の有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の一実施例のブロック図、図2は、アクティブマトリックス型の有機ELパネルのピクセル回路の説明図、図3は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の他の実施例のブロック図、そして、図4は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置のさらに他の実施例のブロック図である。

図1において、1は、有機ELの表示装置であって、アクティブマトリックス型の有機ELパネル2とパッシブマトリックス型の有機ELパネル3を有している。

4は、これら有機ELパネル2、3とに共通に設けられたドライバIC（以下ドライバ）であり、カラム側の出力段電流源40a、…40i、…40nと、ロー側の走査回路41、42、インバータ43、そしてリセット回路44とを有している。

ドライバ4は、コントロール回路12から入力端子4aを介して表示ディスプレイ選択信号（以下選択信号SEL）“H”（HIGHレベル）あるいは“L”（LOWレベル）を受けて、有機ELパネル2、有機ELパネル3のいずれかを選択的に駆動をする。これにより有機ELパネル2と有機ELパネル3のいずれか一方を表示状態とし、他方を非表示にする。

コントロール回路12は、例えば、表示切換スイッチ11がONにされたときに選択信号SEL“H”を発生する。表示切換スイッチ11がOFFしているときあるいはOFFにされたときには選択信号SELを“L”（LOWレベル）にして出力する。なお、この表示切換スイッチ11は、例えば、この表示装置1を内蔵した携帯電話等において、装置

の蓋が閉められたときに装置の蓋により押されて作動し、ONになるスイッチである。この選択信号SELは、MPU14にも入力されている。

【0009】

アクティブマトリックス型の有機ELパネル2は、メインディスプレイとしてこの表示装置1を内蔵した携帯電話等の装置の蓋の裏面側に設けられ、パッシブマトリックス型の有機ELパネル3は、サブディスプレイとして装置の蓋の表側に設けられている。これら2枚の有機ELパネルは背中合わせに装置の蓋側のケースに内蔵され、ドライバ4は、背中合わせの状態ですべての有機ELパネル2、3のカラム線（カラムピン）あるいはデータ線にそれぞれの出力ピンが共通に接続される。

なお、2枚の有機ELパネルを背中合わせにした場合には、有機ELパネル2と有機ELパネル3とは、それぞれが駆動されるときに一方が他方に対して水平走査方向が逆になる。そのため、水平走査方向1ライン分の表示データは、一方に対して他方では逆方向からセットする必要がある。このような場合には双方向シフトレジスタ等が用いられるが、これについては発明に直接関係ないのでここでは割愛する。

有機ELパネル2（メインディスプレイ）と有機ELパネル3（サブディスプレイ）とは、通常、表示画素数が相違っていて、表示画素数が多い有機ELパネル2には、さらに別のドライバ4が設けられている。このドライバ4については、メインディスプレイとサブディスプレイとに共通に設けられているものではないので、図では割愛してある。別のドライバ4を有機ELパネル2に設けることで、この有機ELパネル2を有機ELパネル3の出力ピン数より多いピン数の、大きな画面を持つパネルとすることができる。

【0010】

有機ELパネル2には、水平走査方向の1ライン分に相当する各データ線 $X_a, \dots, X_i, \dots, X_n$ に対応してスイッチ回路 $S_{Pa}, \dots, S_{Pi}, \dots, S_{Pn}$ がそれぞれに設けられている。出力段電流源40（各出力段電流源 $40_a, \dots, 40_i, \dots, 40_n$ の代表として）のそれぞれの各出力ピン5（各出力ピン $5_a, \dots, 5_i, \dots, 5_n$ の代表として）は、有機ELパネル2のデータ線端子ピン、各スイッチ回路 S_P （各スイッチ回路 $S_{Pa}, \dots, S_{Pi}, \dots, S_{Pn}$ の代表として）を介して各データ線 X （各データ線 $X_a, \dots, X_i, \dots, X_n$ の代表として）にそれぞれ接続されている。これにより、各スイッチ回路 S_P がONしているときに、出力ピン5から各ピクセル回路6に駆動電流が送出される。各スイッチ回路 S_P は、PチャネルMOSトランジスタ T_P で構成され、そのゲートが共通にドライバ4の出力ピン4dに接続され、出力ピン4dの“L”、“H”の信号に応じてON/OFFされる。

ピクセル回路6は、 X 、 Y のマトリックス配線（データ線 X 、走査線 $Y_1, Y_2, \dots$ ）の交点に対応してそれぞれ設けられている。このピクセル回路6は、図2に示すように、4個のトランジスタとOEL素子6aとからなる回路であって、有機ELパネル2の表示画素に対応して画素数分設けられ、データ線 X 、スイッチ回路 S_P を介して出力ピン5に接続されている。

【0011】

図2に示すように、ピクセル回路6には、各データ線 X と各走査線 Y （走査線 $Y_1, Y_2, \dots$ ）との交点にドレインとゲートが接続されたPチャネルMOSトランジスタ $TP1, TP2$ がそれぞれ設けられている。さらに、ピクセル回路6には、直列に接続された2つのPチャネルMOSの駆動トランジスタ $TP3, TP4$ が設けられ、これらトランジスタによりOEL素子6aが電流駆動される。この駆動のためにトランジスタ $TP3$ のソースゲート間にはコンデンサ C が接続されている。

また、トランジスタ $TP1$ のソースは、トランジスタ $TP3$ のゲートに接続され、トランジスタ $TP2$ のソースは、トランジスタ $TP3$ のドレインに接続されている。これにより、これらトランジスタ $TP1, TP2$ がONしたときにはトランジスタ $TP3$ のゲートとドレインとがダイオード接続されて、駆動電流がトランジスタ $TP3$ に流されて駆動電流に対応した電圧値がコンデンサ C に高い精度で記憶される。

トランジスタ $TP3$ のソースは、電源ライン+Vccに接続され、そのドレインは、トランジスタ $TP4$ のソースに接続されている。そして、トランジスタ $TP4$ のドレインは、OEL

素子 6 a の陽極に接続されている。O E L 素子 6 a の陰極は、図 2 に示すように、ロー側走査回路 4 1 の走査回路 4 1 b に設けられたスイッチ 4 1 a を介してグランド G N D に接続されている。

【0012】

トランジスタ TP1、TP2 のゲートは、ロー側の走査回路 4 1 の走査線 Y1 に接続され、トランジスタ TP4 のゲートは、ロー側の走査回路 4 1 の走査線 Y2 に接続されている。ロー側の走査回路 4 1 は、図 2 に示す、書込制御回路 4 1 a と走査回路 4 1 b とからなる。走査線 Y1、走査線 Y2 は、水平方向の走査線 1 ラインを構成し（図 1 参照）、書込制御回路 4 1 a により垂直走査の対象となる 1 ラインに対応する走査線 Y1、走査線 Y2 が“H”あるいは“L”に制御される。

10

走査回路 4 1 b は、書込制御回路 4 1 a により制御されて垂直方向の各走査ライン 7 とグランド G N D との間に設けられた走査回路 4 1 b のスイッチ回路 4 1 c を ON / OFF 制御して走査対象となる走査ライン 7 だけを ON することで垂直走査をする。なお、垂直方向に配置された 1 本の走査ライン 7 には、水平方向 1 ライン分の O E L 素子 6 a の陰極が接続されている。

なお、通常、有機 E L パネル 2 側では複数のドライバ 4 が水平方向 1 ライン分の駆動電流を発生する。そこで、走査回路 4 1 b は、複数のドライバ 4 に対応して 1 つ設けられることになる。

【0013】

次に、図 1 のパッシブマトリックス型の有機 E L パネル 3 について説明すると、各出力段電流源 4 0 のそれぞれの出力ピン 5 は、さらに有機 E L パネル 3 の各カラム線 C La, ... C Li, ... C Ln にもそれぞれ接続されている。各カラムピンを介して各カラム線 CL (各カラム線 C La, ... C Li, ... C Ln の代表として) と各ローライン 8 (垂直走査ライン) との交点には、それぞれ O E L 素子 3 a が設けられている。各 O E L 素子 3 a の陽極側は、カラム線 CL に直接接続され、水平方向に配列された O E L 素子 3 a の陰極側は、垂直方向に配置された各ローライン 8 に直接接続されている。各ローライン 8 は、ロー側の走査回路 4 2 により垂直走査の対象となったときにグランド G N D に落とされる。

20

ロー側の走査回路 4 2 は、シフトレジスタと CMOS 出力回路等で構成され、CMOS 出力回路は、有機 E L パネル 3 の垂直走査方向の各ローライン 8 (水平方向 1 ライン) ごとに設けられている。各 CMOS 出力回路が順次シフトレジスタにより駆動されて垂直走査方向の 1 ライン (垂直走査対象となるローライン 8) をグランド G N D へと落とす。このことにより、ロー側の走査回路 4 2 は、出力ピン 5 から水平方向 1 ライン分の駆動電流を吐き出させる。

30

ところで、ロー側の走査回路 4 1、4 2 の垂直走査は、入力端子 4 e を介してコントロール回路 1 2 からタイミング信号を受けて行われる。

【0014】

図 1 に示すように、出力段電流源 4 0 は、カレントミラー回路 4 5 とアナログスイッチ (トランسمッションゲート) 4 6、4 7、4 8、そして D / A 変換回路 (D / A) 4 9 とからなる。ロー側の走査回路 4 1 あるいはロー側の走査回路 4 2 の垂直走査方向の水平 1 ラインの走査に応じてそれぞれ出力ピン 5 にシンクあるいはソースの出力電流を発生する。D / A 4 9 は、カレントミラー回路で構成され、基準駆動電流をカレントミラー回路の入力側トランジスタに受けて入力された表示データに応じた変換アナログ電流を出力側トランジスタに発生する。

40

出力ピン 5 におけるシンクあるいはソースの出力電流の切換は、入力端子 4 a に入力される選択信号 S E L により行われ、これが“L”のときにシンク電流となり、“H”のときにソース電流となる。このシンク電流とソース電流の切換えについては後述する。

カレントミラー回路 4 5 は、P チャネル MOS トランジスタ Q P1、Q P2 とからなり、入力側トランジスタ Q P1 と出力側トランジスタ Q P2 のチャネル幅 (ゲート幅) 比は、1 : 1 0 になっている。

【0015】

50

トランジスタ QP1, QP2のソース側が+15V程度の電源ライン+Vccに接続されている。入力側トランジスタ QP1のドレインは共通のゲートに接続されるとともにアナログスイッチ 46 を介して D/A 49 に接続されている。

また、トランジスタ QP1のソースとドレイン間にはアナログスイッチ 47 が設けられていて、入力側トランジスタ QP2のドレインは出力ピン 5 に接続されている。そして、出力ピン 5 と D/A 49 の出力との間にはアナログスイッチ 48 が設けられている。アナログスイッチ 47, 48 とは、アナログスイッチ 46 に対して選択信号 SEL が逆相で入力されるように配線されていて、選択信号 SEL が “H” でアナログスイッチ 46 が ON する。このときには、アナログスイッチ 47, 48 が OFF する。また、選択信号 SEL が “L” でアナログスイッチ 46 が OFF する。このときには、アナログスイッチ 47, 48 が ON になる。 10

【0016】

リセット回路 44 は、D/A 変換回路 (D/A) 440 と、各出力ピン 5 に対応して設けられ、各出力ピン 5 と D/A 440 との間それぞれ接続されたアナログスイッチ (トランSMISSIONゲート) 44a, … 44i, … 44n とからなる。レジスタ 13 から入力端子 4c を介してデータ DA を受けた D/A 440 は、リセット期間 RT に所定のリセット電圧 (プリセット電圧) VR を発生して出力ピン 5 に各アナログスイッチ 44X (各アナログスイッチ 44a, … 44i, … 44n の代表として) を介して出力する。各アナログスイッチ 44X は、入力端子 4b を介してコントロール回路 12 からリセット信号 RS を受けてリセット期間 RT の間 ON になる。リセット信号 RS は、リセット期間 RT の間、“H” になるリセットコントロール信号あるいはタイミングコントロール信号に応じて発生する。 20

レジスタ 13 のデータ DA は、選択信号 SEL “H”, “L” に応じて MPU 14 により設定される。

【0017】

ここで、ロー側の走査回路 41, 42 は、それぞれ “H” のエネーブル信号とリセット信号 RS とを受けて走査動作をする。

ロー側の走査回路 41 は、入力端子 4a, インバータ 43 を介して選択信号 SEL をエネーブル信号として受ける。ロー側の走査回路 42 は、直接選択信号 SEL をエネーブル信号として直接受ける。 30

なお、ロー側の走査回路 41, 42 の走査動作は、入力端子 4b を介してリセット信号 RS を受けてリセット期間 RT から走査動作を開始する。

そこで、ロー側の走査回路 41 は、表示切換スイッチ 11 が ON から OFF にされたときには、選択信号 SEL “L” をインバータ 43 を介して “H” のエネーブル信号として受けて有機 EL パネル 2 に対する垂直方向 (ロー側) の走査動作をリセット信号 RS のリセット期間 RT から開始する。一方、有機 EL パネル 3 のロー側の走査回路 42 は、表示切換スイッチ 11 が OFF にされたときには、選択信号 SEL “L” を直接受けるので垂直方向の走査動作を停止する。

逆に、有機 EL パネル 2 のロー側の走査回路 41 は、表示切換スイッチ 11 が OFF から ON にされたときには、選択信号 SEL “H” をインバータ 43 を介して “L” のエネーブル信号として受けるので垂直方向の走査動作が停止する。一方、有機 EL パネル 3 のロー側の走査回路 42 は、表示切換スイッチ 11 が ON にされたときには、選択信号 SEL “H” を直接エネーブル信号として受けるので垂直方向の走査動作をリセット信号 RS のリセット期間 RT から開始する。 40

このように、この表示装置 1 を内蔵した携帯電話等の装置は、その蓋が閉められたときには選択信号 SEL が “H” となって、パッシブマトリックス型の有機 EL パネル 3 のロー走査回路 42 が動作し、装置の蓋が開けられたときには選択信号 SEL が “L” となって、アクティブマトリックス型の有機 EL パネル 2 のロー走査回路 41 が動作する。

【0018】

次に、選択信号 SEL と有機 EL パネル 2 の動作について説明する。 入力端子 4a に 50

入力される選択信号SELが“L”のときには、有機ELパネル2が選択されてピクセル回路6（そのOEL素子6a）が走査回路41の垂直方向の走査に応じた水平1ラインのOEL素子がデータ線あるいはカラムピンを介して駆動される。

この場合のピクセル回路6の動作について説明すると、ロー側走査により走査線Y1が“L”になることでトランジスタTP1、TP2がONになる。これにより電源ライン+VccからトランジスタTP3、コンデンサC、トランジスタTP1、TP2、データ線X、スイッチ回路SP、出力ピン5を経てD/A49がシンクする所定の駆動電流が流れて、コンデンサCには駆動電流値Iに対応する電圧値が書込まれ、記憶される。この電圧値の書込みが終了すると、走査線Y1が“H”になり、トランジスタTP1、TP2がOFFになる。次に走査線Y2が“L”にされてトランジスタT4がONになると、トランジスタTP3、TP4がON状態に維持されて、コンデンサCに記憶された電圧値に従って表示期間の間、OEL素子6aの陽極に電流値Iの駆動電流が供給される。なお、このときには、走査線Y1が“H”になっているのでトランジスタTP1、TP2はOFFである。

こうして垂直走査の対象とされた水平方向1ライン分に相当する各データ線Xを通して水平方向1ライン分のOEL素子6aがそれぞれの駆動電流値で駆動される。

トランジスタTP3、TP4によるOEL素子6aの駆動期間が終了した時点で、リセット期間RTに入り、走査線Y2が“H”になり、走査線Y1が“L”になる。これによりトランジスタTP4がOFFし、トランジスタTP1、TP2がONになる。

【0019】

一方、リセット信号RSを受けて各アナログスイッチ44XがONとなり、D/A440のリセット電圧VRが出力ピン5に加えられて、前記のONしたトランジスタTP1、TP2を介して水平方向1ライン分のコンデンサCが所定のリセット電圧VRにリセットされる。この場合のリセット電圧VRは、レジスタ13に設定されたデータDAにより電源電圧+Vccに近い値に設定される。

なお、リセット期間RTには、ロー側走査回路41によりスイッチ回路41cがONにされていて垂直走査対象となっている水平方向1ライン分のOEL素子6aの陰極側はグランドGNDに接続されている。

このような動作がロー側の走査回路41による垂直走査に応じて行われ、有機ELパネル2の表示が行われる。

【0020】

ここで、出力段電流源40のシンク電流とソース電流の切換え動作と有機ELパネルの切換え動作について図1を参照して説明する。

選択信号SEL“L”が入力端子4aに入力されたときには、出力段電流源40のアナログスイッチ46は、この信号を受けてOFFし、アナログスイッチ47とアナログスイッチ48は、ONになる。

これにより、アナログスイッチ47がONすることでトランジスタQP1、QP2がOFFとなり、カレントミラー回路45の動作は停止し、トランジスタQP2が出力ピン5から切り離される。また、アナログスイッチ48がONすることで、D/A49の出力が出力ピン5に接続されて出力ピン5は、D/A49を駆動電流源とする電流値Iの電流シンク出力になる。

また、入力端子4aに入力された選択信号SEL“L”は、そのまま出力ピン4dを経て有機ELパネル2の各スイッチ回路SPのトランジスタTPのゲートに“L”が加えられる。これにより有機ELパネル2の各トランジスタTPがONになる。

【0021】

さらに、選択信号SEL“L”が入力端子4aに入力されたときには、インバータ43の出力“H”は、ロー側の走査回路41に加えられ、この回路を動作させて垂直走査をさせる。このとき、MPU14にも選択信号SEL“L”が入力され、これを受けたMPU14は、レジスタ13にアクティブマトリックス型有機ELパネル2に対するリセット電圧VRを発生するデータDAを送出する。これにより、リセット期間RTに出力ピン5を介して所定のリセット電圧VRでコンデンサCがリセットされる。

その結果、ロー側の走査回路4 1が垂直走査に応じて、アクティブマトリックス型の有機ELパネル2のデータ線Xを介して、現在走査されている水平1ラインに接続された水平方向の各ピクセル回路6のコンデンサCに電圧値の書き込みが行われ、次に駆動電流が流れて水平1ライン分のOEL素子6 aが駆動される。

なお、このとき、ロー側の走査回路4 2には入力端子4 aの選択信号SEL “L” が加えられ、これによりロー側の走査回路4 2の動作が停止している。また、有機ELパネル3側には出力ピン5からシンクする駆動電流が出力されるので、各OEL素子3 aは、逆バイアス状態にされ、誤発光は起こらない。

【0022】

一方、選択信号SEL “H” が入力端子4 aに入力されたときには、次に説明するよう 10
に、有機ELパネル3の動作する。このときには、出力段電流源4 0のアナログスイッチ4 6は、この信号を受けてONし、アナログスイッチ4 7とアナログスイッチ4 8は、OFFになる。

アナログスイッチ4 7がOFFすることでトランジスタQP1、QP2からなるカレントミラー回路4 5は動作状態となる。このとき、トランジスタQP2のドレインは、出力ピン5に接続される。また、アナログスイッチ4 6がOFFすることで、D/A 4 9が出力ピン5から切り離される。アナログスイッチ4 6がONすることでトランジスタQP1のドレインがD/A 4 9の出力に接続されて、カレントミラー回路4 5がD/A 4 9の出力電流値Iにより電流駆動される。これにより、トランジスタQP2から出力ピン5に電流値 $I \times 10$ の吐き出しの駆動電流が出力される。 20

また、入力端子4 aに入力された選択信号SEL “H” は、ロー側の走査回路4 2に加えられ、この回路を動作状態にする。さらに、選択信号SEL “H” は、そのまま出力ピン4 dを経て各スイッチ回路SPのトランジスタTPのゲートに加えられる。これにより、これらトランジスタTPをOFFにする。

その結果、出力ピン5から有機ELパネル2のデータ線Xへの駆動電流が阻止される。

これにより、パッシブ型の有機ELパネル3への切換時には、アクティブマトリックス型の有機ELパネル2の駆動電流がそれぞれのデータ線あるいはカラムピンに設けたスイッチ回路SPで遮断されるので、切換時の過渡電流によるアクティブマトリックス型の有機ELパネル2の誤発光が防止される。さらに、非表示側のアクティブマトリックス型の有機ELパネル2のは、スイッチ回路SPがOFF状態になっているので、切換後においても誤発光が防止される。 30

【0023】

次に、選択信号SELと有機ELパネル3の動作について説明する。

入力端子4 aに入力された選択信号SEL “H” を受けてロー側の走査回路4 2が動作して、有機ELパネル3の垂直方向のライン走査が行われ、その走査に応じて垂直走査対象となる水平方向の1ラインがグランドGNDに落ちると、走査対象の垂直走査方向の1水平ラインとカラムラインCLとの間に接続されたOEL素子3 aがカレントミラー回路4 5からのソース電流により駆動される。

なお、このとき、ロー側の走査回路4 1には入力端子4 aの選択信号SEL “H” がインバータ4 3を介して “L” として加えられるので、ロー側の走査回路4 1の動作は停止 40
している。

これにより、表示切換スイッチ11のON/OFFに応じて、言い換えれば、この表示装置1を内蔵した携帯電話等の装置の蓋の開閉に応じて有機ELパネル2と有機ELパネル3のいずれかが選択されて表示動作をする。

ここで、有機ELパネル3のリセットについて説明すると、選択信号SEL “H” が入力端子4 aに入力されたときには、MPU 14は、この選択信号SEL “H” を受けて、レジスタ13にパッシブマトリックス型有機ELパネル3に対するリセット電圧VRを発生するデータDAを送出する。これにより、リセット期間RTに出力ピン5を介して所定のリセット電圧VRでOEL素子3 aがリセットされる。

【0024】

ところで、タイミングコントロール信号を水平1ラインの走査期間に相当する表示期間と帰線期間に相当するリセット期間（垂直方向の走査切換期間）とを切り分ける信号であるとする、パッシブマトリックス型の有機ELパネルの駆動では、通常、タイミングコントロール信号とリセットコントロール信号とは同じ信号になり、リセットコントロール信号が使用される。そして、リセット信号RSは、通常、帰線期間に相当するリセット期間RTの全部ではなく、その中の一部の期間が割り当てられる。

アクティブマトリックス型の有機EL素子の駆動では、ピクセル回路6のコンデンサCに対する電圧値の書込み期間が必要になるので、通常、タイミングコントロール信号とは別にリセットコントロール信号あるいはリセット信号を発生させる。この場合、リセットコントロール信号におけるリセット期間RTは、帰線期間に相当するリセット期間の全部ではなく、その中の一部の期間が割り当てられる。そこで、前記ピクセル回路6のコンデンサCに対する電圧値の書込みは、ピクセル回路6のコンデンサのリセット終了後のタイミングにおいて帰線期間に相当するリセット期間内において行われる。

したがって、有機ELパネル2と有機ELパネル3との切換えとその動作開始は、リセットコントロール信号によることなく、リセット信号あるいはタイミングコントロール信号に応じて行われてもよい。この場合には、帰線期間に相当するリセット期間の開始からそれぞれに動作を開始させることができる。

また、有機ELパネル3のロー側の走査回路42の動作の停止は、出力段電流源40からの駆動電流を停止させるものである。これにより、前記実施例では、走査回路42は、有機ELパネル3（負荷回路）の下流に設けられた駆動電流の遮断回路になっている。

さらに、アクティブマトリックス型では、コンデンサCが駆動電流値を記憶するので、前記の実施例においては、OEL素子6aが走査回路41bのスイッチ回路41cを介してグランドGNDに接続されるようになっている。これによりこの実施例は、垂直走査に応じて決定される垂直走査ライン（水平方向1ライン分）を順次駆動しているが、このように順次走査するのではなく、この発明は、1画面分の駆動電流値をコンデンサCに記憶させた後にスイッチ回路41aをONさせて一度に1画面分の駆動を行ってもよい。

また、この発明は、R、G、Bの1画面をそれぞれに時分割で駆動する場合には、前記の1画面は、R、G、Bに対応して設けられるので、このスイッチ回路41aは、R、G、Bのそれぞれの1画面に対応して1個ずつ、合計で3個設けられることになる。

【0025】

図3は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の他の実施例のブロック図である。

有機ELの表示装置10は、図1のパッシブマトリックス型の有機ELパネル3をアクティブマトリックス型の有機ELパネル2と同様なアクティブマトリックス型の有機ELパネル20に置き換えたものである。そのため、ロー側走査回路42は不要となり、ドライバ4は、ロー側走査回路41により有機ELパネル2、20をマルチプレクサ15を介して切換駆動することになる。

この場合には、出力段電流源は、有機ELパネル2と有機ELパネル20の両者に対してシンク電流を発生すればよいので、図示するように、図1の出力段電流源40に対して出力段電流源は、D/A49のみの構成となっている。そこで、このD/A49の出力が出力ピン5に接続されている。

【0026】

マルチプレクサ15は、入力端子4aに入力された選択信号SEL“H”を受けて有機ELパネル2側への出力から有機ELパネル20側への出力に垂直走査出力を切換える。

なお、この実施例では、ドライバ4にインバータ43の出力を外部に出力する出力ピン4fが設けられている。この出力ピン4fが有機ELパネル20の各スイッチ回路SPのトランジスタTPのゲートに加えられる。その結果、有機ELパネル2と有機ELパネル20とは交互に駆動電流が阻止され、駆動電流が阻止されていない側の有機ELパネルに出力ピン5からD/A49の電流値Iのシンクする駆動電流が供給される。

【0027】

具体的には、入力端子4 aに選択信号SEL “L”が入力されたときには、出力ピン4 dを経て有機ELパネル2側の各スイッチ回路SPのトランジスタTPのゲートに“L”が加えられ、これらトランジスタがONになる。そして、選択信号SEL “L”を受けたロー側走査回路4 1がマルチプレクサ1 5を介して有機ELパネル2側を選択して垂直走査を行う。これにより有機ELパネル2の各ピクセル回路6が駆動される。このとき、有機ELパネル2 0側の各スイッチ回路SPのトランジスタTPは、そのゲートに出力ピン4 fを介して“H”が加えられてOFFしている。

一方、入力端子4 aに選択信号SEL “H”が入力されたときには、出力ピン4 fを経て有機ELパネル2 0側の各スイッチ回路SPのトランジスタTPのゲートに“H”が加えられ、これらトランジスタがONになる。そして、選択信号SEL “H”を受けたロー側走査回路4 1がマルチプレクサ1 5を介して選択された有機ELパネル2 0側の垂直走査を行う。これにより、有機ELパネル2 0の各ピクセル回路6が駆動される。このとき、有機ELパネル2側の各スイッチ回路SPのトランジスタTPは、そのゲートに出力ピン4 dを介して“H”が加えられてOFFしている。

その結果、表示切換スイッチ1 1のON/OFFに応じて、有機ELパネル2と有機ELパネル2 0のいずれかが選択的に表示動作をする。

なお、この場合のリセット電圧VRは、有機ELパネル2, 2 0とも同じ電圧値になるので、必ずしもD/A 4 4 0で変換する必要はなく、ツエナーダイオード等の定電圧回路であってもよい。

【0028】

図4は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置のさらに他の実施例のブロック図である。

有機ELパネル2 0側を図1の有機ELパネル3と同様に電流ソースにより駆動するピクセル回路6 0を持つ有機ELパネル2 aとしたものである。

ピクセル回路6 0は、ピクセル回路6のPチャネルMOSトランジスタTP1~TP6をすべてNチャネルMOSトランジスタに置き換えたものである。そして、OEL素子6 aは、トランジスタTP3に対応する位置にあるNチャネルトランジスタのドレインと電源ライン+Vccとの間に挿入されている。

また、PチャネルMOSトランジスタTPで構成される各スイッチ回路SPは、NチャネルMOSトランジスタTNで構成される各スイッチ回路SN（各スイッチ回路SN1, … SNi, … SNnの代表として）に置き換えられている。

さらに、有機ELパネル2 aの走査線Y1, Y2にはそれぞれインバータが設けられている。

なお、この場合には、出力段電流源は、図1に出力段電流源4 0（各出力段電流源4 0 a, … 4 0 i, … 4 0 n）となり、図1の実施例と同様に、選択信号SELの“H”, “L”に応じて電流ソース駆動と電流シンク駆動との切換が行われる。ただし、カレントミラー回路4 5の入力側トランジスタQP1と出力側トランジスタQP2のチャネル幅（ゲート幅）比は、1：1になっている。

その全体的な動作については、図1あるいは図3の実施例と実質的に変わらないので割愛する。

【0029】

ところで、実施例では、アクティブマトリックス型の有機ELパネル2において、各データ線Xに対応してスイッチ回路SPがそれぞれに設けられている。これと同様にパッシブマトリックス型の有機ELパネル3においても、各カラムライン（カラムピンへの接続ライン）CLに対応してスイッチ回路SPをそれぞれに設けてもよい。そして、表示切換において非表示となる場合に各スイッチ回路SPをOFFにして出力段電流源4 0の駆動電流を遮断する制御が行われてもよい。

また、実施例では、有機ELパネル（メインディスプレイ）と有機ELパネル（サブディスプレイ）とは、ドライバIC 4の出力ピン数に対応して端子ピンが割当てられている。しかし、この発明は、ドライバIC 4によるサブディスプレイの有機ELパネル3の駆

10

20

30

40

50

動ピン数がメインディスプレイの有機ELパネル2の駆動ピン数よりも少ない場合であっても適用できる。このような場合には、サブディスプレイの有機ELパネル3を駆動するときに、電流出力が不要な出力ピンに対応するD/A 49に対して表示データ“0”を設定すればよい。これにより、それらの出力ピンには出力電流が発生しないからである。これにより問題は生じない。

また、表示切換は、表示切換スイッチ11のON/OFFに応じて行われればよく、必ずしもこれに同期させて行われる必要はない。例えば、表示切換スイッチ11のONあるいはOFFを受けたときに、切換えにより表示が停止される側のディスプレイが表示期間であるときには、リセット信号RSに応じてリセット期間RTに入ったタイミングで表示切換が行われるように選択信号SELを発生してもよい。これは、例えば、リセット信号RSとの論理積を採ることで容易にできる。

なお、選択信号に応じて、駆動される（あるいは表示される）第1および第2の有機ELパネルのいずれか一方の垂直走査回路の動作の開始は、駆動が停止される（あるいは表示が停止される）いずれか他方が垂直走査回路の動作を停止した以降のタイミングであることが好ましい。この場合の動作停止は、走査動作の一時的な停止あるいは待機状態に限定されるものではなく、この回路の動作そのものの停止であってもよい。

【産業上の利用可能性】

【0030】

以上説明してきたが、実施例では、表示装置1を内蔵した携帯電話等において、表示切換スイッチについて、装置の蓋が閉められたときに装置の蓋により押されて作動し、ONになるスイッチであると説明している。しかし、これは逆に装置の蓋が閉められたときにOFFになるスイッチであってもよい。この場合には、実施例で示す選択信号の“H”、“L”の発生は逆になる。

なお、選択信号SELの“H”と“L”は一例であり、インバータ等により容易に論理を逆にすることができるので、これらが逆の論理信号であっても何ら問題なく実施例と同様な選択動作をさせることが可能である。また、表示切換スイッチは、押しボタンのようなスイッチに限定されるものではなく、例えば、装置の蓋を開けたときに光りを受けて検出信号を発生する光学的なセンサを用いたスイッチであってもよい。表示切換を検出する他のセンサであってもよいことはもちろんである。したがって、ここでのスイッチあるいはスイッチ回路にはセンサが含まれる。

また、実施例では、MOSFETトランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。さらに、実施例のNチャンネル型トランジスタ（あるいはnpn型）は、Pチャンネル型（あるいはppn型）トランジスタに、Pチャンネル型トランジスタは、Nチャンネル（あるいはnpn型）トランジスタに置き換えることができる。この場合には、電源電圧は、通常は負となり、上流に設けたトランジスタは下流に設けることになる。

【図面の簡単な説明】

【0031】

【図1】図1は、アクティブマトリックス型とパッシブマトリックス型の有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の一実施例のブロック図である。

【図2】図2は、アクティブマトリックス型の有機ELパネルの 픽セル回路の説明図である。

【図3】図3は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の他の実施例のブロック図である。

【図4】図4は、2枚のアクティブマトリックス型有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置のさらに他の実施例のブロック図である。

【符号の説明】

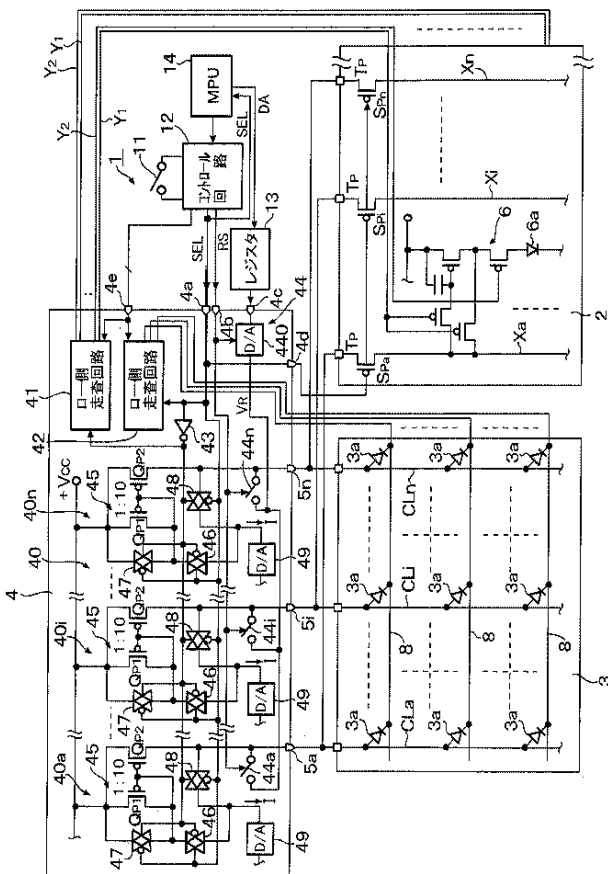
【0032】

1…有機ELの表示装置、

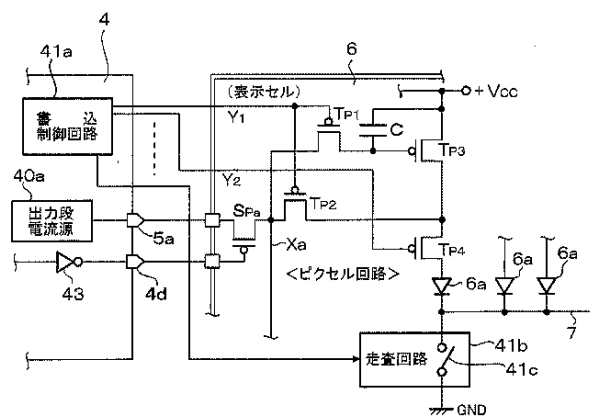
2, 2 a, 2 0…アクティブマトリックス型の有機ELパネル、
3…パッシブマトリックス型の有機ELパネル、
3 a, 6 a…有機EL素子（OEL素子）、
4…ドライバIC、4 0, 4 0 a～4 0 n…出力段電流源、
5…出力ピン、6, 6 0…ピクセル回路、7, 8…ローライン、
1 1…表示切換スイッチ、1 2…コントロール回路、
1 3…レジスタ、1 4…MPU、1 5…マルチプレクサ、
4 1, 4 2…ロー側の走査回路、
4 4 0, 4 5…D/A変換回路（D/A）、
4 3…インバータ、4 4…リセット回路、
4 4 a, 4 4 X, 4 4 n, 4 6, 4 7、4 8…アナログスイッチ、
4 5…カレントミラー回路。

10

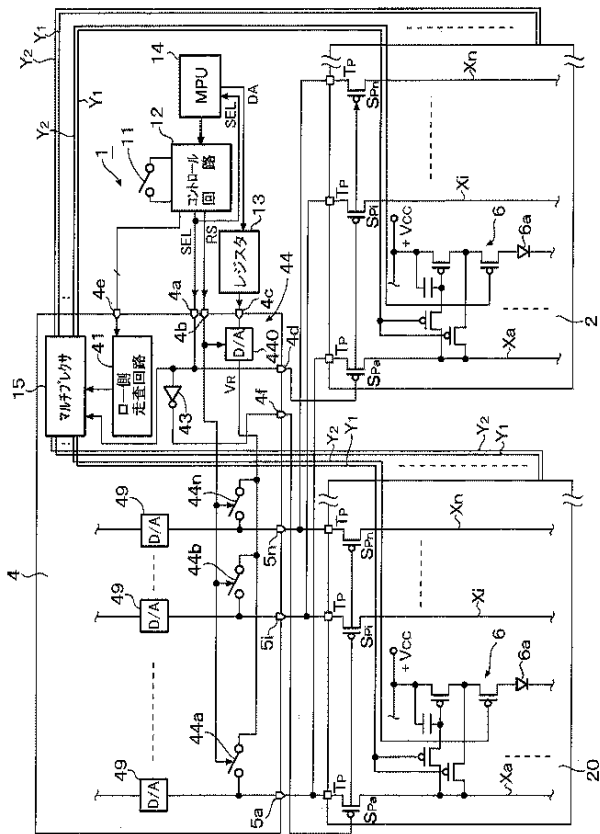
【图 1】



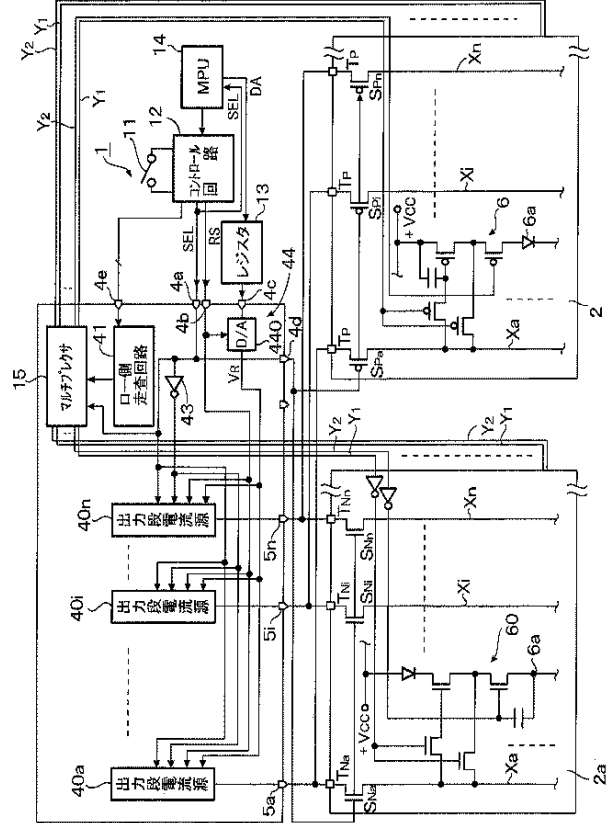
【図 2】



【図 3】



【図 4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2005/004112
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ G09G3/30, 3/20, H05B33/14 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ G09G3/30, 3/20, H05B33/14, H04M1/02 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X P, A	JP 2004-126257 A (NEC Electronics Corp.), 22 April, 2004 (22.04.04), Full text; all drawings & EP 1406240 A2 & US 2004/0169618 A1	1-3 4-12
P, X P, A	JP 2004-109595 A (Meruko Display Technology Kabushiki Kaisha), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-3 4-12
A	JP 2001-326710 A (NEC Corp.), 22 November, 2001 (22.11.01), Full text; all drawings & EP 1156640 A2 & US 2001/0044319 A1	1-12
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 June, 2005 (06.06.05)		Date of mailing of the international search report 21 June, 2005 (21.06.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004112

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-320006 A (NEC Saitama, Ltd.), 31 October, 2002 (31.10.02), Full text; all drawings (Family: none)	1-12
A	JP 2001-136248 A (Matsushita Electric Industrial Co., Ltd.), 18 May, 2001 (18.05.01), Full text; all drawings & US 6807275 B1	1-12
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 167148/1980 (Laid-open No. 89986/1982) (Ricoh Watch Co., Ltd.), 03 June, 1982 (03.06.82), Full text; all drawings (Family: none)	1-12

国際調査報告		国際出願番号 PCT/JP2005/004112	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. ⁷ G09G3/30, 3/20, H05B33/14			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. ⁷ G09G3/30, 3/20, H05B33/14, H04M1/02			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
P, X P, A	JP 2004-126257 A (NECエレクトロニクス株式会社), 2004. 04. 22, 全文全図 & EP 1406240 A2 & US 2004/0169618 A1	1-3 4-12	
P, X P, A	JP 2004-109595 A (メルコ・ディスプレイ・テクノロジー株式会社), 2004. 04. 08, 全文全図 (ファミリーなし)	1-3 4-12	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 06. 06. 2005		国際調査報告の発送日 21. 6. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広 電話番号 03-3581-1101 内線 3226	2G 9509

国際調査報告

国際出願番号 PCT/JP2005/004112

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-326710 A (日本電気株式会社), 2001. 11. 22, 全文全図 & EP 1156640 A2 & US 2001/0044 319 A1	1-12
A	JP 2002-320006 A (埼玉日本電気株式会社), 20 02. 10. 31, 全文全図 (ファミリーなし)	1-12
A	JP 2001-136248 A (松下電器産業株式会社), 20 01. 05. 18, 全文全図 & US 6807275 B1	1-12
A	日本国実用新案登録出願55-167148号 (日本国実用新案登 録出願公開57-89986号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (リコー時計株式会社), 198 2. 06. 03, 全文全図 (ファミリーなし)	1-12

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 3 R	
	G 0 9 G 3/20 6 2 2 P	
	H 0 5 B 33/14 A	

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 藤沢 雅憲

京都市右京区西院溝崎町2 1 番地 ローム株式会社内

F ターム (参考) 3K107 AA01 BB01 CC14 CC43 EE02 EE03 EE68 HH00 HH04 HH05
5C080 AA06 BB05 CC03 DD09 DD26 EE29 EE30 FF11 JJ03

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第1 8 4 条の1 0 第1 項 (実用新案法第4 8 条の1 3 第2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有机EL表示装置		
公开(公告)号	JPWO2005088595A1	公开(公告)日	2008-01-31
申请号	JP2006510962	申请日	2005-03-09
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	前出淳 阿部真一 藤沢雅憲		
发明人	前出 淳 阿部 真一 藤沢 雅憲		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/08 H05B33/14		
CPC分类号	H05B33/08 G06F3/1423 G09G3/3216 G09G3/325 G09G3/3266 G09G3/3275 G09G2300/0426 G09G2300/0842 G09G2310/0221 G09G2310/0251 G09G2310/0297 Y02B20/32		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.680.D G09G3/20.641.D G09G3/20.623.Y G09G3/20.623.R G09G3/20.622.P H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC43 3K107/EE02 3K107/EE03 3K107/EE68 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ03		
代理人(译)	梶山 信是 山本富士雄		
优先权	2004066821 2004-03-10 JP		
其他公开文献	JP5124137B2		
外部链接	Espacenet		

摘要(译)

为了解决上述问题，提供一种有机EL显示装置，该有机EL显示装置能够防止有源矩阵型显示面板的误发光，并且能够减少显示面板切换时的功耗，并且在减小有机EL显示装置的面积和厚度方面有效。[解决方案]一种有机EL显示装置，其具有有源矩阵型的第一有机EL面板和第二有机EL面板，其包括电流驱动电路和用于切断驱动电流的开关电路，所述电流驱动电路具有第一有机EL面板和第二有机EL面板共同使用的输出引脚。在第一有机EL面板中设置第一有机EL面板的一部分。根据本发明的另一方面，有机EL显示装置包括由D/A转换器电路和连接至输出引脚的多个模拟开关构成的复位电路。复位电路响应于外部提供的数据来复位有机EL面板的有机EL元件的端子电压，以通过D/A转换器电路产生模拟电压，并且通过在复位周期中接通模拟开关来输出模拟电压作为复位电压。。

