

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5789585号
(P5789585)

(45) 発行日 平成27年10月7日(2015.10.7)

(24) 登録日 平成27年8月7日(2015.8.7)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/30 J
H01L 51/50 (2006.01)	G09G 3/20 611E
	G09G 3/20 611H
	G09G 3/20 612A
請求項の数 11 (全 27 頁) 最終頁に続く	

(21) 出願番号	特願2012-230521 (P2012-230521)	(73) 特許権者	514188173
(22) 出願日	平成24年10月18日(2012.10.18)		株式会社 J O L E D
(62) 分割の表示	特願2008-9001 (P2008-9001)		東京都千代田区神田錦町三丁目23番地
の分割		(74) 代理人	110001737
原出願日	平成20年1月18日(2008.1.18)		特許業務法人スズエ国際特許事務所
(65) 公開番号	特開2013-47830 (P2013-47830A)	(74) 代理人	110001357
(43) 公開日	平成25年3月7日(2013.3.7)		特許業務法人つばき国際特許事務所
審査請求日	平成24年10月18日(2012.10.18)	(72) 発明者	富田 昌嗣
審判番号	不服2014-8570 (P2014-8570/J1)		東京都港区港南1丁目7番1号 ソニーイ
審判請求日	平成26年5月8日(2014.5.8)		ーエムシーエス株式会社内
		(72) 発明者	浅野 慎
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

(54) 【発明の名称】 表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の画素回路と、駆動回路とを含み、
 前記複数の画素回路の各々は、
 発光ダイオードと、
 電源線から前記発光ダイオードへ流れる電流を制御する駆動トランジスタと、
 前記駆動トランジスタの制御ノードと2つの電流ノードの少なくとも一方との間に結合する保持容量と、
 信号線から前記保持容量への信号のサンプリングを制御するサンプリングトランジスタと、
 を少なくとも含み、
 前記駆動回路は、
 前記発光ダイオードのアノード電極の電位を、該発光ダイオードのカソード電極の電位より高く該発光ダイオードが逆バイアスされないが、発光を停止する値の一定の中間電位として前記発光ダイオードを発光停止させてから、
 前記発光ダイオードのアノード電極に、前記中間電位より低く、前記発光ダイオードのカソード電極の電位未満の一定の電位を、前記電源線から前記駆動トランジスタを介して所定の期間印加して、該発光ダイオードを逆バイアスさせ、
 前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に、データ基準電圧に基づく初期化電圧を与え、

前記電源線の電位を前記中間電位より高い発光時の電位とした状態で、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持容量に設定し、

前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正した後、前記サンプリングトランジスタをオフすることによって、前記発光ダイオードを発光可能な状態にバイアスさせる、

表示装置。

【請求項 2】

前記駆動回路は、前記中間電位の印加により発光停止がされる発光期間の長さを、該中間電位の印加タイミングにより制御し、該発光期間の長さの変動を吸収するように、前記中間電位の印加期間の長さを変更する、

請求項 1 記載の表示装置。

【請求項 3】

前記画素回路は、前記発光ダイオードを逆バイアスした後で前記閾値電圧に応じた保持電圧の設定前に、前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に初期化電圧を与えるトランジスタを更に含む、

請求項 1 または 2 記載の表示装置。

【請求項 4】

前記画素回路は、前記駆動トランジスタと前記電源線の間、または前記駆動トランジスタと前記発光ダイオードとの間に接続された発光制御トランジスタを含む、

請求項 1 ～ 3 のいずれか一項記載の表示装置。

【請求項 5】

前記発光ダイオードは有機発光素子である、

請求項 1 ～ 4 のいずれか一項記載の表示装置。

【請求項 6】

駆動回路と複数の画素回路とを有する表示パネルと、

前記駆動回路を制御する制御回路と、

を含み、

前記複数の画素回路の各々は、

発光ダイオードと、

電源線から前記発光ダイオードへ流れる電流を制御する駆動トランジスタと、

前記駆動トランジスタの制御ノードと 2 つの電流ノードの少なくとも一方との間に結合する保持容量と、

信号線から前記保持容量への信号のサンプリングを制御するサンプリングトランジスタと、

を少なくとも含み、

前記駆動回路は、

前記発光ダイオードのアノード電極の電位を、該発光ダイオードのカソード電極の電位より高く該発光ダイオードが逆バイアスされないが、発光を停止する値の一定の中間電位として前記発光ダイオードを発光停止させてから、

前記発光ダイオードのアノード電極に、前記中間電位より低く、前記発光ダイオードのカソード電極の電位未満の一定の電位を、前記電源線から前記駆動トランジスタを介して所定の期間印加して、該発光ダイオードを逆バイアスさせ、

前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に、データ基準電圧に基づく初期化電圧を与え、

前記電源線の電位を前記中間電位より高い発光時の電位とした状態で、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持容量に設定し、

前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正した後、

前記サンプリングトランジスタをオフすることによって、前記発光ダイオードを発光可

10

20

30

40

50

能な状態にバイアスさせる、
電子機器。

【請求項 7】

前記駆動回路は、前記中間電位の印加により発光停止がされる発光期間の長さを、該中間電位の印加タイミングにより制御し、該発光期間の長さの変動を吸収するように、前記中間電位の印加期間の長さを変更する、

請求項 6 記載の電子機器。

【請求項 8】

前記駆動回路は、周辺環境の明るさに応じて前記発光期間の長さを制御する、

請求項 7 記載の電子機器。

10

【請求項 9】

前記画素回路は、前記発光ダイオードを逆バイアスした後で前記閾値電圧に応じた保持電圧の設定前に、前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に初期化電圧を与えるトランジスタを更に含む、

請求項 6 ~ 8 のいずれか一項記載の電子機器。

【請求項 10】

前記画素回路は、前記駆動トランジスタと前記電源線の間、または前記駆動トランジスタと前記発光ダイオードとの間に接続された発光制御トランジスタを含む、

請求項 6 ~ 9 のいずれか一項記載の電子機器。

【請求項 11】

前記発光ダイオードは有機発光素子である、

請求項 6 ~ 10 のいずれか一項記載の電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バイアス電圧が印加されたときに自発光する発光ダイオードと、その駆動電流を制御する駆動トランジスタと、駆動トランジスタの制御ノードに結合する保持キャパシタとを、画素回路内に有する表示装置および電子機器に関する。

【背景技術】

【0002】

自発光型表示装置に用いられる電気光学素子として、有機エレクトロルミネッセンス (Organic Electro Luminescence) 素子が知られている。有機エレクトロルミネッセンス素子は、一般に、OLED (Organic Light Emitting Diode) と称され、発光ダイオードの一種である。

30

【0003】

OLED は、下部電極と上部電極との間に、有機正孔輸送層や有機発光層などとして機能する複数の有機薄膜を積層させている。OLED は、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、OLED を流れる電流値を制御することで発色の階調を得ている。そのため、OLED を電気光学素子として用いる表示装置は、OLED の電流量を制御するための駆動トランジスタと、駆動トランジスタの制御電圧を保持するキャパシタとを含む画素回路が画素ごとに設けられている。

40

【0004】

画素回路は様々なものが提案され、主なものでは 4 トランジスタ (4T) ・ 1 キャパシタ (1C) 型、4T ・ 2C 型、5T ・ 1C 型、3T ・ 1C 型などが知られている。

これらは何れも TFT (Thin Film Transistor) から形成されるトランジスタの特性バラツキに起因する画質低下を防止するものであり、データ電圧が一定ならば画素回路内部で駆動電流が一定となるように制御し、これによって画面全体のユニフォミティ (輝度の均一性) を向上させることを目的とする。とくに画素回路内で OLED を電源に接続するときに、入力する映像信号の画素データに応じて電流量を制御する駆動トランジスタの特性バラツキが、直接的に OLED の発光輝度に影響を与える。

50

【 0 0 0 5 】

駆動トランジスタの特性バラツキで最大のものは閾値電圧のバラツキである。このため、駆動トランジスタの閾値電圧バラツキに因る影響が駆動電流からキャンセルされるように、駆動トランジスタのゲートソース間電圧を補正する必要がある。以下、この補正を「閾値電圧補正または閾値補正」という。

さらに、閾値電圧補正を行うことを前提に、駆動トランジスタの電流駆動能力から閾値バラツキ起因成分等を減じた駆動能力成分（一般には、移動度と称されている）の影響がキャンセルされるように上記ゲートソース間電圧を補正すると、より一層高いユニフォミティが得られる。以下、この駆動能力成分の補正を「移動度補正」という。

駆動トランジスタの閾値電圧や移動度の補正については、例えば、特許文献 1 に詳しく説明されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 6 - 2 1 5 2 1 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

上記特許文献 1 に記載されているように、画素回路の構成によっては、閾値電圧や移動度の補正時に発光ダイオード（有機 E L 素子）を非発光とするため、当該発光ダイオードを逆バイアスした状態で上記補正を行う場合がある。この場合、表示画面が切り替わる際に、時として、画面全体の明るさが瞬間的に変化する現象が生じる。この現象は、瞬間的に画面が明るく光るような場合が特に目立つことから、以下、「フラッシュ現象」と称する。

本発明は、この画面全体の明るさが瞬間的に変化する（フラッシュ）現象を防止または抑制することができる表示装置および電子機器に関する。

【 課題を解決するための手段 】

【 0 0 0 8 】

発明の一形態（第 1 形態）に関わる表示装置は、複数の画素回路と、駆動回路とを含み、前記複数の画素回路の各々は、発光ダイオードと、電源線から前記発光ダイオードへ流れる電流を制御する駆動トランジスタと、前記駆動トランジスタの制御ノードと 2 つの電流ノードの少なくとも一方との間に結合する保持容量と、信号線から前記保持容量への信号のサンプリングを制御するサンプリングトランジスタと、を少なくとも含み、

前記駆動回路は、前記発光ダイオードのアノード電極の電位を、該発光ダイオードのカソード電極の電位より高く該発光ダイオードが逆バイアスされないが、発光を停止する値の一定の中間電位として前記発光ダイオードを発光停止させてから、前記発光ダイオードのアノード電極に、前記中間電位より低く、前記発光ダイオードのカソード電極の電位未満の一定の電位を、前記電源線から前記駆動トランジスタを介して所定の期間印加して、該発光ダイオードを逆バイアスさせ、前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に、データ基準電圧に基づく初期化電圧を与え、前記電源線の電位を前記中間電位より高い発光時の電位とした状態で、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持容量に設定し、前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正した後、前記サンプリングトランジスタをオフすることによって、前記発光ダイオードを発光可能な状態にバイアスさせる。

好適には、前記駆動回路は、前記中間電位の印加により発光停止がされる発光期間の長さを、該中間電位の印加タイミングにより制御し、該発光期間の長さの変動を吸収するように、前記中間電位の印加期間の長さを変更する。

【 0 0 0 9 】

本発明の他の形態（第 2 形態）に関わる電子機器は、駆動回路と複数の画素回路とを有

10

20

30

40

50

する表示パネルと、前記駆動回路を制御する制御回路と、を含み、前記複数の画素回路の各々は、発光ダイオードと、電源線から前記発光ダイオードへ流れる電流を制御する駆動トランジスタと、前記駆動トランジスタの制御ノードと2つの電流ノードの少なくとも一方との間に結合する保持容量と、信号線から前記保持容量への信号のサンプリングを制御するサンプリングトランジスタと、を少なくとも含み、前記駆動回路は、前記発光ダイオードのアノード電極の電位を、該発光ダイオードのカソード電極の電位より高く該発光ダイオードが逆バイアスされないが、発光を停止する値の一定の中間電位として前記発光ダイオードを発光停止させてから、前記発光ダイオードのアノード電極に、前記中間電位より低く、前記発光ダイオードのカソード電極の電位未満の一定の電位を、前記電源線から前記駆動トランジスタを介して所定の期間印加して、該発光ダイオードを逆バイアスさせ、前記駆動トランジスタの制御ノードに接続された前記保持容量の一端に、データ基準電圧に基づく初期化電圧を与え、前記電源線の電位を前記中間電位より高い発光時の電位とした状態で、前記駆動トランジスタの閾値電圧に応じた保持電圧を前記保持容量に設定し、前記サンプリングトランジスタをオンして前記信号線から信号電圧を前記制御ノードに供給するとともに前記保持電圧を前記駆動トランジスタの駆動力に応じて補正した後、前記サンプリングトランジスタをオフすることによって、前記発光ダイオードを発光可能な状態にバイアスさせる。

10

【0011】

ところで、本発明者等は、前述した「フラッシュ現象」の原因を解析した結果、この現象は、発光ダイオード（有機EL素子等）の逆バイアス期間の長短に関係していることを見出している。

20

有機EL素子の逆バイアスについて、上記特許文献1には、5T・1C型の画素回路において、有機発光ダイオードOLED（有機EL素子）を逆バイアスした状態で閾値電圧補正を行う制御が記載されている（上記特許文献1の第1および第2実施形態参照、例えば第1実施形態における段落[0046]等の記載参照）。特許文献1では、1つの画素に対する駆動のみに着目した説明をしているため記載されていないが、実際の有機ELディスプレイにおいては、有機EL素子の逆バイアスは、1フィールド前の画面表示期間（1F）における発光終点から開始され、補正期間を経て次の発光時に解消される。そのため、逆バイアスの長さ（始点）が、有機EL素子の発光許可期間の長さに依存し、時として変化する。

30

【0012】

有機EL素子は、流れる電流量が極端に大きくなると経時変化により、その特性が低下する。この特性の低下は、前述した閾値電圧や移動度の補正である程度補償（補正）されるが、極端な特性低下は完全に補正できないため、特性低下は最初から小さいほうが望ましい。このため、発光輝度を上げる制御を行う場合、駆動電流量を上げるのではなく発光許可期間を長くする制御（パルスのデューティ比制御）を行うことがある。

また、電流周囲の環境が明るいときは全体の発光輝度を上げて画面を見やすくするために、上記補正の限界を考慮して発光許可期間を長くする制御を行うことがある。さらに、低消費電力化の要請から輝度を下げるが、このとき駆動電流量を下げるのではなく発光時間を短くして対処する場合がある。

40

【0013】

画面の明るさを、平均的な画素の発光輝度を上下して変化させる場合、その画面の切り替え時に「フラッシュ現象」が観測されることから、逆バイアス期間の長短に依存して、フラッシュ現象の出方が変わってくる。この観点から、本発明者らは、発光ダイオード（有機EL素子等）を逆バイアスするときに、発光ダイオードの等価容量値が時間的に変化し、これが補正の精度に影響を与えるため、輝度が画面全体で変化しているという結論を得ている。

【0014】

よって、本発明の上述した第1～第2形態では、発光ダイオードに対し発光停止を行う際には、発光ダイオードを逆バイアスしないで発光だけ停止するための中間電位を印加し

50

、発光ダイオードを逆バイアスする一定の電位の印加期間を一定にすることを可能としている。

このことを利用して、発光可能期間が変更されたときは中間電を印加する（発光停止処理）期間を可変として、発光可能期間の変動を吸収することができる。

このため、逆バイアス期間を一定としても、実際に発光させる発光許可期間の長さを変更することが容易である。

【 0 0 1 5 】

逆バイアス印加時間が一定なら、閾値電圧や移動等の補正後に、同じデータ電圧を入力した画素回路間でほぼ同じ程度に、発光ダイオードの制御ノードのバイアス電圧が揃う。つまり、逆バイアス印加時間が異なることによる発光ダイオードに対する発光前のバイアス電圧の誤差成分は発生しない。よって、より補正の精度が向上し、同じデータ電圧が入力されているならば、画素の発光強度はほぼ一定となる。

10

【発明の効果】

【 0 0 1 6 】

本発明に関わる表示装置と電子機器によれば、逆バイアス印加時間を一定にできることから、同じデータ電圧が入力されているならば、画素の発光強度はほぼ一定となり、結果として、いわゆるフラッシュ現象を有効に防止または抑制可能である。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の実施形態に関わる有機 E L ディスプレイの主要構成例を示すブロック図である。

20

【図 2】本発明の実施形態に関わる画素回路の基本構成を含むブロック図である。

【図 3】有機発光ダイオードの特性を示すグラフと式を示す図である。

【図 4】本発明の実施形態に関わる表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【図 5】本発明の実施形態に関わり、3 値の電源駆動パルスが発生する回路のブロック図である。

【図 6】図 5 に示すシフトレジスタから出力される第 1 および第 2 パルス P 1 , P 2 を示すための波形図である。

【図 7】図 5 に示すユニットの一構成例を示す回路図である。

30

【図 8】発光停止期間までの動作説明図である。

【図 9】閾値電圧補正の終了前までの動作説明図である。

【図 1 0】発光許可期間までの動作説明図である。

【図 1 1】補正効果の説明図である。

【図 1 2】本発明の実施形態に対する比較例に関わり、表示制御における各種信号や電圧の波形を示すタイミングチャートである。

【図 1 3】フラッシュ現象を説明するための信号波形と発光強度の変化を示すタイミングチャートである。

【図 1 4】本発明を適用した実施形態における信号波形と発光強度の変化を示すタイミングチャートである。

40

【発明を実施するための形態】

【 0 0 1 8 】

以下、本発明の実施形態を、2 T ・ 1 C 型の画素回路を有する有機 E L ディスプレイを例として、図面を参照して説明する。

【 0 0 1 9 】

< 全体構成 >

図 1 に、本発明の実施形態に関わる有機 E L ディスプレイの主要構成を示す。

図解する有機 E L ディスプレイ 1 は、複数の画素回路（P X L C）3（i, j）がマトリクス状に配置されている画素アレイ 2 と、画素アレイ 2 を駆動する垂直駆動回路（V スキャナ）4 および水平駆動回路（H セクタ：H S E L）5 とを含む。

50

V スキャナ 4 は、画素回路 3 の構成により複数設けられている。ここでは V スキャナ 4 が、水平画素ライン駆動回路 (Drive Scan) 4 1 と、書き込み信号走査回路 (Write Scan) 4 2 とを含んで構成されている。V スキャナ 4 および H セクタ 5 は「駆動回路」の一部であり、「駆動回路」は、V スキャナ 4 と H セクタ 5 の他に、これらにクロック信号を与える回路や制御回路 (CPU 等) など、不図示の回路も含む。とくに水平画素ライン駆動回路 4 1 と、その駆動のためのクロック信号を与える回路や制御回路 (CPU 等) を「駆動信号発生回路」と称する。

【 0 0 2 0 】

図 1 に示す画素回路の符号「 $3(i, j)$ 」は、当該画素回路が垂直方向 (縦方向) のアドレス i ($i = 1, 2$) と、水平方向 (横方向) のアドレス j ($j = 1, 2, 3$) を持つことを意味する。これらのアドレス i と j は最大値をそれぞれ「 n 」と「 m 」とする 1 以上の整数をとる。ここでは図の簡略化のため $n = 2$ 、 $m = 3$ の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【 0 0 2 1 】

画素回路 $3(1, 1)$ 、 $3(2, 1)$ が垂直方向の映像信号線 $D T L(1)$ に接続されている。同様に、画素回路 $3(1, 2)$ 、 $3(2, 2)$ が垂直方向の映像信号線 $D T L(2)$ に接続され、画素回路 $3(1, 3)$ 、 $3(2, 3)$ が垂直方向の映像信号線 $D T L(3)$ に接続されている。映像信号線 $D T L(1) \sim D T L(3)$ は、H セクタ 5 によって駆動される。

第 1 行の画素回路 $3(1, 1)$ 、 $3(1, 2)$ および $3(1, 3)$ が書込走査線 $W S L(1)$ に接続されている。同様に、第 2 行の画素回路 $3(2, 1)$ 、 $3(2, 2)$ および $3(2, 3)$ が書込走査線 $W S L(2)$ に接続されている。書込走査線 $W S L(1)$ 、 $W S L(2)$ は、書き込み信号走査回路 4 2 によって駆動される。

また、第 1 行の画素回路 $3(1, 1)$ 、 $3(1, 2)$ および $3(1, 3)$ が電源走査線 $D S L(1)$ に接続されている。同様に、第 2 行の画素回路 $3(2, 1)$ 、 $3(2, 2)$ および $3(2, 3)$ が電源走査線 $D S L(2)$ に接続されている。電源走査線 $D S L(1)$ 、 $D S L(2)$ は、水平画素ライン駆動回路 4 1 によって駆動される。

【 0 0 2 2 】

映像信号線 $D T L(1) \sim D T L(3)$ を含む m 本の映像信号線の何れか 1 本を、以下、符号「 $D T L(j)$ 」により表記する。同様に、書込走査線 $W S L(1)$ 、 $W S L(2)$ を含む n 本の書込走査線の何れか 1 本を符号「 $W S L(i)$ 」により表記し、電源走査線 $D S L(1)$ 、 $D S L(2)$ を含む n 本の電源走査線の何れか 1 本を符号「 $D S L(i)$ 」により表記する。

映像信号線 $D T L(j)$ に対し、表示画素行 (表示ラインともいう) を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の映像信号線 $D T L(j)$ に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

【 0 0 2 3 】

< 画素回路 >

図 2 に、画素回路 $3(i, j)$ の一構成例を示す。

図解する画素回路 $3(i, j)$ は、有機発光ダイオード O L E D を制御する回路である。画素回路は、有機発光ダイオード O L E D の他に、N M O S タイプの T F T からなる駆動トランジスタ $M d$ およびサンプリングトランジスタ $M s$ と、1 つの保持キャパシタ $C s$ とを有する。

【 0 0 2 4 】

有機発光ダイオード O L E D は、特に図示しないが、例えば上面発光型の場合、透明ガラス等からなる基板に形成された T F T 構造の上にアノード電極を最初に形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、積層体の上に透明電極材料からなるカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

10

20

30

40

50

【0025】

有機発光ダイオードOLEDのアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に有機多層膜が自発光する。有機発光ダイオードOLEDは、有機多層膜を構成する有機材料を適宜選択することで赤(R)、緑(G)、青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR、G、Bの発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色でR、G、Bの区別を行ってもよい。R、G、Bの他にW(ホワイト)を加えた4色構成でもよい。

【0026】

駆動トランジスタMdは、有機発光ダイオードOLEDに流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタMdのドレインが、電源電圧の供給を制御する電源走査線DSL(i)に接続され、ソースが有機発光ダイオードOLEDのアノードに接続されている。

【0027】

サンプリングトランジスタMsは、画素階調を決めるデータ電位Vsigの供給線(映像信号線DTL(j))と駆動トランジスタMdのゲート(制御ノードNDc)との間に接続されている。サンプリングトランジスタMsのソースとドレインの一方が駆動トランジスタMdのゲート(制御ノードNDc)に接続され、もう片方が映像信号線DTL(j)に接続されている。映像信号線DTL(j)に、Hセクタ5(図1参照)からデータ電位Vsigを持つデータパルスが所定の間隔で供給される。サンプリングトランジスタMsは、データ電位の供給期間(データパルスの持続時間(duration time))の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電位Vsigを持つデータパルスの前部または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

【0028】

駆動トランジスタMdのゲートとソース(有機発光ダイオードOLEDのアノード)との間に、保持キャパシタCsが接続されている。保持キャパシタCsの役割については、後述の動作説明で明らかにする。

【0029】

図2では、水平画素ライン駆動回路41により、電源駆動パルスDS(i)が駆動トランジスタMdのドレインに供給され、駆動トランジスタMdの補正時や有機発光ダイオードOLEDが実際に発光する時の電源供給が行われる。電源駆動パルスDS(i)の波形については後述する。

また、書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルスWS(i)がサンプリングトランジスタMsのゲートに供給され、サンプリング制御が行われる。

なお、電源供給の制御は、駆動トランジスタMdのドレインと電源電圧の供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい(後述の変形例参照)。

【0030】

図2では有機発光ダイオードOLEDのアノードが駆動トランジスタMdを介して正側の電源から電源電圧の供給を受け、有機発光ダイオードOLEDのカソードがカソード電位Vcathを供給する所定の電圧線(負側の電源線)に接続されている。

【0031】

通常、画素回路内の全てのトランジスタはTF Tで形成されている。TF Tのチャネルが形成される薄膜半導体層は、多結晶シリコン(ポリシリコン)または非晶質シリコン(アモルファスシリコン)等の半導体材料からなる。ポリシリコンTF Tは移動度を高くとれるが特性ばらつきが大きいため、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコンTF Tが用いられる。ただし、アモルファスシリコンTF TではPチャネル型TF Tが形成し難いため、上述した画素回路3(i

10

20

30

40

50

, j)のように、すべてのTFTをNチャンネル型とすることが望ましい。

【0032】

ここで、画素回路3(i, j)は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ(2T)・1キャパシタ(1C)型の基本構成例である。よって、本実施形態で用いることができる画素回路は、上記画素回路3(i, j)を基本構成として、さらにトランジスタやキャパシタを付加した画素回路であってもよい(後述の変形例参照)。また、基本構成において、保持キャパシタCsを電源電圧の供給線と駆動トランジスタMdのゲートとの間に接続するものもある。

具体的に、本実施形態で採用可能な2T・1C型以外の画素回路として、後述する変形例で幾つかを簡単に述べるが、例えば、4T・1C型、4T・2C型、5T・1C型、3T・1C型などであってもよい。

10

【0033】

図2の構成を基本とする画素回路では、閾値電圧補正時や移動度補正時に有機発光ダイオードOLEDを逆バイアスすると、詳細は後述するが、有機発光ダイオードOLEDの逆バイアス時の等価容量値が保持キャパシタCsの値より十分大きくできるため、有機発光ダイオードOLEDのアノードが電位的にほぼ固定され、補正精度が向上する。このため、逆バイアス状態で補正を行うことが望ましい。

カソード電位Vcathを接地せずに、カソードを電位制御が可能な所定の電圧線に接続しているのは、逆バイアスを行うためである。有機発光ダイオードOLEDを逆バイアスするには、例えば、電源駆動パルスDS(i)の基準電位(低電位Vcc_L)より、カソード電位Vcathを大きくする。

20

【0034】

<表示制御>

図2の回路におけるデータ書き込み時の動作を、閾値電圧と移動度の補正動作と併せて説明する。これらの一連の動作を「表示制御」という。

最初に、補正対象となる駆動トランジスタと有機発光ダイオードOLEDの特性について説明する。

【0035】

図2に示す駆動トランジスタMdの制御ノードNDcには、保持キャパシタCsが結合されている。映像信号線DTL(j)を伝送するデータパルスの有効電位であるデータ電位VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られた電位が制御ノードNDcに印加され、保持キャパシタCsで保持される。駆動トランジスタMdのゲートに所定の電位が印加された時、そのドレイン電流Idsは、印加電位に応じた値を持つゲートソース間電圧Vgsに応じて決まる。

30

ここで駆動トランジスタMdのソース電位Vsを、上記データパルスの基準電位(データ基準電位Vo)に初期化してから、サンプリングを行うとする。サンプリング後のデータ電位Vsig、より正確には、データ基準電位Voとデータ電位Vsigとの電位差で規定されるデータ電圧Vinの大きさに応じたドレイン電流Idsが駆動トランジスタMdに流れ、これがほぼ有機発光ダイオードOLEDの駆動電流Idとなる。

よって、駆動トランジスタMdのソース電位Vsがデータ基準電位Voで初期化されている場合、有機発光ダイオードOLEDがデータ電位Vsigに応じた輝度で発光する。

40

【0036】

図3に、有機発光ダイオードOLEDのI-V特性のグラフと、駆動トランジスタMdのドレイン電流Ids(OLEDの駆動電流Idにほぼ相当)の一般式を示す。

有機発光ダイオードOLEDは、よく知られているように、熱によりI-V特性が図3のように変化する。このとき、図2の画素回路では、駆動トランジスタMdが一定のドレイン電流Idsを流そうとしても、図3に示すグラフから分かるように有機発光ダイオードOLEDの印加電圧が大きくなるため、有機発光ダイオードOLEDのソース電位Vsが上昇する。このとき駆動トランジスタMdのゲートはフローティング状態であるため、ほぼ一定のゲートソース間電圧Vgsが維持されるように、ソース電位と共にゲート電位も

50

上昇し、ドレイン電流 I_{ds} はほぼ一定に保たれ、このことが有機発光ダイオード OLED の発光輝度を変化させないように作用する。

【 0 0 3 7 】

しかしながら、画素回路ごとに駆動トランジスタ M_d の閾値電圧 V_{th} 、移動度 μ が異なっているため、図 3 の式に依拠して、ドレイン電流 I_{ds} にバラツキが生じ、表示画面内で与えられているデータ電位 V_{sig} が同じ 2 つの画素であっても、当該 2 つの画素間で発光輝度が異なる。

【 0 0 3 8 】

なお、図 3 の式において、符号 “ I_{ds} ” は、飽和領域で動作する駆動トランジスタ M_d のドレインとソース間に流れる電流を表す。また、当該駆動トランジスタ M_d において、“ V_{th} ” が閾値電圧を、“ μ ” が移動度を、“ W ” が実効チャネル幅（実効ゲート幅）を、“ L ” が実効チャネル長（実効ゲート長）を、それぞれ表す。また、“ C_{ox} ” が当該駆動トランジスタ M_d の単位ゲート容量、即ち単位面積当たりのゲート酸化膜容量と、ソースやドレインとゲート間のフリンジング容量との総和を表す。

【 0 0 3 9 】

N チャネル型の駆動トランジスタ M_d を有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、それらの補正動作を、発光可能なバイアス設定に先立って行う必要がある。

【 0 0 4 0 】

図 4 (A) ~ 図 4 (E) は、表示制御における各種信号や電圧の波形を示すタイミングチャートである。ここでの表示制御では行単位でデータ書き込みを順次行うものとする。図 4 では、第 1 行の画素回路 3 (1 , j) が書き込み対象の行（表示ライン）であり、第 1 行の表示ラインに対し、フィールド $F (1)$ において表示制御を行う場合を示している。なお、図 4 では、それより前のフィールド $F (0)$ の制御については、その一部（発光停止の制御）を示している。

【 0 0 4 1 】

図 4 (A) は、映像信号 S_{sig} の波形図である。図 4 (B) は、書込対象の表示ラインに供給される書込駆動パルス W_S の波形図である。図 4 (C) は、書込対象の表示ラインに供給される電源駆動パルス D_S の波形図である。図 4 (D) は、書込対象の表示ラインに属する 1 つの画素回路 3 (1 , j) における駆動トランジスタ M_d のゲート電位 V_g （制御ノード N_{Dc} の電位）の波形図である。図 4 (E) は、書込対象の表示ラインに属する 1 つの画素回路 3 (1 , j) における駆動トランジスタ M_d のソース電位 V_s （有機発光ダイオード OLED のアノード電位）の波形図である。

【 0 0 4 2 】

[期間の定義]

図 4 (A) の上部に記載しているように、1 フィールド（または 1 フレーム）前画面の発光許可期間（ LM_0 ）の後に、前画面の発光停止処理期間（ $LM - STOP$ ）が続いている。ここから次画面の処理が始まり、時系列の順で、「補正準備期間」としての初期化期間（ INT ）、閾値電圧補正期間（ VTC ）、書込み & 移動度補正期間（ $W \& \mu$ ）、発光許可期間（ LM_1 ）、発光停止処理期間（ $LM - STOP$ ）と、各処理期間が推移する。

【 0 0 4 3 】

[駆動パルスの概略]

図 4 では、波形図の適当な箇所に時間表示を、符号 “ $T_{0Ca}, T_{0Cb}, T_{15}, \dots, T_{19}, T_{1A}, T_{1B}, T_{1Ca}, T_{1Cb}$ ” により示している。時間 “ T_{0Ca}, T_{0Cb} ” がフィールド $F (0)$ に対応し、時間 “ $T_{15} \sim T_{1Cb}$ ” がフィールド $F (1)$ に対応する。

【 0 0 4 4 】

書込駆動パルス W_S は、図 4 (B) に示すように、“ L ” レベルで非アクティブ、“ H ” レベルでアクティブの所定数のサンプリングパルス SP_1 を画面（1 フィールド）ごと

に含む。サンプリングパルス $SP1$ の後に書き込みパルス WP が重畳されている。このように、サンプリングパルス $SP1$ と書き込みパルス WP から書込駆動パルス WS が構成される。

【0045】

m 本（数百～千数百本）の映像信号線 $DTL(j)$ （図1および図2参照）に供給される映像信号 $Ssig$ は、線順次表示では m 本の映像信号線 $DTL(j)$ に同時に供給される。図4では、第1行の表示に重要な映像信号パルス $PP(1)$ のみ示す。映像信号パルス $PP(1)$ のデータ基準電位 Vo からの波高値が、当該表示制御で表示させたい（書き込みたい）階調値、即ちデータ電圧 Vin に該当する。この階調値（ $= Vin$ ）は、第1行の各画素で同じ場合（単色表示の場合）もあるが、通常、表示画素行の階調値に応じて変化している。

10

【0046】

図4は、主として、第1行内における1つの画素についての動作を説明するためのものであるが、同一行の他の画素では、この表示階調値が異なることがある以外、制御自体は、図示の画素駆動制御と時間をずらして並列に実行される。

【0047】

本実施形態における発光制御の特徴は、電源駆動パルス DS の電位を3値に制御することである。

図4（C）に示すように、電源駆動パルス DS の制御は、図1および図2に示す水平画素ライン駆動回路41が行う。

20

電源駆動パルス DS がとる3値は、「第1レベル」としての低電位 Vcc_L と、「第3レベル」としての高電位 Vcc_H と、低電位 Vcc_L と高電位 Vcc_H の間の所定電位である「第2レベル」としての中電位 Vcc_M とである。

第2レベル（中電位 Vcc_M ）は、有機発光ダイオード $OLED$ を逆バイアスしないが非発光とするアノード電位を与えるための電位である。第1レベル（低電位 Vcc_L ）は、有機発光ダイオード $OLED$ を逆バイアスする非発光のアノード電位を与えるための電位である。

第3レベル（高電位 Vcc_H ）は、有機発光ダイオード $OLED$ のアノードを発光可能にバイアスするための電位である。

3値の電源駆動パルス DS は、図1および図2に示す水平画素ライン駆動回路41により発生する。

30

【0048】

[3値発生回路例]

図5に、3値の電源駆動パルス DS を発生する水平画素ライン駆動回路41のより詳細なブロック図を示す。

図5に図解する水平画素ライン駆動回路41は、デューティ比が異なる2種類の同期パルス（第1パルス $P1$ と第2パルス $P2$ ）を発生し、シフトするシフトレジスタ411と、第1パルス $P1$ と第2パルス $P2$ を入力し、3値の電源駆動パルス DS を発生する DS 発生回路412とを有する。

【0049】

40

図6（C）と図6（D）に、第1パルス $P1$ と第2パルス $P2$ の4フィールド相当の波形図を示す。

図6（C）に示す第1パルス $P1$ は、図6（A）に示す発光停止処理期間（ $LM-STOP$ ）と初期化期間（ INT ）との合計時間に相当する“H”レベルをとり、1フィールド内のその他の期間は“L”レベルをとる波形を有する。

図6（D）に示す第2パルス $P2$ は、初期化期間（ INT ）に“L”レベルをとり、1フィールド内のその他の期間は“H”レベルをとる波形を有する。

【0050】

図5に示すシフトレジスタ411は、不図示のクロック発生回路からクロック信号を入力し、クロック信号から、図6（C）と図6（D）に示す1フィールド分の第1および第

50

2 パルス P 1 , P 2 を発生して、発生した 2 つのパルスをそれぞれシフトさせる回路である。あるいは、シフトレジスタ 4 1 1 は、他の不図示のパルス発生回路で発生した第 1 および第 2 パルス P 1 , P 2 を単に、シフトさせるものでもよい。

シフトレジスタ 4 1 1 に、第 1 および第 2 パルス P 1 , P 2 の出力のための出力タップが、パルスごとに n 個、合計 2 n 個設けられている。この数「n」は、画素アレイ 2 が有する画素行数 n と同じ数であり、各画素行に対して、第 1 パルス P 1 の出力タップと第 2 パルス P 2 の出力タップが対で設けられている。

【 0 0 5 1 】

D S 発生回路 4 1 2 は、同じ構成のユニット 4 1 2 U を n 個含んで構成されている。

ユニット 4 1 2 U は、第 1 入力(in1)と第 2 入力(in2)と出力(out)とを有し、第 1 入力(in1)から入力される第 1 パルス P 1 と、第 2 入力(in2)から入力される第 2 パルス P 2 を波形合成して 3 値の電源駆動パルス D S を発生し出力(out)から出力する回路である。各ユニット 4 1 2 U は同じ構成を有する。

【 0 0 5 2 】

図 7 に、1 つのユニット 4 1 2 U の回路例を示す。本例では、第 1 レベル（低電位 V c c _ L ）が第 1 基準電位 V s s 1、第 2 レベル（中電位 V c c _ M ）が第 2 基準電位 V s s 2、第 3 レベル（高電位 V c c _ H ）が電源電位 V d d である。

図 7 に示すユニット 4 1 2 U は、2 つの N M O S 構成のトランジスタ N 1 , N 2 と、1 つの P M O S 構成のトランジスタ P A 1 と、2 入力とを有する 2 つのアンド回路 A N D 1 , A N D 2 と、1 つのインバータ I N V 1 とを有する。

【 0 0 5 3 】

トランジスタ P A 1 と N 1 が、電源電位 V d d の供給線と第 2 基準電位 V s s 2 の供給線との間に縦続接続され、トランジスタ P A 1 と N 1 間のノードが出力(out)に接続されている。出力(out)と第 1 基準電位 V s s 1 の供給線との間に、トランジスタ N 2 が接続されている。

トランジスタ P A 1 のゲートと、アンド回路 A N D 1 の一方入力と、アンド回路 A N D 2 の一方入力とが、第 1 入力(in1)に接続されている。アンド回路 A N D 1 の他方入力が第 2 入力(in2)に接続され、アンド回路 A N D 2 の他方入力がインバータ I N V 1 を介して第 2 入力(in2)に接続されている。

アンド回路 A N D 1 の出力がトランジスタ N 1 のゲートに接続され、アンド回路 A N D 2 の出力がトランジスタ N 2 のゲートに接続されている。

【 0 0 5 4 】

図 7 に示す回路の動作を、図 6 を参照して説明する。

図 6 (C) および図 6 (D) に示すように、時間 t 0 以前は、第 1 パルス P 1 が “ H ” レベル、第 2 パルス P 2 が “ L ” レベルである。このとき、トランジスタ P A 1 がオフ、アンド回路 A N D 1 の出力が “ L ” でトランジスタ N 1 がオフ、アンド回路 A N D 2 の出力が “ H ” でトランジスタ N 2 がオンしているため、出力(out)は第 1 基準電位 V s s 1 を出力している（図 6 (B) ）。

【 0 0 5 5 】

発光許可期間（ L M ）に対応する時間 t 0 ~ t 1 の区間になると第 1 パルス P 1 が “ H ” レベルから “ L ” レベルに遷移し、第 2 パルス P 2 が “ L ” レベルから “ H ” レベルに遷移する。このため、図 7 において、トランジスタ P A 1 がターンオンし、アンド回路 A N D 2 の出力が “ H ” から “ L ” に遷移し、トランジスタ N 2 がオフする。このときアンド回路 A N D 1 の入力が共に反転するものの、出力は “ L ” を維持するためトランジスタ N 1 はオフのままである。よって、出力(out)は、第 1 基準電位 V s s 1 の出力状態から、電源電位 V d d の出力状態に切り替わる（図 6 (B) ）。

【 0 0 5 6 】

発光停止処理期間（ L M - S T O P ）に対応する時間 t 1 ~ t 2 の区間になると第 1 パルス P 1 が “ L ” レベルから “ H ” レベルに遷移する。このため、図 7 において、トランジスタ P A 1 がオフし、アンド回路 A N D 1 の入力に “ H ” が揃うため、その出力が “ L ”

10

20

30

40

50

” から “ H ” に遷移し、トランジスタ N 1 がターンオンする。このときアンド回路 A N D 2 の一方入力が反転するものの、他方入力が “ L ” のままであるため出力は “ L ” を維持し、トランジスタ N 2 はオフのままである。よって、出力(out)は、電源電位 V d d の出力状態から、第 2 基準電位 V s s 2 の出力状態に切り替わる（図 6（B））。

【 0 0 5 7 】

初期化期間（ I N T ）に対応する時間 $t_2 \sim t_3$ の区間になると第 2 パルス P 2 が “ H ” レベルから “ L ” レベルに遷移する。このため、図 7 において、アンド回路 A N D 2 の入力が “ H ” が揃うため、その出力が “ L ” から “ H ” に遷移し、トランジスタ N 2 がターンオンする。このときアンド回路 A N D 1 の他方入力が “ H ” から “ L ” 反転するため、その出力も “ H ” から “ L ” に反転し、トランジスタ N 1 がオフする。第 1 パルス P 1 は “ H ” レベルを維持するため、トランジスタ P A 1 はオフのままである。よって、出力(out)は、第 2 基準電位 V s s 2 の出力状態から第 1 基準電位 V s s 1 の出力状態に切り替わる（図 6（B））。

以上ようにして、3 値を有する波形の電源駆動パルス D S が発生し、同じ 3 値波形が続く他のフィールドでも同様に繰り返される。

【 0 0 5 8 】

なお、第 2 行（の画素回路 3 (2, j)）、第 3 行（の画素回路 3 (3, j)）については、特に図示しないが、例えば、1 水平期間ずつ各パルス（書込駆動パルス W S と電源駆動パルス D S）が順次遅れて印加される。

よって、ある行に対して「閾値電圧補正」と「書込み & 移動度補正」とを行っている期間に、それより前の行に対しては「発光停止処理」と「初期化」が実行されることから、「閾値電圧補正」と「書込み & 移動度補正」に限ってみると行単位でシームレスな処理が実行される。よって、無駄な期間は発生しない。

【 0 0 5 9 】

つぎに、以上のパルス制御の下における、図 4（D）および図 4（E）に示す駆動トランジスタ M d のソースやゲートの電位変化と、それに伴う動作を、図 4（A）に示す期間ごとに説明する。

なお、ここでは図 8（A）～図 10（B）に示す第 1 行の画素回路 3 (1, j) の動作説明図、ならびに、図 2 等を適宜参照する。

【 0 0 6 0 】

[前画面の発光許可期間（ L M 0 ）]

第 1 行の画素回路 3 (1, j) について、時間 T 0 C a 以前のフィールド F (0)（前画面）における発光許可期間（ L M 0 ）では、図 4（B）に示すように書込駆動パルス W S が “ L ” レベルであるため、サンプリングトランジスタ M s がオフしている。このとき図 4（C）に示すように、電源駆動パルス D S が高電位 V c c _ H の印加状態にある。

【 0 0 6 1 】

図 8（A）に示すように、前画面のデータ書き込み動作によって駆動トランジスタ M d のゲートにデータ電圧 V i n 0 が入力され保持されている。このときデータ電圧 V i n 0 に応じて、有機発光ダイオード O L E D が発光状態にあるとする。駆動トランジスタ M d は飽和領域で動作するように設定されているため、有機発光ダイオード O L E D に流れる駆動電流 I d（= I d s）は、保持キャパシタ C s に保持されている駆動トランジスタ M d のゲートソース間電圧 V g s に応じて、前述した図 3 に示す式から算出される値をとる。

【 0 0 6 2 】

[発光停止処理期間（ L M - S T O P ）]

図 4 において時間 T 0 C a で発光停止処理が開始される。

時間 T 0 C a になると、水平画素ライン駆動回路 4 1（図 2 参照）が、図 4（C）に示すように、電源駆動パルス D S の電位を高電位 V c c _ H から中電位 V c c _ M に切り替える。中電位 V c c _ M は、有機発光ダイオード O L E D に逆バイアスがかからないが発光は停止する電位である。例えば、中電位 V c c _ M は、駆動トランジスタ M d による電位ドロップが無視できるほど小さい仮定の下では、有機発光ダイオード O L E D にゼロバ

10

20

30

40

50

イアスを印加する電位を下限とし、有機発光ダイオードOLEDの発光閾値電圧を上限とする電位である。ここで「発光閾値電圧」とは、有機発光ダイオードOLEDに電流が流れ始める（電流）閾値電圧と一致するとは限らず、有機発光ダイオードOLEDは閾値電圧を超えても暫く発光できない場合が多い。「発光閾値電圧」は、「（電流）閾値電圧」より大きい値を有し、実際に発光が開始する電圧のことである。

【0063】

電源駆動パルスDSの電位が中電位 V_{cc_M} になると、駆動トランジスタMdは、今までドレインとして機能していたノードの電位が中電位 V_{cc_M} にまで急激に落とされ、ソースとドレインの電位が逆転するため、今までドレインであったノードをソースとし、今までソースであったノードをドレインとして、当該ドレインの電荷（ただし、図の表記ではソース電位 V_s のままとする）を引き抜くディスチャージ動作が行われる。

10

したがって、図8（B）に示すように、今までとは逆向きのドレイン電流 I_{ds} が駆動トランジスタMdに流れる。

【0064】

発光停止処理期間（LM-STOP）が開始すると、図4（E）に示すように、時間 T_{0Ca} を境に駆動トランジスタMdのソース（現実の動作上はドレイン）が急激に放電され、ソース電位 V_s が中電位 V_{cc_M} の近くまで低下する。サンプリングトランジスタMsのゲートはフローティング状態であるため、ソース電位 V_s の低下に伴ってゲート電位 V_g も低下する。

このとき、中電位 V_{cc_M} が有機発光ダイオードOLEDの発光閾値電圧 $V_{th_oled.}$ とカソード電位 V_{cath} の和よりも小さいとき、つまり“ $V_{cc_M} < V_{th_oled.} + V_{cath}$ ”であれば有機発光ダイオードOLEDは消光する。ただし、この段階では有機発光ダイオードOLEDは逆バイアスされていない。

20

【0065】

発光許可期間LM0の終点（時間 T_{0Cb} ）は、発光時間の長さによって次のフィールドF(1)の開始点（時間 T_{0Cb} ）を越えない範囲で時間軸上の位置が変動する。よって、発光停止処理期間（LM-STOP）も、発光時間の長さに応じて期間長が変動する。ただし、発光停止処理期間（LM-STOP）は逆バイアス期間でないため、この期間で逆バイアス期間が変動することはない。

【0066】

30

[初期化期間（INT）]

時間 T_{0Cb} になるとフィールドF(1)の初期化期間（INT）が始まる。

初期化期間（INT）になると、水平画素ライン駆動回路41（図2参照）が、図4（C）に示すように、電源駆動パルスDSの電位が中電位 V_{cc_M} から低電位 V_{cc_L} に切り替える。

電源駆動パルスDSの電位が低電位 V_{cc_L} になると、駆動トランジスタMdは、図8（B）に示す放電が再度行われる。このため、図4（E）に示すように、時間 T_{0Cb} 境に駆動トランジスタMdのソース（現実の動作上はドレイン）がさらに放電され、ソース電位 V_s が低電位 V_{cc_L} の近くまで低下する。サンプリングトランジスタMsのゲートはフローティング状態であるため、ソース電位 V_s の低下に伴ってゲート電位 V_g も低下する。

40

このとき、“ $V_{cc_L} < V_{th_oled.} + V_{cath}$ ”となるため引き続き有機発光ダイオードOLEDは消光する。初期化期間（INT）における放電によってソース電位 V_s がさらに低下する途中で、有機発光ダイオードOLEDが逆バイアスされる。

【0067】

図4（B）に示すように、初期化期間（INT）の途中の時間 T_{15} にて、書き込み信号走査回路42（図2参照）が書込走査線WSL(1)の電位を“L”レベルから“H”レベルに遷移させて発生するサンプリングパルスSP1を、サンプリングトランジスタMsのゲートに与える。

時間 T_{15} までには、映像信号Ssigの電位がデータ基準電位 V_o に切り替えられてい

50

る。したがって、サンプリングトランジスタ M_s は、映像信号 S_{sig} のデータ基準電位 V_o をサンプリングして、サンプリング後のデータ基準電位 V_o を駆動トランジスタ M_d のゲートに伝達する。

このサンプリング動作によって、図 4 (D) および図 4 (E) に示すように、ゲート電位 V_g の値がデータ基準電位 V_o に収束し、それに伴ってソース電位 V_s の値は低電位 V_{cc_L} に収束する。

ここでデータ基準電位 V_o は、電源駆動パルス D_S の高電位 V_{cc_H} より低く、低電位 V_{cc_L} より高い所定の電位である。

【0068】

このサンプリング動作により、補正動作の初期状態を整える、保持キャパシタ C_s の保持電圧の初期化が行われる。

保持電圧の初期化では、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} (= 保持電圧) が駆動トランジスタ M_d の閾値電圧 V_{th} 以上となるように電源駆動パルス D_S の低電位 V_{cc_L} を設定している。具体的には、図 8 (C) に示すように、ゲート電位 V_g がデータ基準電位 V_o になると、これに連動してソース電位 V_s が電源駆動パルス D_S の低電位 V_{cc_L} となるため、保持キャパシタ C_s の保持電圧が低下し、“ $V_o - V_{cc_L}$ ” となる。この保持電圧 “ $V_o - V_{cc_L}$ ” はゲートソース間電圧 V_{gs} そのものであり、ゲートソース間電圧 V_{gs} が駆動トランジスタ M_d の閾値電圧 V_{th} よりも大きくないと、その後に閾値電圧補正動作を行なうことができないために、“ $V_o - V_{cc_L} > V_{th}$ ” とするように電位関係が決められている。

【0069】

図 4 (B) に示すサンプリングパルス SP_1 は、時間 T_{15} から十分な時間が経過した時間 T_{17} にて終了し、サンプリングトランジスタ M_s がオフする。

その前の時間 T_{16} でフィールド $F(1)$ に対する処理が開始される。

【0070】

[閾値補正期間 (VTC)]

時間 T_{16} では図 4 (B) に示すように最初のサンプリングパルス SP_1 が立ち上がっており、サンプリングトランジスタ M_s がオンしている。この状態で、時間 T_{16} にて電源駆動パルス D_S の電位が低電位 V_{cc_L} から高電位 V_{cc_H} に切り替わり、閾値補正期間 (VTC) が開始する。

【0071】

閾値補正期間 (VTC) の開始時 (時間 T_{16}) の直前において、オン状態のサンプリングトランジスタ M_s がデータ基準電位 V_o をサンプリングしている状態であるため、図 9 (A) に示すように、駆動トランジスタ M_d のゲート電位 V_g は、一定のデータ基準電位 V_o で電氣的に固定された状態にある。

この状態で時間 T_{16} にて、電源駆動パルス D_S の電位が低電位 V_{cc_L} から高電位 V_{cc_H} に遷移すると、駆動トランジスタ M_d のソースとドレイン間に電源駆動パルス D_S の最大振幅値に相当する電源電位 V_{dd} が印加される。そのため、駆動トランジスタ M_d がオンし、ドレイン電流 I_{ds} が流れる。

【0072】

ドレイン電流 I_{ds} によって駆動トランジスタ M_d のソースが充電され、図 4 (E) に示すようにソース電位 V_s が上昇するため、それまで “ $V_o - V_{cc_L}$ ” の値をとっていた駆動トランジスタ M_d のゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) は、徐々に小さくなっていく (図 9 (A) 参照) 。

ゲートソース間電圧 V_{gs} の低下速度が速い場合、図 4 (E) に示すように、閾値補正期間 (VTC) 内にソース電位 V_s の上昇が飽和する。この飽和は駆動トランジスタ M_d がソース電位上昇によりカットオフするために起こる。よって、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) は、駆動トランジスタ M_d の閾値電圧 V_{th} とほぼ等しい値に収束する。

【0073】

なお、図9(A)の動作では、駆動トランジスタM_dを流れるドレイン電流I_{ds}が保持キャパシタC_sの一方電極を充電する以外に、有機発光ダイオードOLEDの容量C_{oled}を充電する。このとき、有機発光ダイオードOLEDの容量C_{oled}が保持キャパシタC_sより十分大きいという前提では、ドレイン電流I_{ds}の殆どが保持キャパシタC_sの充電に使用され、その場合、ゲートソース間電圧V_{gs}の収束点が閾値電圧V_{th}にほぼ等しい値をとる。

上記正確な閾値電圧補正を保証するには、容量C_{oled}を十分大きくする意図で、予め、有機発光ダイオードOLEDを逆バイアスした状態で、補正動作を開始する。

【0074】

図4(B)に示すように、閾値補正期間(VTC)は時間T₁₉で終了するが、その前の時間T₁₇で書込駆動パルスWSが非アクティブにされサンプリングパルスSP₁が終了している。これにより、図9(B)に示すように、サンプリングトランジスタM_sがオフし、駆動トランジスタM_dのゲートがフローティング状態となる。このときのゲート電位V_gはデータ基準電位V_oを維持している。

サンプリングパルスSP₁が時間T₁₇で終了し、時間T₁₉までの時間T₁₈にて映像信号パルスPP(1)を印加する、即ち映像信号S_{sig}の電位をデータ電位V_{sig}に遷移させる必要がある。これは、時間T₁₉のデータサンプリング時にデータ電位V_{sig}が安定な所定レベルとなって、データ電圧V_{in}を正しく書き込むために、データ電位V_{sig}の安定化を待つためである。よって時間T₁₈~T₁₉の長さは、データ電位安定化に十分な時間に設定されている。

【0075】

[閾値電圧補正の効果]

ここで仮に、駆動トランジスタのゲートソース間電圧が“V_{in}”だけ大きくなったとすると、ゲートソース間電圧は“V_{in}+V_{th}”となる。また、閾値電圧V_{th}が大きい駆動トランジスタと、これが小さい駆動トランジスタを考える。

前者の閾値電圧V_{th}が大きい駆動トランジスタは、閾値電圧V_{th}が大きい分だけゲートソース間電圧が大きく、逆に閾値電圧V_{th}が小さい駆動トランジスタは、閾値電圧V_{th}が小さいためゲートソース間電圧が小さくなる。よって、閾値電圧V_{th}に関していえば、閾値電圧補正動作により、そのバラツキをキャンセルして、同じデータ電圧V_{in}なら同じドレイン電流I_{ds}を駆動トランジスタに流すことができる。

【0076】

なお、閾値電圧補正期間(VTC)においては、ドレイン電流I_{ds}が専ら保持キャパシタC_sの一方電極側、すなわち有機発光ダイオードOLEDの容量C_{oled}の一方電極側に流入することにのみ消費され、有機発光ダイオードOLEDがオンしないようにする必要がある。有機発光ダイオードOLEDの端子間電圧を“V_{oled}”、その発光閾値電圧を“V_{th_oled}”、そのカソード電位を“V_{cath}”と表記すると、有機発光ダイオードOLEDをオフ状態に維持する条件は、“V_{oled} - V_{cath} + V_{th_oled}”が常に成り立つことである。

【0077】

ここで有機発光ダイオードOLEDのカソード電位V_{cath}を低電位V_{cc_L}(例えば接地電圧GND)で一定とした場合、発光閾値電圧V_{th_oled}が非常に大きいときは、この式を常に成立させることも可能である。しかし、発光閾値電圧V_{th_oled}は有機発光ダイオードOLEDの作製条件で決まり、また、低電圧で効率的な発光のためには発光閾値電圧V_{th_oled}を余り大きくできない。よって、本実施形態では、閾値電圧補正期間(VTC)が終了するまでは、カソード電位V_{cath}を低電位V_{cc_L}より大きく設定することによって、少なくとも、アノード電極が低電位V_{cc_L}に固定されている間は有機発光ダイオードOLEDを逆バイアスさせておく。

【0078】

逆バイアスのためにカソード電位V_{cath}は、図4に示す期間中ずっと一定のままである。ただし、閾値電圧補正によって逆バイアスが解除される値に、カソード電位V_{cath}の一

10

20

30

40

50

定電位が設定される。したがって、閾値電圧補正時にソース電位 V_s が高くなる過程で逆バイアスが解除され、この状態で移動度補正や発光のための処理が行われ、その後の発光停止処理で再び有機発光ダイオード O L E D が逆バイアス状態となる。

【 0 0 7 9 】

[書込み & 移動度補正期間 ($W \& \mu$)]

時間 T_{19} から、書込み & 移動度補正期間 ($W \& \mu$) が開始する。このときの状態は図 9 (B) と同じであり、サンプリングトランジスタ M_s がオフ、駆動トランジスタ M_d がカットオフしている。駆動トランジスタ M_d のゲートがデータ基準電位 V_o で保持され、ソース電位 V_s が “ $V_o - V_{th}$ ”、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) が “ V_{th} ” となっている。

10

【 0 0 8 0 】

図 4 (B) に示すように、映像信号パルス $P P (1)$ を印加中の時間 T_{19} で、書き込みパルス $W P$ がサンプリングトランジスタ M_s のゲートに供給される。すると、図 1 0 (A) に示すように、サンプリングトランジスタ M_s がオンし、映像信号線 $D T L (j)$ のデータ電位 $V_{sig} (= V_{in} + V_o)$ のうち、ゲート電位 $V_g (= V_o)$ との差分、すなわちデータ電圧 V_{in} が、駆動トランジスタ M_d のゲートに入力される。この結果、ゲート電位 V_g が “ $V_o + V_{in}$ ” となる。

ゲート電位 V_g がデータ電圧 V_{in} だけ上昇すると、これに連動してソース電位 V_s も上昇する。このとき、データ電圧 V_{in} がそのままソース電位 V_s に伝達される訳ではなく、容量結合比 g に応じた比率の変化分 ΔV_s 、すなわち “ $g * V_{in}$ ” だけソース電位 V_s が

20

【 0 0 8 1 】

[数 1]

$$\Delta V_s = V_{in} (= V_{sig} - V_o) \times C_s / (C_s + C_{oled}) \dots (1)$$

ここで保持キャパシタ C_s の容量値を同じ符号 “ C_s ” により示す。符号 “ C_{oled} ” は有機発光ダイオード O L E D の等価容量値である。

以上より、移動度補正を考慮しなければ、変化後のソース電位 V_s は “ $V_o - V_{th} + g * V_{in}$ ” となる。その結果、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} は、 “ $(1 - g) V_{in} + V_{th}$ ” となる。

【 0 0 8 2 】

ここで、移動度 μ によるバラツキについて説明する。

30

先に行った閾値電圧補正で、実は、ドレイン電流 I_{ds} を流すたびに移動度 μ による誤差が含まれていたものの、閾値電圧 V_{th} のバラツキが大きいため移動度 μ による誤差成分を厳密に議論しなかった。このとき容量結合比 g を用いずに、単に “ 上昇 (up) ” や “ 低下 (down) ” により表記して説明したのは、移動度のバラツキを説明することによる煩雑さを回避するためである。

一方、既に説明したことであるが、厳密に閾値電圧補正が行われた後は、そのとき保持キャパシタ C_s に閾値電圧 V_{th} が保持されているため、その後、駆動トランジスタ M_d をオンさせると、閾値電圧 V_{th} の大小によってドレイン電流 I_{ds} が変動しない。そのため、この閾値電圧補正後の駆動トランジスタ M_d の導通で、仮に、当該導通時の駆動電流 I_{ds} によって保持キャパシタ C_s の保持電圧 (ゲートソース間電圧 V_{gs}) の値に変動が生じたとすると、その変動量 ΔV (正または負の極性をとることが可能) は、駆動トランジスタ M_d の移動度 μ のバラツキ、より厳密には、半導体材料の物性パラメータである純粋な意味での移動度のほかに、トランジスタの構造上あるいは製造プロセス上で電流駆動力に影響を与える要因の総合的なバラツキを反映したものとなる。

40

【 0 0 8 3 】

以上のことを踏まえた上で動作説明に戻ると、図 1 0 (A) において、サンプリングトランジスタ M_s がオンしてゲート電位 V_g にデータ電圧 V_{in} が加わったときに、駆動トランジスタ M_d は、そのデータ電圧 V_{in} (階調値) に応じた大きさのドレイン電流 I_{ds} をソースとドレイン間に流そうとする。このときドレイン電流 I_{ds} が移動度 μ に応じてば

50

らつき、その結果、ソース電位 V_s は、“ $V_o - V_{th} + g \cdot V_{in}$ ” に上記移動度 μ による変動量 ΔV を加えた “ $V_o - V_{th} + g \cdot V_{in} + \Delta V$ ” となる。

【 0 0 8 4 】

このとき有機発光ダイオード O L E D を発光させないためには、“ $V_s (= V_o - V_{th} + g \cdot V_{in} + \Delta V) < V_{th_oled} + V_{cath}$ ” が満たされるように、データ電圧 V_{in} や容量結合比 g 等に応じたカソード電位 V_{cath} を予め設定するとよい。

この設定を予め行っていると、有機発光ダイオード O L E D は逆バイアスされ、ハイインピーダンス状態にあるため発光することはない、また、ダイオード特性ではなく単純な容量特性を示すようになる。

【 0 0 8 5 】

10

このとき “ $V_s (= V_o - V_{th} + g \cdot V_{in} + \Delta V) < V_{th_oled} + V_{cath}$ ” の式が満たされている限り、ソース電位 V_s が、有機発光ダイオード O L E D の発光閾値電圧 V_{th_oled} とカソード電位 V_{cath} との和を越えないため、ドレイン電流 I_{ds} (駆動電流 I_d) は保持キャパシタ C_s の容量値 (同じ符号 C_s で表記) と有機発光ダイオード O L E D の逆バイアス時等価容量の容量値 (寄生容量と同じ符号 C_{oled} で表記) とを加算した容量 “ $C = C_s + C_{oled}$ ” を充電するために用いられる。これにより、駆動トランジスタ M_d のソース電位 V_s は上昇していく。このとき、駆動トランジスタ M_d の閾値電圧補正動作は完了しているため、駆動トランジスタ M_d が流すドレイン電流 I_{ds} は移動度 μ を反映したものとなる。

【 0 0 8 6 】

20

図 4 (D) および図 4 (E) で “ $(1 - g) V_{in} + V_{th} - \Delta V$ ” の式により示しているように、保持キャパシタ C_s に保持されるゲートソース間電圧 V_{gs} においては、ソース電位 V_s に加わる変動量 ΔV が閾値電圧補正後のゲートソース間電圧 $V_{gs} (= (1 - g) V_{in} + V_{th})$ から差し引かれることになるため、負帰還がかかるように当該変動量 ΔV が保持キャパシタ C_s に保持される。よって、以下、変動量 ΔV を「負帰還量」ともいう。

この負帰還量 ΔV は、有機発光ダイオード O L E D に逆バイアスをかけた状態では、 $\Delta V = t \cdot I_{ds} / (C_{oled} + C_s + C_{gs})$ という式で表すことができる。この式から、変動量 ΔV は、ドレイン電流 I_{ds} の変動に比例して変化するパラメータであることが分かる。

【 0 0 8 7 】

30

上記負帰還量 ΔV の式から、ソース電位 V_s に付加される負帰還量 ΔV は、ドレイン電流 I_{ds} の大きさ (この大きさは、データ電圧 V_{in} の大きさ、即ち階調値と正の相関関係にある) と、ドレイン電流 I_{ds} が流れる時間、すなわち、図 4 (B) に示す、移動度補正に要する時間 T_{19} から時間 T_{1A} までの時間 (t) に依存している。つまり、階調値が大きいほど、また、時間 (t) を長く取るほど、負帰還量 ΔV が大きくなる。

したがって、移動度補正の時間 (t) は必ずしも一定である必要はなく、逆にドレイン電流 I_{ds} (階調値) に応じて調整することが好ましい場合がある。たとえば、白表示に近くドレイン電流 I_{ds} が大きい場合、移動度補正の時間 (t) は短めにし、逆に、黒表示に近くなりドレイン電流 I_{ds} が小さくなると、移動度補正の時間 (t) を長めに設定するとよい。この階調値に応じた移動度補正時間の自動調整は、その機能を図 2 に示す書き込み信号走査回路 4 2 等に予め設けることにより実現可能である。

40

【 0 0 8 8 】

[発光許可期間 (L M 1)]

時間 T_{1A} で書き込み & 移動度補正期間 ($W \& \mu$) が終了すると、発光許可期間 (L M 1) が開始する。

時間 T_{1A} で書き込みパルス W_P が終了するためサンプリングトランジスタ M_s がオフし、駆動トランジスタ M_d のゲートが電氣的にフローティング状態となる。

【 0 0 8 9 】

ところで、発光許可期間 (L M 1) より前の書き込み & 移動度補正期間 ($W \& \mu$) においては、駆動トランジスタ M_d はデータ電圧 V_{in} に応じたドレイン電流 I_{ds} を流そうとす

50

るが、実際に流せるとは限らない。その理由は、サンプリングトランジスタ M_s がオンしているため、駆動トランジスタ M_d のゲート電位 V_g が “ $V_o + V_{in}$ ” に固定され、そこからゲートソース間電圧 V_{gs} (= “ $(1 - g)V_{in} + V_{th} - \Delta V$ ”) 下がった電位 (“ $V_o - V_{th} + g \cdot V_{in} + \Delta V$ ”) にソース電位 V_s が収束しようとするからである。よって、移動度補正の時間 (t) を幾ら長くしてもソース電位 V_s は上記収束点を超える電位にはなれない。移動度補正は、その収束までの速さの違いで移動度 μ の違いをモニタし、補正するものである。このため、最大輝度の白表示のデータ電圧 V_{in} が入力され場合でも、上記収束になるかならないかの程度に、移動度補正の時間 (t) が決められる。

【 0 0 9 0 】

発光許可期間 ($LM1$) が開始して駆動トランジスタ M_d のゲートがフローティングとなると、そのソース電位 V_s は、さらに上昇可能となる。よって、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じた駆動電流 I_d を流すように動作する。

10

その結果、ソース電位 V_s (有機発光ダイオード $OLED$ のアノード電位) が上昇し、図 10 (B) に示すように、ドレイン電流 I_{ds} が駆動電流 I_d として有機発光ダイオード $OLED$ に流れ始めるため、有機発光ダイオード $OLED$ が実際に発光を開始する。発光が開始して暫くすると、駆動トランジスタ M_d は、入力されたデータ電圧 V_{in} に応じたドレイン電流 I_{ds} で飽和し、ドレイン電流 I_{ds} (= I_d) が一定となると、有機発光ダイオード $OLED$ がデータ電圧 V_{in} に応じた輝度の発光状態となる。

【 0 0 9 1 】

発光許可期間 ($LM1$) の開始から輝度が一定となるまでの間に有機発光ダイオード $OLED$ のアノード電位の上昇は、駆動トランジスタ M_d のソース電位 V_s の上昇に他ならず、これを、有機発光ダイオード $OLED$ のアノード電圧 V_{oled} の上昇量という意味で “ ΔV_{oled} ” とする。駆動トランジスタ M_d のソース電位 V_s は、 “ $V_o - V_{th} + g \cdot V_{in} + \Delta V + \Delta V_{oled}$ ” となる (図 4 (E) 参照) 。

20

一方、ゲート電位 V_g は、ゲートがフローティング状態であるため、図 4 (D) に示すように、ソース電位 V_s に連動して、その上昇量 ΔV_{oled} と同じだけ上昇し、ドレイン電流 I_{ds} の飽和に伴ってソース電位 V_s が飽和すると、ゲート電位 V_g も飽和する。

その結果、ゲートソース間電圧 V_{gs} (保持キャパシタ C_s の保持電圧) について、移動度補正時の値 (“ $(1 - g)V_{in} + V_{th} - \Delta V$ ”) が、発光許可期間 ($LM1$) 中も維持される。

30

【 0 0 9 2 】

発光許可期間 ($LM1$) においては、駆動トランジスタ M_d が定電流源として動作することから、有機発光ダイオード $OLED$ の $I - V$ 特性が経時変化し、これに伴って駆動トランジスタ M_d のソース電位 V_s が変化することがある。

しかしながら、有機発光ダイオード $OLED$ の $I - V$ 特性が経時変化の有無に関係なく、保持キャパシタ C_s の保持電圧が “ $(1 - g)V_{in} + V_{th} - \Delta V$ ” に保たれる。そして、保持キャパシタ C_s の保持電圧は、駆動トランジスタ M_d の閾値電圧 V_{th} を補正する成分 (+ V_{th}) と、移動度 μ による変動を補正する成分 (- ΔV) とを含むことから、閾値電圧 V_{th} や移動度 μ が、異なる画素間でばらついても駆動トランジスタ M_d のドレイン電流 I_{ds} 、つまり、有機発光ダイオード $OLED$ の駆動電流 I_d が一定に保たれる。

40

【 0 0 9 3 】

具体的には、駆動トランジスタ M_d は、閾値電圧 V_{th} が大きいほど、上記保持電圧の閾値電圧補正成分 (+ V_{th}) によってソース電位 V_s を下げて、ドレイン電流 I_{ds} (駆動電流 I_d) をより流すようにソースドレイン間電圧を大きくする。このため閾値電圧 V_{th} の変動があってもドレイン電流 I_{ds} は一定となる。

また、駆動トランジスタ M_d は、移動度 μ が小さくて上記変動量 ΔV が小さい場合は、保持キャパシタ C_s の保持電圧の移動度補正成分 (- ΔV) によって当該保持電圧の低下量も小さくなるため、相対的に、大きなソースドレイン間電圧が確保され、その結果、ドレイン電流 I_{ds} (駆動電流 I_d) をより流すように動作する。このため移動度 μ の変動があってもドレイン電流 I_{ds} は一定となる。

50

【0094】

図11は、閾値電圧と移動度の補正を行っていない初期状態((A))、閾値電圧補正のみ行った状態((B))、閾値電圧と移動度の補正を行った状態((C))における、データ電位 V_{sig} の大きさとドレイン電流 I_{ds} との関係(駆動トランジスタ M_d の入出力特性)の変化を模式的に示す。

図11から、大きく乖離していた画素Aと画素Bの特性カーブが、まず閾値電圧補正で大きく近づき、つぎに移動度補正を行うとほとんど同じとみなせる程度まで近づくことが分かる。

【0095】

以上より、画素間で駆動トランジスタ M_d の閾値電圧 V_{th} や移動度 μ がばらついて、さらに、駆動トランジスタ M_d の特性が経時変化しても、データ電圧 V_{in} が同じである限り、有機発光ダイオード $OLED$ の発光輝度も一定に保たれる。

【0096】

つぎに、本実施形態で電源駆動パルス DS を3値制御して、逆バイアス期間を一定とする効果を、電源駆動パルス DS を2値制御する比較例を用いて説明する。

【0097】

<比較例>

図12(A)~図12(E)は、比較例の発光制御における各種信号や電圧の波形を示すタイミングチャートである。図12において、図4と重複するパルス、時間(タイミング)、電位変化等は全て同じ符号を付して表している。よって、同じ符号に関する限り、今までの説明は当該比較例においても適用される。以下、図12の制御が図4の制御と異なる点のみ説明する。

【0098】

図12を図4と比較すると明らかなように、図12に示す制御では、図4に示す制御における電源駆動パルス DS が3値制御であるのに対し、図12に示す制御では電源駆動パルス DS の電位が高電位 V_{cc_H} と低電位 V_{cc_L} の2値をとる。電源駆動パルス DS の電位は、フィールド $F(0)$ の発光停止処理期間($LM-STOP$)の期間(時間 T_{0C} ~時間 T_{16})中、低電位 V_{cc_L} をとり、その他の期間で高電位 V_{cc_H} をとる。

【0099】

図12の制御における発光停止処理期間($LM-STOP$)は、図4の制御における発光停止処理期間($LM-STOP$)と異なり、途中の時間 T_{0D} にて書込駆動パルス WS がハイレベルに活性化されるため図2の制御における初期化期間(INT)を兼ねる処理期間である。

よって、閾値補正期間(VTC)の処理の直前に行う補正準備(初期化)は、発光停止期間($LM-STOP$)で行われる。

【0100】

ところが、発光停止期間($LM-STOP$)は有機 EL ディスプレイ1を搭載したシステム(機器)の仕様により、その長さが変更される場合があり、そのことが原因となって、次に説明する、いわゆる“フラッシュ現象”が生じる。

【0101】

図13は、フラッシュ現象の原因を説明するための図である。

図13(A)には、図12(C)に約1フィールド(1F)分だけ示していた電源駆動パルス DS の波形を、4フィールド(4F)に亘って示している。

先に説明した図4において、発光許可期間(LM_0, LM_1)に比べて閾値補正期間(VTC)、書込み&移動度補正期間($W\&\mu$)は時間的に僅かである。このため、図13(A)では閾値補正期間(VTC)と書込み&移動度補正期間($W\&\mu$)の図示を省略し、1F期間の最初から発光許可期間(LM)が始まっている。ここで発光許可期間(LM)は電源駆動パルス DS の電位が高電位 V_{cc_H} をとる期間であり、その後の低電位 V_{cc_L} の期間は、図12に示す発光停止処理期間($LM-STOP$)に相当する。

【 0 1 0 2 】

図 1 3 (B) に、図 1 3 (A) と同期したタイミングで変化する発光強度 L を模式的に示している。ここではデータ電圧 V_{in} が同じ画素行を 4 F 期間、連続表示した場合を示している。

図 1 3 (A) に示すように、最初の 2 F 期間は、発光停止期間 ($LM - STOP$) が比較的短いのにに対し、その後の 2 F 期間は発光停止期間 ($LM - STOP$) が比較的長くなっている。この制御は、有機 EL ディスプレイ 1 を搭載するシステム (機器) において、例えば機器を屋外から屋内に移動させたこと等に対応して機器内の CPU 等 (不図示) が、周辺環境が暗くなったと判断し、見易さ向上のために表示の明るさを全体的に下げる場合がある。同じような処理は、低消費電力モードへの移行によって行われることもある。一方、有機発光ダイオード OLED の長寿命化を意図して駆動電流を常に一定とする制御を CPU 等が行う場合がある。例えば、データ電圧 V_{in} が大きいときは駆動電流が上がり過ぎることを阻止するため駆動電流は一定で発光許可期間 (LM) を長くすることにより上記データ電圧 V_{in} に応じた発光輝度の確保を行う。その逆の場合、即ち図示のように駆動電流は大きい値で一定のまま発光許可期間 (LM) を短くすることにより、データ電圧 V_{in} の低下に対応して所定の発光輝度を得る場合がある。

10

【 0 1 0 3 】

有機発光ダイオード OLED は、逆バイアスを印加して図 8 (A) 等 に示す容量 C_{oled} の値が安定するまでに時間がかかる。この時間は 1 F 期間に比べて長く、ゆっくりと容量値が変化することが原因で、逆バイアス期間が長いほど容量 C_{oled} の値が大きくなる。このため、前述した式 (1) から、容量 C_{oled} の値が大きいくほどソース電位 V_s の変化分 ΔV_s が小さくなり、駆動トランジスタ M_d のゲートソース間電圧 V_{gs} が、同じデータ電圧 V_{in} を入力していた時間的に前の他のフィールドよりも大きくなる。このゲートソース間電圧 V_{gs} がフィールド間で大きくなると、図 1 3 (B) に示すように、次のフィールドの表示から発光強度 L が “ ΔL ” だけ増大し、表示面全体が一瞬のうちに明るくなる “ フラッシュ現象 ” が発生する。

20

これとは逆に、初期化期間 (INT) が急に短くなると、逆バイアス期間が小さくなり、上記と逆の理由からゲートソース間電圧 V_{gs} が急に小さくなるため、発光強度 L が下って表示画面が一瞬のうちに暗くなる現象 (フラッシュ現象の一種) が発生する。

【 0 1 0 4 】

30

図 1 4 (A) と図 1 4 (B) は、図 1 3 (A) と図 1 3 (B) に対応する、電源駆動パルス DS の波形図と発光強度 L を示す図である。

上記フラッシュ現象を防止するために、本実施形態に関わる図 1 4 (A) および図 4 (C) に示す表示制御では、電源駆動パルス DS の低電位 V_{cc_L} により規定され、システムの要求で長さが変動することがある初期化を兼ねた発光停止処理期間 ($LM - STOP$) を時間的に固定する。その代わりに、有機発光ダイオード OLED に逆バイアスが印加されないレベルを有する中電位 V_{cc_M} を電源駆動パルス DS の電位として設ける。中電位 V_{cc_M} の印加時間は、発光許可期間の時間変動を吸収するように長さが制御される。

したがって、発光強度 L に影響する逆バイアス期間は常に一定となり、上述したフラッシュ現象が有効に防止される。具体的には、図 1 4 (B) に示すように、発光時間を短くした後のフィールドにおいて、図 1 3 (B) で発生していた発光強度 L の増大分 ΔL が生じない。

40

【 0 1 0 5 】

本実施形態における変形例を述べる。

【 0 1 0 6 】

< 変形例 1 >

画素回路は図 2 に示すものに限定されない。

図 2 の画素回路ではデータ基準電位 V_o は映像信号 S_{sig} のサンプリングにより与えられるが、データ基準電位 V_o を、別のトランジスタを介して駆動トランジスタ M_d のソー

50

スやゲートに与えることもできる。

図2の画素回路ではキャパシタは保持キャパシタ C_s のみであるが、他の保持キャパシタを、例えば駆動トランジスタ M_d のドレインとゲート間にもう1つ設けてもよい。

【0107】

<変形例2>

画素回路が有機発光ダイオードOLEDの発光と非発光を制御する駆動方法には、画素回路内のトランジスタを走査線により制御する方法と、電源電圧の供給線を駆動回路によりAC駆動する方法(電源AC駆動方法)とがある。

図2の画素回路は、後者の電源AC駆動方法の一例であるが、この方法において有機発光ダイオードOLEDのカソード側をAC駆動して駆動電流を流す、流さないを制御してもよい。

10

一方、前者の発光制御を走査線により制御する方法では、駆動トランジスタ M_d のドレイン側、または、ソースと有機発光ダイオードOLEDとの間に、他のトランジスタを挿入し、そのゲートを電源駆動制御の走査線で駆動する。

【0108】

<変形例3>

図4に示す表示制御は、閾値補正期間(VTC)を1回の補正で行っていたが、複数回の連続した(初期化を間に挟まないとの意味)処理によって閾値補正を行ってもよい。

その他、発光許可期間中に、駆動トランジスタ M_d のゲートをフローティングとしたまま、発光を一時的に停止するなどの制御は、任意に行ってもよい。

20

【0109】

本発明の実施形態によれば、フィールドごとに発光許可期間を変更しても、逆バイアス印加期間の長短が原因で非発光許可期間(発光停止期間)中に生じていた有機発光ダイオードのバイアス変動の影響を受けることなく、同じデータ電圧が入力されたのであればフィールドごとの輝度が同じになるため、いわゆるフラッシュ現象を有効に防止できるという利益が得られる。

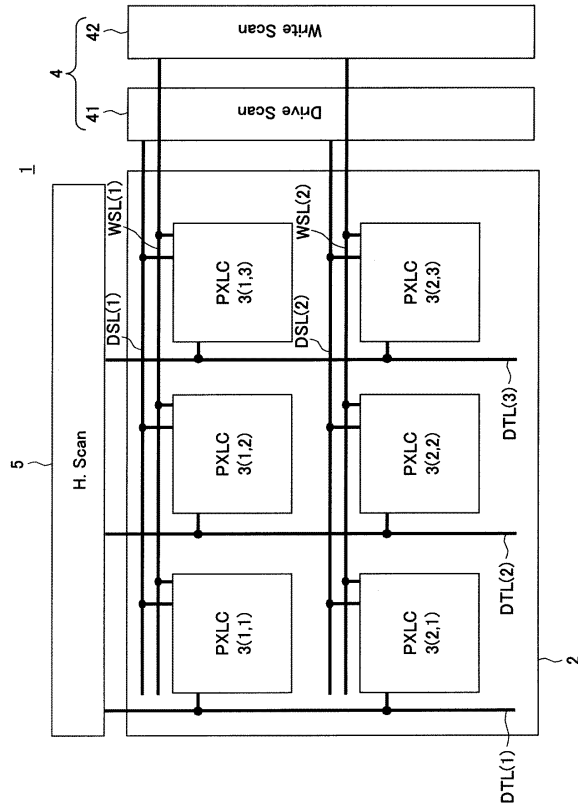
【符号の説明】

【0110】

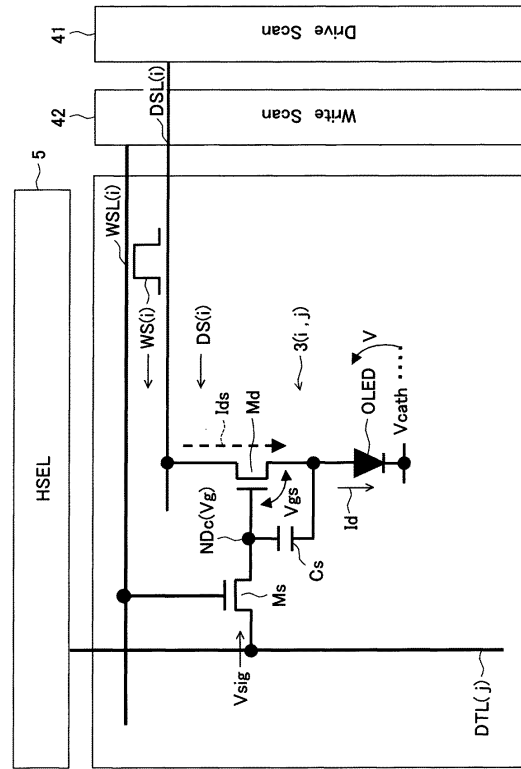
1...有機ELディスプレイ、2...画素アレイ、3...画素回路、4...Vスキヤナ、5...Hセレクト、41...水平画素ライン駆動回路、42...書き込み信号走査回路、OLED...有機発光ダイオード、 M_d ...駆動トランジスタ、 M_s ...サンプリングトランジスタ、 C_s ...保持キャパシタ、 N_{DC} ...制御ノード、 D_{SL} ...電源走査線、 D_S ...電源駆動パルス、 D_{TL} ...映像信号線、 W_{SL} ...書込走査線、 W_S ...書込駆動パルス、 V_{sig} , V_{in} ...データ電位、 V_o ...データ基準電位、 V_{cc_H} ...高電位、 V_{cc_M} ...中電位、 V_{cc_L} ...低電位

30

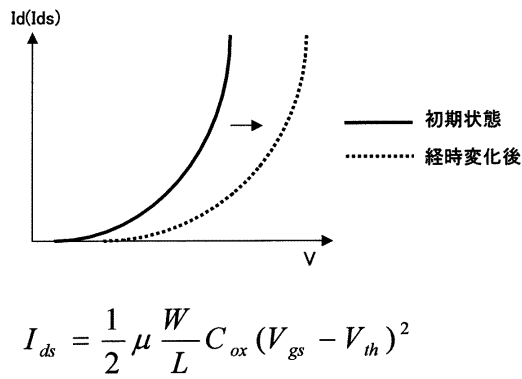
【図 1】



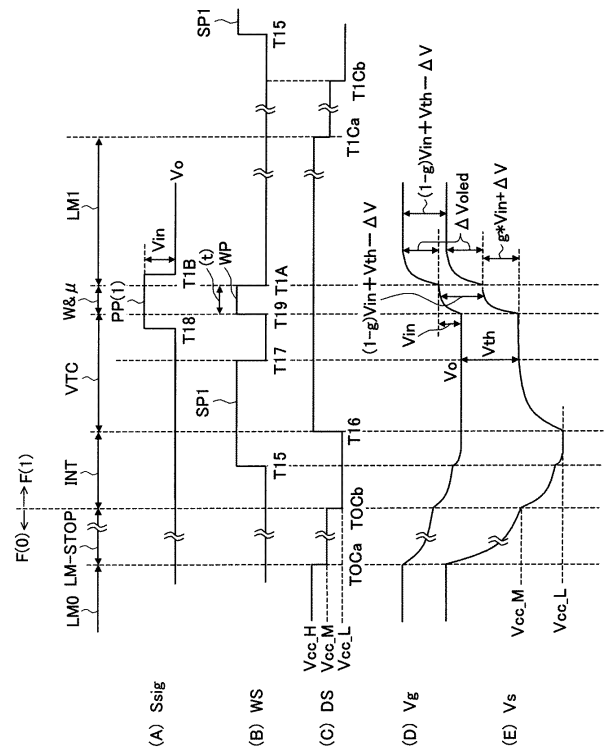
【図 2】



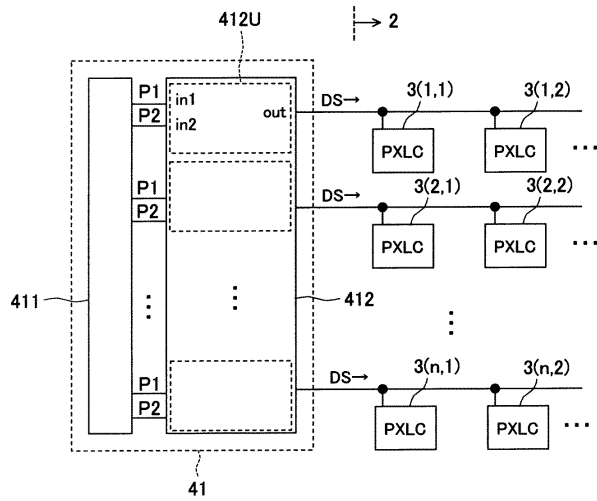
【図 3】



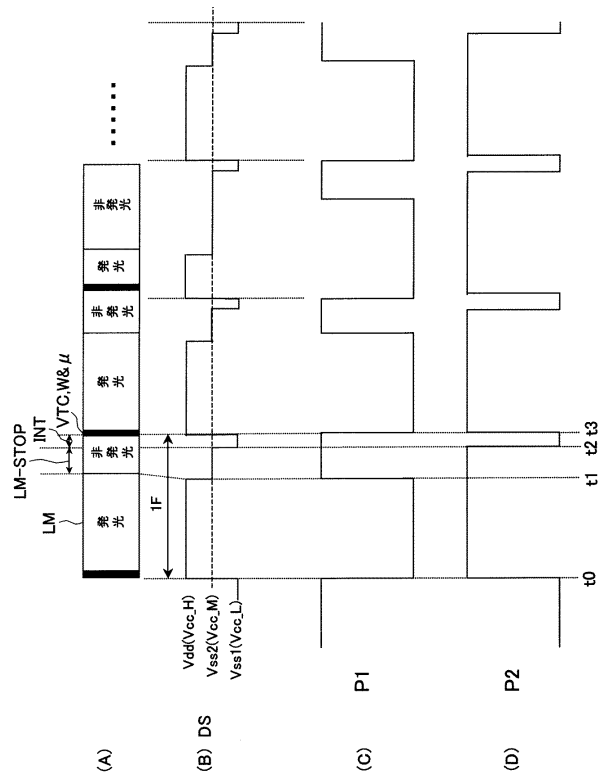
【図 4】



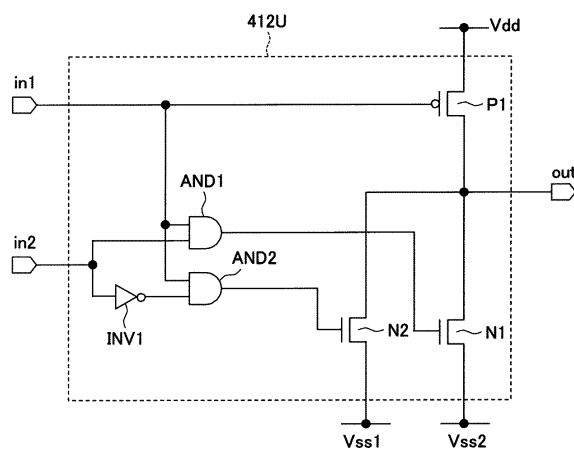
【図 5】



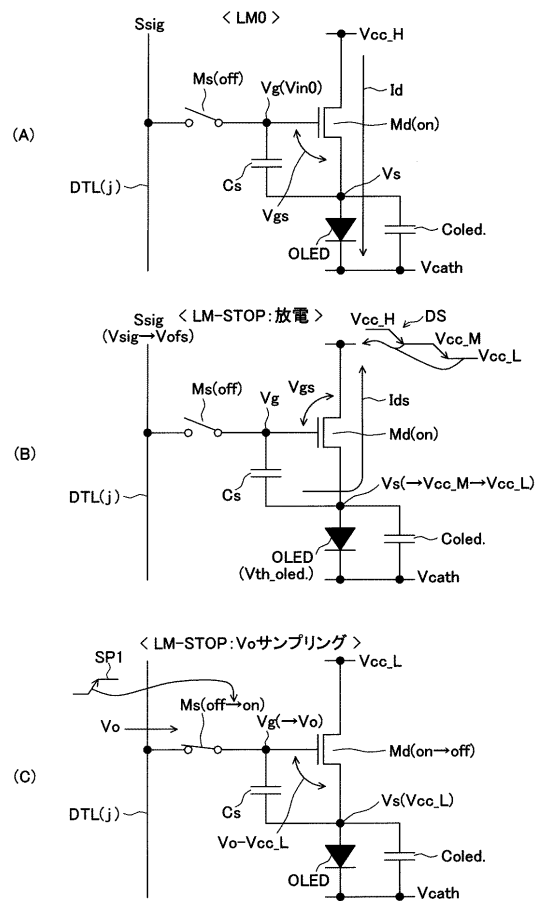
【図 6】



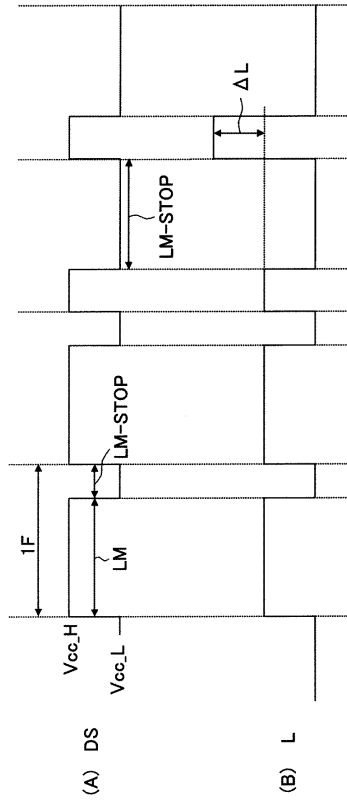
【図 7】



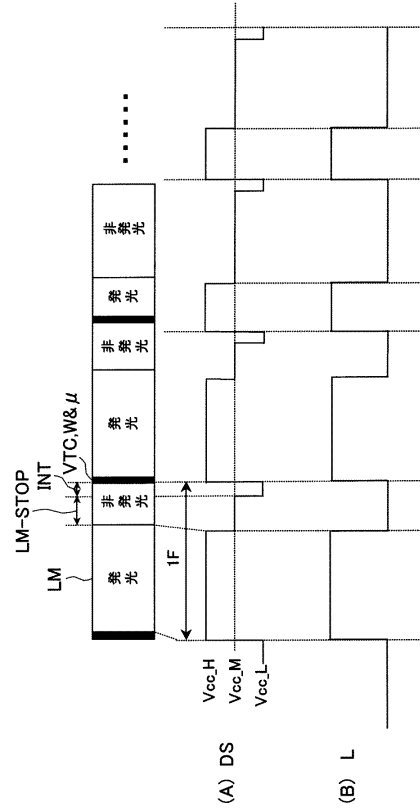
【図 8】



【図 13】



【図 14】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 4 2 F
	H 0 5 B	33/14	A

合議体

審判長 新川 圭二

審判官 樋口 信宏

審判官 関根 洋之

(56)参考文献 特開 2 0 0 9 - 1 6 9 2 3 9 (J P , A)
特開 2 0 0 8 - 9 1 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30

G09G 3/20

H01L 51/50

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP5789585B2	公开(公告)日	2015-10-07
申请号	JP2012230521	申请日	2012-10-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	富田昌嗣 浅野慎		
发明人	富田 昌嗣 浅野 慎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.E G09G3/20.611.H G09G3/20.612.A G09G3/20.624.B G09G3/20.642.F H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC41 3K107/DD23 3K107/DD27 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD06 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB36 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BA43 5C380/BB02 5C380/BB09 5C380/BD08 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC71 5C380/CD012 5C380/CE04 5C380/CE19 5C380/CF07 5C380/CF23 5C380/CF32 5C380/CF51 5C380/CF58 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA19 5C380/DA35 5C380/DA47 5C380/HA03 5C380/HA05		
其他公开文献	JP2013047830A		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2012-230521 (P2012-230521) (22) 出願日 平成24年10月18日 (2012.10.18) (62) 分割の表示 特願2008-9001 (P2008-9001) の分割 原出願日 平成20年1月18日 (2008.1.18) (65) 公開番号 特開2013-47830 (P2013-47830A) (43) 公開日 平成25年3月7日 (2013.3.7) 審査請求日 平成24年10月18日 (2012.10.18) 審判番号 不服2014-8570 (P2014-8570/J1) 審判請求日 平成26年5月8日 (2014.5.8)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 110001737 特許業務法人スズエ国際特許事務所 (74) 代理人 110001357 特許業務法人つばき国際特許事務所 (72) 発明者 富田 昌嗣 東京都港区港南1丁目7番1号 ソニー・エムシーエ株式会社内 (72) 発明者 浅野 慎 東京都港区港南1丁目7番1号 ソニー株式会社内
-------	--	---