(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4490650号
(P4490650)

(45)発行日　平成22年6月30日(2010.6.30)　(24)登録日　平成22年4月9日(2010.4.9)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	K
G09G 3/20	(2006.01)	G09G	3/30	J
G09F 9/30	(2006.01)	G09G	3/20	612U
H01L 27/32	(2006.01)	G09F	9/30	338
H01L 51/50	(2006.01)	G09F	9/30	365Z

請求項の数 10　(全 363 頁)　最終頁に続く

(21)出願番号　特願2003-121475 (P2003-121475)
(22)出願日　平成15年4月25日 (2003.4.25)
(65)公開番号　特開2004-29755 (P2004-29755A)
(43)公開日　平成16年1月29日 (2004.1.29)
審査請求日　平成18年4月24日 (2006.4.24)
(31)優先権主張番号　特願2002-127532 (P2002-127532)
(32)優先日　平成14年4月26日 (2002.4.26)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2002-127637 (P2002-127637)
(32)優先日　平成14年4月26日 (2002.4.26)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2002-135744 (P2002-135744)
(32)優先日　平成14年5月10日 (2002.5.10)
(33)優先権主張国　日本国(JP)

(73)特許権者　302020207
東芝モバイルディスプレイ株式会社
埼玉県深谷市幡羅町一丁目９番地２
(74)代理人　110000899
特許業務法人　松田国際特許事務所
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

審査官　橋本　直明

最終頁に続く

(54)【発明の名称】ＥＬ表示装置の駆動方法、およびＥＬ表示装置

(57)【特許請求の範囲】

【請求項１】

ＥＬ素子を有する画素がマトリックス状に表示画面の領域に配置された表示部と、前記画素に接続されたゲート信号線にオンオフ信号を印加するゲートドライバ回路と、前記画素に接続されたソース信号線に映像信号を印加するソースドライバ回路とを有し、前記画素において、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記電流経路に形成されたスイッチ用トランジスタとが形成されたＥＬ表示装置の駆動方法であって、

前記ＥＬ表示装置の前記画素に印加する信号を発生させる画像データから、前記ＥＬ素子が１フレーム期間において表示領域となる表示期間を求め、

前記画像データに、ガンマカーブにより階調変換を行い、

前記求めた表示期間が短い時の方が、前記求めた表示期間が長い時よりも、入力階調に対する出力階調のガンマカーブのｘ乗数を大きくし、

前記ゲートドライバ回路によって、前記ゲート信号線に前記オンオフ信号を印加することにより、前記スイッチ用トランジスタをオンオフさせて、前記電流を制御し、

前記ゲートドライバ回路によって、前記電流の制御により、前記表示画面に帯状の非表示領域および前記表示領域を発生させることを特徴とするＥＬ表示装置の駆動方法。

【請求項２】

前記ＥＬ表示装置は、外光の明るさを検出する検出手段を更に具備し、

前記検出手段の出力値により、前記非表示領域と表示領域の割合を変化あるいは前記非表示領域と表示領域の割合を調整することを特徴とする請求項１記載のＥＬ表示装置の駆

動方法。
【請求項３】
前記ＥＬ表示装置は、経過時間を把握する時間手段を更に具備し、
一定の時間の経過後に、前記表示画面における前記非表示領域の割合を増加させることを特徴とする請求項１記載のＥＬ表示装置の駆動方法。
【請求項４】
ユーザーの操作により、前記非表示領域と表示領域の割合を変化あるいは所定割合に調整できることを特徴とする請求項１記載のＥＬ表示装置の駆動方法。
【請求項５】
前記ＥＬ表示装置は、前記表示画面の領域に配置された画素に接続されたソース信号線に信号を供給するソースドライバ回路と、前記画素が形成された基板に形成され、かつ前記ソースドライバ回路の出力端子と前記ソース信号線間に配置された選択回路とを更に具備し、
前記選択回路は、前記ソースドライバ回路の出力信号を、前記複数のソース信号線から１つのソース信号線を選択して印加することを特徴とする請求項１記載のＥＬ表示装置の駆動方法。
【請求項６】
ＥＬ素子を有する画素がマトリックス状に表示画面の領域に配置された表示部と、
前記画素に接続されたゲート信号線にオンオフ信号を印加するゲートドライバ回路と、
前記画素に接続されたソース信号線に映像信号を印加するソースドライバ回路とを具備し、
前記画素において、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記電流経路に形成されたスイッチ用トランジスタとが形成され、
前記画素に印加する信号を発生させる画像データから、前記ＥＬ素子が１フレーム期間において表示領域となる表示期間を求め、
前記画像データに、ガンマカーブにより階調変換を行い、
前記求めた表示期間が短い時の方が、前記求めた表示期間が長い時よりも、入力階調に対する出力階調のガンマカーブのｘ乗数を大きくし、
前記ゲートドライバ回路は、前記ゲート信号線に前記オンオフ信号を印加することにより、前記スイッチ用トランジスタをオンオフさせて、前記電流を制御し、
前記ゲートドライバ回路は、前記電流の制御により、前記表示画面に帯状の非表示領域および前記表示領域を発生させることを特徴とするＥＬ表示装置。
【請求項７】
前記ＥＬ表示装置は、外光の明るさを検出する検出手段を更に具備し、
前記検出手段の出力値により、前記非表示領域と表示領域の割合を変化あるいは前記非表示領域と表示領域の割合を調整することを特徴とする請求項６記載のＥＬ表示装置。
【請求項８】
前記ＥＬ表示装置は、経過時間を把握する時間手段を更に具備し、
一定の時間の経過後は、前記表示画面における非表示領域の割合を増加させることにより、前記ＥＬ表示装置の表示輝度を低下させることを特徴とする請求項６記載のＥＬ表示装置。
【請求項９】
前記ゲートドライバ回路への制御信号は、前記ソースドライバ回路から供給されることを特徴とする請求項６記載のＥＬ表示装置。
【請求項１０】
前記ＥＬ表示装置は、選択回路を更に具備し、
前記ソースドライバ回路は、半導体からなるＩＣチップであり、
前記選択回路は、前記表示領域が形成された基板にポリシリコン技術で形成され、
前記選択回路は、１つの入力端子と複数の出力端子を有し、
前記ソースドライバ回路の出力端子に、前記選択回路の入力端子が接続され、

前記選択回路の各出力端子に、前記ソース信号線が接続されていることを特徴とする請求項６記載のＥＬ表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルの駆動回路（ＩＣ）に関するものである。ＥＬ表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

【０００２】

【従来の技術】

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する(例えば、特許文献１参照。)。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。

【０００３】

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

【０００４】

有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

【０００５】

有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。

【０００６】

このアクティブマトリクス方式の有機ＥＬ表示パネルは、特許文献２に開示されている。この表示パネルの一画素分の等価回路を図４６に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ１１ａ、第２のトランジスタ１１ｂおよび蓄積容量１９からなる。１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本発明では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図４６のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図４６などではＥＬ素子１５としてダイオードの記号を用いている。

【０００７】

ただし、本発明における発光素子はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本発明のＥＬ素子１５はこのいずれでもよい。

【０００８】
図４６の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をＶｄｄ（電源電位）とし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｓｓ）に接続される。一方、アノード（陽極）はトランジスタ１１ａのドレイン端子（Ｄ）に接続されている。一方、Ｐチャンネル型のトランジスタ１１ｂのゲート端子はゲート信号線１７ａに接続され、ソース端子はソース信号線１８に接続され、ドレイン端子は蓄積容量１９およびトランジスタ１１ａのゲート端子（Ｇ）に接続されている。
【０００９】
画素１６を動作させるために、まず、ゲート信号線１７ａを選択状態とし、ソース信号線１８に輝度情報を表す映像信号を印加する。すると、トランジスタ１１ｂが導通し、蓄積容量１９が充電又は放電され、トランジスタ１１ａのゲート電位は映像信号の電位に一致する。ゲート信号線１７ａを非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介してＥＬ素子１５に流れる電流は、トランジスタ１１ａのゲート／ソース端子間電圧Ｖｇｓに応じた値となり、ＥＬ素子１５はトランジスタ１１ｄを通って供給される電流量に応じた輝度で発光し続ける。
【００１０】
【特許文献１】
特開２００１－１４７６５９号公報
【特許文献２】
特開平８－２３４６８３号公報
【００１１】
【発明が解決しようとする課題】
しかしながら、従来の液晶表示パネルには、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等の問題点があった。
本発明は、上記従来の課題を考慮して、高画質のＥＬ表示装置およびその駆動方法を提供することを目的とする。
【００１４】
【課題を解決するための手段】
上記の課題を解決するための第１の本発明は、
ＥＬ素子を有する画素がマトリックス状に表示画面の領域に配置された表示部と、前記画素に接続されたゲート信号線にオンオフ信号を印加するゲートドライバ回路と、前記画素に接続されたソース信号線に映像信号を印加するソースドライバ回路とを有し、前記画素において、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記電流経路に形成されたスイッチ用トランジスタとが形成されたＥＬ表示装置の駆動方法であって、
前記ＥＬ表示装置の前記画素に印加する信号を発生させる画像データから、前記ＥＬ素子が１フレーム期間において表示領域となる表示期間を求め、
前記画像データに、ガンマカーブにより階調変換を行い、
前記求めた表示期間が短い時の方が、前記求めた表示期間が長い時よりも、入力階調に対する出力階調のガンマカーブのｘ乗数を大きくし、
前記ゲートドライバ回路によって、前記ゲート信号線に前記オンオフ信号を印加することにより、前記スイッチ用トランジスタをオンオフさせて、前記電流を制御し、
前記ゲートドライバ回路によって、前記電流の制御により、前記表示画面に帯状の非表示領域および前記表示領域を発生させることを特徴とするＥＬ表示装置の駆動方法である。
また、第２の本発明は、
前記ＥＬ表示装置は、外光の明るさを検出する検出手段を更に具備し、
前記検出手段の出力値により、前記非表示領域と表示領域の割合を変化あるいは前記非表示領域と表示領域の割合を調整することを特徴とする第１の本発明のＥＬ表示装置の駆

動方法である。
また、第３の本発明は、
前記ＥＬ表示装置は、経過時間を把握する時間手段を更に具備し、
一定の時間の経過後に、前記表示画面における前記非表示領域の割合を増加させることを特徴とする第１の本発明のＥＬ表示装置の駆動方法である。
また、第４の本発明は、
ユーザーの操作により、前記非表示領域と表示領域の割合を変化あるいは所定割合に調整できることを特徴とする第１の本発明のＥＬ表示装置の駆動方法である。
また、第５の本発明は、
前記ＥＬ表示装置は、前記表示画面の領域に配置された画素に接続されたソース信号線に信号を供給するソースドライバ回路と、前記画素が形成された基板に形成され、かつ前記ソースドライバ回路の出力端子と前記ソース信号線間に配置された選択回路とを更に具備し、
前記選択回路は、前記ソースドライバ回路の出力信号を、前記複数のソース信号線から１つのソース信号線を選択して印加することを特徴とする第１の本発明のＥＬ表示装置の駆動方法である。
また、第６の本発明は、
ＥＬ素子を有する画素がマトリックス状に表示画面の領域に配置された表示部と、
前記画素に接続されたゲート信号線にオンオフ信号を印加するゲートドライバ回路と、
前記画素に接続されたソース信号線に映像信号を印加するソースドライバ回路とを具備し、
前記画素において、前記ＥＬ素子に電流を供給する駆動用トランジスタと、前記電流経路に形成されたスイッチ用トランジスタとが形成され、
前記画素に印加する信号を発生させる画像データから、前記ＥＬ素子が１フレーム期間において表示領域となる表示期間を求め、
前記画像データに、ガンマカーブにより階調変換を行い、
前記求めた表示期間が短い時の方が、前記求めた表示期間が長い時よりも、入力階調に対する出力階調のガンマカーブのｘ乗数を大きくし、
前記ゲートドライバ回路は、前記ゲート信号線に前記オンオフ信号を印加することにより、前記スイッチ用トランジスタをオンオフさせて、前記電流を制御し、
前記ゲートドライバ回路は、前記電流の制御により、前記表示画面に帯状の非表示領域および前記表示領域を発生させることを特徴とするＥＬ表示装置である。
また、第７の本発明は、
前記ＥＬ表示装置は、外光の明るさを検出する検出手段を更に具備し、
前記検出手段の出力値により、前記非表示領域と表示領域の割合を変化あるいは前記非表示領域と表示領域の割合を調整することを特徴とする第６の本発明のＥＬ表示装置である。
また、第８の本発明は、
前記ＥＬ表示装置は、経過時間を把握する時間手段を更に具備し、
一定の時間の経過後は、前記表示画面における非表示領域の割合を増加させることにより、前記ＥＬ表示装置の表示輝度を低下させることを特徴とする第６の本発明のＥＬ表示装置である。
また、第９の本発明は、
前記ゲートドライバ回路への制御信号は、前記ソースドライバ回路から供給されることを特徴とする第６の本発明のＥＬ表示装置である。
また、第１０の本発明は、
前記ＥＬ表示装置は、選択回路を更に具備し、
前記ソースドライバ回路は、半導体からなるＩＣチップであり、
前記選択回路は、前記表示領域が形成された基板にポリシリコン技術で形成され、
前記選択回路は、１つの入力端子と複数の出力端子を有し、

前記ソースドライバ回路の出力端子に、前記選択回路の入力端子が接続され、
前記選択回路の各出力端子に、前記ソース信号線が接続されていることを特徴とする第６の本発明のＥＬ表示装置である。
【００１６】
【発明の実施の形態】
本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では薄膜封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。
【００１７】
なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図１５７、図１５９から図１６１に図示する情報表示装置とすることができる。また、拡大レンズ１５８２を取り付け、ビデオカメラ（図１５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。また、図４、図１５、図１８、図２１、図２３、図２９、図３０、図３５、図３６、図４０、図４１、図４４、図１００などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。
【００１８】
なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもものでもよい。基板７１をシリコンウエハで形成すればよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子１１、ゲートドライバ回路１２、ソースドライバ回路１４などは、これらのいずれでも使用することができる。
【００１９】
以下、本発明のＥＬパネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）１５、及び金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極１０５及び金属電極１０６間に直流を印加することにより、有機機能層（ＥＬ層）１５が発光する。
【００２０】
金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。
【００２１】
なお、封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、Ｅ

Ｌ膜１５は湿度に弱いためである。乾燥剤１０７によりシール剤を浸透する水分を吸収しＥＬ膜１５の劣化を防止する。

【００２２】

図１０はガラスのフタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜１１１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを電極１０６の表面に直接蒸着する構成でもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【００２３】

薄膜の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）して計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの複数の薄膜の膜厚と屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【００２４】

以上のようにフタ８５を用いず、封止膜１１１で封止する構成を薄膜封止と呼ぶ。基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合の薄膜封止は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【００２５】

ＥＬ層１５側から光を取り出す「上取り出し図１１を参照、光取り出し方向は図１１の矢印方向である」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜１１１を形成する。

【００２６】

ＥＬ層１５から発生した光の半分は、反射膜１０６で反射され、アレイ基板７１と透過して出射される。しかし、反射膜１０６には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板７１にλ／４板１０８および偏光板（偏光フィルム）１０９を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

【００２７】

なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したがって、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることでＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである

。また、光の干渉も低減し望ましい。

【００２８】

ＥＬ表示パネルのＥＬ素子１５から放射される光は指向性がないため、また、この光はＥＬ素子１５が形成された基板７１を介して外部の空間に出射される。そのため、屈折率の高い基板（屈折率は１．５程度）から、空間（屈折率１．０）に光が出射される際、２／３の光はスネルの法則に基づく臨界角以上となり、空間に出射されない（つまり、ＥＬ素子１５が発生した光の２／３は基板７１からでることができない）。基板７１に閉じ込められた光は、基板７１内で乱反射しハレーション（図４２０を参照のこと。基板７１内を光４０９３が乱反射する）となり、ＥＬ表示パネルの表示コントラストを低下させる。また、発熱の要因となり好ましいことではない。

【００２９】

この課題を解決するために、本発明では、図４１０に図示するように、土手（リブ）１０１材料として、光吸収材料を用いている。以後、光吸収材料で形成した土手を光吸収土手４１０１と呼ぶ。光吸収土手４１０１とすることにより、基板７１などで発生するハレーションの発生を防止でき、表示コントラストを格段に向上できる。

【００３０】

つまり、図４２０に図示するように、基板７１内で乱反射する光４０９３が光吸収膜４１０１（４１０２）で吸収される。なお、光吸収膜４１０２（４１０１）は図４２１に図示するように、有効領域Ａ（画像表示に有効な光が通過する画面５０（画像表示に有効な光が出射する領域）以外の無効領域（有効領域Ａ以外）に形成または配置することが好ましい。また、図４２２に図示するように、封止フタ８５にも光吸収膜４１０２（４１０１）を形成または配置することが好ましい。特に封止フタ８５を黒色材料などで形成することも有効である。

【００３１】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎＯ3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【００３２】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。

【００３３】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【００３４】

また、図４１１に図示するように、画素１６を構成するトランジスタ１１の領域（トランジスタ形成領域４１１１）にも光吸収膜４１０２を形成または配置することが好ましい。トランジスタ１１に光が入射するとホトコンダクタ現象が発生し、トランジスタのオフ特性が悪くなるからである。

【００３５】

なお、光吸収膜４１０２は、ゲートドライバ回路１２の裏面にも形成し、基板７１に閉じ

込められた光が前記ドライバ回路１２に入射しないようにする。同様に、ソースドライバ回路（ＩＣ）１４の裏面にも形成することが好ましい。これは、図２７１でベースアノード線２６３１を形成するのと同様の理由からである。

【００３６】

ＥＬ表示パネルでは、ＥＬ素子１５部に外部の水分が侵入することを防止するため、封止フタ８５と基板７１とをはりあわせる。その際、狭額縁化を実現するために、はり合わせ箇所をゲートドライバ回路１２の上にしている。しかし、はり合わせ部に圧力がかかると、この圧力のために、ゲートドライバ回路１２が破壊することがある。特に、はり合わせ箇所の接着層４１２３を均一にするため、接着層４１２３を構成する接着材にビーズ４１２１を混入させる（図４１２を参照のこと）。このビーズ４１２１が加圧されて、ゲートドライバ回路１２にめり込み、ゲートドライバ回路１２を破壊することがある。なお、ゲートドライバ回路１２などの構成については後ほど説明する。

【００３７】

この課題に対して、本発明では、ゲートドライバ回路１２上に層間絶縁膜１０２を形成している。層間絶縁膜１０２の膜厚は０．５μｍ以上２．０μｍ以下とすることが好ましい。特に、０．８μｍ以上１．６μｍ以下とすることが好ましい。さらに層間絶縁膜１０２上に土手１０１の形成と同時に形成した光吸収土手４１０１（土手材料４１２４）を形成している。なお、便宜上、光吸収土手４１０１と記載するが、ゲートドライバ回路１２上に形成した土手は、土手としての機能を発揮するものではなく、ビーズ４１２１のめり込みによるゲートドライバ回路１２の破壊を防止することを主目的とするものである。

【００３８】

光吸収土手４１０１は、ゲートドライバ回路１２に入射する光を遮光する効果も発揮する。光吸収土手４１０１の膜厚は、画素１６の土手１０１の高さと同一の高さをなる。光吸収土手４１０１の膜厚は、０．５μｍ以上２．０μｍ以下とすることが好ましい。特に、０．８μｍ以上１．６μｍ以下とすることが好ましい。なお、光吸収土手４１０１の主材料はアクリル系の樹脂材料を用いることが好ましい。

【００３９】

さらに、光吸収土手４１０１上にカソード電極とするアルミニウム薄膜１０６を形成している。アルミニウム薄膜１０６は、画素１６のカソード電極と同時に形成する。アルミニウム薄膜１０６を形成することにより、防湿性能が格段に向上する。アルミニウム薄膜１０６の膜厚は、０．１μｍ以上１．５μｍ以下とすることが好ましい。特に、０．２μｍ以上１．０μｍ以下とすることが好ましい。なお、この薄膜はアルミニウムに限定するものではなく、カソード電極を構成する材料で形成すればよい。

【００４０】

以上のように、ゲートドライバ回路１２上に、層間絶縁膜１０２、光吸収土手４１０１、アルミニウム薄膜１０６を形成することにより、封止フタ８５の取り付けによるゲートドライバ回路１２の破壊はなくなる。また、十分な防湿性を得ることができる。

【００４１】

特に、図４１２では、矢印で示すように、アルミニウム薄膜１０６で光吸収土手４１０１、層間絶縁膜１０２の側面部まで被覆している。この被覆により水分の浸入を完全に防止することができる。さらに好ましくは、アルミニウム薄膜１０６上に無機材料からなる薄膜を形成すること好ましい。無機材料からなる薄膜とは、ＳｉO2、ＳｉＮｘが例示される。その他、Ａｌ2O3、Ｔａ2O3などであってもよいことは言うまでもない。無機材料からなる薄膜は０．１μｍ以上形成することが好ましい。また、図４１２に図示する側面にも形成する。なお、薄膜は、ＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いてもよい。

【００４２】

ビーズ４１２１の直径は、５μｍ以上３０μｍ以下が好ましく、さらには、８ｍ以上１５μｍ以下が好ましい。また、接着層４１２３の幅は、０．８ｍｍ以上２ｍｍ以下とすることが好ましい。また、ビーズの材質は、樹脂ビーズを用いることが好ましい。

【００４３】
図４１２の実施例では、ゲートドライバ回路１２上に封止フタ８５の接着層４１２３を配置するとした。しかし、本発明はこれに限定するものではない。図４１３に図示するように、ゲートドライバ回路１２上を避けて接着層４１２３を配置してもよい。図４１３のように構成することにより、ビーズ４１２１などによる、ゲートドライバ回路１２の破壊はなくなる。
【００４４】
図４１３では、接着層４１２３はゲートドライバ回路１２の電源配線４１３１上には形成している。電源配線４１３１に圧力が印加されても破壊することがないからである。図４１４のＢで示す範囲が、封止フタ８５と接着する接着層４１２３を塗布する範囲（接着の範囲）である。ゲートドライバ回路１２には、電源配線４１３１から電圧供給線４１４１で電圧が供給されている。
【００４５】
ビーズ４１２１を用いずに、接着層４１２３の膜厚を均一にするためには、図４１５に図示するように、封止フタ８５に凸部４１５１を形成すればよい（図４１５の点線で示す）。凸部４１５１をプレス加工することにより容易に形成できる。凸部４１５１は封止フタ８５に形成することに限定するものではなく、基板７１側に形成してもよい。
【００４６】
凸部４１５１の下層には、図４１５に図示するように、ゲートドライバ回路１２は配置されないようにすることが好ましい。また、図４１６に図示するようにソースドライバ回路１４も基板７１に直接形成する場合は、ソースドライバ１４上も避けて形成することが好ましい。ただし、図４１６のように凸部４１５１を線状（４１５１ａ、４１５１ｂ）に形成すると塗布した接着剤（接着層４１２３となる）の逃げ場がない。したがって、図４１７に図示するように凸部４１５１はドット状に形成あるいは配置することが好ましい。このドット状とは、図４１６のように、完全に途切れることがない線状以外の状態を意味する。線状の凸部４１５１であっても、その一部が途切れていればそこが接着剤の逃げ場となるからである。したがって、ドット状とは、線状であってもよい。その他の構成は、図４１２と同様あるいは類似であるので説明を省略する。
【００４７】
図４１２は封止フタ８５により、封止する構成であった。しかし、本発明はこれに限定するものではなく、図４１８に図示するように、薄膜１１１で封止してもよい（薄膜封止膜１１１）。他の構成は図４１２と同様である。先にも説明したように、薄膜封止膜１１１は電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。防湿性が非常に良好である。このフィルムを封止膜１１１して用いる。また、ＤＬＣ膜などを電極１０６の表面に直接蒸着する構成ものよいことは言うまでもない。
【００４８】
ソースドライバ回路１４として、ソースドライバＩＣをＣＯＧ実装（チップ　オン　ガラス実装工法）する場合は、実装に注意を払う必要がある。ＥＬ素子１５を構成するＥＬ材料はガラス転移温度が低く、ＣＯＧ実装時の加熱により劣化する恐れがあるからである。一般的に有機ＥＬ材料は、１００度（摂氏）以上の温度が１分間印加されると特性劣化を引き起こす。
【００４９】
この課題に対処するためには、ＣＯＧ実装するドライバＩＣとＥＬ膜が形成された箇所（表示画面５０）までの距離を一定以上離せばよい。実験によれば、ＣＯＧ実装時に印加される最高加熱温度をＣとし、ＣＯＧ実装するＩＣの端子位置端から一番近いＥＬ素子形成部までの距離をＫとした時、Ｋ（ｍｍ）　＞　Ｃ／１２０（ｍｍ）の関係を満足させることが好ましい。さらに好ましくは、Ｋ（ｍｍ）　＞　Ｃ／１００（ｍｍ）の関係を満足させることが好ましい。
【００５０】

この条件が満足できない場合は、図４１９に図示するように、ＣＯＧ実装時に、ＩＣチップと表示画面５０間に、放熱板４１９１（放熱手段）を配置して行う。放熱板４１９１により、ＣＯＧ実装時の熱が、表示画面５０にまで伝達されることを防止できる。放熱板４１９１とは、金属など、基板７１を構成する材料よりも熱伝導率が良好なものであればいずれの構成あるいは材料でもよい。

【００５１】

図４１８のように、薄膜封止構成を採用する場合は、封止薄膜１１１に金属板４２３１などを配置または取り付け、放熱させることも有効である（図４２３）。封止薄膜１１１上にシリコン材料からなる接着剤を塗布し、放熱効果のある金属板４２３１などを配置する。もちろん、金属板（金属シート）４２３１に限定するものではなく、放熱効果があればいずれの材料でもよい。たとえば、ダイヤモンド薄膜、カーボンなどの有機材料が例示される。なお、接着層４１２３は必ず必要なものではなく、封止薄膜１１１に金属板４２３１を密着する構成でもよい。

【００５２】

さらに放熱効果を良好なものとするには、図４２６に図示するように、金属板４２３１の表面に凹凸を形成すればよい。

【００５３】

図４２３に図示するように、封止薄膜１１１の全面に接着層４１２３を塗布すると、接着層が硬化する時の収縮により、封止薄膜１１１が破壊されることがある。この課題に対応するためには、図４２４に図示するように、接着剤４１２３をドット状に塗布するとよい（点在状）。もちろん、線状に接着剤４１２３を塗布してもよい。

【００５４】

カソード１０６での映り込みを抑制するためには、図４２５に図示する構成を採用するとよい。図４２５では、カソード電極１０６（図４２５では４２５１）を非常に薄く形成している。そのため、図４２５ではカソード電極４２５１としている。カソード電極４２５１の膜厚は、１００オングストローム以上１０００オングストローム以下にする。さらに好ましくは、２００オングストローム以上５００オングストローム以下にする。カソード電極４２５１を薄く形成することにより、カソード電極は半透過状態となるため、映り込みは減少する。しかし、カソード電極４２５１が薄いと抵抗値が高くなる。

【００５５】

この対策のため、図４２５に図示するように、カソード電極４２５１に積層して透明材料からなる導電体膜４２５３を形成する。導電体膜４２５３としては、ＩＴＯまたはＩＺＯが例示される。なお、透明導電体膜４２５３はカーボンのように光吸収性のある導電体膜としてもよい。カーボンなどにより映り込みが抑制されるからである。

【００５６】

透明導電体膜４２５３上にさらに封止薄膜１１１を形成するか、もしくは透明導電体膜４２５３上に直接、微細なビーズ４２５２を散布する。ビーズの直径は、１μｍ以上１０μｍ以下にすることが好ましい。この上に、ビーズ４２５２を固定する固定材４２５４を塗布あるいは蒸着により形成する。固定材４２５４、ＳｉＯ2、ＳｉＯxなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。その他、アクリル系の樹脂の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、固定材４２５４の厚みは１００μｍ以下とする。

【００５７】

なお、画素電極１０５などに薄膜を蒸着する際は、アルゴン雰囲気中でＥＬ膜１５を成膜するとよい。また、画素電極１０５としてのＩＴＯ上にカーボン膜を２０以上５０ｎｍ以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、ＥＬ膜１５は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない。特に高分子有機ＥＬ材料ではこのインクジェット工法は有効である。この場合は、高分子有機ＥＬ材料を塗布する箇所に親水膜を形成しておくとよい。

【００５８】
高分子ＥＬ材料はインクジェット工法で形成するため、良好に基板７１に塗布する必要がある。基本的には、図４２９の（ａ）に図示するように、土手１０１で周囲を囲み、この土手１０１内に高分子ＥＬ材料４２９１を塗布する。しかし、図４２９の（ａ）に図示するように、周囲が土手１０１で取り囲まれていると、Ｃで示すような周辺部に高分子ＥＬ材料４２９１が塗布されない箇所が発生する。
【００５９】
この課題に対して、本発明は図４２９の（ｂ）に図示するように、土手１０１のＤの箇所を除去している（土手１０１は途切れている）。このように、特に土手１０１の４角を除去することにより、高分子ＥＬ材料４２９１は画素の周辺部まで良好に塗布できる。
図４２８は、本発明の土手１０１の形状および配置を図示している。土手１０１は縦方向にドット状に点在する土手１０１ａと、横方向にドット状に点在する土手１０１ｂから構成される。
【００６０】
なお、図４３０に図示するように、高分子ＥＬ材料４２９１が塗布される領域が、円形（四角形以外）の場合にあっても、図に示すように、Ｃの箇所の土手１０１を除去した構造を採用すると良い。
【００６１】
以下、本発明のＥＬ表示パネル構造の理解を容易とするため、まず、本発明の有機ＥＬ表示パネルの製造方法について説明をする。
【００６２】
封止フタ８５、基板７１の放熱性を良くするため、基板はサファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜（ＤＬＣなど）を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜、カーボン膜を蒸着あるいは塗布などのコーティングしたものを用いてもよい。画素電極１０５を反射型とする場合は、基板材料としては基板の表面方向より光が出射される。したがって、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。
【００６３】
また、封止フタ８５、基板７１の外部あるいは内部に、画素形状に対応してマイクロレンズを形成または配置してもよい。マイクロレンズを構成することにより、ＥＬ膜から放射する光の指向性が狭くなり、高輝度化を実現することができる。
【００６４】
本発明の実施例では、カソード電極１０６などを金属膜で形成するとしたが、これに限定するものではなく、ＩＴＯ、ＩＺＯなどの透明膜で形成してもよい。このようにＥＬ素子１５のアノードとカソードの両方の電極を透明電極にすることにより、透明ＥＬ表示パネルを構成できる（もちろん、一方を光透過性のある金属膜で形成してもよい。あるいは、極薄い金属膜をカソード電極とし、このカソード電極上にＩＴＯなどの透明導電体材料を積層して構成してもよい）。金属膜を使わずに透過率を約８０％まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。
【００６５】
封止フタ８５、７１はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板等は板に限定するものではなく、厚さ０．０５ｍｍ以上０．３ｍｍ以下のフィルムでもよい。
【００６６】

ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ＡＲＴＯＮの厚さ２００μｍの１枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【００６７】

以上のように基板７１などをプラスチックで構成する場合は、基板７１などはベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。補助基板の光学的遅相軸と補助基板の光学的遅相軸とのなす角度が９０度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【００６８】

接着剤としてはＵＶ（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は１．４７以上１．５４以下のものを用いることが好ましい。また、基板の屈折率との屈折率差が０．０３以下となるようにすることが好ましい。特に接着剤は先に記載いたような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【００６９】

補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を４５度以上１２０度以下にすることが好ましい。さらに好ましくは８０度以上１００度以下することがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。もちろん、円偏光板に関する事項は、基板がプラスチックに限定されるものではなく、ガラス基板の場合にも有効であることは言うまでもない。基板表面で反射する外光によるコントラスト低下を有効に抑制などできるからである。

【００７０】

この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムを組み合わせることにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板などに位相差があるとこの位相差により設計値との誤差が発生する。

【００７１】

ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極（単純マトリックス型ＥＬ表示パネル）あるいは画素電極（アクティブマトリックス型表示パネル）を透明導電膜の第１のアンダーコート層とを兼ねる。

【００７２】

また、ガスバリア層としては、ＳｉO2、ＳｉOxなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは１００μｍ以下とする。ただし、基板など表面の凹凸を平滑化するために１０μｍ以上とすることが好ましい。

【００７３】

トランジスタ１１はＬＤＤ（ｌｉｇｈｔｌｙ　ｄｏｐｅｄ　ｄｒａｉｎ）構造を採用することが好ましい。また、本明細書ではＥＬ素子としてＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥ

Ｄ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００７４】

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、
特定の画素を選択し、必要な表示情報を与えられること。
１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

【００７５】

この２つの条件を満足させるため、図４６に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。

【００７６】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【００７７】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００７８】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【００７９】

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

【００８０】

したがって、図４６のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

【００８１】

本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【００８２】

ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とすることによりＥＬ素子１５の駆動用のトランジスタ１１ａおよびスイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがゲート信号線１７ａアクティブ（ＯＮ電圧を印加）となることにより開くと共に、トランジスタ１１

ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図３の（ａ）を参照のこと）。

【００８３】

なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積（開口率ではない）をＳｐ（平方μｍ）とすれば、５００／Ｓｐ ≦ Ｃｓ ≦ ２００００／Ｓｐとし、さらに好ましくは、１０００／Ｓｐ ≦ Ｃｓ ≦ １００００／Ｓｐとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうＣｓとは、蓄積容量（コンデンサ）１９単独の容量である。

【００８４】

ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３の（ｂ）を参照のこと）。

【００８５】

この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａ のゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。

【００８６】

なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【００８７】

最適には画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ回路１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００８８】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３の（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲートーソースの電圧はＩ１が流れるような電圧となる。

【００８９】

第２のタイミングはトランジスタ１１ｂとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３の（ｂ）となる。トランジスタ１１ａのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【００９０】
このように動作させると、図５に図示するようになる。つまり、図５の（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５の（ｂ）に図示するように非点灯（非表示画素（行））とする。他の画素（行）は表示画素（行）５３とする（表示領域５３の画素１６のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。
【００９１】
図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。
【００９２】
次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。
【００９３】
このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。
【００９４】
図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。
【００９５】
なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１７ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１７に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。
【００９６】
ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。
【００９７】
このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。

【００９８】
ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流がより精度よくＥＬ素子１５に流すことができるようになる。
【００９９】
なお、本発明の画素構成は図１、図２の構成に限定されるものではない。たとえば、図１１３のように構成してもよい。図１１３は、図１の構成に比較してスイッチ用トランジスタ１１ｄがない。替わりに切り替えスイッチ１１３１が形成または配置されている。図１のスイッチ１１ｄは駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図１１３の構成である。
【０１００】
図１１３において、切り替えスイッチ１１３１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。
【０１０１】
切り替えスイッチ１１３１のｂ端子は、カソード電圧（図１１３ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。
【０１０２】
切り替えスイッチ１１３１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ１１３１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図１１３の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備しればいずれの画素構成でもよい。
【０１０３】
また、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。
【０１０４】
切り替えスイッチ１１３１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを２回路形成すればよい。もちろん、スイッチ１１３１はＥＬ素子１５に流れる電流をオンオフするだけであるから、ＰチャンネルトランジスタあるいはＮチャンネルトランジスタでも形成することができることは言うまでもない。
【０１０５】
スイッチ１１３１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にＶｄｄ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。
【０１０６】
スイッチ１１３１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にＧＮＤ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された

電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。

【０１０７】

以上のことより図１１３の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチング用トランジスタ１１ｄが形成されていない。しかし、スイッチ１１３１を制御することによりＥＬ素子１５の点灯制御を行うことができる。

【０１０８】

図１、図２などの画素構成では、駆動用トランジスタ１１ａは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。図１１６はその実施例である。図１１６では１画素に２個の駆動用トランジスタ１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。

【０１０９】

図１、図２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたスイッチ用トランジスタ１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図１１７の構成が例示される。

【０１１０】

図１１７の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたスイッチ用トランジスタ１１ｄで制御される。したがって、本発明はスイッチ用トランジスタ１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。

【０１１１】

トランジスタ１１ａの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第１のトランジスタ１１ａのチャンネル長が５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【０１１２】

以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）にＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

【０１１３】

電流プログラム方式の１つであるカレントミラー方式であっても、図１１４に図示すうように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｇを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ１１ｇは図１１３のスイッチ１１３１に置き換えても良い。

【０１１４】

なお、図１１４のスイッチング用トランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１１５に図示するように、トランジスタ１１ｃはゲート信号線１７ａ１で制御し、トランジスタ１１ｄはゲート信号線１７ａ２で制御するように構成してもよい。図１１５の構成の方が、画素１６の制御の汎用性が高くなる。

【０１１５】

また、図４２の（ａ）に図示するように、トランジスタ１１ｂ、１１ｃなどはＮチャンネルトランジスタで形成してもよい。また、図４２の（ｂ）に図示するようにトランジスタ

１１ｃ、１１ｄなどはＰチャンネルトランジスタで形成してもよい。
【０１１６】
本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。
【０１１７】
また、蓄積容量１９の容量値をＣｓ（ｐＦ）、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆ（ｐＡ）とした場合、次式を満足させることが好ましい。
【０１１８】
３　＜　Ｃｓ／Ｉｏｆｆ　＜　２４
さらに好ましくは、次式を満足させることが好ましい。
【０１１９】
６　＜　Ｃｓ／Ｉｏｆｆ　＜　１８
トランジスタ１１ｂのオフ電流Ｉｏｆｆを５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートーソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。
【０１２０】
また、アクティブマトリックスを構成するトランジスタがｐーチャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチ�ート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソースードレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチ�ート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。
【０１２１】
画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。
【０１２２】
なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。
【０１２３】
この課題に対して、本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するものではなく、たとえば、図５５のＲＧＢを1画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない

（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【０１２４】

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

【０１２５】

図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。

【０１２６】

図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【０１２７】

たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、図３８などの他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。

【０１２８】

また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはソースドライバ回路１４で吸収できる。

【０１２９】

なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない。

【０１３０】

本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【０１３１】

なお、以上の事項は、図３８に図示するカレントミラーの画素構成にも適用できる。図３８では、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲートーソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。

【０１３２】

図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルトランジスタ、その他のトランジスタはＰチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃｓは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されている。

【０１３３】

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図４８を参照のこと）。

【０１３４】

なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ソースドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【０１３５】

また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである（プリチャージ回路については図６５、図６７およびその説明を参照のこと）。

【０１３６】

ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。

【０１３７】

本発明において、ソースドライバ１４は半導体シリコンチップで形成し、チップオンガラス（ＣＯＧ）技術で基板７１のソース信号線１８の端子と接続されている。ソースドライバ１４の実装は、ＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。

【０１３８】

一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術

で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ回路１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０１３９】

ゲートドライバ回路１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図６を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。

【０１４０】

シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている。

【０１４１】

ソースドライバ１４を低温ポリシリなどのポリシリ技術で基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項））は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【０１４２】

たとえば、図６ではソースドライバ１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。

インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【０１４３】

図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ配線など）はフレキシブル基板８４を介して供給する。

【０１４４】

図８ではゲートドライバ回路１２の制御信号はコントロールＩＣで発生させ、ソースドライバ１４で、レベルシフトを行った後、ゲートドライバ回路１２に印加している。ソースドライバ１４の駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ回路１２が受け取れる５（Ｖ）振幅に変換することができる。

【０１４５】

なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく

、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【０１４６】

表示パネルを携帯電話などの情報表示装置に使用する場合、図９に示すように、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースドライバＩＣ１４が実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術で基板７１に直接形成する）。

【０１４７】

なお、３辺フリー構成とは、基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）を基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【０１４８】

図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺Ｃにそって形成する必要がある。

【０１４９】

なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。

【０１５０】

Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、ピッチが１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。

【０１５１】

前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グランドパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。

【０１５２】

図９のＣ辺のゲート信号線１７はＩＴＯ電極で形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【０１５３】

なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを画面５０表示画面５０の右側に配置（形成）し、ゲート信号線１７ｂを表示画面５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【０１５４】

また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。

【０１５５】

なお、ソースドライバＩＣ１４、ゲートドライバＩＣ１２はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル８２に直接形成してもよいことは言うまでもない。

【０１５６】

なお、画素は、Ｒ、Ｇ、Ｂの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Ｂとイエローの２色でもよい。もちろん、単色でもよい。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色でもよい。Ｒ、Ｇ、Ｂ、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。

【０１５７】

有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。

【０１５８】

また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はＲ、Ｇ、Ｂ発光の構造を積層することのより作製（形成または構成）することにより実現できる。１組の画素は、ＲＧＢの３原色と、白色発光の画素１６Ｗからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【０１５９】

ＲＧＢなどの３原色を１組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が７０００Ｋ（ケルビン）以上１２０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターをすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。

【０１６０】

ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０１６１】
この課題に対処するため、本発明ではゲートドライバ回路１２（場合によってはソースドライバ１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１Ａ１のパターニングが困難になる。
【０１６２】
ゲートドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。
【０１６３】
しかし、ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではゲートドライバ回路１２などの上に少なくとも１層、好ましくは複数層のＥＬ膜を画素電極上のＥＬ膜形成と同時に形成する。
【０１６４】
画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。
【０１６５】
画素１６のトランジスタ１１の欠陥は、ソースドライバＩＣ１４などにも影響を与える。例えば、図４５では駆動用トランジスタ１１ａにソース－ドレイン（ＳＤ）ショート４５２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄと同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム４５１で調整できるように構成しておくことが好ましい。
【０１６６】
トランジスタ１１ａにＳＤショート４５２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図４５において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、Ｖｄｄ電圧からＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。
【０１６７】
一方、トランジスタ１１ａにＳＤショートが発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ１４にＶｄｄ電圧が印加される。もし、ソースドライバ１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ１４が破壊される恐れがある。そのため、ソースドライバ１４の電源電圧はＶｄｄ電圧（パネルの高い方の電圧）以上にすることが好ましい。
【０１６８】
トランジスタ１１ａのＳＤショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断するこ

とがよい。

【０１６９】

以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。

【０１７０】

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。

【０１７１】

ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる。または、ソース信号線１８の寄生容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【０１７２】

入力電流を１０倍にすると出力電流も１０倍となり、ＥＬの輝度が１０倍となるため所定の輝度を得るために、図１のトランジスタ１１ｄの導通期間を従来の１０分の１とし、発光期間を１０分の１とすることで、所定輝度を表示するようにした。なお、１０倍を例示して説明しているのは理解を容易にするためである。１０倍に限定するものでないことは言うまでもない。

【０１７３】

つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムを行うためには、ソースドライバ１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【０１７４】

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。

【０１７５】

本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。

【０１７６】

白ラスター表示において、表示画面５０の１フィールド（フレーム）期間の平均輝度をＢ０と仮定する。この時、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流（電圧）プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム

）期間において、非表示領域５２が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢ１よりも低くなる。

【０１７７】

なお、間欠する間隔（非表示領域５２／表示領域５３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。

【０１７８】

たとえば、Ｎ＝１０倍の電流で画素１６に電流プログラムし、１／５の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、１０／５＝２倍の輝度で点灯する。Ｎ＝２倍の電流で画素１６に電流プログラムし、１／４の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、２／４＝０．５倍の輝度で点灯する。つまり、本発明は、Ｎ＝１倍でない電流でプログラムし、かつ、常時点灯（１／１、つまり、間欠表示でない）状態以外の表示を実施するものである。また、ＥＬ素子１５に供給する電流を１フレーム（あるいは１フィールド）の期間において、少なくとも１回、オフする駆動方式である。また、所定値よりも大きな電流で画素１６にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

【０１７９】

有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【０１８０】

本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１８１】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ１１ｄを１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。

【０１８２】

本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでスイッチ用トランジスタ１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、

動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１８３】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることのより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１８４】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ソースドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【０１８５】

しかし、電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【０１８６】

図１の画素構成の場合、図３の（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１８７】

次に、ＥＬ素子１５に電流を流す期間は図３の（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１８８】

今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３の（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、画素１６の表示輝度Ｂも高くなる。したがって、倍率と画素１６の輝度とは比例関係となる。

【０１８９】

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。

【０１９０】

本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３の（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【０１９１】

なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。

【０１９２】

この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１９３】

なお、図１３に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。

【０１９４】

たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換して（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。

【０１９５】

また、本発明の駆動方法は、図１の画素構成においても、電流プログラム期間（１Ｈ）以外の期間においても、非点灯表示にする駆動方法である。

【０１９６】

図１３の駆動方法のタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４の（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４の（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

【０１９７】

図１５は、図１４の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。

【０１９８】

図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

【０１９９】

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０２００】

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０２０１】

以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面５２の挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【０２０２】

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される。つまり、図２７のダミー画素行２７１を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【０２０３】

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流をながることができることになる。以上の方法では、図５に図示するように、非表示領域５２を設けることなく、全表示画面５０を画像表示領域５３とすることができる。

【０２０４】

図１３の（ａ）は表示画面５０への書き込み状態を図示している。図１３の（ａ）におい

て、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図４６など）でもよい。

【０２０５】

図１３の（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３の（ｂ）で示すように電流を書き込まれている画素行は非表示領域５２となる。

【０２０６】

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示画面５０の９０％の範囲を非表示領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非表示領域５２とする。この非表示領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値と調整することは言うまでもない。

【０２０７】

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示画面５０の９０％の範囲を非表示領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非表示領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非表示領域５２とし、Ｇの画素は、１／６を非表示領域５２とし、Ｂの画素は、１／１０を非表示領域５２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非表示領域５２（あるいは表示領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

【０２０８】

図１３の（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非表示領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

【０２０９】

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０２１０】

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１３の明るさと同等になる。

なお、分割された表示領域５３は等しく（等分に）する必要はない。また、分割された非表示領域５２も等しくする必要はない。

【０２１１】

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【０２１２】

図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０２１３】

なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画面５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

【０２１４】

以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい。

【０２１５】

図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。

【０２１６】

ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１、図２、図３２、図４３、図１１７の構成においては、トランジスタ１１ｄをオンオフ操作するだけで間欠表示を実現できる。また、図３８、図５１、図１１５の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。また、図１１３においては切り替え回路１１３１を制御することにより間欠表示を実現できる。また、図１１４においては、トランジスタ１１ｇをオンオフ制御することにより間欠表示を実現できる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。

【０２１７】
したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。
【０２１８】
コンデンサ１９の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化する。画面輝度が変化すると、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。
【０２１９】
図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。
【０２２０】
また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。
【０２２１】
なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。
【０２２２】
さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。
【０２２３】
なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図１２５から図１３２とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。
【０２２４】
非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。
【０２２５】
基本的には表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００

（ｎｔ）の場合、表示領域５３が表示画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、表示画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。画面５０の表示輝度は画面５０に占める表示領域５３の割合に比例する。

【０２２６】

表示領域５３の面積はシフトレジスタ６１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、画面５０は明るくなり、少なくすれば、画面５０は暗くなる。また、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。

【０２２７】

図１９の（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９の（ａ１）の画面５０の表示輝度が最も明るい。図１９の（ａ２）の画面５０の表示輝度が次に明るく、図１９の（ａ３）の画面５０の表示輝度が最も暗い。図１９の（ａ）は最も動画表示に適する。

【０２２８】

図１９の（ａ１）から図１９の（ａ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面５０の輝度変化を実施できる。また、図１９の（ａ１）から図１９の（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。

【０２２９】

従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。

【０２３０】

図１９の（ｂ）は図１６のように表示領域５３が分散している場合の明るさ調整方式である。図１９の（ｂ１）の画面５０の表示輝度が最も明るい。図１９の（ｂ２）の画面５０の表示輝度が次に明るく、図１９の（ｂ３）の画面５０の表示輝度が最も暗い。図１９の（ｂ１）から図１９の（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９の（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。

【０２３１】

さらに低フレームレートでも、フリッカが発生しないようにするには、図１９の（ｃ）のように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９の（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９の（ｃ）の駆動方法が適している。図１９の（ａ）から図１９の（ｃ）の駆動方法の切り替えも、シフトレジスタ６１の制御により容易に実現できる。

【０２３２】

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝２以上に限定されるものでもない。たとえば、ある時刻で表示画面５０の半分以下の領域を非表示領域５２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

【０２３３】
本発明はこれに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。
【０２３４】
つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、１Ｆ期間よりも短い期間点灯させることにより、黒画面５２を挿入でき、動画表示性能を向上できる。１Ｆの期間、常時点灯させることにより明るい画面を表示できる。
【０２３５】
画素に書き込む電流（ソースドライバ回路１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、
（Ａ×Ｂ）／２０　＜＝　Ｉ　＜＝　（Ａ×Ｂ）
の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。
【０２３６】
さらに、好ましくは、プログラム電流Ｉ（μＡ）は、
（Ａ×Ｂ）／１０　＜＝　Ｉ　＜＝　（Ａ×Ｂ）
の範囲とすることが好ましい。
【０２３７】
図２０はソース信号線１８に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０として説明する（ソース信号線１８に流す電流を１０倍にする）。
【０２３８】
図２０で説明する本発明は、画素行は同時にＭ画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｍ倍の電流がプログラムされる。一例として、ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＭ／Ｎ時間にする（ただし、Ｍ／Ｎに限定するものでなない。Ｍ／Ｎとするのは理解を容易にするためである。先にも説明したように、表示する画面５０輝度により自由に設定できることはいうまでもない。）。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。
【０２３９】
１フレーム（１フィールド）のＭ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｍ／Ｎ）は電流を流さないように表示する。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。
【０２４０】
図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の

添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。

【０２４１】

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行５１ａが画素行（１）番目であるとして説明する。

【０２４２】

また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。また、５画素行が同時に選択（Ｍ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｍ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。

【０２４３】

書き込み画素行が（１）画素行目である時、図２１で図示したように、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２４４】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。

【０２４５】

以上の動作（駆動方法）により、各画素１６のコンデンサ１９には、２倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０２４６】

同時に選択する画素行が５画素行（Ｍ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０２４７】

したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

【０２４８】

１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧）、選択された画素行（６）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素

行（１）には正規の画像データが保持される。

【０２４９】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧）、選択された画素行（７）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフトしながら走査することにより１画面が書き換えられる。

【０２５０】

図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ表示画面５０の１／２の範囲を非表示領域５２とすればよい。

【０２５１】

図１３と同様に、図２０のように１つの表示領域５３が画面の上から下方向に移動すると、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０２５２】

この課題に対しては、図２２に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分がＳ（Ｎ－１）／Ｎの面積となれば、分割しない場合と同一となる。

【０２５３】

図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。

【０２５４】

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μsecよりも小さい時間でオンオフしても、表示輝度の低下はない。

【０２５５】

本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、ＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【０２５６】

図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた。

【０２５７】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのＶｔ、モビリティがほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位

置を移動させることにより、ソース信号線１８に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図２４などで説明する駆動方式とは相乗効果がある。

【０２５８】

以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させる（図７を参照のこと）ことにより、画素の上下方向のトランジスタ１１ａの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ１１ａの特性が一致していなくとも）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。

【０２５９】

なお、図８で説明したように、レーザーショットの方向をソース信号線１８と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向のトランジスタ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【０２６０】

なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフト（２画素行ごと）してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、１画素行とばしでシフトしてもよい。

【０２６１】

画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面５０の中央部は２００μｓｅｃごとに１画素行をシフトし、画面５０の上下部は、１００μｓｅｃごとに１画素行をシフトする。このようにシフトすることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる。なお、画面５０の中央部と画面上部のシフト時間、画面５０の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がでないように制御することは言うまでもない。

【０２６２】

なお、ソースドライバ回路１４の基準電流を画面５０の走査位置に対応して変化（図１４６などを参照のこと）させてもよい。たとえば、画面５０の中央部の基準電流を１０μＡとし、画面５０の上下部の基準電流は５μＡとする。このように画面５０位置に対応して基準電流を変化させることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる。なお、画面５０の中央部と画面上部との間の基準電流、画面５０の中央部と画面下部との間の基準電流の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。

【０２６３】

また、画面位置に応じて、画素行をシフトする時間を制御する駆動方法と、画面５０位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。

【０２６４】

フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。

【０２６５】

つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもより。

【０２６６】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図４６などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである。

【０２６７】

図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。したがって、少なくとも画素行（１）（２）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。

【０２６８】

理想的には、２画素（行）のトランジスタ１１ａが、それぞれＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。

【０２６９】

同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０２７０】

たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０２７１】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。

【０２７２】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（

もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

【０２７３】

図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。

【０２７４】

図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素行１６ａと１６ｂが選択されている）。しかし、図２７の（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。

【０２７５】

この課題に対して、本発明は、図２７の（ｂ）に図示するように画面５０の下辺にダミー画素行２７１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２７１が選択される。そのため、図２７の（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。

【０２７６】

なお、ダミー画素行２７１は表示画面５０の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示画面５０から離れた位置に形成されていてもよい。また、ダミー画素行２７１は、図１のスイッチング用トランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２７１のサイズは小さくなる。

【０２７７】

図２８は図２７の（ｂ）の状態を示している。図２８で明らかのように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行（ダミー画素行）２７１が選択される。ダミー画素行２７１は表示画面５０外に配置する。つまり、ダミー画素行（ダミー画素）２７１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極１０５とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行２７１にはＥＬ膜１５を形成しないとかである。また、ダミー画素行の画素電極１０５上に絶縁膜を形成する構成などが例示される。

【０２７８】

図２７では、画面５０の下辺にダミー画素（行）２７１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９の（ａ）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図２９の（ｂ）に図示するように画面５０の上辺にもダミー画素行２７１を形成すべきである。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２７１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、２画素行を同時選択する場合であった。

【０２７９】

本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２７１は４行分形成すればよい。したがって、ダミー画素行２７１は同時に選択する画素行－１の画素数分を形成すればよい。ただし、これは、１画素行ずつ選択する画素行をシフトする場

合である。複数画素行ずつシフトする場合は、選択する画素数をＭとし、シフトする画素行数をＬとしたとき、（Ｍ－１）×Ｌ画素行分を形成すればよい。

【０２８０】

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。

【０２８１】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、同時選択画素行数Ｍが少なくなると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

【０２８２】

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の（１／２）Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、トランジスタ１１ａの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、（１／２）Ｈで操作するとして説明するがこれに限定するものではない。最初の期間を（１／４）Ｈとし、後半の期間を（３／４）Ｈとしてもよい。

【０２８３】

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０の（ａ１）に図示するように、５画素行を同時に選択する。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子電圧も５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。

【０２８４】

当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０の（ａ２）となる。

【０２８５】

次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０の（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０の（ａ１）と図３０の（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【０２８６】

つまり、図３０の（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【０２８７】

なお、非表示領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも画

面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。

【０２８８】

図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。

【０２８９】

まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するソースドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。

【０２９０】

ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【０２９１】

図３０に示すように書き込み画素行が（１）画素行目である時（図３１の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２９２】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０２９３】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０２９４】

したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０２９５】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。

【０２９６】

また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２９７】

以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。

【０２９８】

次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。

【０２９９】

したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。

【０３００】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０３０１】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。

【０３０２】

したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。

【０３０３】

また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７

ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０３０４】

以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。

【０３０５】

図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。

【０３０６】

しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総和電流がＮ倍の電流となるようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０の（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０の（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。

【０３０７】

なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。

【０３０８】

また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【０３０９】

また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【０３１０】

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

【０３１１】

以下、本発明のインターレース駆動について説明をする。図１３３はインターレース駆動を行う本発明の表示パネルの構成である。図１３３において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１

７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。

【０３１２】

したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。

【０３１３】

図１３４の（ａ）は、第１フィールドでの表示パネルの動作状態である。図１３４の（ｂ）は、第２フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、１フレームは２フィールドで構成されているとする。図１３４において、斜線を記入したゲートドライバ回路１２はデータの走査動作がしていないことを示している。つまり、図１３４の（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図１３４の（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。

【０３１４】

図１３５が第１フィールドでの画像表示状態である。図１３５の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置）を図示している。図１３５の（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図１３５の（ｂ）が奇数画素行の表示状態を図示している。なお、図１３５の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３５の（ｃ）に図示している。図１３５の（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図１３５の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

【０３１５】

図１３６が第２フィールドでの画像表示状態である。図１３６の（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置）を図示している。図１３６の（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図１３６の（ｂ）が奇数画素行の表示状態を図示している。なお、図１３６の（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３６の（ｃ）に図示している。図１３６の（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図１３６の（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

【０３１６】

以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

【０３１７】

なお、本発明の駆動方式は、図１３５、図１３６の駆動方式に限定されるものではない。たとえば、図１３７の駆動方式も例示される。図１３５、図１３６は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域５２（非点灯、黒表示）とするものであった。図１３７の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライバ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行５１は非表示領域となるように制御することはいうまで

もない（図３８のカレントミラー画素構成ではその必要はない）。図１３７では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２の２つと設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

【０３１８】

図１３７は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図１３８は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図１３８は奇数画素行の点灯状態（表示領域５３、非表示領域５２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域５３の面積と非表示領域５２の面積とは同一になるようにしている。もちろん、表示領域５３の面積と非表示領域５２の面積とは同一になることに限定されるものではない。

【０３１９】

また、図１３６、図１３５において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

【０３２０】

以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図１３９に図示するように２画素行（複数画素行）を同時に電流（電圧）プログラム行っても良いことは言うまでもない（図２７とその説明も参照のこと）。図１３９の（ａ）は奇数フィールドの実施例であり、図１３９の（ｂ）は偶数フィールドの実施例である。奇数フィールドでは、（１、２）画素行、（３、４）画素行、（５、６）画素行、（７、８）画素行、（９、１０）画素行、（１１、１２）画素行、・・・・・・・・（ｎ、ｎ＋１）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、（２、３）画素行、（４、５）画素行、（６、７）画素行、（８、９）画素行、（１０、１１）画素行、（１２、１３）画素行、・・・・・・・・（ｎ＋１、ｎ＋２）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。

【０３２１】

以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線１８に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも１画素行ずらせることにより、画像の解像度を向上させることができる。

【０３２２】

図１３９の実施例は、各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。また、図１２５～図１３２に図示するように、１フレームを３フィールド以上で構成するようにしてもよい。

【０３２３】

また、図１３９の実施例では、２画素行を同時に選択するとしたが、これに限定するものではなく、１Ｈを前半１／２Ｈと後半の１／２Ｈとし、奇数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第１画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

【０３２４】

また、偶数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第２画素行を選択して電

流プログラムを行い、後半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第７画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

【０３２５】

以上の実施例においても各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。

【０３２６】

本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ６１ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。

【０３２７】

なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５ｍｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。

【０３２８】

先にも記載したが、黒画面５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。

【０３２９】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などの入力コンテンツに対応して切り替ええするように構成すればよい。

【０３３０】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。

【０３３１】

また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【０３３２】

また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。

【０３３３】

なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１ｅをオンオフ制御すればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。

【０３３４】

また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

【０３３５】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０３３６】

このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【０３３７】

なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｍ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画面５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画面５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化をなる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。

【０３３８】

以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表

示を実現するものである。以下、図３２を用いて、その実施例について説明をする。

【０３３９】

図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動用トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【０３４０】

図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１７ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１７ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１７ａとゲート信号線１７ｃの制御は、図６に図示するように独立した２つのシフトレジスタ６１で行えばよい。

【０３４１】

トランジスタ１１ｂを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい（図１の画素構成の場合）。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。

【０３４２】

ゲート信号線１７の振幅値が大きいと、ゲート信号線１７と画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。

【０３４３】

一方、ゲート信号線１７ｂはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ６１ａのＶｇｌ（オン電圧）をシフトレジスタ６１ｂのＶｇｌ（オン電圧）よりも低くする。

【０３４４】

以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされている。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。

【０３４５】

なお、図３３の（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにすることが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ましい。また、全画面の画素１６に一括して前述の動作（図３３の（ａ）の前に行う動作）

を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３の（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【０３４６】

図３３の（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３の（ａ）の実施時間は、１Ｈ以上５Ｈ以下にすることが好ましい。

【０３４７】

なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【０３４８】

図３３の（ａ）を実施後、１Ｈ以上５Ｈ以下の期間おいて、図３３の（ｂ）の状態にする。図３３の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３の（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

【０３４９】

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは電流を図３３の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３の（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３５０】

図３３の（ｂ）の電流プログラミング後、図３３の（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３の（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

【０３５１】

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。かつ、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

【０３５２】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラム

を行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【０３５３】

なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内としてもよい。図３３の（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。

【０３５４】

また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするのであれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３の（ｂ）、図３３の（ｃ）の駆動状態も図３３の（ａ）の駆動状態と同期して実施される。

【０３５５】

また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３の（ｂ）（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

【０３５６】

なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

【０３５７】

また、他の駆動方法、たとえば、以降の説明するプリチャージ駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【０３５８】

図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

【０３５９】

したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【０３６０】

図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２の（ａ）の状態となっている。この期間にＩｂ電流が流れる。

【０３６１】

図３５のタイミングチャートでは、リセット時間は２Ｈ（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンする）としているが、これに限定するものではない。２Ｈ以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は１Ｈ未満であってもよい。

【０３６２】

リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。

【０３６３】

１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。

【０３６４】

電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。

【０３６５】

図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【０３６６】

図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

【０３６７】

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

【０３６８】

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとって出力される。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

【０３６９】

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。

【０３７０】

同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３）のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トランジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。

【０３７１】

プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３の（ｂ））ら、非プログラム状態（図３３の（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３の（ｂ）のリセット状態となってしまう。これと防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。

【０３７２】

以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【０３７３】

図３９の（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方

向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。

【０３７４】

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９の（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。したがって、図３９の（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【０３７５】

なお、図３９の（ａ）においても図３３の（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９の（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９の（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３の駆動方式でも同様である。

【０３７６】

図３３の（ａ）も同様であるが、図３９の（ａ）のリセット状態と、図３９の（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９の（ａ）のリセット状態から、図３９の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３の（ａ）あるいは図３９の（ａ）のリセット状態から、図３３の（ｂ）あるいは図３９の（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１ａが完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

【０３７７】

図３９の（ａ）を実施後、図３９の（ｂ）の状態にする。図３９の（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９の（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

【０３７８】

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３９の（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９の（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくな

る。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３７９】

図３９の（ｂ）の電流プログラミング後、図３９の（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９の（ｃ）に関しても、以前に説明をしたので詳細は省略する。

【０３８０】

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。

【０３８１】

少なくとも第２の動作は第１の動作後に行うものである。なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【０３８２】

図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。

【０３８３】

図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。

【０３８４】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【０３８５】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【０３８６】

図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電

流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【０３８７】

図４４の（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４の（ａ）の動作を実施する。

【０３８８】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４４の（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４の（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

【０３８９】

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

【０３９０】

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

【０３９１】

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

【０３９２】

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とド

レイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

【０３９３】

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

【０３９４】

以上の本発明の前段ゲート制御方式では、１Ｈ期間、駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

【０３９５】

図３３の（ａ）も同様であるが、図４４の（ａ）のリセット状態と、図４４の（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４の（ａ）のリセット状態から、図４４の（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

【０３９６】

図４４の（ａ）を実施後、図４４の（ｂ）の状態にする。図４４の（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４の（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。

【０３９７】

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３９８】

図４４の（ｂ）の電圧プログラミング後、図４４の（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。

【０３９９】

以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端

子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作を実施するものである。

【０４００】

以上の実施例では、駆動用トランジスタ１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査のためには、シフトレジスタ６１（ゲートドライバ回路１２）が必要となる。しかし、シフトレジスタ６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。

【０４０１】

なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。

【０４０２】

図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２は基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２を基板７１に積載したとして説明をする。また、ソースドライバ１４およびソース信号線１８は図面が煩雑になるため省略する。

【０４０３】

図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本のゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。

【０４０４】

なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示画面５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、制御線４０１のレイアウトが困難になる。

【０４０５】

したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝２２以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。

【０４０６】

図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。

【０４０７】

なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量負荷が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。

【０４０８】

ゲートドライバ回路１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇｌ）が印加されたとき、駆動用トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。

【０４０９】

なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。

【０４１０】

点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。

【０４１１】

図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。

【０４１２】

なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【０４１３】

以上の実施例は、１画素行ごとに１本の選択ゲート信号線を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。

【０４１４】

図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【０４１５】

したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

【０４１６】

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオフ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、

点灯周期を個別に制御可能である。
【０４１７】
この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。
【０４１８】
なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。
【０４１９】
また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。
【０４２０】
また、図１などのスイッチング用トランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。
【０４２１】
また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。
【０４２２】
逆に、図１のスイッチング用トランジスタ１１ｂ、１１ｃをＰチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。
【０４２３】
図１におけるトランジスタ１１ｂは駆動用トランジスタ１１ａが流す電流をコンデンサ１９に保持するために動作する。つまり、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）もしくはソース端子（Ｓ）間をプログラム時にショートさせる機能を有する。このトランジスタ１１ｂのような機能を有するスイッチング用トランジスタを短絡トランジスタと呼ぶことにする。短絡トランジスタはソース端子またはドレイン端子が保持用のコンデンサ１９に接続されている。短絡トランジスタはゲート信号線１７ａに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線１７ａの電圧がコンデンサ１９に突き抜けることである。この突き抜け電圧により、コンデンサ１９の電位（＝駆動用トランジスタ１１ａのゲート端子（Ｇ）電位）が変動し、良好な電流プログラムができなくなり、レーザーショットムラなどが発生する。したが

って、突き抜け電圧は小さくする必要がある。

【０４２４】

突き抜け電圧を小さくするためには、短絡トランジスタ１１ｂのサイズを小さくするとよい。今、短絡トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、Ｓｃｃ＝Ｗ・Ｌ（平方μｍ）とする。短絡トランジスタが複数直列接続されて構成されている場合は、Ｓｃｃは接続されたトランジスタサイズの総和である。たとえば、１つの短絡トランジスタのＷ＝５（μｍ）、Ｌ＝６（μｍ）とし、個数（ｎ＝４）が接続されて構成されていれば、Ｓｃｃ＝５×６×４＝１２０（平方μｍ）である。

【０４２５】

短絡トランジスタのサイズと突き抜け電圧は相関がある。この関係を図１９４に示す。なお、短絡トランジスタはＰチャンネルトランジスタであるとする。ただし、Ｎチャンネルトランジスタであっても適用できる。

【０４２６】

図１９４において、横軸はＳｃｃ／ｎとしている。Ｓｃｃは先に説明したように短絡トランジスタのサイズの総和せある。ｎは接続された短絡トランジスタ数である。図１９４ではＳｃｃをｎ個でわったものを横軸にしている。つまり、短絡トランジスタが１個あたりのサイズである。

【０４２７】

先に実施例では、短絡トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、短絡トランジスタ数がｎ＝４であれば、Ｓｃｃ／ｎ＝５×６×４／４＝３０（平方μｍ）である。図１９４において、縦軸は突き抜け電圧（Ｖ）である。

【０４２８】

突き抜け電圧は０．３（Ｖ）以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、１つあたりの短絡トランジスタのサイズは２５（平方μｍ）以下にする必要がある。一方で、短絡トランジスタは５（平方μｍ）以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことから短絡トランジスタ１１ｂは５（平方μｍ）以上２５（平方μｍ）以下にする必要がある。さらに好ましくは、短絡トランジスタ１１ｂは５（平方μｍ）以上２０（平方μｍ）以下にする必要がある。

【０４２９】

短絡トランジスタによる突き抜け電圧は、短絡トランジスタを駆動する電圧（Ｖｇｈ、Ｖｇｌ）の振幅値（Ｖｇｈ－Ｖｇｌ）とも相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図１９６に図示している。図１９６において、横軸を振幅値（Ｖｇｈ－Ｖｈｌ）（Ｖ）としている。縦軸は突き抜け電圧である。図１９４でも説明したように、突き抜け電圧は０．３（Ｖ）以下となるようにする必要がある。

【０４３０】

なお、突き抜け電圧の許容値０．３（Ｖ）は言い換えると、ソース信号線１８の振幅値の１／５以下（２０％以下）である。ソース信号線１８はプログラム電流が白表示の場合は、１．５（Ｖ）であり、プログラム電流が黒表示の場合は３．０（Ｖ）である。したがって、（３．０－１．５）／５＝０．３（Ｖ）となる。

【０４３１】

一方、ゲート信号線の振幅値（Ｖｇｈ－Ｖｈｌ）は４（Ｖ）以上ないと十分に画素１６に書き込むことができない。以上のことから、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、４（Ｖ）以上１５（Ｖ）以下の条件と満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、５（Ｖ）以上１２（Ｖ）以下の条件と満足させる必要がある。

【０４３２】

ＥＬ素子１５において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー

準位の差によりのようにキャリアが蓄積されたりする。

【０４３３】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【０４３４】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【０４３５】

なお、以下に説明する本発明の逆バイアス駆動は、画像を表示していない期間に実施するものである。つまり、本発明の表示パネルを点灯した後、一定の期間、逆バイアス駆動を実施するものである。もしくは、表示パネルの点灯前に、一定の期間、逆バイアス駆動を実施するものである。

【０４３６】

図３４０は、本発明の逆バイアス駆動方式を説明する説明図である。電源回路（ＩＣ）８２は、２つの端子を有し、１つの端子Ａはベースアノード線２６３１に接続され、画素１６のアノード線にアノード電圧Ｖｄｄを印加する。一方、他の端子Ｂはベースカソード線２６７１に接続され、画素１６のカソードにＶｓｓ電圧を供給する。

【０４３７】

なお、説明を容易にするために、アノード電圧Ｖｄｄはカソード電圧Ｖｓｓよりも高いとして説明をする。また、画素構成は、図１の構成を例示して説明するが、この画素の構成に限定されるものではない。なぜなら、以下に説明する本発明の逆バイアス駆動方式は、少なくともカソードとアノードのうち一方の端子に印加する電圧を変化させてＥＬ素子１５に逆バイアス電圧を印加するものだからである。さらに好ましくは、ソースドライバ回路１４より、所定の電圧を画素に書き込み、この電圧と、変化させたＥＬ素子１５に印加した電圧により逆バイアス電圧を印加するものである。したがって、画素構成には限定されない。

【０４３８】

さらに理解を容易にするため、一例として、各部の駆動電圧、信号振幅について電圧値などを具体化しておく。まず、ソースドライバ回路１４は、ＧＮＤ（０（Ｖ））と５．５（Ｖ）の電源電圧により動作し、出力する映像信号は、最大５．５（Ｖ）、最低０．５（Ｖ）（図７１における単位トランジスタ６３４の動作に０．５（Ｖ）程度必要なため、ＧＮＤ＋０．５（Ｖ）が出力最低振幅となる）とする。したがって、ソース信号線１８には５．５（Ｖ）～０．５（Ｖ）電位の映像信号が出力される。また、ソースドライバ回路１４が出力するプリチャージ電圧は、５．５（Ｖ）～０（Ｖ）とする。

【０４３９】

一方、画素のアノード電圧Ｖｄｄは、ソースドライバ回路１４の電源電圧の５．５（Ｖ）とする。したがって、画素１６の駆動用ＴＦＴ１１ａが画像表示に必要とする最大電流Ｉｍａｘを流した時の、ダイオード接続状態のチャンネル（Ｓ－Ｄ間）電圧降下は、５．０（Ｖ）以内にしている。この点は重要なことである。つまり、ソースドライバ回路１４が使用する電圧Ｖｉｃ（この場合は、５．５（Ｖ））－０．５（Ｖ）とした時、画素１６の駆動トランジスタがダイオード接続（ＴＦＴ１１ａのＧ－Ｄショート状態）し、画像表示に必要とする最大電流（白表示である）を流した時、そのチャンネル電圧（Ｓ－Ｄ電圧）の方が、Ｖｉｃ－０．５（Ｖ）よりも小さくなるように画素設計をするのである。つまり、以上の実施例では、ソースドライバ回路１４がソース信号線１８に出力する映像信号の電圧は５．０（Ｖ）である。この時、ダイオード接続されたＴＦＴ１１ａのＳ－Ｄ電圧は最大でも５．０（Ｖ）以下となるようにする。ダイオード特性は、トランジスタのチャンネル幅（Ｗ）とチャンネル長（Ｌ）を所定値に設計することにより、自由に可変すること

ができる。

【０４４０】

また、カソード電圧Ｖｓｓは、－８（Ｖ）とする。ゲート信号線１７に印加されるオン電圧Ｖｇｌは－８＋（－２）＝－１０（Ｖ）とし、ゲート信号線１７に印加されるオフ電圧Ｖｇｈは＋５．５＋１．５＝＋７（Ｖ）とする。ソースドライバ回路１４が出力するプリチャージ電圧Ｖｐは、５（Ｖ）とし、Ｖｍは０（Ｖ）とする。

【０４４１】

図３４０は、画像表示状態である。電源回路（ＩＣ）８２からは、画素１６のアノードにＶｄｄ電圧が印加され、アノードにはＶｓｓ電圧が印加される。ソース信号線１８には、表示パネルに表示する映像信号に基づき、ソースドライバ回路１４から映像信号が印加される。また、図６５、図６６、図６７、図２３２、図２３３などで説明したように必要に応じて、プリチャージ電圧Ｖｐがソース信号線１８に印加される。ゲートドライバ回路１２は、水平同期信号と同期をとり、ゲート信号線１７を順次選択して、選択したゲート信号線１７にオン電圧を印加する。

【０４４２】

以上の動作により、映像信号に対応するプログラム電流Ｉｗが画素１６に書き込まれ、このプログラム電流Ｉｗに対応する電流が駆動ＴＦＴ１１ａからＥＬ素子１５に印加され、ＥＬ素子１５が発光する。以上が、画像表示状態の動作である。

【０４４３】

ユーザーが電源スイッチをオフするとコントローラ８１（図８などを参照のこと）が、電源スイッチのオフを検出し、電源回路８２およびソースドライバ回路１４などを制御して、逆バイアス駆動を開始する。図３４１は逆バイアス駆動状態の説明図である。

【０４４４】

逆バイアス駆動時は、まず、ＥＬ側のゲートドライバ回路１２ｂを制御し、ゲート信号線１７ｂにオフ電圧Ｖｇｈを印加してＥＬ素子１５に電流が流れないようにする。次に、ソースドライバ回路１４から、プリチャージ電圧Ｖｍをソース信号線１８に出力する。また、選択側のゲートドライバ回路１２ａを順次あるいは一斉に動作させ、選択ＴＦＴ１１ｂ、１１ｃを動作させ、Ｖｍ電圧をＴＦＴ１１ａのゲート端子に書き込む（と言うよりは、画素電極１０５に書き込む。画素電極１０５はＥＬ素子１５のアノード側端子である）。なお、ＥＬ素子１５と画素電極の関係などは図１０およびその説明を参照のこと。

【０４４５】

次に、ゲート信号線１７ａにオフ電圧を印加し、選択側ＴＦＴ１１ｂ、ＴＦＴ１１ｃをオフ状態にする。なお、ソースドライバ回路１４がソース信号線１８の電位をＶｍ電圧に変動なく固定できる場合は、ＴＦＴ１１ｂ、ＴＦＴ１１ｃはオン状態のままでもよい。

【０４４６】

また、次にあるいは先の動作と同時に、電源回路８２を制御してベースカソード線２６７１にＶ２＝Ｖｄｄ電圧を印加し、ベースアノード線２６３１には、Ｖ１＝Ｖｍ－２（Ｖ）の電圧を印加する。Ｖ１電圧をＶｍ－２（Ｖ）とするのは、ＴＦＴ１１ａを完全にオフ状態にし、電流を流さないようにするためである。したがって、Ｖ１電圧は、Ｖｍ電圧との関係で、ＴＦＴ１１ａがリーク状態以下の電流値に設定できる電圧であればいずれでも良い。

【０４４７】

以上の状態で、ＥＬ側のゲートドライバ回路１２ａを動作させ、ＴＦＴ１１ｄをオンさせる。ＴＦＴ１１ｄのオンにより、Ｖｍ電圧がＥＬ素子１５のアノード側に印加され（画素電極１０５に印加される）、Ｖ２電圧がＥＬ素子１５のカソード側（反射電極）に印加さえる。したがって、ＥＬ素子１５に逆バイアス電圧が印加される。

【０４４８】

なお、ＴＦＴ１１ｄは、画素電極１０５にＶｍ電圧を印加後、オンさせるとしたが、これに限定するものではない。ＴＦＴ１１ｄをオンした状態でＶｍ電圧を印加してもよい。ただし、ＴＦＴ１１ｄ、ＴＦＴ１１ｃがオン状態で、カソード端子にＶ２電圧が印加される

と、ソース信号線１８の電位が低下し、ソースドライバ回路１４が破壊する場合があるのでＴＦＴのオンオフタイミング、電源回路８２の制御タイミングを考慮する（検討する）必要がある。

【０４４９】

また、Ｖ２電圧はＶｄｄ電圧をしたが、これに限定するものではない。Ｖｄｄ電圧は電源回路８２が発生している電圧であるから、利用することのより電源回路８２の回路規模を小さくできる効果がある。しかし、ＥＬ素子１５のカソードに印加する電圧が高いほど、逆バイアスの効果が高く、劣化によるＥＬ素子１５の端子電圧上昇が小さくなることが多い。したがって、他の電圧（Ｖｄｄ電圧以上、Ｖｄｄ電圧以下の場合もあるであろう）であってもよい。つまり、逆バイアス電圧の印加による効果は、実験により決定する必要がある。ここでは、説明を容易にするため、Ｖ２＝Ｖｄｄとして説明をする。また、Ｖｍ電圧は、Ｖｍ＝０（Ｖ）以下（たとえば、－５（Ｖ）など）とすることも可能である。

【０４５０】

また、ＥＬ素子１５に印加する逆バイアス電圧Ｖｓ（Ｖｓ＝（Ｖ２－Ｖｍ）の絶対値）は、ＥＬ素子１５が高分子ＥＬ材料で構成されている場合は、３（Ｖ）以上必要であり、好ましくは、５（Ｖ）以上必要である。なお、最大値のＶｓは１５（Ｖ）以下にする必要がある（逆バイアス電圧が所定値以上に高いと、逆バイアス電圧の印加により、ＥＬ素子１５のアノード電極とカソード電極間にショートなどが発生する）。ＥＬ素子１５が低分子ＥＬ材料で構成されている場合は、Ｖｓ電圧は５（Ｖ）以上必要であり、好ましくは、１０（Ｖ）以上必要である。なお、最大値のＶｓは２０（Ｖ）以下にする必要がある（逆バイアス電圧が所定値以上に高いと、逆バイアス電圧の印加により、ＥＬ素子１５のアノード電極とカソード電極間にショートなどが発生する）。

【０４５１】

図３４４は図３４１（後に説明する他の実施例の場合も同様である）の逆バイアス駆動方式の効果を図示したものである。図３４４において、縦軸は変化電圧比率を示している。変化電圧比率とは、逆バイアス電圧を印加した場合と、印加しない場合の電圧変化の割合である。たとえば、１（μＡ）の定電流をＥＬ素子１５に流した時の初期の端子電圧を１０（Ｖ）とし、本発明の逆バイアス電圧駆動を実施しなかった場合の、１（μＡ）の停電竜時のＥＬ素子１５の端子電圧が１３（Ｖ）になったとすれば、変化電圧比率は１３（Ｖ）／１０（Ｖ）＝１．３である。

【０４５２】

逆バイアス電圧駆動を実施すると、劣化によるＥＬ素子１５の端子電圧上昇は小さくなる。たとえば、１（μＡ）の定電流をＥＬ素子１５に流した時の初期の端子電圧を１０（Ｖ）とし、本発明の逆バイアス電圧駆動を実施すると、１（μＡ）の停電竜時のＥＬ素子１５の端子電圧が１１（Ｖ）以下となり、大幅な改善効果がみられる。この場合は、変化電圧比率は１１（Ｖ）／１０（Ｖ）＝１．１である。

【０４５３】

図３４４において、横軸は、表示パネルを使用した後に、印加する逆バイアス電圧の印加時間をしめしている。なお、逆バイアス電圧Ｖｓは、ＥＬ素子１５が高分子ＥＬ材料で構成されている場合は、３（Ｖ）以上必要であり、好ましくは、５（Ｖ）以上必要である。なお、最大値のＶｓは１５（Ｖ）以下にする必要がある。ＥＬ素子１５が低分子ＥＬ材料で構成されている場合は、Ｖｓ電圧は５（Ｖ）以上必要であり、好ましくは、１０（Ｖ）以上必要である。なお、最大値のＶｓは２０（Ｖ）以下にする必要がある。なお、図３４４の実線は、ＥＬ素子１５が低分子材料の場合を示しており、点線は、ＥＬ素子１５が高分子材料の場合を示している。また、図３４４は、Ｇ色を２００（ｎｔ）で表示させ、１０分間連続点灯を行い、その後に、ＥＬ素子１５に逆バイアス電圧を印加し、点灯した時間の累計が２０００時間となったときの電圧変化比率を示している。ただし、Ｒ、Ｂでも傾向は同一あるいは類似である。

【０４５４】

図３４４で、わかるように、逆バイアス電圧を印加しない場合は、ＥＬ素子１５の端子電

圧は、３０％も高くなる。しかし、本発明の逆バイアス電圧駆動を実施することのより変化電圧比率は低下する。ＥＬ表示素子の連続点灯後、２秒間の逆バイアス電圧を印加すると、変化電圧比率は５％（１．０５）程度の変化となる。したがって、逆バイアス電圧は２秒（ｓｅｃ）以上印加することが好ましい。特に、ＥＬ表示素子の連続点灯後、５秒間の逆バイアス電圧を印加すると、変化電圧比率は２％（１．０２）程度の変化となる。したがって、さらに好ましくは、逆バイアス電圧は５秒（ｓｅｃ）以上の時間印加することが好ましい。逆バイアス電圧を印加する最大期間はシステムの使用上の制約なる。長時間の逆バイアス電圧を印加すると、逆バイアス電圧を印加している期間は、コントローラ８１なども動作させる必要がある。そのため、システム（表示装置）の消費電力が大きくなる。したがって、逆バイアス電圧を印加する期間は最大でも６０秒（６０ｓｅｃ）以内にする必要がある。

【０４５５】

なお、図３４４は表示パネルを使用後に、本発明の逆バイアス電圧駆動を実施した例であるが、表示パネルの使用前に、本発明の逆バイアス電圧駆動を実施後、表示パネルを使用した場合でも、図３４４の特性は同一である。また、図３４４は表示パネルを１０分間使用した後に、本発明の逆バイアス電圧駆動を実施した例である。この表示パネルの使用時間による逆バイアス電圧駆動の効果に差はない。つまり、表示パネルの使用時間が３分間の連続使用であっても、６０分間の連続使用であっても、逆バイアス電圧を２秒以上印加することのより、ＥＬ素子１５の端子電圧の上昇を抑制できる。これは、ＥＬ素子１５にチャージされた電荷は、使用期間に関わらず一定以上の電圧印加により、放電できるためと考えられる。

【０４５６】

図３４２は本発明の電源回路８２とソースドライバ回路１４との接続状態を図示している。ソース信号線１８には、プリチャージ回路から電圧（Ｖｐ、Ｖｍ）を印加する。通常の表示時は、アナログスイッチ５６１ｂ２でＶｐ電圧をソース信号線１８に印加する。逆バイアス電圧駆動時は、電源回路８２と同期（同期はコントローラ８１で制御する）して、ソース信号線１８にＶｍ電圧を印加する。Ｖｍ電圧を印加する時は、電流出力回路６５４の出力端と接続端子２６３３間に配置または形成されたアナログスイッチ５６１をオフ（オープン）させる。Ｖｍ電圧または、画素１６からソース信号線１８に出力される電圧から電流出力回路６５４を保護し、破壊されることを防止するためである。

【０４５７】

ソース信号線１８にはソースドライバ回路１４からＶｍ電圧を印加するとしたが、Ｖｍ電圧の印加はソースドライバ回路１４から印加することに限定されない。たとえば、図９２で説明したように、アレイ基板内にプリチャージ電圧ＰＶを発生できるように構成し、このＰＶ電圧をＶｍ電圧に変更してソース信号線１８に印加してもよい。また、図１０３に図示するように接続端子９７１に直接にプローブを接触させ、プローブからＶｍ電圧を印加してもよい。

【０４５８】

図３４３は本発明の電源回路（ＩＣ）８２のブロック図である。本発明の電源回路８２は２つの昇圧回路３４３３を具備している。昇圧回路３４３３には、基準電圧または電池から供給される直流電圧Ｖｄが印加されている。この直流電圧Ｖｄは、スイッチング回路（図示せず）により矩形波（交流）に変換される。この変換された矩形波は単巻きコイルからなるトランス１１２１で規定値（所望値）まで昇圧される。昇圧された矩形波は再び、昇圧回路３４３３内に形成または配置された平滑回路によって、直流電圧に変換される。この直流電圧は、スイッチング回路のスイッチング周期あるいはタイミングにより容易に可変することができる。また、発生する直流電圧の極性は、トランス１１２１のコイルの巻き方向により自由に設定できる。

【０４５９】

以上のように、２つの昇圧回路により、２つの電圧（Ｖａ、Ｖｂとする）が発生され、この２つの電圧は、切り替え回路４８１（４８１ｃ、４８１ｄ）のａ端子とｂ端子に印加さ

れる。

【０４６０】

切り替え回路４８１ｃはコントローラ８１の制御により、ベースアノード線２６３１にＶａ電圧を出力するか、Ｖｂ電圧を出力するかを制御する。切り替え回路４８１ｄの同様にコントローラ８１の制御により、ベースカソード線２６７１にＶａ電圧を出力するか、Ｖｂ電圧を出力するかを制御する。

【０４６１】

なお、３４３１は出力バッファ回路であり、よりＶａ電圧あるいはＶｂ電圧を出力電流の大小に関わらず、一定の電圧値に保持する機能を有している。また、スイッチ５６１ｃ、５６１ｄは図３５１のように、ベースアノード線２６３１あるいはベースカソード線２６７１に出力する電圧をハイインピィーダンス状態にするスイッチである。

【０４６２】

図３４５は本発明の逆バイアス電圧駆動のタイミングチャート図である。表示制御信号がＨレベルの時、電源オン（表示パネルに画像を表示している状態）であり、Ｌレベルの時、ユーザーが電源オフ（表示パネルに画像を表示していない状態）である。したがって、表示制御信号がＬレベルになるときを、コントローラ８１が検出して、逆バイアス電圧駆動モードに入る。

【０４６３】

表示制御信号がＬレベルになった（ｂ点）後、ｔ１後（ｃ点）に、ベースアノード線２６３１に印加する電圧（Ｖ１印加電圧）は、ＶＨ１電圧（Ｖｄｄ電圧）から、ＶＬ１電圧（Ｖｍ－２（Ｖ））に変化する（図３４１を参照のこと）。また、ベースカソード線２６７１に印加する電圧（Ｖ２印加電圧）は、ＶＬ２電圧（Ｖｓｓ電圧）から、ＶＨ２電圧（Ｖｄｄ電圧）に変化する（図３４１を参照のこと）。このようにして、ＥＬ素子１５に逆バイアス電圧を印加する準備が整う。Ｖｍ電圧は、一定値である必要はなく、変化させてもよい。

【０４６４】

なお、ｃ点とｂ点の時間（ｔ１）は１ｍｓｅｃ以上とする必要がある。ゲート信号線１７の選択状態を変更する期間を確保するためである。さらに、ｄ点とｃ点の時間（ｔ２：ｔ２は最初のゲート信号線１７ａが選択され、画素電極１０５にＶｍ電圧を印加するまでの期間。基本的に逆バイアス駆動するために、画素電極１０５に電位設定するまでの時間）は少なくとも１ｍｓｅｃ以上の期間を確保する必要がある。さらに好ましくは、４ｍｓｅｃ以上にする必要がある。カソード電極は、０．０１μＦ以上の容量があるため、電源回路８２から出力する電圧（Ｖ１、Ｖ２）が所定電圧になるまでに比較的、長時間を必要とするからである。

【０４６５】

一方、ゲート信号線１７ａは順次走査され、ソース信号線１８に印加されたＶｍ電圧を画素電極１０５に印加していく。この際、ＥＬ側のＴＦＴ１１ｄのオンオフと同期をとって、画素電極１０５にＶｍ電圧を印加している（書き込んでいる）時には、ＴＦＴ１１ｄはオンさせないようにする。なお、ＴＦＴ１１ｃ、ＴＦＴ１１ｂがオンしている期間は、１ゲート信号線１７ａの選択期間（基本的には１水平走査期間）であるので、ＴＦＴ１１ｄがオフし、ＥＬ素子１５に逆バイアス電圧が印加されていない期間は、ほとんど無視できる。

【０４６６】

以上のように、ゲート信号線１７ａを順次選択し、Ｖｍ電圧をＥＬ素子１５のアノード側に印加し、カソード側に＋電圧を印加することにより、ＥＬ素子１５に逆バイアス電圧を印加できる。そのため、ＥＬ素子１５の端子電圧の上昇がなく、ＥＬ表示パネルを長寿命化できる。

【０４６７】

なお、図３４５の実施例は、逆バイアス電圧の印加するために、各ゲート信号線１７ａを選択する期間は、通常の画像表示時と同一の１水平走査期間（１Ｈ）としたが、これに限

定するものではない。たとえば、図３４６に図示するように、１Ｈよりも長い期間（Ｔ１）としてもよい。つまり、画像を表示するのではないので、１Ｈに限定する必要はないのである。Ｔ１＞１Ｈとすることのより、逆バイアス電圧印加時の安定度がよくなる。

【０４６８】

また、図３４５の実施例では、ゲート信号線１７ａは走査して選択するとしたが、これに限定するものではない。たとえば、図３４７に図示するように、すべてのゲート信号線１７ａにオン電圧を印加して、各画素１６のＥＬ素子１５のアノードにＶｍ電圧を印加してもよい。

【０４６９】

同様に、図３４８に図示するように、すべてのゲート信号線１７ａにオン電圧を印加する期間（Ｔ２）とオフ電圧を印加する期間（Ｔ３）とを交互に繰り返しても良い。また、図３４９に図示するように、偶数番目のゲート信号線１７ａに、オン電圧を印加し、その際には、奇数番目のゲート信号線１７ａにはオフ電圧を印加する状態と、奇数番目のゲート信号線１７ａに、オン電圧を印加し、その際には、偶数番目のゲート信号線１７ａにはオフ電圧を印加する状態とを交互に繰り返してもよい。

【０４７０】

図３４１はベースアノード線２６３１にＶ１＝Ｖｍ－２（Ｖ）の電圧を印加するものであった。Ｖ１＝Ｖｍ－２（Ｖ）の電圧を印加するのは、ＴＦＴ１１ａをオフ状態とし、画素電極１０５に電流が流れ込まないようにするためであった。電流を流れないようにするには、図３５０に図示するように、駆動用ＴＦＴ１１ａのソース（Ｓ）端子をオープンにしてもよい。ソース端子をオープンにすることのよりＴＦＴ１１ａのチャンネル間に流れる電流は発生しない。また、オープンにするには、スイッチ５６１をオープンにすることにより容易に実現できる（図３４３を参照のこと）。もしくは、電源回路８２とベースアノード線２６３１との接続点をはずせばよい。

【０４７１】

図３５０の構成によっても、ソースドライバ回路１４からソース信号線１８に印加された電圧Ｖｍを画素電極１０５に印加することができる（ＥＬ素子１５のアノード側にＶｍ電圧を印加することができる）。また、電源回路８２からＥＬ素子１５のカソード側にＶｄｄ電圧を印加することができ、ＥＬ素子１５に逆バイアス電圧を印加できる。

【０４７２】

以上の実施例は、ゲート信号線１７ａを順次選択あるいは常時選択もしくは所定周期で選択することにより、ＥＬ素子１５のアノード側にＶｍ電圧を書き込む実施例であった。Ｖｍ電圧を書き込むことにより、ＥＬ素子１５のアノード側に電位が正確に確定する。しかし、ＥＬ素子１５に逆バイアス電圧を印加することを目的とするのであれば、ＥＬ素子１５のアノード電位が正確である（所定値）である必要はない。たとえば、Ｖｍ電圧から±２（Ｖ）程度の誤差があってもよい。

【０４７３】

したがって、図３５１の実施例のように、ゲート信号線１７ａ、１７ｂのオンオフ状態をタイミング制御せず、ゲート信号線１７ａにはオフ電圧を印加して、ＴＦＴ１１ｂ、ＴＦＴ１１ｃをオフ状態に維持し、ゲート信号線１７ｂにはオン電圧を印加して、ＴＦＴ１１ｄをオン状態に維持してもよい。この状態で、図３５１に図示するようにベースアノード線２６３１にＶ１電圧を印加し、ベースカソード線２６７１にＶ２電圧を印加する。この場合は、画素電極１０５の電位Ｖｃは、ＴＦＴ１１ａのチャンネル間電圧と、ＥＬ素子１５の端子間電圧により（基本的には、両素子のインピーダンスにより決定される）分圧されたものになる。したがって、Ｖｃ電圧は正確な値とはならないが、少なくとも、Ｖｃ＞Ｖ１、Ｖｃ＜Ｖ２の関係となるから、ＥＬ素子１５に逆バイアス電圧が印加される。

【０４７４】

以上の実施例は、図１の画素構成を例示して説明をした。しかし、本発明はこれに限定するものではない。たとえば、図３５２に図示するように、カレントミラーの画素構成でも、本発明の逆バイアス電圧駆動を実施することができる。また、図３５３に図示するよう

に、電圧駆動の画素構成によっても、本発明の逆バイアス電圧駆動を実施できることは言うまでもない。図３５２および図３５３の画素構成にあっても、逆バイアス電圧駆動方式は、以前に説明した方法あるいは構成と同一または類似であるので説明を省略する。

【０４７５】

以上のように、本発明の逆バイアス電圧駆動により、ＥＬ素子１５の劣化を防止できる。しかし、駆動方式のみでの対策では完全ではない。ＥＬ素子１５が１～５％の輝度低下で、焼きつきが発生するからである。液晶表示パネルの場合の焼きつきは、１～２時間の駆動により消滅するが、ＥＬ表示パネルの焼きつきは、ＥＬ素子１５の劣化であるため、一度発生するとなくならない。

【０４７６】

この課題を対策するため、本発明のＥＬ表示パネル（装置）では、図３５４に図示するように、横Ｍ文字、縦Ｎ文字の表示画面５０に対し、縦横とも１文字分の表示領域をもっている。１文字が図３５５に図示するように、横Ｄ１ドット×縦Ｄ２ドットで表現されるとすれば、横Ｄ１ドット、縦Ｄ２ドット分だけ、本来必要とする表示ドット数よりも多くのドット数を持っている。

【０４７７】

焼きつきは、固定パターンを同一位置に表示するために発生する。したがって、固定パターン（文字あるいは壁紙）を一定の周期あるいは間隔で、移動させれば、焼き付けの発生は少なくなる。移動周期（タイミング、つまり、ある表示場所状態から他の表示場所に移動する時間間隔）は、１０秒以上１２０秒以下にすることが好ましい。１０秒以下だと、ユーザーが画面を注視している期間に画面（文字など）の移動が発生するため、視覚的に許容できない。一方、あまりに長時間、同一位置に表示すると焼き付けが発生する。

【０４７８】

移動の間隔は、３ドット以内にすることが好ましい。さらに好ましくは１ドット以内にすることが好ましい。４ドット以上にすると、ユーザーが画面を注視している期間に画面（文字など）の移動が発生したときに、大きな変動状態と認識され、視覚的に許容できない。また、電源を切断し、次回の電源を投入した時、前回の画像表示位置をフラッシュメモリに記憶させておくとよい。

【０４７９】

図３５５では図３５５の（ａ）から３５５の（ｂ）への移動は、縦横とも１ドット移動した状態を示している。しかし、移動は図３５６に図示するように、上下方向または左右方向に少しずつ移動させることが好ましい。図３５５では、まず、文字の表示位置を下方向に移動させ（図３５６の左上）、次に１ドット左右方向に移動させ、今度は、文字の表示位置を上方向に移動させるという動作を行っている。最後まで移動（図３５６の右上）すると、矢印の逆順序に移動させる。この動作を繰り返す。

【０４８０】

以上のように、表示位置を移動させることにより、ＥＬ表示パネルに固定パターンが焼きつくことを大幅に低減できる。

【０４８１】

以下、図面を参照しながら本発明の他の駆動方式について説明をする。図１２５は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路１４は接続端子６８１にＲ、Ｇ、Ｂデータを切り替えて出力する。したがって、ソースドライバ回路１４の出力端子数は図４８などの場合に比較して１／３の出力端子数ですむ。

【０４８２】

ソースドライバ回路１４から接続端子６８１に出力する信号は、出力切り替え回路１２５１のよりソース信号線１８Ｒ、１８Ｇ、１８Ｂに振り分けられる。出力切り替え回路１２５１はポリシリコン技術あるいはアモルファスシリコン技術で基板７１に直接形成する。また、出力切り替え回路１２５１はシリコンチップで形成し、ＣＯＧ技術、ＴＡＢ技術、ＣＯＦ技術で基板７１に実装してもよい。また、出力切り替え回路１２５１は切り替えスイッチ１２５１をソースドライバ回路１４の回路として、ソースドライバ回路１４に内蔵

させてもよい。

【０４８３】

切り替えスイッチ１２５２がＲ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｒに印加される。切り替えスイッチ１２５２がＧ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｇに印加される。切り替えスイッチ１２５２がＢ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｂに印加される。

【０４８４】

なお、図１２６の構成では、切り替えスイッチ１２５２がＲ端子に接続されている時は、切り替えスイッチのＧ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｇおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｇおよび１８Ｂに接続された画素１６は黒表示となる。

【０４８５】

切り替えスイッチ１２５２がＧ端子に接続されている時は、切り替えスイッチのＲ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｂに接続された画素１６は黒表示となる。

【０４８６】

なお、図１２６の構成では、切り替えスイッチ１２５２がＢ端子に接続されている時は、切り替えスイッチのＲ端子およびＧ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｇに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｇに接続された画素１６は黒表示となる。

【０４８７】

基本的には、１フレームが３フィールドで構成される場合、第１フィールドで、表示画面５０の画素１６に順次Ｒ画像データが書き込まれる。第２フィールドでは、表示画面５０の画素１６に順次Ｇ画像データが書き込まれる。また、第３フィールドでは、表示画面５０の画素１６に順次Ｂ画像が書き込まれる。

【０４８８】

以上のように、フィールドごとにＲデータ→Ｇデータ→Ｂデータ→Ｒデータ→Ｇデータ→Ｂデータ→Ｒデータ→・・・・・　が順次書き換えられシーケンス駆動が実現される。図１のようにスイッチング用トランジスタ１１ｄをオンオフさせて、Ｎ倍パルス駆動を実現することなどは、図５、図１３、図１６などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。もちろん、その他の本発明の駆動方法とシーケンス駆動とを組み合わせることができることは言うまでもない。

【０４８９】

また、先に説明した実施例では、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素には黒データを書き込むとした。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素には黒データを書き込むとした。Ｂ画素１６に画像データを書き込む時は、Ｒ画素およびＧ画素には黒データを書き込むとした。本発明はこれに限定するものではない。

【０４９０】

たとえば、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面５０輝度を明るくすることができる。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしする。Ｂ画素１６に画像データを書き込む時は、Ｇ画素およびＲ画素の画像データは前フィールドで書き換えられた画像データを保持する。

【０４９１】

以上のように、書き換えている色画素以外の画素の画像データを保持するには、ＲＧＢ画素でゲート信号線１７ａを独立に制御できるようにすればよい。たとえば、図１２５に図

示するように、ゲート信号線１７ａＲは、Ｒ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。また、ゲート信号線１７ａＧは、Ｇ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。ゲート信号線１７ａＢは、Ｂ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。一方、ゲート信号線１７ｂはＲ画素、Ｇ画素、Ｂ画素のトランジスタ１１ｄを共通でオンオフさせる信号線とする。

【０４９２】

以上のように構成すれば、ソースドライバ回路１４がＲの画像データを出力し、スイッチ１２５２がＲ接点に切り替わっているときは、ゲート信号線１７ａＲにオン電圧を印加し、ゲート信号線ａＧとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｒの画像データをＲ画素１６に書き込み、Ｇ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

【０４９３】

第２フィールドでソースドライバ回路１４がＧの画像データを出力し、スイッチ１２５２がＧ接点に切り替わっているときは、ゲート信号線１７ａＧにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｇの画像データをＧ画素１６に書き込み、Ｒ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

【０４９４】

第３フィールドでソースドライバ回路１４がＢの画像データを出力し、スイッチ１２５２がＢ接点に切り替わっているときは、ゲート信号線１７ａＢにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＧとにオフ電圧を印加することができる。したがって、Ｂの画像データをＢ画素１６に書き込み、Ｒ画素１６およびＧ画素１６は前にフィールドの画像データを保持したままにできる。

【０４９５】

図１２５の実施例では、ＲＧＢごとに画素１６のトランジスタ１１ｂをオンオフさせるゲート信号線１７ａを形成あるは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図１２６に図示するように、ＲＧＢの画素１６に共通のゲート信号線１７ａを形成または配置する構成であってもよい。

【０４９６】

図１２５などの構成において、切り替えスイッチ１２５２がＲのソース信号線を選択しているときは、Ｇのソース信号線とＢのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電気的にはフローティング状態であり、好ましいことではない。

【０４９７】

図１２６は、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路１２５１のスイッチ１２５２のａ端子はＶａａ電圧（黒表示となる電圧）に接続されている。ｂ端子はソースドライバ回路１４の出力端子と接続されている。スイッチ１２５２はＲＧＢそれぞれに設けられている。

【０４９８】

図１２６の状態では、スイッチ１２５２ＲはＶａａ端子に接続されている。したがって、ソース信号線１８Ｒには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ１２５２ＧはＶａａ端子に接続されている。したがって、ソース信号線１８Ｇには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ１２５２Ｂはソースドライバ回路１４の出力端子に接続されている。したがって、ソース信号線１８Ｂには、Ｂの映像信号が印加されている。

【０４９９】

以上の状態では、Ｂ画素の書き換え状態であり、Ｒ画素とＧ画素には黒表示電圧が印加される。以上のようにスイッチ１２５２を制御することにより、画素１６の画像は書き換えられる。なお、ゲート信号線１７ｂの制御などに関しては以前説明した実施例と同様であるので説明を省略する。

【０５００】

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。１水平走査期間（１Ｈ）ごとに書き換える画素の色を変化させてもよい。たとえば、１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

【０５０１】

図１２７は１Ｈごとに書き換える画素の色を変化させた実施例である。なお、図１２７から図１２９において、斜線でしめした画素１６は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。

【０５０２】

なお、図１２５から図１２９の駆動方式において、図１３などのＮ倍パルス駆動やＭ行同時駆動を実施してもよいことは言うまでもない。図１２５から図１２９などは画素１６の書き込み状態を説明している。ＥＬ素子１５の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。もちろん、図２７で説明したダミー画素行２７１を形成した構成、ダミー画素行を使用する駆動方法と組み合わせてもよい。

【０５０３】

また、１フレームは３フィールドで構成されることに限定されるものではない。２フィールドでもよいし、４フィールド以上でもよい。１フレームが２フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、ＲとＧ画素を書き換え、第２フィールドでＢ画素を書き換えるという実施例が例示される。また、１フレームが４フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、Ｒ画素を書き換え、第２フィールドでＧ画素を書き換え、第３フィールドと第４フィールドでＢ画素を書き換えるという実施例が例示される。これらのシーケンスは、ＲＧＢのＥＬ素子１５の発光効率を考慮して検討することのより効率よくホワイトバランスをとることができる。

【０５０４】

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。

【０５０５】

図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

【０５０６】

図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換える。第２フィールドの１Ｈ目にＧ画素を書き換え、２Ｈ番目にＢ画素を書き換え、３Ｈ番目にＲ画素を書き換え、４Ｈ番目にＧ画素を書き換える。第３フィールドの１Ｈ目にＢ画素を書き換え、２Ｈ番目にＲ画素を書き換え、３Ｈ番目にＧ画素を書き換え、４Ｈ番目にＢ画素を書き換える。

【０５０７】

以上のように、各フィールドでＲ、Ｇ、Ｂ画素を任意にあるいは所定の規則性を持って書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また

、フリッカの発生も抑制できる。
【０５０８】
図１２８では、１Ｈごとに書き換えられる画素１６の色数は複数となっている。図１２７では、第１フィールドにおいて、１Ｈ番目は書き換えられる画素１６はＲ画素であり、２Ｈ番目は書き換えられる画素１６はＧ画素である。また、３Ｈ番目は書き換えられる画素１６はＢ画素であり、４Ｈ番目は書き換えられる画素１６はＲ画素である。
【０５０９】
図１２８では、１Ｈごとに、書き換える画素の色位置を異ならせている。各フィールドでＲ、Ｇ、Ｂ画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。
【０５１０】
なお、図１２８の実施例においても、各絵素（ＲＧＢ画素の組）では、ＲＧＢの点灯時間あるいは発光強度を一致させる。このことは、図１２６、図１２７などの実施例においても同然、実施することは言うまでもない。色ムラになるからである。
【０５１１】
図１２８のように、１Ｈごとに書き換える画素の色数（図１２８の第１フィールドの１Ｈ番目は、Ｒ、Ｇ、Ｂの３色が書き換えられている）を複数にするのは、図１２５において、ソースドライバ回路１４が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、スイッチ１２５２が接点Ｒ、Ｇ、Ｂを任意（一定の規則性があってもよい）に接続できるように構成すればよい。
【０５１２】
図１２９の実施例の表示パネルでは、ＲＧＢの３原色に加えて、Ｗ（白）の画素１６Ｗを有している。画素１６Ｗを形成または配置することのより、色ピーク輝度を良好に実現できる。また、高輝度表示を実現できる。図１２９の（ａ）は１画素行に、Ｒ、Ｇ、Ｂ、Ｗ画素１６を形成した実施例である。図１２９の（ｂ）は、１画素行ごとに、ＲＧＢＷの画素１６を配置した構成である。
【０５１３】
図１２９の駆動方法においても、図１２７、図１２８などの駆動方式を実施できることは言うまでもない。また、Ｎ倍パルス駆動や、Ｍ画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。
【０５１４】
なお、本発明は説明を容易にするため、本発明の表示パネルはＲＧＢの３原色を有するとして説明しているが、これに限定するものではない。ＲＧＢに加えて、シアン、イエロー、マゼンダを加えても良いし、Ｒ、Ｇ、Ｂのいずれかの単色、Ｒ、Ｇ、Ｂのいずれかの２色を用いた表示パネルであってもよい。
【０５１５】
また、以上のシーケンス駆動方式では、フィールドごとにＲＧＢを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図１２５から図１２９の実施例は、画素１６に画像データを書き込む方法について説明したものである。図１などのトランジスタ１１ｄを操作し、ＥＬ素子１５に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。ＥＬ素子１５に流れる電流は、図１の画素構成では、トランジスタ１１ｄを制御することにより行う。
【０５１６】
また、図１２７、図１２８などの駆動方法では、トランジスタ１１ｄ（図１の場合）を制御することにより、ＲＧＢ画像を順次表示することができる。たとえば、図１３０の（ａ）は１フレーム（１フィールド）期間にＲ表示領域５３Ｒ、Ｇ表示領域５３Ｇ、Ｂ表示領域５３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。

【０５１７】
図１３０の（ｂ）は１フィールド（１フレーム）期間にＲＧＢ表示領域５３を複数発生するように実施した実施例である。この駆動方法は、図１６の駆動方法と類似である。したがって、説明を必要としないであろう。図１３０の（ｂ）に表示領域５３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。
【０５１８】
図１３１の（ａ）は、ＲＧＢの表示領域５３で表示領域５３の面積を異ならせたものである（表示領域５３の面積は点灯期間に比例することは言うまでもない）。図１３１の（ａ）では、Ｒ表示領域５３ＲとＧ表示領域５３Ｇと面積を同一にしている。Ｇ表示領域５３ＧよりＢ表示領域５３Ｂの面積を大きくしている。有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い、図１３１の（ａ）のようにＢ表示領域５３Ｂを他の色の表示領域５３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。
【０５１９】
図１３１の（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間５３Ｂが複数（５３Ｂ１、５３Ｂ２）となるようにした実施例である。図１３１の（ａ）は１つのＢ表示領域５３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図１３１の（ｂ）は、同一面積のＢ表示領域５３Ｂを複数表示させることにより、ホワイトバランスを良好にする。
【０５２０】
本発明の駆動方式は図１３１の（ａ）と図１３１の（ｂ）のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域５３を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素１６への書き込み不足を改善することを目的としている。なお、図１６の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域５３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域５３が表示されると表現すべきである）。なお、図１３１の（ａ）と図１３１の（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図１３１の（ａ）のＲＧＢの表示面積５３を変化し、かつ図１３１の（ｂ）のＲＧＢの表示領域５３を複数発生させる駆動方法の実施である。
【０５２１】
なお、図１３０から図１３１の駆動方式は、図１２５から図１２９の本発明の駆動方式に限定されるものではない。図４１のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図１３０、図１３１の駆動方式を容易に実施できることは言うでもないであろう。ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。
【０５２２】
また、以上の駆動を実現するためには、図１３２に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。図１３２のゲートドライバ回路１２ｂＲ、１２ｂＧ、１２ｂＢを図６などで説明した方法で駆動することにより、図１３０、図１３１の駆動方法を実現できる。もちろん、図１３２の表示パネルの構成で、図１６の駆動方法なども実現できることは言うまでもない。
【０５２３】
また、図１２５から図１２８の構成で、画像データを書き換える画素１６以外の画素１６に、黒画像データを書き換える方式であれば、ＥＬ素子１５Ｒを制御するゲート信号線１７ｂＲ、ＥＬ素子１５Ｇを制御するゲート信号線１７ｂＧ、ＥＬ素子１５Ｂを制御するゲート信号線ｂＢが分離されておらず、ＲＧＢ画素に共通のゲート信号線１７ｂであっても

、図１３０、図１３１の駆動方式を実現できることは言うまでもない。
【０５２４】
図１５、図１８、図２１などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。
アウトプットイネーブル（ＯＥＶ）の概念を導入するため、以下のように規定する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。
説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。
【０５２５】
ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。以上の関係をロジック的に図示すれば、図２２４の（ａ）の関係となる（ＯＲ回路である）。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
【０５２６】
つまり、ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。つまり、ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図１７６のタイミングチャートの例を参照のこと）。
【０５２７】
ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図１７６の（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。
【０５２８】
　つまり、ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲート信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図１７６のタイミングチャートの例を参照のこと）。
【０５２９】

なお、ＯＥＶ２の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図１７５は許容変化（％）と画面輝度（ｎｔ）の関係を図示したものである。図１７５でわかるように、比較的暗い画像で許容変化量が小さい。したがって、ＯＥＶ２による制御あるいはＤｕｔｙ比制御による画面５０の輝度調整は、画面５０輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を小さくする。

【０５３０】

図１４０は、１／４Ｄｕｔｙ比駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。

【０５３１】

しかし、本発明はこれに限定するものではなく、図１４３に図示するように１Ｈ以上（図１４３は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。ＯＥＶ２回路は先に説明したＯＥＶ１回路と同様であるので説明を省略する。

【０５３２】

図１４１は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図１４１を第１フィールドの状態とする。

【０５３３】

第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。

【０５３４】

以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるようにしてもよい。

【０５３５】

図１４２は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間が１．５Ｈである場合を示している。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。

【０５３６】

図１４２において、Ａ点において、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７Ｂ（ＥＬ側選択信号線）とが

カップリングしていても、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

【０５３７】

なお、図１４２は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図１４４に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。

【０５３８】

ゲート信号線１７Ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面５０の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。たとえば、図１４５では、図１４５の（ａ）よりも図１４５の（ｂ）の方が表示輝度は低くなる。また、図１４５の（ｂ）よりも図１４５の（ｃ）の方が表示輝度は低くなる。

【０５３９】

図１０９はＯＥＶ２とゲート信号線１７ｂの信号波形の関係を図示してものである。図１０９において、図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。図１０９の（ｂ）が次にＯＥＶ２がＬレベルになる期間が長い。さらに図１０９の（ｃ）は図１０９の（ｂ）よりもＯＥＶ２がＬレベルになる期間が長い。そのため、図１０９の（ｃ）のＤｕｔｙ比は図１０９の（ｂ）のＤｕｔｙ比よりも大きいことになる。

【０５４０】

なお、図１０９の（ａ）（ｂ）（ｃ）の実施例は、１Ｈより短い期間でＤｕｔｙ比制御を行うものである。しかし、本発明はこれに限定するものではなく、図１０９の（ｄ）に図示するように１Ｈ単位でＤｕｔｙ比制御を行っても良い。なお、図１０９の（ｄ）はＤｕｔｙ比１／２の実施例である。

図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。図１０９の（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。

また、図１４６に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもより。図１４６の（ａ）は６回設けた実施例である。図１４６の（ｂ）は３回設けた実施例である。図１４６の（ｃ）は１回設けた実施例である。図１４６では、図１４６の（ａ）よりも図１４６の（ｂ）の方が表示輝度は低くなる。また、図１４６の（ｂ）よりも図１４６の（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

【０５４１】

以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ＩＣチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術、アモルファスシリコン技術などを用いて、表示パネルの基板７１上に作製してもよいことは言うまでもない。

【０５４２】

まず、図５５に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図５５は本発明の電流駆動方式のソースドライバＩＣ（ソースドライバ回路）１４を説明するための原理的なものである。

【０５４３】

図５５において、５５１はＤ／Ａ変換器である。Ｄ／Ａ変換器５５１にはｎビットのデータ信号が入力され、入力されたデータに基づき、Ｄ／Ａ変換器からアナログ信号が出力される。このアナログ信号はオペアンプ５５２に入力される。オペアンプ５５２はＮチャンネルトランジスタ４７１ａに入力され、トランジスタ４７１ａに流れる電流が抵抗５３１に流れる。抵抗Ｒの端子電圧はオペアンプ５５２の－入力となり、この－端子の電圧とオペアンプ５５２の＋端子とは同一電圧となる。したがってＤ／Ａ変換器５５１の出力電圧は抵抗５３１の端子電圧となる。

【０５４４】

抵抗５３１の抵抗値が１ＭΩとし、Ｄ／Ａ変換器５５１の出力が１（Ｖ）であれば、抵抗５３１には１（Ｖ）／１ＭΩ＝１（μＡ）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、Ｄ／Ａ変換器５５１のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗５３１に所定電流が流れ、プログラム電流Ｉｗとなる。

【０５４５】

しかし、ＤＡ変換回路５５１の回路規模は大きい。また、オペアンプ５５２の回路規模も大きい。１出力回路に、ＤＡ変換回路５５１とオペアンプ５５２を形成するとソースドライバＩＣ１４の大きさは巨大となる。したがって、実用上は作製することが不可能である。

【０５４６】

本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路１４は、電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。

【０５４７】

図４７に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の１実施例における構成図を示す。図４７は、一例として電流源を３段構成（４７１、４７２、４７３）とした場合の多段式カレントミラー回路を示している。

【０５４８】

図４７において、第１段の電流源４７１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源４７２にカレントミラー回路によりコピーされる。更に、第２段電流源４７２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源４７３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源４７１の電流値は、Ｎ×Ｍ個の第３段電流源４７３にコピーされることになる。

【０５４９】

例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のソースドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。

【０５５０】

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源４７１の電流値を直接Ｎ×Ｍ個の第３段電流源４７３にカレントミラー回路でコピーするのではなく、中間に第２段電流源４７２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【０５５１】

特に、本発明は、第１段のカレントミラー回路（電流源４７１）と第２段にカレントミラー回路（電流源４７２）を密接して配置するところに特徴がある。第１段の電流源４７１から第３段の電流源４７３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第３段の電流源４７３の個数が多く、第１段の電流源４７１と第３段の電流源４７３を密接して配置することができない。

【０５５２】
本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源４７１）の電流を第２段のカレントミラー回路（電流源４７２）にコピーし、第２段のカレントミラー回路（電流源４７２）の電流を第３段にカレントミラー回路（電流源４７２）にコピーする構成である。この構成では、第１段のカレントミラー回路（電流源４７１）に接続される第２段のカレントミラー回路（電流源４７２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源４７１）と第２段のカレントミラー回路（電流源４７２）とを密接して配置することができる。
【０５５３】
密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源４７２）に接続される第３段のカレントミラー回路（電流源４７３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源４７２）と第３段のカレントミラー回路（電流源４７３）とを密接して配置することができる。
【０５５４】
つまり、全体として、第１段のカレントミラー回路（電流源４７１）、第２段のカレントミラー回路（電流源４７２）、第３段のカレントミラー回路（電流源４７３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。
【０５５５】
本発明において、電流源４７１、４７２、４７３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、オペアンプ５５２とトランジスタ４７１ａと抵抗Ｒの組み合わせからなる定電流回路でもよい。
【０５５６】
図４８はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図４８は第３の電流源４７３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ４８４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。
【０５５７】
なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。
【０５５８】
図４８で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。
【０５５９】
６４階調の場合は、Ｄ０ビットの単位トランジスタ４８４は１個、Ｄ１ビットの単位トランジスタ４８４は２個、Ｄ２ビットの単位トランジスタ４８４は４個、Ｄ３ビットの単位トランジスタ４８４は８個、Ｄ４ビットの単位トランジスタ４８４は１６個、Ｄ５ビットの単位トランジスタ４８４は３２個であるから、計単位トランジスタ４８４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トラ

ンジスタ４８４を１出力と構成（形成）する。なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。

【０５６０】

図４８において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ４８１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）４８４に向かって電流が流れる。この電流はソースドライバＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はソースドライバＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。

【０５６１】

たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ４８１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）４８４に向かって電流が流れる。この電流はソースドライバＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はソースドライバＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。

【０５６２】

他のスイッチ４８１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ４８１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）４８４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ４８１ｆがオンする。すると、カレントミラーを構成する３２つの電流源（１単位）４８４に向かって電流が流れる。

【０５６３】

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。

【０５６４】

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ４８４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ４８４を形成（配置）すればよい。単位電流源を構成するトランジスタ４８４は同一のチャンネル幅Ｗ、チャンネル長Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【０５６５】

また、単位トランジスタ４８４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ４８４を重み付けしてもよい。たとえば、１単位の単位トランジスタ４８４と、２倍の単位トランジスタ４８４と、４倍の単位トランジスタ４８４などを混在させて電流出力回路を構成してもよい。　しかし、単位トランジスタ４８４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【０５６６】

単位トランジスタ４８４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ４８４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、Ｗ＝３μｍ、Ｌ＝４μｍであれば、１つの単位電流源を構成するトランジスタ４８４のサ

イズは、Ｗ×Ｌ＝１２平方μｍである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【０５６７】

トランジスタサイズと出力電流のバラツキの関係を図１１９に示す。図１１９のグラフの横軸はトランジスタサイズ（平方μｍ）である。縦軸は、出力電流のバラツキを％で示したものである。ただし、出力電流のバラツキ％は、単位電流源（１つの単位トランジスタ）４８４を６３個の組で形成し（６３個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、１つの単位電流源を構成するトランジスタサイズ（単位トランジスタ４８４のサイズ）で図示しているが、実際の並列するトランジスタは６３個あるので面積は６３倍である。しかし、図１１９では単位トランジスタ４８４の大きさを単位として検討している。したがって、図１１９でおいて、３０平方μｍの単位トランジスタ４８４を６３個形成したとき、その時の出力電流のバラツキは、０．５％となることを示している。

【０５６８】

６４階調の場合は、１００／６４＝１．５％である。したがって、出力電流バラツキは１．５％以内にする必要がある。図１１９から１．５％以下にするためには、単位トランジスタのサイズは２平方μｍ以上にする必要がある（６４階調は６３個の２平方μｍの単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ＩＣチップサイズが大きくなる点と、１出力あたりの横幅に制限があるからである。この点から、単位トランジスタ４８４のサイズの上限は、３００平方μｍである。したがって、６４階調表示では、単位トランジスタ４８４のサイズは、２平方μｍ以上３００平方μｍ以下にする必要がある。

【０５６９】

１２８階調の場合は、１００／１２８＝１％である。したがって、出力電流バラツキは１％以内にする必要がある。図１１９から１％以下にするためには、単位トランジスタのサイズは８平方μｍ以上にする必要がある。したがって、１２８階調表示では、単位トランジスタ４８４のサイズは、８平方μｍ以上３００平方μｍ以下にする必要がある。

【０５７０】

一般的に、階調数をＫとし、単位トランジスタ４８４の大きさをＳｔ（平方μｍ）としたとき、

４０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させる。

さらに好ましくは、１２０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させることが好ましい。

【０５７１】

以上の例は、６４階調で６３個のトランジスタを形成した場合である。６４階調を１２７個の単位トランジスタ４８４で構成する場合は、単位トランジスタ４８４のサイズとは、２つの単位トランジスタ４８４を加えたサイズである。たとえば、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、１２７個形成されていたら、図１１９では単位トランジスタのサイズは１０×２＝２０の欄をみる必要がある。同様に、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、２５５個形成されていたら、図１１９では単位トランジスタのサイズは１０×４＝４０の欄をみる必要がある。

【０５７２】

単位トランジスタ４８４は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ４８４のゲート電圧を一定に保った状態で、単位トランジスタ４８４のソース（Ｓ）－ドレイン（Ｄ）電圧を変化させたときに、単位トランジスタ４８４に流れる電流が変化する現象と言う。キンクの影響がない場合（理想状態）では、ソース（Ｓ）－ドレイン（Ｄ）間に印加する電圧を変化させても、単位トランジスタ４８４に流れる電流は変化しない。

【０５７３】
キンクの影響が発生するのは、図１などの駆動用トランジスタ１１ａのＶｔのバラツキにより、ソース信号線１８の電位が異なる場合である。ソースドライバ回路１４は、画素の駆動用トランジスタ１１ａにプログラム電流が流れるように、プログラム電流をソース信号線１８に流す。このプログラム電流により、駆動用トランジスタ１１ａのゲート端子電圧が変化し、駆動用トランジスタ１１ａにプログラム電流が流れるようになる。図３でわかるように、選択された画素１６がプログラム状態の時は、駆動用トランジスタ１１ａのゲート端子電圧＝ソース信号線１８電位である。
【０５７４】
したがって、各画素１６の駆動用トランジスタ１１ａのＶｔばらつきにより、ソース信号線１８の電位は異なる。ソース信号線１８の電位は、ソースドライバ回路１４の単位トランジスタ４８４のソース－ドレイン電圧となる。つまり、画素１６の駆動用トランジスタ１１ａのＶｔバラツキにより、単位トランジスタ４８４に印加されるソース－ドレイン電圧が異なり、このソース－ドレイン間電圧により、単位トランジスタ４８４にキンクによる出力電流のバラツキが発生する。
【０５７５】
図１２３は単位トランジスタＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタのＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。なお、Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅である。
【０５７６】
しかし、単位トランジスタ４８４のチャンネル長Ｌがいくらでも長くすることはできない。Ｌが長いほどソースドライバＩＣ１４が大きくなるからである。また、単位トランジスタ４８４のゲート端子電圧が上昇し、ソースドライバＩＣ１４に必要な電源電圧が高くなる。電源電圧が高くなると高耐圧のＩＣプロセスを採用する必要がある。高耐圧のＩＣプロセスで形成したソースドライバＩＣ１４は単位トランジスタ４８４の出力バラツキが大きい（図１２１とその説明を参照のこと）。検討の結果によれば、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは５０以下にすることが好ましい。
【０５７７】
以上のことから、単位トランジスタＬ／Ｗは２以上にすることが好ましい。また、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは４０以下にすることが好ましい。
【０５７８】
また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ４８４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ４８４の出力電流が少しでもばらつくと階調数が低減する。
【０５７９】
以上のことを勘案し、本発明のソースドライバ回路１４は、階調数をＫとし、単位トランジスタ４８４のＬ／Ｗ（Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、
（√（Ｋ／１６））　≦　Ｌ／Ｗ　≦　かつ　（√（Ｋ／１６））×２０
の関係を満足させるように構成（形成）している。この関係を図示すると図１２０のようになる。図１２０の直線の上側が本発明の実施範囲である。
【０５８０】
単位トランジスタ４８４の出力電流のバラツキはソースドライバＩＣ１４の耐圧にも依存

している。ソースドライバＩＣの耐圧とは一般的にＩＣの電源電圧を意味する。たとえば、５（Ｖ）耐圧とは、電源電圧を標準電圧５（Ｖ）で使用する。なお、ＩＣ耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体ＩＣメーカーが５（Ｖ）耐圧プロセス、１０（Ｖ）耐圧プロセスと標準化して保有している。

【０５８１】

ＩＣ耐圧が単位トランジスタ４８４の出力バラツキに影響を与えるのは、トランジスタ４８４のゲート絶縁膜の膜質、膜厚によると考えられる。ＩＣ耐圧が高いプロセスで製造したトランジスタ４８４はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ４８４のバラツキを少なくするためには、ＩＣ耐圧が低いＩＣプロセスを採用することが好ましい。

【０５８２】

図１２１はＩＣ耐圧を単位トランジスタ４８４の出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ４８４のバラツキを１としている。なお、図１２１は単位トランジスタ４８４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ４８４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧など離散値である。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０５８３】

図１２１でもわかるが、ＩＣ耐圧が９（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ４８４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１０（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

【０５８４】

図１２１におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ４８４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧９～１０（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０５８５】

一方、図４８の出力端子６８１の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。ほぼ、駆動用トランジスタ１１ａのゲート端子電圧とソース信号線１８の電位と等しい。また、ソース信号線１８の電位がソースドライバＩＣ（回路）１４の出力端子６８１の電位となる。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が端子６８１に印加されている時、単位トランジスタ４８４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０５８６】

したがって、出力端子６８１（端子６８１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子６８１は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ回

路構成（ＩＣ電源電位まで、電圧を出力できる回路構成）であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。端子７４１の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０５８７】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上９（Ｖ）以下のプロセスを使用することが好ましい。

【０５８８】

なお、以上の説明は、ソースドライバＩＣ１４の使用耐圧プロセスは、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１２１に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０５８９】

単位トランジスタ４８４の面積は出力電流のバラツキと相関がある。図１２２は単位トランジスタ４８４の面積を一定とし、単位トランジスタ４８４のトランジスタ幅Ｗを変化させた時のグラフである。図１２２は単位トランジスタ４８４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。グラフの縦軸は、チャンネル幅Ｗ＝２（μｍ）のバラツキを１とした時のバラツキ比率である。

【０５９０】

図１２２で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。

【０５９１】

図１２２におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の形状により異なる。しかし、単位トランジスタ４８４の形状を変化させても、チャンネル幅Ｗに対するバラツキ比率の変化傾向はほとんど差がない。

【０５９２】

以上のことから、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上９（μｍ）以下とすることが好ましい。ただし、階調数が６４階調の時は、チャンネル幅Ｗは２（μｍ）以上１５（μｍ）以下でも実用上は支障がない。

【０５９３】

図５２に図示するように、第２段のトランジスタ４７２ｂを流れる電流は、第３段のカレントミラー回路を構成するトランジスタ４７３ａにコピーされ、カレントミラー倍率が１倍の時は、この電流がトランジスタ４７３ｂに流れる。この電流は、最終段の単位トランジスタ４８４にコピーされる。

【０５９４】

Ｄ０に対応する部分は、１個の単位トランジスタ４８４で構成されているので、最終段電流源の単位トランジスタ４７３に流れる電流値である。Ｄ１に対応する部分は２個の単位トランジスタ４８４で構成されているので、最終段電流源の２倍の電流値である。Ｄ２は４個の単位トランジスタ４８４で構成されているので、最終段電流源の４倍の電流値であり、・・・、Ｄ５に対応する部分は３２個のトランジスタで構成されているので、最終段電流源の３２倍の電流値である。ただし、最終段のカレントミラー回路のミラー比が１の場合である。

【０５９５】

６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビ

ットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、最終段電流源４７３の１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、最終段電流源４７３の０～６３倍の電流値が出力線より出力される（ソース信号線１８から電流を引き込む）。

【０５９６】

実際には、図７７に図示するように、ソースドライバＩＣ１４内には、Ｒ、Ｇ、Ｂごとの基準電流（ＩａＲ、ＩａＧ、ＩａＢ）は、抵抗４９１（４９１Ｒ、４９１Ｇ、４９１Ｂ）などで調整できるように構成されている。基準電流Ｉａを調整することにより、ホワイトバランスを容易に調整することができる。

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、１つの基準電流から単位トランジスタ４８４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ４８４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることから発揮される効果である。したがって、いかに、ＲＧＢごとに基準電流の大きさを設定できるかがポイントとなる。

ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。

【０５９７】

図４９に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図４９では、第１段カレントミラー回路による電流源４７１を親電流源、第２段カレントミラー回路による電流源４７２を子電流源、第３段カレントミラー回路による電流源４７３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。

【０５９８】

なお、密集して配置するとは、第１の電流源４７１と第２の電流源４７２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源４７２と第３の電流源４７３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

【０５９９】

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図５０の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ａ（入力側）とを密集して配置する関係である。図５１の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ｂ（入力側）とを密集して配置する関係である。

【０６００】

なお、図４９、図５０などにおいて、トランジスタ４７１は１個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ４７１を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗４９１と接続して単位トランジス

タ４８４を構成してもよい。小さなサブトランジスタを複数個並列に接続することのより、単位トランジスタ４８４のばらつきを低減することができる。

【０６０１】

同様に、トランジスタ４７２ａは１個としたが、これに限定するものではない。たとえば、小さなトランジスタ４７２ａを複数個形成し、このトランジスタ４７２ａの複数個のゲート端子を、トランジスタ４７１のゲート端子と接続してもよい。小さなトランジスタ４７２ａを複数個並列に接続することのより、トランジスタ４７２ａのばらつきを低減することができる。

【０６０２】

したがって、本発明の構成としては、１つのトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と１個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成が例示される。以上の実施例は後に詳細に説明する。

【０６０３】

以上の事項は、図５２のトランジスタ４７３ａとトランジスタ４７３ｂとの構成にも適用される。１つのトランジスタ４７３ａと複数個のトランジスタ４７３ｂａとを接続する構成、複数個のトランジスタ４７３ａと１個のトランジスタ４７３ｂとを接続する構成、複数個のトランジスタ４７３ａと複数個のトランジスタ４７３ｂとを接続する構成が例示される。小さなトランジスタ４７３を複数個並列に接続することのより、トランジスタ４７３のばらつきを低減することができるからである。

【０６０４】

以上の事項は、図５２のトランジスタ４７２ａ、４７２ｂとの関係にも適用することができる。また、図４８のトランジスタ４７３ｂも複数個のトランジスタで構成することが好ましい。図５６、図５７のトランジスタ４７３についても同様に複数個のトランジスタで構成することが好ましい。

【０６０５】

ここで、ソースドライバＩＣ１４はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバＩＣ１４は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位トランジスタ４８４は、バイポーラトランジスタ、ＣＭＯＳトランジスタ、ＦＥＴ、バイＣＭＯＳトランジスタ、ＤＭＯＳトランジスタのいずれでもよい。しかし、単位トランジスタ４８４の出力バラツキを小さくする観点から、単位トランジスタ４８４はＣＭＯＳトランジスタで構成することが好ましい。

【０６０６】

単位トランジスタ４８４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

【０６０７】

ソースドライバＩＣ１４の単位トランジスタ４８４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

【０６０８】

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ４８４をＮチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべて（トランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄ）をＰチャンネルと形成するとよい。Ｎチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

【０６０９】
なお、単位トランジスタ４８４はソースドライバＩＣ１４に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路１４を形成してもよい。この場合も、ソースドライバ回路１４内の単位トランジスタ４８４はＮチャンネルトランジスタで構成することが好ましい。
【０６１０】
図５１は電流受け渡し構成の実施例である。なお、図５０は電圧受け渡し構成の実施例である。 図５０、図５１とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図５０において、４７１は第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。
【０６１１】
図５１において、４７１ａは第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。
【０６１２】
図５０では、可変抵抗４９１（電流を変化するために用いるものである）とＮチャンネルトランジスタ４７１で構成される第１段電流源のゲート電圧が、第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。
【０６１３】
一方、図５１では、可変抵抗４９１とＮチャンネルトランジスタ４７１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。
【０６１４】
なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。
【０６１５】
図５０に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ４７１と第２段の電流源のＮチャンネルトランジスタ４７２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。
【０６１６】
それに対して、図５１に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ４７１ａと第２段電流源のＮチャンネルトランジスタ４７２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。
【０６１７】
以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバＩＣ（回路）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。
【０６１８】
なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源か

ら第３段電流源、第３段電流源から第４段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は１段の電流源構成を採用してもよいことは言うまでもない（図４８、図１６４、図１６５、図１６６などを参照のこと）
図５２は、図４９の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図４９は電圧受け渡し方式の回路構成である）。

【０６１９】
図５２では、まず、可変抵抗４９１とＮチャンネルトランジスタ４７１で基準電流が作成される。なお、可変抵抗４９１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ４７１のソース電圧が設定され、調整されるように構成される。もしくは、図４８に図示するような多数の電流源（１単位）４８４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ４７１のソース端子に供給することにより基準電流は調整される（図５３を参照のこと）。

【０６２０】
トランジスタ４７１による第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡される。また、第２の電流源のトランジスタ４７２ｂによるゲート電圧が、隣接する第３段電流源のＮチャンネルトランジスタ４７３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮチャンネルトランジスタ４７３ｂに受け渡される。第３段電流源のＮチャンネルトランジスタ４７３ｂのゲートには図４８に図示する多数の単位トランジスタ４８４が必要なビット数に応じて形成（配置）される。

【０６２１】
図５３では、前記多段式カレントミラー回路の第１段電流源４７１に、電流値調整用素子が具備されていることを特徴としている。この構成により、第１段電流源４７１の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【０６２２】
トランジスタのＶｔバラツキ（特性バラツキ）は、１ウエハ内で１００（ｍＶ）程度のばらつきがある。しかし、１００μ以内に近接して形成されたトランジスタのＶｔバラツキは、少なくとも、１０（ｍＶ）以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバＩＣの各端子の出力電流バラツキを少なくすることができる。

【０６２３】
なお、トランジスタのバラツキはＶｔであるとして説明をするが、トランジスタのバラツキはＶｔだけではない。しかし、Ｖｔバラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、Ｖｔバラツキ＝トランジスタバラツキとして説明をする。

【０６２４】
図１１８はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタ４８４の出力電流バラツキとの測定結果を示している。出力電流バラツキとは、Ｖｔ電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（１０－２００個）のトランジスタ出力電流バラツキである。図１１８のＡ領域（形成面積０．５平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にＣ領域（形成面積２．４平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積０．５平方ミリメートル以上２．４平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

【０６２５】
ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバＩＣ（回路）１４において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。
【０６２６】
本発明は、入力デジタルデータ（Ｄ）により、単位トランジスタ４８４に流れる電流数を切り替えることによりソース信号線１８に流れる電流量を変化（制御）する。階調数が６４階調以上であれば、１／６４＝０．０１５であるから、理論的には、１～２％以内の出力電流バラツキ以内にする必要がある。なお、１％以内の出力バラツキは、視覚的には判別することが困難になり、０．５％以下ではほぼ判別することができない（均一に見える）。
【０６２７】
出力電流バラツキ（％）を１％以内にするためには、図１１８の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのＶｔバラツキ）を０．５％以内にすることが好ましい。図１１８の結果に示すようにトランジスタ群５２１の形成面積を１．２平方ミリメーター以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、１．２平方ミリメートルでは、１ｍｍ×１．２ｍｍである。
【０６２８】
また、単位トランジスタ４８４の組（６４階調であれば６３個のトランジスタ４８４のかたまり（図４８などを参照のこと）に関しても同様である。単位トランジスタ４８４の組の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、単位トランジスタの組４８４の形成面積を１．２平方ミリメーター以内にすればよい。
【０６２９】
なお、以上は、特に８ビット（２５６階調）以上の場合である。２５６階調以下の場合、たとえば、６ビット（６４階調）の場合は、出力電流のバラツキは２％程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群５２１は、５平方ミリメートル以内に形成すればよい。また、トランジスタ群５２１（図５２では、トランジスタ群５２１ａと５２１ｂの２つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（３つ以上ある場合は、１つ以上のトランジスタ群５２１）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群５２１（５２１ａが上位で、５２１ｂが下位の関係）に関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。
【０６３０】
本発明のソースドライバＩＣ（回路）１４は、図５２に図示するように、親、子、孫というように複数の電流源を多段接続し、かつ各電流源を密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群５２１間）を電流受け渡しにしている。具体的には、図５２の点線で囲った範囲（トランジスタ群５２１）を密配置にする。このトランジスタ群５２１は電圧受け渡しの関係にある。また、親の電流源４７１と子の電流源４７２ａとは、ソースドライバＩＣ１４チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ４７２ａと、子の電流源を構成するトランジスタ４７２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群５２１ａをＩＣチップの略中央部に配置する。そして、ソースドライバＩＣ１４の左右に、下位のトランジスタ群５２１ｂを配置する。好ましくは、この下位のトランジスタ群５２１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ソースドライバＩＣ１４に限定されず、低温ポリシリコン技術あるいは高温ポリシリコン技術で基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。

【０６３１】
本発明では、トランジスタ群５２１ａはソースドライバＩＣ１４の略中央部に１つ構成または配置または形成あるいは作製されたおり、チップの左右に８個ずつトランジスタ群５２１ｂが形成されている（Ｎ＝８＋８、図４７を参照のこと）。子のトランジスタ群５２１ｂはチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、１個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図５２では省略されているが）についても同様である。
【０６３２】
親電流源４７１とトランジスタ４７２ａ間は電圧受け渡し（電圧接続）されている。したがって、トランジスタのＶｔバラツキの影響を受けやすい。そのため、トランジスタ群５２１ａの部分を密配置する。このトランジスタ群５２１ａの形成面積を、図１１８の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。もちろん、階調数が６４階調以下の場合は、５平方ミリメートル以内でもよい。
【０６３３】
トランジスタ群５２１ａと子トランジスタ４７２ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群５２１ａの出力端から下位のトランジスタ５２１ｂの入力端までの距離）は、先に説明したように、第２の電流源（子）を構成するトランジスタ４７２ａと第２の電流源（子）を構成するトランジスタ４７２ｂとを、少なくとも１０ｍｍ以内の距離に配置する。このましくは８ｍｍ以内に配置または形成する。さらには、５ｍｍ以内に配置することが好ましい。
【０６３４】
この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群５２１ａが上位で、その下位にトランジスタ群５２１ｂ、さらにその下位にトランジスタ群５２１ｃがあれば、トランジスタ群５２１ｂとトランジスタ群５２１ｃの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群５２１がこの関係を満足させることに、本発明が限定されるものではない。少なくとも１組のトランジスタ群５２１がこの関係を満足さえるようにすればよい。特に、下位の方が、トランジスタ群５２１の個数が多くなるからである。
【０６３５】
第３の電流源（孫）を構成するトランジスタ４７３ａと第３の電流源を構成するトランジスタ４７３ｂについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。
【０６３６】
トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群５２１ｂの個数Ｍは、本発明では１１個（図４７を参照）である。
【０６３７】
トランジスタ４７２ｂと孫電流源４７３ａ間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群５２１ａと同様にトランジスタ群５２１ｂの部分を密配置する。このトランジスタ群５２１ｂの形成面積を、図１１８の図示するように２平方ミリメート

ル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。ただし、このトランジスタ群５２１ｂ部分のＶｔが少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図１１８のＡ領域（０．５平方ミリメートル以内）にすることが好ましい。

【０６３８】

トランジスタ群５２１ｂを孫トランジスタ４７３ａとトランジスタ４７３ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第３の電流源（孫）を構成するトランジスタ４７３ａと第２の電流源（孫）を構成するトランジスタ４７３ｂとを、少なくとも８ｍｍ以内の距離に配置する。さらには、５ｍｍ以内に配置することが好ましい。

【０６３９】

図５３に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗５３１（電流制限および各基準電圧を作成する。抵抗５３１はポリシリで形成する）、デコーダ５３２、レベルシフタ５３３などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ４８１はアナログスイッチ回路として機能する。

【０６４０】

なお、ソースドライバＩＣ（回路）１４において、トランジスタを電流源と記載する場合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するからである。

【０６４１】

また、電子ボリウム回路は、ＥＬ表示パネルの色数に応じて形成（もしくは配置）する。たとえば、ＲＧＢの３原色であれば、各色に対応する３つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、１つの色を基準にする（固定する）場合は、色数－１分の電子ボリウム回路を形成（もしくは配置）する。

【０６４２】

図６８は、ＲＧＢの３原色を独立に基準電流を制御する抵抗素子４９１を形成（配置）した構成である。もちろん、抵抗素子４９１は電子ボリウムに置き換えてもよいことは言うまでもない。また、抵抗素子４９１はソースドライバＩＣ（回路）１４内に内蔵させてもよい。電流源４７１、電流源４７２などの親電流源、子電流源など基本（根本）となる電流源は図６８に図示する領域に電流出力回路６５４と密集して配置する。密集して配置することにより、各ソース信号線１８からの出力バラツキが低減する。図６８に図示するようにＩＣチップ（回路）１４の中央部に電流出力回路６９１（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、６９１とは出力回路が形成されていない領域である）に配置することのより、ＩＣチップ（回路）１４の左右に電流源４７１、４７２などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

【０６４３】

ただし、中央部に電流出力回路６５４に配置することに限定するものではない。ＩＣチップの片端もしくは両端に形成してもよい。また、出力電流回路６５４と平行に形成または配置してもよい。

【０６４４】

ソースドライバＩＣ１４中央部にコントローラあるいは出力電流回路６５４を形成することは、ソースドライバＩＣ１４の単位トランジスタ４８４のＶｔ分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハのＶｔはウエハ内で滑らかな分布が発生しているからである）。

【０６４５】

図５２の回路構成では、１つのトランジスタ４７３ａと１つのトランジスタ４７３ｂとが一対一の関係で接続されている。図５１においても、１つのトランジスタ４７２ａと１つのトランジスタ４７２ｂとが一対一の完成で接続されている。図４９などにおいても同様

である。

【０６４６】

しかし、１つのトランジスタと１つのトランジスタとが一対一の関係で接続されていると、対応するトランジスタの特性（Ｖｔなど）がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

【０６４７】

この課題を解決する構成の実施例が図５８の構成である。図５８の構成は、一例として４つのトランジスタ４７３ａからなる伝達トランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３）と４つのトランジスタ４７３ｂからなる伝達トランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３）とを接続されている。ただし、伝達トランジスタ群５２１ｂ、伝達トランジスタ群５２１ｃはそれぞれ４つのトランジスタ４７３で構成されるとしたがこれに限定されるものではなく、３以下でもよく、５以上でもよいことは言うまでもない。つまり、トランジスタ４７３ａに流れる基準電流Ｉｂを、トランジスタ４７３ａとカレントミラー回路を構成する複数のトランジスタ４７３で出力し、この出力電流を複数のトランジスタ４７３ｂで受けるものである。

【０６４８】

複数のトランジスタ４７３ａと複数のトランジスタ４７３ｂと略同一サイズで、かつ同一個数に設定することが好ましい。また、１出力を構成する単位トランジスタ４８４の個数（図４８のように６４階調の場合は６３個）と、単位トランジスタ４８４とカレントミラーを構成するトランジスタ４７３ｂの個数とは略同一サイズ、かつ同一個数にすることが好ましい。具体的には単位トランジスタ４８４のサイズとトランジスタ４７３ｂのサイズとの差は、±２５％以内にすることが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。なお、トランジスタの面積とは、トランジスタのチャンネル長Ｌとトランジスタのチャンネル幅Ｗをかけた面積をいう。

【０６４９】

なお、トランジスタ４７３ｂに流す電流Ｉｃ１に対して、４７２ｂに流れる電流Ｉｂは５倍以上になるように設定することが好ましい。トランジスタ４７３ａのゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

【０６５０】

また、伝達トランジスタ群５２１ｂ１には４つのトランジスタ４７３ａが隣接して配置され、伝達トランジスタ群５２１ｂ１に隣接して伝達トランジスタ群５２１ｂ２が配置され、この伝達トランジスタ群５２１ｂ２には４つのトランジスタ４７３ａが隣接して配置されというように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群５２１ｂ１のトランジスタ４７３ａと伝達トランジスタ群５２１ｂ２のトランジスタ４７３ａとが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ４７３の配置を伝達トランジスタ群５２１間で入れ替える）させることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

【０６５１】

このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

【０６５２】

伝達トランジスタ群５２１を構成するトランジスタ４７３の形成面積の総和が重要な項目である。基本的にトランジスタ４７３の形成面積の総和が大きいほど、出力電流（ソース信号線１８から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群５２１の形成面積（トランジスタ４７３の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ４７３の形成面積が大きくなればチップ面積が大きくなり、ソースドライバＩＣ１４の価格が高くなる。

【０６５３】
なお、伝達トランジスタ群５２１の形成面積とは、伝達トランジスタ群５２１を構成するトランジスタ４７３の面積の総和である。また、トランジスタ４７３の面積とは、トランジスタ４７３のチャンネル長Ｌとトランジスタ４７３のチャンネル幅Ｗをかけた面積をいう。したがって、トランジスタ５２１が１０個のトランジスタ４７３で構成され、トランジスタ４７３のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが５μｍとすれば、伝達トランジスタ群５２１の形成面積Ｔｍ（平方μｍ）は１０μｍ×５μｍ×１０個＝５００（平方μｍ）である。
【０６５４】
伝達トランジスタ群５２１の形成面積は単位トランジスタ４８４とのの所定の関係を維持するようにする必要がある。また、伝達トランジスタ群５２１ａと伝達トランジスタ群５２１ｂとは所定の関係を維持するようにする必要がある。
【０６５５】
トランジスタ群５２１の形成面積は単位トランジスタ４８４との関係について説明をする。図４８でも図示しているように、１つのトランジスタ４７３ｂに対応して複数の単位トランジスタ４８４が接続されている。６４階調の場合は、１つのトランジスタ４７３ｂに対応する単位トランジスタ４８４は６３個である（図４８の構成の場合）。この単位トランジスタ郡（この例では、単位トランジスタ４８４が６３個）の形成面積Ｔｓ（平方μｍ）は、単位トランジスタ４８４のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが１０μｍとすれば、１０μｍ×１０μｍ×６３個＝６３００平方μｍである。
【０６５６】
図４８のトランジスタ４７３ｂが、図５８では、伝達トランジスタ群５２１ｃが該当する。単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。
【０６５７】
１／４　≦　Ｔｍ／Ｔｓ　≦　６
さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。
【０６５８】
１／２　≦　Ｔｍ／Ｔｓ　≦　４
以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
【０６５９】
伝達トランジスタ群５２１ｂの形成面積Ｔｍｍは伝達トランジス群５２１ｃの形成面積Ｔｍｓとは、以下の関係となるようにする。
【０６６０】
１／２　≦　Ｔｍｍ／Ｔｍｓ　≦　８
さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。
【０６６１】
１　≦　Ｔｍｍ／Ｔｍｓ　≦　４
以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。
【０６６２】
トランジスタ群５２１ｂ１からの出力電流Ｉｃ１、トランジスタ群５２１ｂ２からの出力電流Ｉｃ２、トランジスタ群５２１ｂ２からの出力電流Ｉｃ３とするとき、出力電流Ｉｃ１、出力電流Ｉｃ２、および出力電流Ｉｃ３は一致させる必要がある。本発明では、トランジスタ群５２１は複数のトランジスタ４７３で構成しているため、個々のトランジスタ４７３がばらついていても、トランジスタ群５２１としては、出力電流Ｉｃのバラツキは

発生しない。

【０６６３】

なお、以上の実施例は、図５２のように３段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。１段のカレントミラー接続にも適用できることは言うまでのない。また、図５２の実施例は、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・・）と複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、１つのトランジスタ４７３ａと複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・・）とを接続してもよい。また、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・・）と１つのトランジスタ４７３ｂとを接続してもよい。

【０６６４】

図４８において、スイッチ４８１ａは０ビット目に対応し、スイッチ４８１ｂは１ビット目に対応し、スイッチ４８１ｃは２ビット目に対応し、……スイッチ４８１ｆは５ビット目に対応する。０ビット目は１つの単位トランジスタで構成され、１ビット目は２つの単位トランジスタで構成され、２ビット目は４つの単位トランジスタで構成され、……５ビット目は３２つの単位トランジスタで構成される。説明を容易にするために、ソースドライバ回路１４は６４階調表示対応で、６ビットであるとして説明をする。

【０６６５】

本発明のソースドライバＩＣ（回路）１４の構成では、１ビット目は０ビット目に対して２倍のプログラム電流を出力する。２ビット目は１ビット目に対して２倍のプログラム電流を出力する。３ビット目は２ビット目に対して２倍のプログラム電流を出力する。４ビット目は３ビット目に対して２倍のプログラム電流を出力する。５ビット目は４ビット目に対して２倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に２倍のプログラム電流を出力できるように構成する必要がある。

【０６６６】

図５８の構成は、複数のトランジスタ４７３ａの出力電流を複数のトランジスタ４７３ｂで受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図６０は基準電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流Ｉｂの供給源を複数設ける。本発明では、電流Ｉｂ１と電流Ｉｂ２とは同一の電流値とし、電流Ｉｂ１を発生するトランジスタと電流Ｉｂ２を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

【０６６７】

したがって、本発明は、単位トランジスタ４８４の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ４８４の出力電流を制御する構成である。つまり、本発明は、単位トランジスタ４８４とカレントミラー回路を構成するトランジスタ４７３ｂが複数個形成された構成である。図５８では、単位トランジスタ４８４が６３個形成されたトランジスタ群に対し、カレントミラー回路を形成する５つのトランジスタ４７３ｂが配置（形成）されている。

【０６６８】

単位トランジスタ４８４のゲート端子電圧は、ＩＣチップがシリコンチップの場合、０．５２以上０．６８（Ｖ）以下の範囲に設定することが好ましい。この範囲であれば、単位トランジスタ４８４の出力電流のバラツキが少なくなる。以上の事項は、図１６３、図１６４、図１６５などの本発明の他の実施例においても同様である。

【０６６９】

図６０において、基準電流Ｉｂ１と基準電流Ｉｂ２を個別に調整できるように構成しておくと、ゲート端子５８１のａ点の電圧とｂ点の電圧を自由に設定できるようになる。基準電流Ｉｂ１とＩｂ２の調整により、ソースドライバＩＣ１４の左右で単位トランジスタのＶｔが異なるため、出力電流の傾斜が発生している場合も補正することができる。

【０６７０】

カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。ソースドライバＩＣ１４内に形成されるトランジスタには特性バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジスタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えればＩＣチップ面積も小さくなる。

【０６７１】

図５８はトランジスタ群５２１ａとトランジスタ群５２１ｂでカレントミラー回路を構成している。トランジスタ群５２１ａは複数のトランジスタ４７２ｂで構成されている。一方、トランジスタ群５２１ｂはトランジスタ４７３ａで構成されている。同様にトランジスタ群５２１ｃも複数のトランジスタ４７３ｂで構成されている。

【０６７２】

トランジスタ群５２１ｂ１、トランジスタ群５２１ｂ２、トランジスタ群５２１ｂ３、トランジスタ群５２１ｂ４・・・・・・・・を構成するトランジスタ４７３ａは同一個数に形成している。また、各トランジスタ群５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）は（略）等しくなるように形成している。トランジスタ群５２１ｃについても同様である。

【０６７３】

トランジスタ５２１ｃのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｃ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｃとする。また、トランジスタ５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）とＳｂとする。トランジスタ５２１ａのトランジスタ４７２ｂの総面積（トランジスタ群５２１ａ内のトランジスタ４７２ｂのＷＬサイズ×トランジスタ４７２ｂ数）をＳａとする。また、１出力の単位トランジスタ４８４の総面積をＳｄ（図４８の実施例では単位トランジスタ４８４のＷＬ面積×６３）とする。

【０６７４】

総面積Ｓｃと総面積Ｓｂとは略等しくなるように形成することが好ましい。トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。ただし、ソースドライバＩＣ１４のレイアウトの制約などから、トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数を、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数よりも少なくし、トランジスタ群５２１ｂを構成するトランジスタ４７３ａのサイズをトランジスタ群５２１ｃのトランジスタ４７３ｂのサイズよりも大きくしてもよい。

【０６７５】

この実施例を図５９に図示する。トランジスタ群５２１ａは複数のトランジスタ４７２ｂで構成されている。トランジスタ群５２１ａとトランジスタ４７３ａはカレントミラー回路を構成する。トランジスタ４７３ａは電流Ｉｃを発生させる。１つのトランジスタ４７３ａはトランジスタ群５２１ｃの複数のトランジスタ４７３ｂを駆動する（１つのトランジスタ４７３ａからの電流Ｉｃは複数のトランジスタ４７３ｂに分流される）。一般にトランジスタ４７３ａの個数は、出力回路分の個数が配置または形成される。たとえば、

ＱＣＩＦ＋パネルの場合は、Ｒ、Ｇ、Ｂ回路において、各１７６個のトランジスタ４７３ａが形成または配置される。

【０６７６】

総面積Ｓｄと総面積Ｓｃの関係は、出力バラツキに相関がある。この関係を図１２４に図示している。なお、バラツキ比率などに関しては図１２１を参照のこと。バラツキ比率は、総面積Ｓｄ：総面積Ｓｃ＝２：１（Ｓｃ／Ｓｄ＝１／２）の時を１としている。図１２４でもわかるように、Ｓｃ／Ｓｄが小さいと急激にバラツキ比率が悪くなる。特にＳｃ／Ｓｄ＝１／２以下で悪くなる傾向がある。Ｓｃ／Ｓｄが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓｃ／Ｓｄ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２　＜＝　Ｓｃ／Ｓｄの関係となるように形成することが好ましい。しかし、Ｓｃが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳｃ／Ｓｄ＝４とすることが好ましい。つまり、１／２　＜＝　Ｓｃ／Ｓｄ　＜＝　４の関係を満足するようにする。

【０６７７】

なお、Ａ　＞＝　Ｂは、ＡはＢ以上という意味である。　Ａ　＞　Ｂは、ＡはＢより大きいという意味である。Ａ　＜＝　Ｂは、ＡはＢ以下という意味である。　Ａ　＜　Ｂは、ＡはＢより小さいという意味である。

【０６７８】

さらには、総面積Ｓｄと総面積Ｓｃは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ４８４の個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ４８４は６３個形成される。したがって、トランジスタ群５２１ｃを構成するトランジスタ４７３ｂの個数は６３個形成される。

【０６７９】

また、好ましくは、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、トランジスタ５２１ｃ、単位トランジスタ４８４は、ＷＬ面積の比率が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積の比率が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路６５４を構成することが好ましい。

【０６８０】

総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ　＞＝　Ｓａ　＞＝　４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群５２１ｂを構成するトランジスタ４７３ａの総面積とＳａが略等しくなるように構成する。

【０６８１】

図６０などはゲート配線５８１の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線５８１の両側に配置するトランジスタは２個であり、または、トランジスタ群は２組であった。しかし、本発明はこれに限定するものではない。図６１に図示するようにゲート配線５８１の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図６１では３つのトランジスタ群５２１ａを形成している。本発明は、ゲート配線５８１に形成するトランジスタあるいはトランジスタ群５２１は複数形成することに特徴がある。複数形成することにより、ゲート配線５８１を低インピーダンス化でき、安定度が向上する。

【０６８２】

さらに安定度を向上させるためには、図６２に図示するように、ゲート配線５８１にコンデンサ６６１を形成または配置することが好ましい。コンデンサ６６１はソースドライバＩＣ１４あるいはソースドライバ回路１４内に形成してもよいし、ソースドライバＩＣ１４の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ６６１を外付けにする場合は、ＩＣチップの端子にコンデンサ接続端子を配置する。

【０６８３】

以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ４８４に伝達する構成である。画像表示が黒表示（完全な黒ラスター）の時は、いずれの単位トランジスタ４８４にも電流が流れない。いずれのスイッチ４８１もオープンだからである。したがって、ソース信号線１８に流れる電流は０（Ａ）であるから、電力は消費しない。

【０６８４】

しかし、黒ラスター表示であっても、基準電流は流れる。たとえば、図６３の電流Ｉｂおよび電流Ｉｃである。この電流は無効電流となる。基準電流は電流プログラム時に流れるように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウエイト期間なども基準電流が流れることを制限する。

【０６８５】

基準電流が流れないようにするには、図６３に図示するようにスリープスイッチ６３１をオープンにすればよい。スリープスイッチ６３１はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバＩＣ１４内に形成する。もちろん、ソースドライバＩＣ１４の外部にスリープスイッチ６３１を配置し、このスリープスイッチ６３１を制御してもよい。

【０６８６】

スリープスイッチ６３１をオフにすることにより、基準電流Ｉｂが流れないようになる。そのため、トランジスタ群５２１ａ１内のトランジスタ４７３ａに電流が流れないから、基準電流Ｉｃも０（Ａ）となる。したがって、トランジスタ群５２１ｃのトランジスタ４７３ｂにも電流が流れない。したがって、電力効率が向上する。

【０６８７】

図６４は、タイミングチャートである。水平同期信号ＨＤに同期してブランキング信号が発生する。ブランキング信号はＨレベルの時、ブランキング期間であり、Ｌレベルの時、映像信号が印加されている期間である。スリープスイッチ６３１はＬレベルの時、オフ（オープン）であり、Ｈレベルの時、オンである。

【０６８８】

したがって、ブランキング期間Ａの時、スリープスイッチ６３１はオフであるから、基準電流は流れない。Ｄの期間、スリープスイッチ６３１はオンであり、基準電流が発生する。

【０６８９】

なお、画像データに応じてスリープスイッチ６３１のオンオフ制御を行っても良い。たとえば、１画素行の画像データがすべて黒画像データの時（１Ｈの期間はすべてのソース信号線１８に出力されるプログラム電流は０である）、スリープスイッチ６３１をオフにして、基準電流（Ｉｃ、Ｉｂなど）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線１８が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。

【０６９０】

図５２、図７７は多段接続のカレントミラー構成を有するソースドライバＩＣ（回路）１４の構成図である。本発明は、図５２などの多段接続の構成に限定されるものではない。１段接続のソースドライバ回路１４でもよい。図１６６から図１７２、図１９０、図１９１、図２０８、図２１１、図２１３、図２１４は１段接続のソースドライバＩＣ（回路）の構成図である。１段構成は、回路構成がシンプルで出力電流バラツキが小さい。この場合も単位トランジスタ４８４はＮチャンネルトランジスタで構成する。したがって、ソース信号線１８からのプログラム電流はシンク（ｓｉｎｋ）電流となる。単位トランジスタ４８４のゲート端子と、トランジスタ４７３ｂのゲート端子とは共通のゲート配線５８１で接続をする。なお、図１６６は単位トランジスタ群５２１ｃを示している。各図面の単位トランジスタ５２１ｃを示す点線内に配置あるいは形成される。

【０６９１】
図２０７、図２１０、図２２８のように複数のソースドライバＩＣ（１４ａ、１４ｂ）が隣接して配置されている場合を考える。白ラスター表示においては、すべての端子（Ｉｏｕｔ）の出力電流がばらつきなく一致していることが好ましい。出力電流のバラツキが発生していても、隣接出力端子間の出力電流差が小さければ、視覚的にバラツキとして認識されることはない。なお、隣接出力端子間のばらつきは、１％以内にする必要がある。
【０６９２】
１つのソースドライバＩＣ１４で表示画面５０を駆動する場合は、隣接出力端子間のバラツキが小さければよい。しかし、図２２８のように、複数のソースドライバＩＣ１４で１つの画面５０を駆動する場合は課題となる。隣接出力端子間のバラツキが少なくとも、ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂの出力電流の絶対値に差が発生しているからである。
【０６９３】
ソースドライバＩＣ１４ａの単位トランジスタ群５２１のＩｏｕｔｎと、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１のＩｏｕｔ（ｎ＋１）の出力電流の絶対値が異なれば隣接出力差により画面５０に境目が発生するからである。以下、この課題を解決する方法を説明する。
【０６９４】
図１６７において、トランジスタ４７２ｂと２つのトランジスタ４７３ａとはカレントミラー回路を構成している。トランジスタ４７３ａ１とトランジスタ４７３ａ２は同一サイズである。したがって、トランジスタ４７３ａ１が流す電流Ｉｃとトランジスタ４７３ａ２が流す電流Ｉｃは同一である。
【０６９５】
図１６７の単位トランジスタ４８４からなるトランジスタ群５２１ｃとトランジスタ４７３ｂ１、および単位トランジスタ４８４からなるトランジスタ群５２１ｃとトランジスタ４７３ｂ２とはカレントミラー回路を構成する。トランジスタ群５２１ｃの出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群５２１の出力は精度よく電流が規定される。
【０６９６】
ソースドライバＩＣ１４ａにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ１とは近接して配置され、カレントミラー回路を構成している。また、トランジスタ４７３ｂ２とトランジスタ群５２１ｃｎとも近接して配置されてカレントミラー回路を構成している。したがって、トランジスタ４７３ｂ１に流れる電流とトランジスタ４７３ｂ２に流れる電流が等しければ、トランジスタ群５２１ｃ１の出力電流とトランジスタ群５２１ｃｎの出力電流とは等しくなる。
【０６９７】
同様に、ソースドライバＩＣ１４ｂにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ（ｎ＋１）とは近接して配置され、カレントミラー回路を構成している。また、トランジスタ４７３ｂ２とトランジスタ群５２１ｃ（２ｎ）とも近接して配置されてカレントミラー回路を構成している。したがって、トランジスタ４７３ｂ１に流れる電流とトランジスタ４７３ｂ２に流れる電流が等しければ、トランジスタ群５２１ｃ（ｎ＋１）の出力電流とトランジスタ群５２１ｃ（２ｎ）の出力電流とは等しくなる。
【０６９８】
図２２８において、オペアンプ５２２の正極性端子に基準電圧Ｖｓが印加される。オペアンプ５２２の負極性端子には外付け抵抗Ｒ１が接続される。また、抵抗Ｒ１の一端子は、安定した電圧Ｖｐに接続されている。したがって、抵抗Ｒ１とオペアンプ５２２およびトランジスタ４７３で定電流回路が構成される。トランジスタ４７３を流れる電流Ｉｃは、Ｉｃ＝（Ｖｓ－Ｖｐ）／Ｒ１となる。なお、抵抗Ｒ１は外付け抵抗であるとしたが、これに限定するものではなく、ソースドライバＩＣ（回路）１４内に内蔵されたものでもよい。たとえば、ＩＣチップ内に形成された拡散抵抗、ポリシリコン抵抗などが例示される。

もちろん、抵抗は低温ポリシリコン技術で形成してもよい。また、基準電圧Ｖｓ、Ｖｐなどは、ソースドライバＩＣ（回路）１４の電源電圧Ｖｃｃと共通にしてもよい。また、パネルのアノード電圧Ｖｄｄと兼用にしてもよい。

【０６９９】

ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂに同一基準電圧Ｖｓが印加され、この基準電圧Ｖｓにより、オペアンプ５５２からなる定電流回路により基準電流Ｉｃが発生する（図１７０なども参照のこと）。以下説明を容易にするために、抵抗Ｒ１はソースドライバＩＣ１４の外付け抵抗であり、１％以下の精度のものが使用されるとして説明をする。

【０７００】

以上の構成より、ソースドライバＩＣ１４ａのトランジスタ４７３ｂ１とトランジスタ４７３ｂ２に流れる電流Ｉｃ、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１とトランジスタ４７３ｂ２に流れる電流Ｉｃを等しくすることができる。したがって、ソースドライバＩＣ１４ａのトランジスタ４７３ｂ２と、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１に流れる電流Ｉｃが等しくすることができる。

【０７０１】

ソースドライバＩＣ１４ａにおいて、トランジスタ４７３ｂ２とトランジスタ群５２１ｃｎとは近接して配置されているため、精度がよいカレントミラー回路を構成している。また、ソースドライバＩＣ１４ｂにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ（ｎ＋１）とは近接して配置されているため、精度がよいカレントミラー回路を構成している。以上のことから、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎの出力電流と、ソースドライバＩＣ１４ｂの単位トランジスタ５２１ｃ（ｎ＋１）の出力電流とは略一致する。そのため、画面５０における、ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂとの境目は発生しない。

【０７０２】

以上のように本発明のソースドライバＩＣ１４はチップの左右に基準電流を流すトランジスタ４７３ｂを具備している点が大きな特徴である。たとえば、図２０７に図示するようにソースドライバＩＣ１４に一方のみにトランジスタ４７３ｂを具備している場合を考えると明らかである。図２０７の構成では、図２０８に図示するように、単位トランジスタ群５２１ｃ１はトランジスタ４７３ｂから近いため、精度のよいカレントミラー回路が構成されている。しかし、トランジスタ４７３ｂからＤ距離離れた（ＤはＩＣチップサイズの横幅に近い距離）単位トランジスタ群５２１ｃｎとトランジスタ４７３ｂとはカレントミラー回路の精度はない。

【０７０３】

図２０８の構成のソースドライバＩＣ１４を図２０７のように複数配置した場合、たとえ、ソースドライバＩＣ１４ａのトランジスタ４を図２０７のように複数配置した場合、たとえ、ソースドライバＩＣ１４ａのトランジスタ４７３ｂと、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂとに同一の基準電流Ｉｃを流しても、図２０９に図示するように、端子６８１ａと端子６８１ｎとの出力電流の大きさには傾斜が発生する。そのため、ソースドライバＩＣ１４ａが駆動する画面５０ａと、ソースドライバＩＣ１４ｂが駆動する画面５０ｂとの間に境目が発生する。

【０７０４】

本発明では、図２１０に図示するように、ソースドライバＩＣ１４はチップの左右に基準電流を流すトランジスタ４７３ｂ（４７３ｂ１、４７３ｂ２）を形成または配置されている。具体的回路構成は、図２１１である。

【０７０５】

図２２８の実施例では、外付け抵抗の程度と、基準電圧Ｖｓなどの精度を上げるとことにより、ソースドライバＩＣ１４のトランジスタ４７３ａと４７３ｂに流す電流Ｉｃ１とＩｃ２を等しくすることができる。したがって、トランジスタ４７３ｂとカレントミラー回路を構成するトランジスタ群５２１ｃ１、５２１ｃｎ、５２１ｃ（ｎ＋１）、５２１ｃ（

２ｎ）の同一階調における出力電流を精度よく同一にすることができる。そのため、画面５０を複数のソースドライバＩＣ（回路）１４で駆動する場合であっても、ソースドライバＩＣ（回路）１４間の境目は見えることはない。なお、電流Ｉｃ１とＩｃ２は、ＩＣチップ外に構成した基準電流回路で発生し、トランジスタ４７３ｂに供給してもよいことはいうまでもない。

【０７０６】

抵抗Ｒ１１ａと抵抗Ｒ１２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。同様に、抵抗Ｒ２１ａと抵抗Ｒ２２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。また、抵抗Ｒ１１ｂと抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂと抵抗Ｒ２２ｂの組に対しても同様である。ここでは説明を容易にするため、抵抗Ｒ１１ａ、抵抗Ｒ１２ａ、抵抗Ｒ２１ａ、抵抗Ｒ２２ａ、抵抗Ｒ１１ｂ、抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂ、抵抗Ｒ２２ｂは同一の抵抗値となるように設計（形成）されているとする。

【０７０７】

抵抗Ｒ１１ａ、Ｒ１２ａとは近接して形成または配置される。同様に、抵抗Ｒ２１ａ、Ｒ２２ａとは近接して形成または配置され、抵抗Ｒ１１ｂ、Ｒ１２ｂとは近接して形成または配置される。同様に、抵抗Ｒ２１ｂ、Ｒ２２ｂとは近接して形成または配置される。各抵抗はポリシリコン抵抗あるいは拡散抵抗である。ＩＣチップ内で形成する（構成する）抵抗の値は、近接して配置した抵抗の相対比は精度よく形成できるという特質がある。しかし、絶対値には精度がない場合が多い。

【０７０８】

ソースドライバＩＣ１４の基準電流源は、ＩＣチップの両端に形成される場合が多い。しかし、２つの基準電流源の距離はせいぜい２０ｍｍ程度である。したがって、ソースドライバＩＣ１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａの抵抗値差はわずかである場合が多い。しかし、ＩＣチップが異なるソースドライバＩＣ１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａと、ソースドライバＩＣ１４ｂ抵抗Ｒ１１ｂと抵抗Ｒ２１ｂとは絶対値が大きく異なる場合が多い。ソースドライバＩＣ１４ａと１４ｂが同一ウエハで形成されていても、ＩＣの形成位置が大きく異なることが多いからである。

【０７０９】

説明を容易にするため、一例としてソースドライバＩＣ１４ａの抵抗１１Ｒａ、抵抗Ｒ１２ａ、抵抗Ｒ２１ａ、抵抗Ｒ２２ａの抵抗値は等しく、５０（ＫΩ）であるとして説明をする。また、ソースドライバＩＣ１４ｂの抵抗Ｒ１１ｂ、抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂ、抵抗Ｒ２２ｂの抵抗値は等しく、７５（ＫΩ）であるとして説明をする。つまり、ソースドライバＩＣ１４ａの内蔵抵抗とソースドライバＩＣ１４ｂの内蔵抵抗とは、絶対値が異なり、各ソースドライバＩＣの内蔵抵抗の相対抵抗値は等しいと想定している。

【０７１０】

図２２９において、抵抗Ｒ１１ａ、抵抗Ｒ２１ａ、抵抗Ｒ１１ｂ、抵抗Ｒ２１ｂの一端子は電圧Ｖｐに接続されている。また、オペアンプ５２２に基準電圧Ｖｓが印加されている。この点において、図２２８の構成と同一である。図２２９と図２２８との差異は、図２２８において、抵抗Ｒ１が外付け抵抗である点である。また、図２２９で隣接したソースドライバＩＣの内蔵抵抗を接続配線２２９１でカスケード接続している点である。

【０７１１】

ソースドライバＩＣ１４ａの抵抗Ｒ２２ａとソースドライバＩＣ１４ｂの抵抗Ｒ１１ｂとは接続配線２２９１で電気的に接続されている。接続配線２２９１ｃとは、基板７１上に形成された配線パターンが例示される。したがって、ソースドライバＩＣ１４ａのオペアンプ５２２ｂに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。また、ソースドライバＩＣ１４ａの抵抗Ｒ２１ａとソースドライバＩＣ１４ｂの抵抗Ｒ１２ｂとは接続配線２２９１ｂで電気的に接続されている。したがって、ソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。

【０７１２】
ソースドライバＩＣ１４ａのオペアンプ５２２ｂおよびソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続された抵抗は１２５（ＫΩ）と等しく、また、印加される基準電圧Ｖｓ、Ｖｐなども同一である。したがって、図２２９におけるソースドライバＩＣ１４ａのトランジスタ４７３ｂ２に流れる電流Ｉｃ２と、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１に流れる電流Ｉｃ１とは等しくなる。そのため、ソースドライバＩＣ１４ａのトランジスタ群５２１ｃｎに流れるプログラム電流と、ソースドライバＩＣ１４ｂのトランジスタ群５２１ｃ（ｎ＋１）に流れるプログラム電流とは等しくなる。
【０７１３】
図２２９の構成のより、図２２８のように外付け抵抗なしに、隣接したソースドライバＩＣ１４間のプログラム出力電流を等しくすることができる。つまり、ソースドライバＩＣ１４内の抵抗Ｒの絶対値がばらついていても自己整合により、基準電流が等しくすることができる。したがって、本発明のソースドライバＩＣ１４は基板７１に複数個を実装する場合であっても、全く調整の必要がなく、実装するだけでソースドライバＩＣのカスケード接続を実現することができる。
【０７１４】
なお、ソースドライバＩＣ１４内の抵抗Ｒはトリミングにより所定の絶対値の抵抗値となるように調整してもよい。また、抵抗Ｒ１１ａとＲ１２ａ、抵抗Ｒ２１ａとＲ２２ａなどの組の相対抵抗値が所定の相対値となるように調整してもよい。
また、図２２９に図示するように、ソースドライバ１４ａの端の内蔵抵抗Ｒ１１ａと抵抗Ｒ１２ａとは配線２２９１ａでショートする。また、ソースドライバ１４ｂの端の内蔵抵抗Ｒ２１ｂと抵抗Ｒ２２ｂとは配線２２９１ｄでショートする。
【０７１５】
ソースドライバ１４ａの端の内蔵抵抗Ｒ１１ａと抵抗Ｒ１２ａとは接続配線２２９１ａにより接続される。ソースドライバＩＣ１４ａのオペアンプ５２２ａに接続される抵抗は、抵抗Ｒ１１ａ＋抵抗Ｒ１２ａ＝５０（ＫΩ）＋５０（ＫΩ）＝１００（ＫΩ）となる。ソースドライバＩＣ１４ａのオペアンプ５２２ｂに接続される抵抗はＲ２１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバＩＣ１４ａの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値となる。そのため、ソースドライバＩＣ１４ａのＩｏｕｔ１のプログラム出力電流と、ソースドライバＩＣ１４ａのＩｏｕｔｎのプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ１は画面５０の端に位置するため、画面５０の端の明るさが画面５０の中央部と異なっていても視覚的に認識されることはない。ただし、画面５０の中央部から端部には明るさが滑らかに変化している必要がある。
【０７１６】
同様に、ソースドライバ１４ｂの端の内蔵抵抗２１ｂと抵抗２２ｂとは接続配線２２９１ｄにより接続される。ソースドライバＩＣ１４ｂのオペアンプ５２２ｂに接続される抵抗は、抵抗２１ｂ＋抵抗２２ｂ＝７５（ＫΩ）＋７５（ＫΩ）＝１５０（ＫΩ）となる。ソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続される抵抗はＲ１１ｂ＋Ｒ１２ｂ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバＩＣ１４ｂの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値となる。そのため、ソースドライバＩＣ１４ｂのＩｏｕｔ（ｎ＋１）のプログラム出力電流と、ソースドライバＩＣ１４ｂのＩｏｕｔ（２ｎ）のプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ（２ｎ）は画面５０の端に位置するため、画面５０の端の明るさが画面５０の中央部と異なっていても視覚的に認識されることはない。
【０７１７】
なお、図２３０に図示するように、抵抗Ｒ１２ａにボリウム４９１ａを接続することにより、また、抵抗Ｒ２２ｂにボリウム４９１ｂを接続することにより、トランジスタ群５２１ｃからのプログラム電流を調整できるように構成してもよい。また、抵抗Ｒ１２ａ、抵抗Ｒ２２ａなどを電子ボリウムなどにしてもよい。以上の事項は、抵抗Ｒ２２ａ、抵抗Ｒ

１２ｂに適用してもよいことは言うまでもない。
【０７１８】
図２２８、図２２９、図２３０は各ソースドライバ回路１４に抵抗を内蔵する構成であった。本発明はこれに限定するものではない。たとえば、図２３１に図示するように、ソースドライバＩＣ１４ａに同一抵抗値Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）を内蔵してもよい。抵抗Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）は近接させて配置する。近接して配置することにより、抵抗値の相対値は精度よく形成することできる。なお、抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４）はレーザートリミングを行い、絶対値が等しくなるように調整してもよい。また、トリミングにより抵抗の相対値を等しくなるように調整してもよい。
【０７１９】
ソースドライバＩＣ１４ａの抵抗Ｒ３、Ｒ４は端子ａ２、端子ａ４を介して出力される。この出力は、ソースドライバＩＶ１４ｂの端子ｂ２、端子ｂ３よりソースドライバＩＣ１４ｂに入力される。以上のように構成されることにより、ソースドライバＩＣ１４ａ内の抵抗Ｒ３はソースドライバＩＣ１４ｂのオペアンプ５２２ａと接続され、定電流回路が構成される。また、ソースドライバＩＣ１４ａ内の抵抗Ｒ４はソースドライバＩＣ１４ｂのオペアンプ５２２ｂと接続され、定電流回路が構成される。
【０７２０】
なお、基準電圧ＶｓもソースドライバＩＣ１４ａに入力され、ソースドライバＩＣ１４ｂにはソースドライバＩＣ１４ａの端子ａ１を介して出力される。出力された基準電圧Ｖｓはソースドライバ ＩＣ１４ｂの端子ｂ１よりソースドライバＩＣ１４ｂに入力される。
【０７２１】
先の実施例では、トランジスタ４７３ｂ１とトランジスタ４７３ｂ２に流す電流は同一としたが、図２１１では説明を容易にするため、トランジスタ４７３ｂ１には基準電流Ｉｃ１を流し、トランジスタ４７３ｂ２には基準電流Ｉｃ２を流すとして説明をする。
【０７２２】
図２１０の構成では、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎはトランジスタ４７３ｂ２から近いため、精度のよいカレントミラー回路が構成されている。また、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１ｃ１はトランジスタ４７３ｂ１から近いため、精度のよいカレントミラー回路が構成されている。したがって、ソースドライバＩＣ１４ａの基準電流Ｉｃ２とソースドライバＩＣ１４ｂの基準電流Ｉｃ１を調整すれば、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎの出力電流と、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１ｃ１の出力電流とを調整することができる。
【０７２３】
したがって、図２０９のようにソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂの出力電流に傾きがある場合でも、ソースドライバＩＣ１４ａの基準電流Ｉｃ２または（および）ソースドライバＩＣ１４ｂの基準電流Ｉｃ１を調整することにより、図２１２に示すように出力電流が画面５０ａと５０ｂで連続するように調整することができる。もちろん、基準電流Ｉｃ１と基準電流Ｉｃ２とを同一にすることにより、画面５０ａと画面５０ｂの境目が発生しないようにできることは言うまでもない。
【０７２４】
つまり、本発明において、トランジスタ４７３ｂ１の基準電流Ｉｃ１とトランジスタ４７３ｂ２の基準電流Ｉｃ２を調整できるように構成することにより、より画面５０ａと画面５０ｂの境目が発生しないようにすることができる。
【０７２５】
なお、以上の説明では、トランジスタ４７３ｂは１個のように説明した。しかし、トランジスタ４７３ｂは複数個で形成し、トランジスタ群５２１ｂとすることが好ましい。トランジスタ５２１ｂは複数個のトランジスタ４７３ｂで構成される。また、トランジスタ群５２１ｂのトランジスタ４７３ｂのトランジスタサイズ、形状は、単位トランジスタ４８４と同一形状、同一サイズとすることが好ましい。また、トランジスタ群５２１ｂのトラ

ンジスタ４７３ｂの個数は、トランジスタ５２１ｃの単位トランジスタ４８４の個数と同一にすることが好ましい。さらにトランジスタ群５２１ｂを複数ブロック形成することが好ましい。

【０７２６】

または、トランジスタ群５２１ｂのトランジスタ４７３ｂのトランジスタの総面積は、単位トランジスタ群５２１ｃを構成する単位トランジスタ４８４の総面積と略一致させることが好ましい。さらにトランジスタ群５２１ｂを複数ブロック形成することが好ましい。

【０７２７】

図２１５はトランジスタ群５２１ｂのトランジスタ４８３ｂの配置構成である。１つのトランジスタ群５２１ｂに単位トランジスタ群５２１ｃの単位トランジスタ４８４と同一数の６３個のトランジスタ４７３ｂが形成されている。もちろん、１つのトランジスタ群５２１ｂ内のトランジスタ４７３ｂの個数は６３個に限定するものではない。単位トランジスタ群５２１ｃの単位トランジスタ４８４数が階調数－１で構成される場合は、トランジスタ群５２１ｂ内のトランジスタ４７３ｂの個数も階調数－１あるいはこれと同様もしくは類似個数が形成される。また、図２１５の構成に限定されるものではなく、図２１６のようにマトリックス状に形成または配置してもよい。

【０７２８】

以上の構成を図２１３に模式図的にしめす。単位トランジスタ群５２１ｃが出力端子数分、並列に配置される。単位トランジスタ群５２１ｃの両脇にトランジスタ群５２１ｂが複数ブロック形成されている。トランジスタ群５２１ｂのトランジスタ４７３ｂのゲート端子と、単位トランジスタ群５２１ｃの単位トランジスタ４８４のゲート端子とはゲート配線５８１で接続される。

【０７２９】

なお、以上の説明は、説明を容易にするため、単色のソースドライバＩＣ１４のように説明したが、本来は、図２１４のように構成される。つまり、トランジスタ群５２１ｂおよび単位トランジスタ群５２１ｃは赤（Ｒ）、緑（Ｇ）、青（Ｂ）のトランジスタ群が交互に配置される（図２１４において、添え字Ｒが付加されたトランジスタ群は赤（Ｒ）用を示しており、添え字Ｇが付加されたトランジスタ群は緑（Ｇ）用を示しており、添え字Ｂが付加されたトランジスタ群は青（Ｂ）用を示している）。以上のように、ＲＧＢ用のトランジスタ群を交互に配置することによりＲＧＢ間の出力バラツキが低減する。この構成もソースドライバＩＣ１４内のレイアウトとして重要な要件である。

【０７３０】

なお、図２２８において、基準電流Ｉｃはオペアンプ５５２などにより発生させるとしたが、これに限定するものではない。ボリウムに置き換えて、このボリウムにより基準電流Ｉｃを調整するように構成してもよい。また、トランジスタ４７３ｂは図６２と同様に、複数のトランジスタで形成し、トランジスタ群５２１ｂ１、トランジスタ群５２１ｂ２としてもよい。また、固定抵抗でもよい。

【０７３１】

トランジスタ群５２１ｃ内の単位トランジスタ４８４の配置においても考慮を有する。なお、以下の単位トランジスタ４８４などの配置、構成に関する事項は、トランジスタ群５２１ａのトランジスタ４７３ａ、トランジスタ群５２１ｂのトランジスタ４７３ｂに対しても適用される。

【０７３２】

単位トランジスタ群５２１ｃは規則正しく配置または形成することが必要である。また、単位トランジスタ群５２１ｃ内の単位トランジスタ４８４も規則正しく形成または配置する必要がある。たとえば、単位トランジスタ４８４に抜けがあると、その周辺の単位トランジスタ４８４の特性が他の単位トランジスタ４８４の特性と異なってしまう。また、トランジスタのゲート線にレイアウトも規則ただしく形成または配置する必要がある。

【０７３３】

図２１７は出力段の単位トランジスタ群５２１ｃでの単位トランジスタ４８４の配置を模

式的に図示している。６４階調を表現する６３個の単位トランジスタ４８４はマトリックス状に規則正しく配置されている。しかし、６４個の単位トランジスタ４８４であれば、４列×１６行に配置することができるが、単位トランジスタ４８４は６３個であるので、１箇所形成しない箇所が発生する（斜線部）。すると、斜線部の周辺の単位トランジスタ４８４ａ、４８４ｂ、４８４ｃの特性が他の単位トランジスタ４８４と異なって作製されてしまう。

【０７３４】

この課題を解決するために、本発明は、斜線部にダミートランジスタ１３４１を形成または配置する。すると、単位トランジスタ４８４ａ、単位トランジスタ４８４ｂ、単位トランジスタ４８４ｃの特性が他の単位トランジスタ４８４と一致するようになる。つまり、本発明は、ダミートランジスタ１３４１を形成することにより、単位トランジスタ４８４をマトリックス状に構成するものである。また、単位トランジスタ４８４をマトリックス状にかけがないように配置するものである。または、単位トランジスタ４８４は線対称性を有するように配置するものである。

【０７３５】

６４階調を表現するためには、６３個の単位トランジスタ４８４をトランジスタ群５２１ｃに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ４８４は、さらに複数のサブトランジスタで構成してもよい。

【０７３６】

図２１８の（ａ）は、単位トランジスタ４８４である。図２１８の（ｂ）は４つのサブトランジスタ１２１８１で、単位トランジスタ４８４を構成している。複数のサブトランジスタ２１８１を加算した出力電流は、単位トランジスタ４８４と同一となるようにする。つまり、単位トランジスタ４８４を４つのサブトランジスタ２１８１で構成している。

【０７３７】

なお、本発明は単位トランジスタ４８４を４つのサブトランジスタ２１８１で構成することに限定するものではなく、単位トランジスタ４８４を複数のサブトランジスタ２１８１で構成すればいずれの構成でもよい。ただし、サブトランジスタ２１８１は同一のサイズまたは同一の出力電流を出力するように構成する。

【０７３８】

図２１８において、Ｓはトランジスタのソース端子、Ｇはトランジスタのゲート端子、Ｄはトランジスタのドレイン端子を示している。図２１８の（ｂ）において、サブトランジスタ２１８１は同一方向に配置している。図２１８の（ｃ）はサブトランジスタ２１８１が行方向に異なる方向に配置している。また、図２１８の（ｄ）はサブトランジスタ２１８１が列方向に異なる方向に配置し、かつ点対称となるように配置している。図２１８の（ｂ）、図２１８の（ｃ）、図２１８の（ｄ）はいずれも規則性がある。

【０７３９】

図２１８の（ａ）（ｂ）（ｃ）（ｄ）はレイアウトであるが、サブトランジスタ２１８１は図２１８の（ｅ）に図示するように直列に接続して単位トランジスタ４８４としてもよい。また、図２１８の（ｆ）に図示するように並列に接続して単位トランジスタ４８４としてもよい。

【０７４０】

単位トランジスタ４８４あるいはサブトランジスタ２１８１の形成方向を変化させると特性は異なることが多い。たとえば、図２１８の（ｃ）において、単位トランジスタ４８４ａとサブトランジスタ２１８１ｂとは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図２１８の（ｃ）では、異なる特性のサブトランジスタ２１８１が同数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ４８４あるいはサブトランジスタ２１８１の方向を変化させることにより、特性差が補間しあって、トランジスタ（１単位）のバラツキは低減するという効果を発揮する。以上の事項は、図２１８の（ｄ）の配置にも該当することは言うまでもない。

【０７４１】
したがって、図２１９などに図示するように、単位トランジスタ４８４の方向を変化させ、トランジスタ群５２１ｃとして縦方向に形成した単位トランジスタ４８４の特性と横方向に形成した単位トランジスタ４８４の特性とを補間しあうことにより、トランジスタ群５２１ｃとしてばらつきを少なくすることができる。
【０７４２】
図２１９はトランジスタ群５２１ｃ内で列ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。図２２０はトランジスタ群５２１ｃ内で行ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。図２２１はトランジスタ群５２１ｃ内で行および列ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。なお、ダミートランジスタ１３４１を形成または配置する場合もこの構成要件にしたがって構成する。
【０７４３】
以上の実施例は、同一のサイズまたは同一の電流出力の単位トランジスタをトランジスタ群５２１ｃ内に構成あるいは形成する構成であった（図２２２の（ｂ）を参照のこと）。しかし、本発明はこれに限定するものではない。図２２２の（ａ）に図示するように、０ビット目（スイッチ６４１ａ）は、１単位の単位トランジスタ４８４ａを接続する（形成する）。１ビット目（スイッチ６４１ｂ）は、２単位の単位トランジスタ４８４ｂを接続する（形成する）。２ビット目（スイッチ６４１ｃ）は、４単位の単位トランジスタ４８４ｃを接続する（形成する）。３ビット目（スイッチ６４１ｄ）は、８単位の単位トランジスタ４８４ｄを接続する（形成する）。４ビット目（図示せず）は、１６単位の単位トランジスタ４８４ａを接続する（形成する）。５ビット目（図示せず）は、３２単位の単位トランジスタ４８４ａを接続する（形成する）としてもよい。なお、たとえば、１６単位の単位トランジスタとは、単位トランジスタ４８４の１６個分の電流を出力するトランジスタである。
【０７４４】
＊単位（＊は整数）の単位トランジスタはチャンネル幅Ｗを比例的に変化させる（チャンネル長Ｌを一定にする）ことにより容易に形成することができる。しかし、現実には、チャンネル幅Ｗを２倍にしても出力電流は２倍にならないことが多い。これは実際にトランジスタを作製して実験によりチャンネル幅Ｗを決定する。しかし、本発明において、チャンネル幅Ｗが比例条件からずれていても、比例しているとして表現する。
【０７４５】
図４８、図１６６などにも図示するように、本発明は、単位電流源４８４に流れる電流を制御することにより、映像データに応じたプログラム電流Ｉｗを発生させる。単位電流源４８４はトランジスタから構成されている。このトランジスタはＩＣチップ内にトランジスタ群５２１として密集して形成または配置される。単位電流を構成するトランジスタ４８４にはランダムなバラツキが発生する。このランダムなバラツキは、ＩＣプロセスのエッチングのバラツキ（加工精度）やトランジスタ形状に起因する。その他の特性（特に出力電流）のバラツキとして、ＩＣチップ内でのトランジスタの位置分布に起因するものがある。
【０７４６】
図６４では、トランジスタ群５２１ｆは３２個のトランジスタが密集して形成（配置）される。トランジスタ群５２１ｆは、ＩＣチップの位置により出力電流が異なる傾向にある。３２個のトランジスタのすべての出力電流が大きい（または小さい）と、プログラム電流Ｉｗの精度はトランジスタ群５２１ｆで決定される。したがって、各トランジスタ群５２１を構成するトランジスタ４８４は個々にバラツキが発生していても、総和として（たとえば３２個の単位電流源４８４の加算）の電流値が各端子間で一致していることが好ましい。
【０７４７】
図４８、図１６６では、単体トランジスタ４８４を図示しているため、図面が煩雑である

。理解を容易にするため、図４８、図１６６の構成は図２９９のように図示する。各トランジスタ群５２１に記入されている数字は、単位電流を流すトランジスタの個数である。たとえば、トランジスタ群５２１ａ（この場合は、単位電流源４８４としてのトランジスタは１個であるから群と呼ぶのは適当ではないかもしれない。しかし、説明を容易にするため、あえてトランジスタ群と呼ぶ）は１個の単位トランジスタが構成（形成）されている。

【０７４８】

同様にトランジスタ群５２１ｂは２個のトランジスタが構成（形成）されている。また、トランジスタ群５２１ｃには４個のトランジスタが構成され、トランジスタ群５２１ｃには４個のトランジスタが構成され、トランジスタ群５２１ｄには８個のトランジスタが構成され、トランジスタ群５２１ｅには１６個のトランジスタが構成され、トランジスタ群５２１ｆには３２個のトランジスタが構成されている。

【０７４９】

アナログスイッチ４８１は、映像（画像）データのＤ０に対応するものをスイッチ４８１ａとし、Ｄ１に対応するものをスイッチ４８１ｂとする。また、Ｄ２に対応するものをスイッチ４８１ｃとし、Ｄ３に対応するものをスイッチ４８１ｄとする。同様に、Ｄ４に対応するものをスイッチ４８１ｅとし、Ｄ５に対応するものをスイッチ４８１ｆとする。

【０７５０】

以上のように、スイッチ４８１のオンオフにより、画像データに対応する単位電流源の総和が内部配線４８３に流れ、これがプログラム電流Ｉｗとなる。なお、理解を容易にするため、図面は各トランジスタ群５２１のチップ内レイアウトをイメージしているとして説明する。つまり、図２９９では、ソース信号線１８と接続される出力端子６８１に近い位置にトランジスタ群５２１ｆが配置され、次にトランジスタ群５２１ｅ、次にトランジスタ群５２１ｄ、トランジスタ群５２１ｃ、トランジスタ群５２１ｂとレイアウトされ、最も出力端子６８１に遠い位置にトランジスタ群５２１ａがレイアウトされているとしている（図３２２を参照のこと）。ただし、以上は理解を容易にするためであり、ＩＣチップのレイアウト設計はもっと複雑であることは言うまでもない。

【０７５１】

図２９９のトランジスタ群５２１が１出力端子に接続され（本発明では、高階調領域のＩｗＨ、低階調領域のＩｗＬ、嵩上げ電流のＩｗＫを流すトランジスタ群５２１があるから、もっと複雑である。しかし、説明を容易にするため、図２９９の構成を１出力端子に接続されているとする）、プログラム電流Ｉｗとなる。しかし、各トランジスタ群５２１があまりにも規則ただしく配置されると、プログラム電流Ｉｗが規定よりも大きくなる出力端子が発生する。

【０７５２】

この課題に対処する本発明の構成が図３００の構成である。具体的には、３２個の単位トランジスタで構成されるトランジスタ群５２１ｆ（５２１ｆ１、５２１ｆ２）を２群有している。また、１６個の単位トランジスタで構成されるトランジスタ群５２１ｅ（５２１ｅ１、５２１ｅ２）も２群有している。トランジスタ群５２１の配置は出力端子６８１から順に、トランジスタ群５２１ｆ１、トランジスタ群５２１ｅ１、トランジスタ群５２１ｄ、トランジスタ群５２１ｃ、トランジスタ群５２１ｂ、トランジスタ群５２１ａ、トランジスタ群５２１ｆ２、トランジスタ群５２１ｅ２とする（図３２３を参照のこと。図３２３はソースドライバＩＣ１４のレイアウトの概念図である。）。

【０７５３】

また、図３２９に図示するように、Ｒ、Ｇ、Ｂのトランジスタ群５２１を規則ただしく配置してもよい。また、図３３０に図示するように、高階調側のトランジスタ群５２１Ｈと低階調側のトランジスタ群５２１Ｌを、ＲＧＢで規則ただしく配置してもよい。

【０７５４】

トランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２の切り替えは選択スイッチ３００１ａで行う。選択スイッチ３００１ａをａ側にするとトランジスタ群５２１ｆ１が選択さ

れ、ｂ側にするとトランジスタ群５２１ｆ２が選択される。選択スイッチ３００１ｂをａ側にするとトランジスタ群５２１ｅ１が選択され、ｂ側にするとトランジスタ群５２１ｅ２が選択される。
なお、以上の実施例ではトランジスタ群５２１ｆ、トランジスタ群５２１ｅを２個形成または配置するとしたが、これに限定するものではなく、３個以上形成または配置してもよい。この場合、選択スイッチ３００１は３入力の１選択スイッチとなる。また、複数形成または配置するトランジスタ群５２１はトランジスタ群５２１ｆとトランジスタ群５２１ｅに限定するものではなく、他のトランジスタ群５２１を複数個形成してもよい。ただし、単位電流源４８４の個数が多いほど、トランジスタ特性の偏りによる出力バラツキへの影響が大きくなる。したがって、トランジスタ群５２１でも単位トランジスタ数が多いものを複数個形成または配置することが好ましい。また、画像は、中間調表示でバラツキがあると目立ちやすい。したがって、中間調の表示に寄与するトランジスタ群５２１を複数形成または配置することが好ましい。図２９９の６４階調表示（総トランジスタ数は６３個（１＋２＋４＋８＋１６＋３２））の場合は、トランジスタ群５２１ｅ（単位電流源の個数は１６個）、トランジスタ群５２１ｆ（単位電流源の個数は３２個）が該当する。トランジスタ群５２１ｅは階調１６以上、トランジスタ群５２１ｆは階調３２以上で電流を出力する。この範囲が中間調表示に該当するからである。したがって、階調数をＹとしたとき、Ｙ／５以上（２Ｙ）／３階調以下で動作するトランジスタ群５２１のうち、少なくとも１つのトランジスタ群５２１を複数以上形成または配置するとよい。
【０７５５】
選択スイッチ３００１の切り替えは、１フィールド（１フレーム）（１Ｆと表現する）ごとに、ａ側（トランジスタ群５２１ｆ１、トランジスタ群５２１ｅ１を選択）とｂ側（トランジスタ群５２１ｅ１、トランジスタ群５２１ｆ２を選択）とを切り替える。この概念図を図３２４に図示する。なお、図３２４では説明を容易にするため、トランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２の切り替えした表示を図示している。表示画面５０でトランジスタ群５２１ｆ１またはトランジスタ群５２１ｆ２と記載しているのは、トランジスタ群５２１ｆ１またはトランジスタ群５２１ｆ２からのプログラム電流Ｉｗがソース信号線１８に出力され、画素１６に書き込まれた状態を図示している。もちろん、自然画の画像表示では他のトランジスタ群５２１も動作するので、図３２４のようにはならない。あくまでも、図３２４は説明のために、画面が白ラスター表示であり、さらにトランジスタ群５２１ｆなどの階調の白ラスター表示がされているとしている。なお、以上の図面の説明事項は、他の図面（図３２５、図３２６）などにおいても同様である。
【０７５６】
図３２４は、第１Ｆでトランジスタ群５２１ｆ１を選択し、第２Ｆでトランジスタ群５２１ｆ２を選択して画像を表示している。また、第３Ｆ以降も繰り返し、トランジスタ群５２１ｆ１を選択し、第４Ｆでトランジスタ群５２１ｆ２を表示する。以上のように、複数のトランジスタ群５２１を交互に動作させ、画素にプログラム電流Ｉｗを書き込むことのより出力電流のバラツキを平均化することができ、均一な画像表示を実現できる。
図３２４の実施例では第１Ｆでトランジスタ群５２１ｆ１の出力電流で画像を表示し、第２Ｆでトランジスタ群５２１ｆ２を表示するとしたが、これに限定するものではない。たとえば、第１Ｆおよび第２Ｆでトランジスタ群５２１ｆ１の出力電流で画像を表示し、第３Ｆおよび第４Ｆでトランジスタ群５２１ｆ２の出力電流で画像を表示し、第５Ｆおよび第６Ｆでトランジスタ群５２１ｆ１の出力電流で画像を表示するとしてもよい。つまり、本発明は、複数のトランジスタ群５２１を交互に動作させることにより、画素１６に書き込む電流を平均化し、画像表示においてバラツキを低減するものであるからである。
【０７５７】
図３２４はフィールド（フレーム）ごとに画素１６に書き込むトランジスタ群５２１を選択して切り替えることにより均一表示を実現するものであった。しかし、本発明はこれに限定されるものではない。図３２５に図示するように、１画素行（もしくは複数画素行）ごとに、画素に書き込むプログラム電流Ｉｗを出力するトランジスタ群５２１を切り替え

てもよい。図３２５の（ａ）は第１Ｆの画面５０の書き込み状態を概念的に図示している。図３２５の（ａ）では奇数画素行にトランジスタ群５２１ｆ１の出力電流を書き込み、偶数画素行にトランジスタ群５２１ｆ２の出力電流を書き込む。第２Ｆでは図３２５の（ｂ）に図示するように、偶数画素行にトランジスタ群５２１ｆ１の出力電流を書き込み、奇数画素行にトランジスタ群５２１ｆ２の出力電流を書き込む。以降のフィールド（フレーム）ではこの動作を交互に繰り返す。

【０７５８】

図３２５では、１画素行もしくは複数画素行ごとに画素１６に書き込むトランジスタ群５２１を切り替え、かつ、１フレーム（フィールド）もしくは複数のフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替える。以上のように動作させることにより、画素１６に書き込む電流を平均化し、画像表示においてバラツキを低減することができる。つまり、図３２５では１水平走査期間ごとに画素行１６に書き込むトランジスタ群５２１を変化させる（水平同期信号に同期してトランジスタ群５２１を変化させる）。もちろん、複数画素行（複数水平走査期間）ごとにトランジスタ群５２１を変化させてもよい（つまり、周期は２水平走査期間）。以上の事項は図３１１でも同様である。

【０７５９】

図３２５は画素行ごとに画素１６に書き込むトランジスタ群５２１を選択して切り替え、かつフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替えることにより均一表示を実現するものであった。しかし、本発明はこれに限定されるものではない。図３２６に図示するように、１画素列（もしくは複数画素列）ごとに、画素に書き込むプログラム電流Ｉｗを出力するトランジスタ群５２１を切り替えてもよい。

【０７６０】

図３２６の（ａ）は第１Ｆの画面５０の書き込み状態を概念的に図示している。図３２６の（ａ）では奇数画素列にトランジスタ群５２１ｅ１の出力電流を書き込み、偶数画素列にトランジスタ群５２１ｅ２の出力電流を書き込む。第２Ｆでは図３２６の（ｂ）に図示するように、偶数画素列にトランジスタ群５２１ｅ１の出力電流を書き込み、奇数画素列にトランジスタ群５２１ｅ２の出力電流を書き込む。以降のフィールド（フレーム）ではこの動作を交互に繰り返す。図３２６では１垂直同期期間ごとに画素行１６に書き込むトランジスタ群５２１を変化させる（垂直同期信号に同期してトランジスタ群５２１を変化させる）。周期は２垂直走査期間である。もちろん、複数垂直走査期間ごとにトランジスタ群５２１を変化させてもよい。以上の事項は図３１２でも同様である。

【０７６１】

図３２６では、１画素列もしくは複数画素列ごとに画素１６に書き込むトランジスタ群５２１を切り替え、かつ、１フレーム（フィールド）もしくは複数のフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替える。以上のように動作させることにより、画素１６に書き込む電流を平均化し、画像表示においてバラツキを低減することができる。

なお、図３２５は画素行ごとに画素１６に書き込むトランジスタ群５２１を切り替えるとし、図３２６は画素列ごとに画素１６に書き込むトランジスタ群５２１を切り替えるとしたが、これに限定するものではない。たとえば、図３２５と図３２６とを組み合わせてもよい。つまり、隣接した画素行に書き込むトランジスタ群５２１を変化させるとともに、隣接した画素列に書き込むトランジスタ群５２１を変化させる。もちろん、隣接した画素行または画素列に限定するものではなく、複数の画素行あるいは複数の画素列を組として、画素１６に書き込むトランジスタ群５２１を変化させてもよい。また、Ｒ、Ｇ、Ｂで画素１６に書き込むトランジスタ群５２１を変化させてもよい。

【０７６２】

また、以上のトランジスタ群５２１を、フィールド（フレーム）、画素行、画素列で切り替えるという概念が、本発明の他の実施例にも適用することができることは言うまでもない。

【０７６３】
図３００の実施例は、階調数以上の単位電流源４８４からなるトランジスタ群５２１を形成または配置するものであった（つまり、階調表示に重複したトランジスタ群５２１を複数形成する）。トランジスタ群５２１の出力バラツキが偏って発生するのは、チップ内でトランジスタ群５２１を構成する単位トランジスタをあまりにも密集して配置するためである。もちろん、密集させることのより、単位トランジスタの特性が均一にはなる。しかし、チップ内である位置に特異的にモビリティなどが異なって形成される場合がある。この場合、１つのトランジスタ群５２１がこの特異的な箇所に配置されてしまうと、階調出力電流が異常となる。トランジスタ群５２１を構成する単位トランジスタ数が少ない場合は、このトランジスタ群５２１がこの特異的な箇所に配置されても出力電流が小さいため、自然画表示では目立つことはない。しかし、トランジスタ群５２１を構成する単位トランジスタ４８４数が多い（図２９９では、トランジスタ群５２１ｆ、トランジスタ群５２１ｅなど）と、出力電流が大きいため、不自然な画像表示となる。
【０７６４】
図３０１の実施例は、単位トランジスタ数４８４が多いトランジスタ群５２１ｆを複数に分割して配置した実施例である。チップ１４内のレイアウトの概念図を図３２７に図示する。つまり、１ビットの階調信号に対応するトランジスタ群５２１が複数のサブトランジスタ群５２１に分割されている。なお、分割するサブトランジスタ群５２１は均等に分割（図３０１では、単位トランジスタ４８４が１６ずつの２分割）することに限定するものではない。たとえば、トランジスタ群５２１ｆ１を２０個の単位トランジスタから構成され、トランジスタ群５２１ｆ２を残りの１２個の単位トランジスタから構成されるとしてもよい。以上の事項は、本発明の他の実施例においても適用できることは言うまでもない。
【０７６５】
トランジスタ群５２１ｆは３２個の単位トランジスタ４８４で構成される。図３０１では２分割し、１６個の単位トランジスタで構成されるトランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２に分割している。また、トランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２との形成位置はチップ内で離してレイアウトしている。具体的には図３２７に図示するように、トランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２との間にトランジスタ群５２１ｅを配置している。なお、分割は８の倍数で行うことが好ましい。レイアウトが容易になり、また階調制御も容易となるからである。
【０７６６】
図３０１の動作は図２９９、図３００と同様である。スイッチ４８１ｆがオンすることによりトランジスタ群５２１ｆ１とトランジスタ群５２１ｆ２にプログラム電流Ｉｗが流れる。スイッチ４８１ｅがオンすることによりトランジスタ群５２１ｅにプログラム電流Ｉｗが流れる。以上のように、画像データに応じて該当スイッチ４８１がオンオフ制御され、該当トランジスタ群５２１にプログラム電流Ｉｗが流れてソース信号線１８に印加される。
図３０２の実施例は、図３０１に比較してさらにトランジスタ群５２１を多数の分割した実施例である。トランジスタ群５２１ｆは３２個の単位トランジスタ４８４で構成される。図３０２では４分割し、８個の単位トランジスタで構成されるトランジスタ群５２１ｆ１、トランジスタ群５２１ｆ２、トランジスタ群５２１ｆ３、トランジスタ群５２１ｆ４に分割している。トランジスタ群５２１ｅについても、トランジスタ群５２１ｅ１、トランジスタ群５２１ｅ２に分割している。また、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、トランジスタ群５２１ｃ、トランジスタ群５２１ｄについてもレイアウト位置を図２９９などとは変化させている。
【０７６７】
図３０２の動作は図２９９、図３００と同様である。スイッチ４８１ｆがオンすることによりトランジスタ群５２１ｆ１、トランジスタ群５２１ｆ２、トランジスタ群５２１ｆ３、トランジスタ群５２１ｆ４にプログラム電流Ｉｗが流れる。スイッチ４８１ｅがオンす

ることによりトランジスタ群５２１ｅ１、トランジスタ群５２１ｅ２にプログラム電流Ｉｗが流れる。以上のように、画像データに応じて該当スイッチ４８１がオンオフ制御され、該当トランジスタ群５２１にプログラム電流Ｉｗが流れてソース信号線１８に印加される。

【０７６８】

以上の実施例は説明を容易にするため、単色表示の場合を例示して説明をした。以降、Ｒ、Ｇ、Ｂによるカラー表示を例示して説明をする。なお、以降の実施例は、ＲＧＢの３原色を例示しているが、これに限定するものではなく、シアン、イエロー、マゼンダの３原色に置き換えてもよく、また、ＲとＧと言うように２色表示にも適用できることは言うまでもない。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色表示などにも適用することができる。

以降の実施例は、カラー表示の場合を例示しているが、図２９９、図３００、図３０１などで説明したレイアウト、駆動方式、構成、動作などを組み合わせることができることは言うまでもない。また、Ｒ、Ｇ、Ｂのレイアウトで表現しているが、これを単色と考えることもできる。たとえば、図３０３のＲの隣接はＧであり、その隣はＢである。しかし、これらをすべて単一色のトランジスタ群５２１と考えても良い。つまり、本発明は、トランジスタ群５２１を構成する単位トランジスタを一定の条件で分散させることにより出力バラツキを低減するものである。したがって、隣接したトランジスタ群５２１のレイアウトと入れ替えることにより出力バラツキ低減できると考えるのであれば、ＲＧＢで区別するものではなくても効果を発揮する。

【０７６９】

図３０３は図４８、図１６６の配置をＲＧＢで表現した図面である。レイアウトの概念図を図３２８に図示する。なお、図示を容易にするために、スイッチ４８１などを省略している。また、説明を容易にするため、レイアウト位置を横方向（チップの短辺方向）に“ａ　ｂ　ｃ　ｄ　ｅ　ｆ”と記号を付加し、縦方向（チップの長辺方向）に“１　２　３　４　５　６　”と記号を付加している。説明のためのレイアウト位置は“ａ１”、“ｄ３”などと表現する。

【０７７０】

図３０４は本発明の実施例である。１、２、３の３つに位置でＲＧＢのトランジスタ群５２１が配置され、繰り返してレイアウトされている。赤（Ｒ）は、トランジスタ群５２１ｆが“ｆ１”に配置され、トランジスタ群５２１ｅが“ｅ２”に配置され、トランジスタ群５２１ｄが“ｄ３”に配置され、トランジスタ群５２１ｃが“ｃ１”に配置され、トランジスタ群５２１ｂが“ｂ２”に配置され、トランジスタ群５２１ａが“ａ３”に配置されている。以上のように、レイアウト位置変化させている。

【０７７１】

緑（Ｇ）は、トランジスタ群５２１ｆが“ｆ２”に配置され、トランジスタ群５２１ｅが“ｅ３”に配置され、トランジスタ群５２１ｄが“ｄ１”に配置され、トランジスタ群５２１ｃが“ｃ２”に配置され、トランジスタ群５２１ｂが“ｂ３”に配置され、トランジスタ群５２１ａが“ａ１”に配置されている。以上のように、レイアウト位置変化させている。

【０７７２】

同様に青（Ｂ）は、トランジスタ群５２１ｆが“ｆ３”に配置され、トランジスタ群５２１ｅが“ｅ１”に配置され、トランジスタ群５２１ｄが“ｄ２”に配置され、トランジスタ群５２１ｃが“ｃ３”に配置され、トランジスタ群５２１ｂが“ｂ１”に配置され、トランジスタ群５２１ａが“ａ２”に配置されている。以上のように、レイアウト位置変化させている。

【０７７３】

以上のように、トランジスタ群５２１のレイアウト位置を図３０３のように直線的にするのではなく、“１”、“２”、“３”位置に入れ替えることのより、トランジスタ群５２１を構成する単位トランジスタ４８４の特性に偏りがなくなり、各出力端子からのプログ

ラム電流Ｉｗのバラツキを低減することができる。また、図３００に図示するように複数のトランジスタ群５２１を形成または配置して１Ｆ周期などで切り替え選択してもよい。また、図３０１、図３０２のようにトランジスタ群５２１を分割しても良い。また、トランジスタ群５２１配置を入れ替えてもよいことは言うまでもない。以上の事項は本発明の他の実施例にも適用できることは言うまでもない。

【０７７４】

なお、先にも説明したがレイアウト位置の入れ替えにより出力電流のバラツキを低減する効果は、図３０４のようにＲＧＢにすることなく、発揮できる効果である。したがって、隣接したトランジスタ群５２１のレイアウトと入れ替えることにより出力バラツキ低減できると考えるのであれば、ＲＧＢで区別するものではなくても効果を発揮する。

【０７７５】

図３０４は3つのレイアウトライン“１　２　３”、“４、５、６”・・・・・の組でトランジスタ群５２１を入れ替える実施例であった。図３０５は1ラインずつ選択するトランジスタ群５２１を変化させた実施例である。

【０７７６】

赤（Ｒ）を例示して説明すれば、トランジスタ群５２１ｆが“ｆ１”に配置され、トランジスタ群５２１ｅが“ｅ２”に配置され、トランジスタ群５２１ｄが“ｄ３”に配置され、トランジスタ群５２１ｃが“ｃ４”に配置され、トランジスタ群５２１ｂが“ｂ５”に配置され、トランジスタ群５２１ａが“ａ６”に配置されている。以上のように、レイアウト位置変化させている。

【０７７７】

同様に緑（Ｇ）を例示して説明すれば、トランジスタ群５２１ｆが“ｆ２”に配置され、トランジスタ群５２１ｅが“ｅ３”に配置され、トランジスタ群５２１ｄが“ｄ４”に配置され、トランジスタ群５２１ｃが“ｃ５”に配置され、トランジスタ群５２１ｂが“ｂ６”に配置され、トランジスタ群５２１ａが“ａ７”に配置されている。以上のように、１行ずつ選択するトランジスタ群５２１のレイアウト位置変化させている。

【０７７８】

図３０６の実施例は、主として低階調表示に動作するトランジスタ群５２１Ｌ（図５６のＬ０～Ｌ４端子で制御される単位トランジスタ４８４）と、高階調表示で動作するトランジスタ群５２１Ｈ（図５７のＨ０～Ｈ５端子で制御される単位トランジスタ４８４）のレイアウト位置を変化させたものである。

【０７７９】

図３０６において、赤（Ｒ）のトランジスタ群５２１Ｌは“ａ１”位置の配置し、トランジスタ群５２１Ｈは“ｂ１”に配置する。緑（Ｇ）のトランジスタ群５２１Ｌは“ａ２”位置の配置し、トランジスタ群５２１Ｈは“ｂ２”位置に配置する。青（Ｂ）のトランジスタ群５２１Ｌは“ａ３”位置の配置し、トランジスタ群５２１Ｈは“ｂ３”位置に配置する。

【０７８０】

次の赤（Ｒ）のトランジスタ群５２１Ｈは“ａ４”位置の配置し、トランジスタ群５２１Ｌは“ｂ４”に配置する。緑（Ｇ）のトランジスタ群５２１Ｈは“ａ５”位置の配置し、トランジスタ群５２１Ｌは“ｂ５”位置に配置する。青（Ｂ）のトランジスタ群５２１Ｈは“ａ６”位置の配置し、トランジスタ群５２１Ｌは“ｂ６”位置に配置する。以降はその繰り返しである。

【０７８１】

図３０６のレイアウトでは、Ｒに着目して観察すると、隣接したＲの出力電流回路のトランジスタ群５２１Ｈとトランジスタ群５２１Ｌの配置は、交互に変化（入れ替えている）していることがわかる。以上のように、隣接したトランジスタ群５２１のレイアウトと入れ替えることにより出力バラツキを低減できる。

【０７８２】

以上はＲＧＢの場合である。単色として検討するのであれば（単にレイアウト位置の変更

と考えるのであれば）、“ａ１”位置にトランジスタ群５２１Ｌ、“ｂ１”位置にトランジスタ群５２１Ｈを配置し、“ｂ１”位置にトランジスタ群５２１Ｈ、“ｂ２”位置にトランジスタ群５２１Ｌを配置し、“ａ３”位置にトランジスタ群５２１Ｌ、“ｂ３”位置にトランジスタ群５２１Ｈを配置するというようにレイアウトすればよい（図３０８は、ＲＧＢの場合である。図３０８でＲＧＢと考えない場合である）。

【０７８３】

図３０７は、１行（“１　２　３　４　５　・・・・・”）にトランジスタ群５２１Ｌとトランジスタ群５２１Ｈを複数組レイアウトした実施例である。“ａ１”位置および“ｂ１”位置のトランジスタ群５２１はＲ１（赤の１）のソース信号線１８の出力となる。“ｃ１”位置および“ｄ１”位置のトランジスタ群５２１はＲ２（赤の２）のソース信号線１８の出力となる。“ｅ１”位置および“ｆ１”位置のトランジスタ群５２１はＲ３（赤の３）のソース信号線１８の出力となる。

【０７８４】

同様に、“ａ２”位置および“ｂ２”位置のトランジスタ群５２１はＧ１（緑の１）のソース信号線１８の出力となる。“ｃ２”位置および“ｄ２”位置のトランジスタ群５２１はＧ２（緑の２）のソース信号線１８の出力となる。“ｅ２”位置および“ｆ２”位置のトランジスタ群５２１はＧ３（緑の３）のソース信号線１８の出力となる。

【０７８５】

また、“ａ３”位置および“ｂ３”位置のトランジスタ群５２１はＢ１（青の１）のソース信号線１８の出力となる。“ｃ３”位置および“ｄ３”位置のトランジスタ群５２１はＢ２（青の２）のソース信号線１８の出力となる。“ｅ３”位置および“ｆ３”位置のトランジスタ群５２１はＢ３（青の３）のソース信号線１８の出力となる。以下は同様に繰り返してレイアウトされる。

【０７８６】

図３０８の実施例は、低階調領域のトランジスタ群５２１Ｌと、高階調領域のトランジスタ群５２１Ｈとが組みとなって、配置された実施例である。図３０９は、低階調領域のトランジスタ群５２１Ｌの各ビットに対応する単位トランジスタと、高階調領域のトランジスタ群５２１Ｈの各ビットに対応する単位トランジスタとが、交互（分散されて）に配置された実施例である。以上のように本発明のトランジスタ群５２１の配置分散には多種多様の構成がある。本発明の構成を実施することにより、出力電流Ｉｗのバラツキがなくなり、均一な画像表示を実現できる。

【０７８７】

以上のようにトランジスタ群５２１の配置などを考慮することにより、均一な画像表示を実現できる。さらに、以下に説明する駆動方式を実施することのよりさらに均一な画像表示を実現できる。ただし、以下に説明する駆動方式は単独の実施でも効果を発揮することは言うまでもない。

【０７８８】

まず、図２９９を用いて説明をする。トランジスタ群５２１の単位トランジスタ４８４が動作状態となる個数でプログラム電流Ｉｗが出力される。すべての単位トランジスタ４８４がオフ状態の時、階調０であり、すべてのトランジスタ群５２１の単位トランジスタがオン状態の時、階調は６３である。

【０７８９】

階調３２は、トランジスタ群５２１ｆの単位トランジスタ４８４がオン状態である（スイッチ４８１ｆがオン状態であり、他のスイッチ４８１はオフ状態である）。階調３１はトランジスタ群５２１ａ、トランジスタ群５２１ｂ、トランジスタ群５２１ｃ、トランジスタ群５２１ｄ、トランジスタ群５２１ｅの単位トランジスタ４８４がオン状態である（スイッチ４８１ｆがオフ状態であり、他のスイッチ４８１はオン状態である）。

【０７９０】

このため、階調３２と階調３１では、オンする単位トランジスタ４８４が全く異なる。そのため、トランジスタ群５２１ｆの単位トランジスタと他のトランジスタ群５２１の単位

トランジスタに特性差があると階調飛びが発生する。また、各ソース信号線１８への出力電流のバラツキが目立ちやすくなる。

【０７９１】

この課題に対して、本発明は図３１０に図示する駆動方式を実施する。なお、理解を容易にするため、階調３２を例示して図示している。表示画面５０に“３２”と記載しているのは、階調３２の白ラスター表示であることを示している（トランジスタ群５２１ｆのみが動作している）。表示画面５０に“３１”と記載しているのは、階調３１の白ラスター表示であることを示している（トランジスタ群５２１ｆ以外が動作している）。つまり、第１Ｆでは階調３２を表示し、第２Ｆでは階調３１を表示し、この階調３２と階調３１とを交互に繰り返して画像表示を行う。つまり、階調表示を行うのに、１つのトランジスタ群５２１に固定されることなく、他のトランジスタ群５２１を動作させることにより画像表示を行う。以上のように複数フィールト（フレーム）を使用して多数の単位トランジスタ４８４を動作させて画像を表示することにより、出力バラツキが発生せず、均一な画像表示を実現できる。

【０７９２】

以上の動作を一般的に表現すれば以下のとおりとなる。第１Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第２Ｆでは、映像信号のデータを－１した後、スイッチ４８１のオンオフデータに変換する。次の第３Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第４Ｆでは、映像信号のデータを－１した後、スイッチ４８１のオンオフデータに変換する。以上の動作を繰り返して画像を表示する。つまり、画像表示に寄与するトランジスタ群５２１が均一に動作する。階調３２はトランジスタ群５２１ｆが動作し、－１された階調３１は、トランジスタ群５２１ｆ以外が動作する。したがって、すべてのトランジスタ群５２１の単位トランジスタ４８４が動作することになり、画像表示における出力電流のバラツキは大幅に低減する。また、駆動方法も、１Ｆ信号に同期して映像信号を－１するか、否かだけであるので実現も容易である。ただし、階調０は－１することができない（すべてのトランジスタ群５２１の単位トランジスタ４８４がオフ状態である）。したがって、階調０は０のままとする。

【０７９３】

画像表示は、映像信号と－１した映像信号との中間的な画像表示となる。しかし、この差はわずかである。また、画像表示はわずかに輝度が低下した状態だけである。効果としては、トランジスタ群５２１の特性バラツキが表示されることがなく、非常に均一な画像表示を実現できる。

【０７９４】

なお、実施例では、映像信号を－１するとしたが、これに限定するものではない。映像信号を＋１してもよい。つまり、第１Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第２Ｆでは、映像信号のデータを＋１した後、スイッチ４８１のオンオフデータに変換する。次の第３Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第４Ｆでは、映像信号のデータを＋１した後、スイッチ４８１のオンオフデータに変換する。以上の動作を繰り返して画像を表示する。

【０７９５】

さらに、－１と＋１とを組み合わせてもよい。つまり、第１Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第２Ｆでは、映像信号のデータを－１した後、スイッチ４８１のオンオフデータに変換する。次の第３Ｆでは、映像信号のデータをそのまま、スイッチ４８１のオンオフデータに変換する。次の第４Ｆでは、映像信号のデータを＋１した後、スイッチ４８１のオンオフデータに変換する。以上の動作を４Ｆ周期で繰り返して画像を表示する。

【０７９６】

また、映像信号を－１するとしたが、これに限定されるものではない。－２以上あるいは

＋２以上としてもよい。本発明は、映像信号に対応するトランジスタ群５２１の単位トランジスタ４８４以外の単位トランジスタ４８４を動作させることにより、複数フィールド（フレーム）で平均化し、均一な画像表示を実現することを目的とするからである。したがって、本来の映像信号を変化させる大きさに限定されるものではない。

【０７９７】

図３１０は、第１Ｆでトランジスタ群５２１ｆを選択し、第２Ｆでトランジスタ群５２１ｆ以外のトランジスタ群５２１を選択して画像を表示している。また、第３Ｆ以降も繰り返し、トランジスタ群５２１ｆを選択し、第４Ｆでトランジスタ群５２１以外のトランジスタ群５２１を動作させる。以上のように、複数のトランジスタ群５２１を交互に動作させ、画素にプログラム電流Ｉｗを書き込むことのより出力電流のバラツキを平均化することができ、均一な画像表示を実現できる。

【０７９８】

図３１０はフィールド（フレーム）ごとに画素１６に書き込むトランジスタ群５２１を選択して切り替える（というよりはオンさせるトランジスタ群５２１の単位トランジスタを変化させると言う方が適切である。また、他のトランジスタ群５２１を動作させる、あるいは他のトランジスタ群５２１を加えると言う方が適切である。しかし、ここでは、説明を容易にするため、切り替えるという表現を採用する）ことにより均一表示を実現するものであった。しかし、本発明はこれに限定されるものではない。図３１１に図示するように、１画素行（もしくは複数画素行）ごとに、画素に書き込むプログラム電流Ｉｗを出力するトランジスタ群５２１を切り替えてもよい。図３１１の（ａ）は第１Ｆの画面５０の書き込み状態を概念的に図示している。図３１１の（ａ）では奇数画素行にトランジスタ群５２１ｆの出力電流を書き込み、偶数画素行にトランジスタ群５２１ｆ以外のトランジスタ群５２１の出力電流を書き込む。第２Ｆでは図３１１の（ｂ）に図示するように、偶数画素行にトランジスタ群５２１ｆの出力電流を書き込み、奇数画素行にトランジスタ群５２１ｆ以外のトランジスタ群５２１の出力電流を書き込む。以降のフィールド（フレーム）ではこの動作を交互に繰り返す。

なお、以上の実施例は、理解を容易にするために、階調３２を例示しているだけである。一般的には図３１０で説明した映像信号変換を実施する。

【０７９９】

図３１１では、１画素行もしくは複数画素行ごとに画素１６に書き込むトランジスタ群５２１を切り替え、かつ、１フレーム（フィールド）もしくは複数のフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替える。以上のように動作させることにより、画素１６に書き込む電流を平均化し、画像表示においてバラツキを低減することができる。

【０８００】

図３１１は画素行ごとに画素１６に書き込むトランジスタ群５２１を選択して切り替え、かつフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替えることにより均一表示を実現するものであった。しかし、本発明はこれに限定されるものではない。図３１２に図示するように、１画素列（もしくは複数画素列）ごとに、画素に書き込むプログラム電流Ｉｗを出力するトランジスタ群５２１を切り替えてもよい。図３１１の（ａ）は第１Ｆの画面５０の書き込み状態を概念的に図示している。図３１１の（ａ）では奇数画素列にトランジスタ群５２１ｆの出力電流を書き込み、偶数画素列にトランジスタ群５２１ｆ以外のトランジスタ群５２１の出力電流を書き込む。第２Ｆでは図３１１の（ｂ）に図示するように、偶数画素列にトランジスタ群５２１ｆの出力電流を書き込み、奇数画素列にトランジスタ群５２１ｆ以外のトランジスタ群５２１の出力電流を書き込む。以降のフィールド（フレーム）ではこの動作を交互に繰り返す。

【０８０１】

図３１１では、１画素列もしくは複数画素列ごとに画素１６に書き込むトランジスタ群５２１を切り替え、かつ、１フレーム（フィールド）もしくは複数のフレーム（フィールド）ごとに画素１６に書き込むトランジスタ群５２１を切り替える。以上のように動作させ

ることにより、画素１６に書き込む電流を平均化し、画像表示においてバラツキを低減することができる。
なお、図３１１は画素行ごとに画素１６に書き込むトランジスタ群５２１を変化させるし、図３２６は画素列ごとに画素１６に書き込むトランジスタ群５２１を変化させるとしたが、これに限定するものではない。たとえば、図３１１と図３１２とを組み合わせてもよい。つまり、隣接した画素行に書き込むトランジスタ群５２１を変化させるとともに、隣接した画素列に書き込むトランジスタ群５２１を変化させる。もちろん、隣接した画素行または画素列に限定するものではなく、複数の画素行あるいは複数の画素列を組として、画素１６に書き込むトランジスタ群５２１を変化させてもよい。また、Ｒ、Ｇ、Ｂで画素１６に書き込むトランジスタ群５２１を変化させてもよい。
【０８０２】
また、以上のトランジスタ群５２１を、フィールド（フレーム）、画素行、画素列で切り替えるという概念が、本発明の他の実施例にも適用することができることは言うまでもない。
【０８０３】
また、以上の実施例では、ソースドライバＩＣ１４に関するもののように表現したが、これに限定するものではない。基板７１に低温ポリシリコン技術、高温ポリシリコン技術、ＣＧＳ技術などで直接形成されたソースドライバ回路１４にも適用できることは言うまでもない。
【０８０４】
以上の実施例は、ソースドライバ回路（ＩＣ）１４により、あるいは駆動方法により均一表示を実現するものであった。以下に説明する実施例は、主として表示パネルの画素配置を考慮することのより、特性バラツキをめだたなくする方式である。もちろん、図７で説明した製造方法と組み合わせることによりさらなる特徴ある効果を発揮できる。また、図２９９から図３１２などで説明した構成、駆動方法と組み合わせることによりさらなる特徴ある効果を発揮できる。また、本明細書で説明した他の駆動方法、構成、仕様などと組み合わせることによりさらなる特徴ある効果を発揮できる。
【０８０５】
図３１３は、本発明の実施例における画素レイアウトである。説明を容易にするため、画素１６にはゲート信号線１７ａ（Ｇ１、Ｇ２、Ｇ３、・・・・・・）を１本だけを図示している。また、ソース信号線１８（Ｓ１、Ｓ２、Ｓ３、Ｓ４、・・・・・）とする。画素１６はＰと記載し、その画素位置を（ｍ，ｎ）で示す。また、ＲＧＢの表現はしていない。
【０８０６】
図３１３は、ソース信号線１８およびゲート信号線１７ａは直線的にかつマトリックス状に配置されている。画素Ｐはゲート信号線Ｇ３にＰ（３，１）、Ｐ（２，２）、Ｐ（３，３）、Ｐ（２，４）、Ｐ（３，５）・・・と接続されている。また、ゲート信号線Ｇ４にＰ（４，１）、Ｐ（３，２）、Ｐ（４，３）、Ｐ（３，４）、Ｐ（４，５）・・・と接続されている。図３１４は図３１３において、ゲート信号線１７ａが選択された時にプログラム電流が書き込まれる画素１６をわかりやすいように図示している。
【０８０７】
つまり、図３１４では、１つのゲート信号線Ｇが選択されると、交互に１画素行ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。
【０８０８】
図３１３のように、書き込まれる画素行が直線的でない（２画素行にわたり、交互の上下位置に書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、千鳥（図３１４では２画素行での千鳥）状に書き込まれるため、バラツキが目立たない。
【０８０９】

図３１５は、本発明の第２の実施例における画素レイアウトである。図３１５は、ソース信号線１８およびゲート信号線１７ａは直線的にかつマトリックス状に配置されている。画素Ｐはゲート信号線Ｇ３にＰ（３，１）、Ｐ（３，２）、Ｐ（２，３）、Ｐ（２，４）、Ｐ（３，５）、Ｐ（３，６）・・・と接続されている。また、ゲート信号線Ｇ４にＰ（４，１）、Ｐ（４，２）、Ｐ（３，３）、Ｐ（３，４）、Ｐ（４，５）、Ｐ（４，６）・・・と接続されている。図３１６は図３１５において、ゲート信号線１７ａが選択された時にプログラム電流が書き込まれる画素１６をわかりやすいように図示している。

【０８１０】

つまり、図３１６では、１つのゲート信号線Ｇが選択されると、２画素列ごとに交互に１画素行ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。

【０８１１】

図３１５のように、書き込まれる画素行が直線的でない（２画素行にわたり、交互の上下位置に書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、千鳥（図３１６では２画素行での千鳥）状に書き込まれるため、バラツキが目立たない。

【０８１２】

図３１７は画素１６位置をゲート信号線１７ａ方向にデルタ配置したものである。図３１７は、ソース信号線１８は直線的に形成されている。ゲート信号線１７ａは１／２画素ずれたようにジグザグに形成されている。画素Ｐはゲート信号線Ｇ２にＰ（２，１）、Ｐ（２，２）、Ｐ（２，３）、Ｐ（２，４）、Ｐ（２，５）、Ｐ（２，６）・・・と接続されている。また、ゲート信号線Ｇ３にＰ（３，１）、Ｐ（３，２）、Ｐ（３，３）、Ｐ（３，４）、Ｐ（３，５）、Ｐ（３，６）・・・と接続されている。図３１８は図３１７において、ゲート信号線１７ａが選択された時にプログラム電流が書き込まれる画素１６をわかりやすいように図示している。

【０８１３】

つまり、図３１８では、１つのゲート信号線Ｇが選択されると、交互に１／２画素行ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。

【０８１４】

図３１８は、書き込まれる画素行が直線的でない（１／２画素行にわたり、交互の上下位置に書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、バラツキが目立たない。

【０８１５】

図３１９は画素１６位置をゲート信号線１７ａ方向に１画素ずらせて配置したものである。図３１９は、ソース信号線１８は直線的に形成されている。ゲート信号線１７ａは１画素ずつジグザグに形成されている。画素Ｐはゲート信号線Ｇ３には、Ｐ（３，１）、Ｐ（２，２）、Ｐ（３，３）、Ｐ（２，４）、Ｐ（３，５）、Ｐ（２，６）・・・と接続されている。また、ゲート信号線Ｇ３には、Ｐ（４，１）、Ｐ（３，２）、Ｐ（４，３）、Ｐ（３，４）、Ｐ（４，５）、Ｐ（３，６）・・・と接続されている。

【０８１６】

つまり、図３１９では、１つのゲート信号線Ｇが選択されると、交互に１画素行ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。図３１９は、書き込まれる画素行が直線的でない（交互の上下位置に書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、バラツキが目立たない。

【０８１７】

図３２０は画素１６位置をソース信号線１７ａ方向にデルタ配置したものである。図３２

０は、ゲート信号線１７ａは直線的に形成されている。ソース信号線１８は１／２画素ずれたようにジグザグに形成されている。画素Ｐはソース信号線Ｓ２にＰ（１，２）、Ｐ（２，２）、Ｐ（３，２）、Ｐ（４，２）、Ｐ（５，２）、Ｐ（６，３）・・・と接続されている。また、ソース信号線Ｓ３にＰ（１，３）、Ｐ（２，３）、Ｐ（３，３）、Ｐ（４，３）、Ｐ（５，３）、Ｐ（６，３）・・・と接続されている。

【０８１８】

つまり、図３２０では、１つのゲート信号線Ｇが選択されると、左右方向に、１画素行交互に１／２画素行ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。図３２０は、書き込まれる画素行が直線的でない（２画素行にわたり、１／２画素左右方向にずれて書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、バラツキが目立たない。

【０８１９】

図３２１は画素１６位置をソース信号線１８方向に１画素ずらせて配置したものである。図３２１は、ゲート信号線１７ａは直線的に形成されている。ソース信号線１８は１画素ずつジグザグに形成されている。画素Ｐはソース信号線Ｓ３には、Ｐ（１，２）、Ｐ（２，２）、Ｐ（３，２）、Ｐ（４，３）、Ｐ（５，２）、Ｐ（６，３）・・・と接続されている。また、ソース信号線Ｓ４には、Ｐ（１，３）、Ｐ（２，４）、Ｐ（３，３）、Ｐ（４，４）、Ｐ（５，３）、Ｐ（６，４）・・・と接続されている。

【０８２０】

つまり、図３２１では、１つのゲート信号線Ｇが選択されると、交互に１画素列ずれた位置の画素１６にプログラム電流Ｉｗが書き込まれる。ソースドライバ回路１４からはもちろんのことながら、書き込む画素位置に応じて出力される映像電流は制御される。図３２１は、書き込まれる画素列が直線的でない（交互の左右位置に書き込まれる）ため、ソースドライバ回路１４から出力されるプログラム電流Ｉｗにバラツキがあっても、バラツキが目立たない。

【０８２１】

なお、図１７４、図１７５に図示するように、各トランジスタ群５２１は相互に入れ替えて配置してもよいことは言うまでもない。

【０８２２】

図１６７、図１６８、図１６９では、トランジスタ４７２ｂの電流は抵抗Ｒ１で規定するとしたがこれに限定するものではなく、図１７０に図示するように、電子ボリウム４５１ａ、４５１ｂとしてもよい。図１７０の構成では電子ボリウム４５１ａと電子ボリウム４５１ｂを独立に動作させることができる。したがって、トランジスタ４７２ａ１とトランジスタ４７２ａ２とが流す電流の値を変更することができる。したがって、チップの左右の出力段５２１ｃの出力電流傾きを調整可能である。なお、電子ボリウム４５１は図１７１に図示するように１つにし、２つのオペアンプ７２２を制御するように構成してもよい。また、図６３でスリープスイッチ６３１について説明した。同様に、図１７２のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。

【０８２３】

図１６６から図１７２のカレントミラーの１段構成では単位トランジスタ４８４の個数が非常に多いため、ソースドライバＩＣ（回路）１４のドライバ回路出力段について説明を加えておく。なお、説明を容易にするため、図１６８、図１６９を例示して説明をする。しかし、説明はトランジスタ４７３ｂの個数とその総面積、単位トランジスタ４８４の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。

【０８２４】

図１６８、図１６９において、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｂとする。なお、図１６８、図１６９のようにゲート配線５８１の左右にトランジスタ群５２１ｂがある場合は面積を２倍にする。図１６７のように２つの場合はトラ

ンジスタ４７３ｂの面積×２である。なお、トランジスタ群５２１ｂが１個のトランジスタ４７３ｂで構成される場合は、１個のトランジスタ４７３ｂのサイズであることは言うまでもない。

【０８２５】

また、トランジスタ群５２１ｃの単位トランジスタ４８４の総面積（トランジスタ群５２１ｃ内のトランジスタ４８４のＷＬサイズ×トランジスタ４８４数）をＳｃとする。トランジスタ群５２１ｃの個数をｎとする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。

【０８２６】

図１６５の横軸は、Ｓｃ×ｎ／Ｓｂである。縦軸は変動比率であり、変動比率は最も良い状況を１としている。図１６５に図示するようにＳｃ×ｎ／Ｓｂが大きくなるにしたがって、変動比率は悪くなる。Ｓｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して広いことを示す。この場合は変動比率が悪くなる。

【０８２７】

Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して狭いことを示す。この場合は変動比率が小さくなる。

【０８２８】

変動許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線５８１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×ｎ／Ｓｂが５０以下であれば許容範囲であるが、Ｓｃ×ｎ／Ｓｂを５以下としてもほとんど効果がない。逆に、Ｓｂが大きくなりソースドライバＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｎ／Ｓｂは５以上５０以下にすることが好ましい。

【０８２９】

図１８５はＩＣ耐圧を単位トランジスタの出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ４８４のバラツキを１としている。なお、図１８５は単位トランジスタ４８４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ４８４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０８３０】

図１８５からＩＣ耐圧が９（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ４８４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１０（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

【０８３１】

図１８５におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ４８４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧９～１０（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０８３２】

一方、ソースドライバＩＣ（回路）１４の出力端子６８１の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。画素１６の駆動用トランジスタ１１

ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が出力端子６８１に印加されている時、単位トランジスタ４８４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０８３３】

したがって、出力端子６８１（端子６８１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子６８１は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ出力であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。出力端子６８１の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０８３４】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上９（Ｖ）以下のプロセスを使用することが好ましい。ＩＣ耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【０８３５】

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１０（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１８５に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０８３６】

単位トランジスタ４８４の面積は出力電流のバラツキと相関がある。図１８６は単位トランジスタ４８４の面積を一定とし、単位トランジスタ４８４のトランジスタ幅Ｗを変化させた時のグラフである。図１８６は単位トランジスタ４８４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。

【０８３７】

図１８６で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。

【０８３８】

図１８６におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積により異なる。しかし、単位トランジスタ４８４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

【０８３９】

以上のことから、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上９（μｍ）以下とすることが好ましい。また、単位トランジスタ４８４のチャンネル幅Ｗは図１８４のゲート配線５８１のリンキング抑制対策からも上記範囲で形成することが好ましい。

【０８４０】

図１８７は単位トランジスタ４８４のＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタ４８４のＬ／Ｗ比が２以下では、目標値からのずれが大きい（直

線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタ４８４のＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。

【０８４１】

以上のことから、単位トランジスタ４８４のＬ／Ｗは２以上にすることが好ましい。しかし、Ｌ／Ｗが大きいということはＬが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、Ｌ／Ｗは４０以下にすることが好ましい。

【０８４２】

また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ４８４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ４８４の出力電流が少しでもばらつくと階調数が低減する。

【０８４３】

以上のことを勘案し、本発明のソースドライバ回路１４は、階調数をＫとし、単位トランジスタ４８４のＬ／Ｗ（Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

（√（Ｋ／１６））≦Ｌ／Ｗ　≦かつ　（√（Ｋ／１６））×２０の関係を満足させるように構成（形成）している。

【０８４４】

図１６９などにおいて、トランジスタ群５２１ａのトランジスタ４７３ａの総面積Ｓａとし、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積Ｓｂとした時、総面積Ｓａと総面積Ｓｂの関係は、出力バラツキに相関がある。この関係を図１８８に図示している。なお、バラツキ比率などに関しては図１８５を参照のこと。

【０８４５】

バラツキ比率は、総面積Ｓｂ：総面積Ｓａ＝２：１（Ｓａ／Ｓｂ＝１／２）の時を１としている。図１８８でもわかるように、Ｓａ／Ｓｂが小さいと急激にバラツキ比率が悪くなる。特にＳａ／Ｓｂ＝１／２以下で悪くなる傾向がある。Ｓａ／Ｓｂが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓａ／Ｓｂ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２＜＝Ｓａ／Ｓｂの関係となるように形成することが好ましい。しかし、Ｓａが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳａ／Ｓｂ＝４とすることが好ましい。つまり、１／２＜＝Ｓａ／Ｓｂ＜＝４の関係を満足するようにする。

【０８４６】

なお、Ａ＞＝Ｂは、ＡはＢ以上という意味である。Ａ＞Ｂは、ＡはＢより大きいという意味である。Ａ＜＝Ｂは、ＡはＢ以下という意味である。Ａ＜Ｂは、ＡはＢより小さいという意味である。

【０８４７】

さらには、総面積Ｓｂと総面積Ｓａは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ４８４の個数と、トランジスタ群５２１ｃのトランジスタ６３３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ４８４は６３個形成される。したがって、トランジスタ群５２１ｃを構成するトランジスタ６３３ｂは６３個形成される。

【０８４８】

また、好ましくは、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、単位トランジスタ群５２１ｃ、単位トランジスタ４８４は、ＷＬ面積が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路７０４を構成する

ことが好ましい。

【０８４９】

総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ＞＝Ｓａ＞＝４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群５２１ｂを構成するトランジスタ６３３ａの総面積とＳａが略等しくなるように構成する。

【０８５０】

図１９１に図示するような、１段接続のソースドライバ回路では、特に表示パネルに画像を表示するとソース信号線１８に印加された電流によりソース信号線電位が変動する。この電位変動によいソースドライバＩＣ１４のゲート配線５８１がゆれる課題がある（図１８４を参照のこと）。図１８４に図示するように、ソース信号線１８に印加される映像信号が変化するポイントでゲート配線５８１にリンキングが発生する。リンキングによりゲート配線５８１の電位が変化するから、単位トランジスタ４８４のゲート電位が変化し、出力電流が変動する。特に、ゲート配線５８１の電位変動は、ゲート信号線１７に沿ったクロストーク（横クロストーク）となる。

【０８５１】

この揺れ（ゲート配線５８１のリンキング（図１８４を参照のこと））は、ソースドライバＩＣ１４の電源電圧が影響する。電源電圧が高いほどリンキングする波高値が大きくなるからでる。最悪、電源電圧まで振幅する。ゲート配線５８１の電圧は、定常値が０．５５～０．６５（Ｖ）である。したがって、わずかなリンキングの発生でも出力電流の大きさの変動値は大きい。

【０８５２】

図１６３はソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバＩＣ１４の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は３程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はＩＣ電源電圧が１０～１２（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１２（Ｖ）以下にする必要がある。

【０８５３】

一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。

【０８５４】

以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１２（Ｖ）以下にする必要がある。この範囲とすることにおりゲート配線５８１の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【０８５５】

ゲート配線５８１の配線抵抗も課題となる。ゲート配線５８１の配線抵抗Ｒ（Ω）とは、図１６７では、トランジスタ４７３ｂ１からトランジスタ４７３ｂ２までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。ゲート配線５８１の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど過渡現象は発生しやすい。この現象は特に、図１６６から図１７２の１段カレントミラー接続の構成で課題となる。ゲート配線５８１が長く、１つのゲート配線５８１に接続された単位トランジスタ４８４の数が多いためである。もちろん、図１６２の多段接続でも課題であることは言うまでもない。

【０８５６】

図１６４は、ゲート配線５８１の配線抵抗Ｒ（Ω）と１Ｈ期間Ｔ（ｓｅｃ）と掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１はＲ・Ｔ＝１００を基準にしている。図１６４でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがっ

て、Ｒ・Ｔは５以上１０００以下にすることが好ましい。

【０８５７】

Ｄｕｔｙ比も課題となる。Ｄｕｔｙ比によりソース信号線１８の変動も大きくなるからである。ここで、トランジスタ群５２１ｃの単位トランジスタ４８４の総面積（トランジスタ群５２１ｃ内のトランジスタ４８４のＷＬサイズ×トランジスタ４８４数）をＳｃとする。

【０８５８】

図１８９は横軸をＳｃ×Ｄｕｔｙ比とし、縦軸を変動比率としている。図１８９でわかるようにＳｃ×Ｄｕｔｙ比が５０以上で変動比率が大きくなる傾向がある。また、変動比率が３以下の時が変動許容範囲である。したがって、Ｓｃ×Ｄｕｔｙ比は５０以下で駆動できるように制御することが好ましい。

【０８５９】

変動許容範囲は、Ｓｃ×Ｄｕｔｙ比ｂが５０以下である。Ｓｃ×Ｄｕｔｙ比が５０以下であれば、変動比率は許容範囲内であり、ゲート配線５８１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×Ｄｕｔｙ比が５０以下であれば許容範囲であるが、Ｓｃ×Ｄｕｔｙ比を５以下としてもほとんど効果がない。逆に、ソースドライバＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×Ｄｕｔｙ比は５以上５０以下にすることが好ましい。

【０８６０】

図２１１でトランジスタ４７３ｂ１に流す基準電流Ｉｃ１と、トランジスタ４７３ｂ２に流す基準電流Ｉｃ２とを調整することにより、図２１２に図示するように、ソースドライバＩＣ１４ａと１４ｂとのカスケード接続を良好に行えることを説明した。

【０８６１】

なお、図２１１では、基準電流Ｉｃ１とＩｃ２とを調整するとした。しかし、ゲート配線５８１が所定値以上の抵抗値を有していると、トランジスタ４７３ｂ１に流す基準電流Ｉｃ１と、トランジスタ４７３ｂ２に流す基準電流Ｉｃ２とを同一にしても、図２１１のように出力電流の傾斜が補正される。これは、図１９１に図示するように傾斜を補正する補正電流Ｉｄがゲート配線５８１に流れるからである。

【０８６２】

理解を容易にするため、具体的な数値で説明する。Ｉｃ１＝Ｉｃ２＝１０（μＡ）とし、この時、トランジスタ４７３ｂ１のゲート端子電圧Ｖ１＝０．６０（Ｖ）、トランジスタ４７３ｂ２のゲート端子電圧Ｖ２＝０．６１（Ｖ）とする。トランジスタ４７３ｂ２に流れる基準電流とトランジスタ４７３ｂ１に流れる基準電流との差を１％以内にする必要があるから、基準電流＝１０（μＡ）の１％は０．１（μＡ）である。したがって、（Ｖ２－Ｖ１）／０．１（μＡ）＝（０．６１－０．６０）（Ｖ）／０．１（μＡ）＝１００（ＫΩ）となる。したがって、ゲート配線５８１の抵抗値を１００（ＫΩ）とすることにより、出力電流の傾きは調整され、隣接して配置されたソースドライバＩＣ１４の出力電流の差は１％以内の差におさまる。

【０８６３】

ゲート配線５８１が高抵抗であるほど、補正電流Ｉｄの大きさは小さくてよい。しかし、ゲート配線５８１の抵抗値をあまりに高くすると、図１８４のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線５８１の抵抗値には適切な範囲が存在する。

【０８６４】

本発明は、ゲート配線５８１のうちすべてをまたは、少なくともゲート配線５８１の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ４８４のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線５８１は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【０８６５】
ゲート配線のリンキング発生を抑制するには、ゲート配線５８１を所定値以下の抵抗値にすることで達成できる。また、トランジスタ４７３ｂの総面積Ｓｂ（トランジスタ群５２１ｂの総面積Ｓｂ）を大きくすることにより、達成できる。また、基準電流Ｉｃを大きくすることにより達成できる。
【０８６６】
１出力の単位トランジスタ４８４の面積（１つのトランジスタ群５２１ｃ内の単位トランジスタ４８４の総面積）をＳ０とし、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積Ｓｂ（図２１３のようにトランジスタ群５２１ｂが複数ある時は、複数のトランジスタ群５２１ｂのトランジスタ４７３ｂの総面積）とする。図１９２はＳｂ／Ｓ０を横軸とし、許容できるゲート配線抵抗（ＫΩ）を縦軸とした時の関係を示している。図１９２の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。
【０８６７】
図１９２の横軸は、総トランジスタ群５２１ｂの大きさＳｂに対する１出力あたりの単位トランジスタ４８４の大きさＳ０である（６４階調の場合は、単位トランジスタ４８４が６３個分）。Ｓ０を固定値であるとすると、Ｓｂが大きいほど、ゲート配線５８１が許容できる抵抗値も大きくなる。これは、Ｓｂが大きくなるほどゲート配線５８１に対するインピーダンスが低くなり、安定度が増加するためである。
【０８６８】
Ｓ０は出力電流（プログラム電流）を発生させるものであり、また、出力バラツキを一定値以下にする必要から、Ｓ０の大きさは設計上の変更範囲は狭い。一方でゲート配線５８１の抵抗値を所定値とするためには設計制約がある。ゲート配線５８１を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、Ｓｂを大きくするとチップ面積が大きくなり、コストが高くなる。したがって、ソースドライバＩＣ１４のチップサイズの課題から、Ｓｂ／Ｓ０は５０以下にすることが好ましい、また、ゲート配線５８１の安定した設計、リンキングの課題などの制約から、Ｓｂ／Ｓ０は５以上にすることが好ましい。したがって、５＜＝　Ｓｂ／Ｓ０　＜＝　５０の条件を満足させる必要がある。
【０８６９】
図１９２のグラフ（実線）から、Ｓｂ／Ｓ０が小さくなるほど実線カーブの傾きは緩やかになる。また、Ｓｂ／Ｓ０が１５以上では傾きが一定になる傾向がある。したがって、Ｓｂ／Ｓ０が５以上１５以下では、ゲート配線５８１の抵抗値は４００（ＫΩ）以下にする必要がある。また、Ｓｂ／Ｓ０が１５以上５０以下では、Ｓｂ／Ｓ０×２４（ＫΩ）以下にする必要がある。たとえば、Ｓｂ／Ｓ０＝５０の時は、５０×２４＝１２００（ＫΩ）以下にする必要がある。
【０８７０】
トランジスタ４７３ｂに流れる基準電流Ｉｃと、許容ゲート配線抵抗には相関がある。基準電流Ｉｃが大きいほどトランジスタ４７３ｂからゲート配線５８１をみたときのインピーダンスが低くなるからである。図１９３にその関係を示す。図１９３は横軸をトランジスタ４７３ｂ（もしくはトランジスタ群５２１ｂ）に流れる基準電流Ｉｃ（μＡ）である。縦軸が許容できるゲート配線抵抗（ＫΩ）を示している。図１９３の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。
【０８７１】
基準電流Ｉｃを大きくすれば、ゲート配線５８１の安定度は向上する。しかし、ソースドライバＩＣ１４で消費する無効電流が増加し、また、ゲート配線５８１の電位も高くなる。このことから、基準電流Ｉｃは５０（μＡ）以下にする必要がある。
【０８７２】
基準電流Ｉｃを小さくすれば、ゲート配線５８１の安定度は低下するため、ゲート配線５

８１の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ５２１ｃからの出力電流のバラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流Ｉｃは２（μＡ）以上にする必要がある。以上のことから、トランジスタ４７３ｂに流す基準電流Ｉｃは２（μＡ）以上５０（μＡ）以下にする必要がある。

【０８７３】

図１９３のグラフ（実線）は、２つの直線に近似できる。Ｉｃが２（μＡ）以上１５（μＡ）以下では、ゲート配線５８１の抵抗値（ＭΩ）は、０．０４×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝１５（μＡ）であれば、ゲート配線５８１の抵抗値は、０．０４×１５＝０．６（ＭΩ）以下の条件を満足させる必要がある。

【０８７４】

Ｉｃが１５（μＡ）以上５０（μＡ）以下では、ゲート配線５８１の抵抗値（ＭΩ）は、０．０２５×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝５０（μＡ）であれば、ゲート配線５８１の抵抗値は、０．０２５×５０＝１．２５（ＭΩ）以下の条件を満足させる必要がある。

【０８７５】

１画素行が選択される期間（１水平走査期間（１Ｈ））と、ゲート配線５８１の抵抗Ｒ（ＫΩ）×ゲート配線５８１の長さＤ（ｍ）にも相関がある。１Ｈ期間が短いほど、ゲート配線５８１の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図２１１のようにゲート配線５８１長Ｄ（＝ドライバＩＣのチップ長さ）が長くなると、トランジスタ４７３ｂから最も遠い単位トランジスタ群５２１ｃの電位変動が許容範囲を越えるからである。この現象は、単位トランジスタ４８４とソース信号線１８間の寄生容量が影響を与えているためと推定される。つまり、ソースドライバＩＣ１４のチップ長Ｄが長くなると単純なゲート配線５８１の抵抗値だけでなく、寄生容量によるゲート配線５８１の電位変動も考慮する必要があることを示している。

【０８７６】

図１９５は横軸を１水平走査期間（μ秒）としている。縦軸がゲート配線抵抗（ＫΩ）とチップ長Ｄ（ｍ）の掛算値である。図１９５の実線の下側の範囲が許容範囲である。Ｒ・Ｄは９（ＫΩ・ｍ）がソースドライバＩＣの作製限界である。これ以上は、コストが高くなり実用的でない。一方、Ｒ・Ｄが０．０５以下では、図１９１の電流Ｉｄが大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、Ｒ・Ｄ（ＫΩ・ｍ）は０．０５以上９以下にする必要がある。

【０８７７】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ４８４（図４８、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【０８７８】

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０８７９】

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトラン

ジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

【０８８０】

なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子６８１を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【０８８１】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

【０８８２】

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

【０８８３】

本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図３２、図１１３、図１１６の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Ｎチャンネルで形成した単位トランジスタ４８４はＰチャンネルで形成した単位トランジスタ４８４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）のトランジスタ４８４で比較した場合、Ｎチャンネルの単位トランジスタ４８４はＰチャンネルの単位トランジスタ４８４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ４８４はＮチャンネルで形成することが好ましい。

【０８８４】

なお、図４２の（ｂ）においても同様である。図４２の（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１

８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【０８８５】

なお、本発明では、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。

【０８８６】

前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動用トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＰチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。

【０８８７】

以下、基準電流回路について説明する。図６８に図示するように基準電流回路６９１は、Ｒ、Ｇ、Ｂごとに形成（配置）する。また、基準電流回路６９１Ｒ、６９１Ｇ、６９１Ｂは近接して配置する。

【０８８８】

Ｒの基準電流回路６９１Ｒには基準電流を調整するボリウム（電子ボリウム）４９１Ｒが配置され、Ｇの基準電流回路６９１Ｇには基準電流を調整するボリウム（電子ボリウム）４９１Ｇが配置され、Ｂの基準電流回路６９１Ｂには基準電流を調整するボリウム（電子ボリウム）４９１Ｂが配置される。

【０８８９】

なお、ボリウム４９１などは、ＥＬ素子１５の温特を補償できるように、温度で変化するように構成することが好ましい。また、図６９に図示するように、基準電流回路６９１は電流制御回路６９２で制御される。基準電流の制御（調整）により、単位トランジスタ４８４より出力する単位電流を変化させることができる。

【０８９０】

以上に説明した本発明の電流出力方式（液晶表示パネルのソースドライバは電圧出力方式（信号は電圧のステップ）である）では、基準電流を元にし、この基準電流に比例した単位電流を複数組み合わせてプログラム電流Ｉｗを出力するものである。したがって、基準電流をチップ間でバラツキがなく精度よく作成できることが重要である。

【０８９１】

図３３１はその実施例である。図４９、図１６２では、抵抗４７１で基準電流を作成している。また、図１６７では抵抗Ｒ１で基準電流を作成している。図３３１は、図６８の抵抗４７１をトランジスタで置き換え、このトランジスタとカレントミラー回路を形成するトランジスタ３３１４に流れる電流をオペアンプ７２２など用いて制御するものである（図１７０なども参照のこと）。トランジスタ３３１４とトランジスタとはカレントミラー回路を形成する。カレントミラー倍率が１であれば、トランジスタ３３１３を流れる電流が基準電流となる。なお、図３３１などで記載する６５４とはプログラム電流Ｉｗの発生回路というべきものである。

【０８９２】

オペアンプ７２２の出力電圧はＮチャンネルトランジスタ３３１３に入力され、トランジスタ３３１３に流れる電流が外付け抵抗５３１ａに流れる。なお、抵抗５３１ａは固定チップ抵抗である。基本的には、抵抗５３１ａのみでよい。抵抗５３１ｂはポジスタあるいはサーミスタなどの温度に対して抵抗値が変化する抵抗素子である。この抵抗５３１ａはＥＬ素子１５の温特を補償するために用いる。抵抗５３１ａは、ＥＬ素子１５の温特にあ

わせて（補償するために）、抵抗５３１ｂと並列あるいは直列に挿入あるいは配置する。また、図１７０などにおいても、抵抗Ｒ１に並列あるいは直列に抵抗５３１ｂを形成または配置してもよい。なお、以後は説明を容易にするため、抵抗５３１ａと抵抗５３１ｂは１つの抵抗５３１とみなして説明を行う。

【０８９３】

抵抗５３１ａは、チップ抵抗である。そのため、１％以上の精度のものが容易に入手できる。抵抗をＩＣ内に拡散抵抗技術あるいはポリシリパターンを用いて構成すると抵抗値精度が非常に悪い。したがって、基準電流を決定する元となる抵抗５３１ａは精度のよい外付け抵抗とすることが好ましい。チップ抵抗５３１ａは入力端子６８１ａに取り付ける。特にＥＬ表示パネルでは、ＲＧＢごとにＥＬ素子１５の温特が異なる。したがって、ＲＧＢごとの３つの外付け抵抗５３１ａが必要となる。

【０８９４】

抵抗５３１の端子電圧はオペアンプ７２２の－入力となり、この－端子の電圧とオペアンプ７２２の＋端子とは同一電圧となる。したがって、オペアンプ７２２の＋入力電圧がＶ１とすれば、この電圧と抵抗５３１で割ったものがトランジスタ３３１４に流れる電流となる。この電流が基準電流となる。

【０８９５】

今、抵抗５３１の抵抗値が１００ＫΩとし、オペアンプ７２２の＋端子の入力電圧がＶ１＝１（Ｖ）であれば、抵抗５３１には１（Ｖ）／１００ＫΩ＝１０（μＡ）の基準電流が流れる。基準電流の大きさは、２μＡ以上３０μＡ以下に設定することが好ましい。さらに好ましくは、５μＡ以上２０μＡ以下に設定することが好ましい。親トランジスタ６３に流す基準電流が小さいと、単位電流源４８４の精度が悪くなる。基準電流が大きすぎると、ＩＣ内部で変換するカレントミラー倍率（この場合は低減方向）が大きくなり、カレントミラー回路でのバラツキが大きくなり、先と同様に単位電流源４８４の精度が悪くなる。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。また、以下に説明する事項も同様である。

【０８９６】

以上の構成によれば、オペアンプ７２２の＋入力端子の精度が良好かつ抵抗値精度５３１が良好であれば、極めて精度のよい基準電流（大きさ、バラツキ精度）を形成できる。オペアンプ７２２の＋端子には、基準電圧回路３３１１からの基準電圧Ｖrefを印加する。基準電圧を出力する基準電圧回路３３１１のＩＣはマキシム社などから多数の品種が販売されている。また、基準電圧Ｖrefはソースドライバ回路１４内に形成することもできる（基準電圧Ｖrefの内蔵）。基準電圧Ｖrefの範囲は１（Ｖ）以上３（Ｖ）以下とすることが好ましい。

【０８９７】

基準電圧は接続端子６８１ａから入力する。基本的には、このＶref電圧をオペアンプ７２２の＋端子に入力すればよい。接続端子６８１ａを＋端子間に電子ボリウム回路４５１が配置されているのは、ＥＬ素子１５はＲＧＢで発光効率が異なるためである。つまり、ＲＧＢの各ＥＬ素子１５に流す電流と調整し、ホワイトバランスを取るためである。もちろん、抵抗５３１で調整できる場合は、電子ボリウム４５１での調整は必要でない。電子ボリウム４５１の活用としては、ＥＬ素子１５がＲＧＢで劣化速度が異なることにより再度のホワイトバランス調整である。ＥＬ素子１５は特に、Ｂが劣化しやすい。そのため、ＥＬ表示パネルを使用していると長年の間にＢのＥＬ素子１５が暗くなり、画面がイエロー色になる。この場合にＢ用の電子ボリウム４５１を調整してホワイトバランスを実施する。もちろん、電子ボリウム４５１を温度センサ７８１（図７８およびその説明を参照のこと）と連動させて、ＥＬ素子の輝度補償あるいはホワイトバランス補償を実施してもよい。

【０８９８】

電子ボリウム４５１はＩＣ（回路）１４内に内蔵させる（基板７１に直接に形成する）。ポリシリコンをパターニングすることにより単位抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４、・・・

・・Ｒｎ）を複数個形成し、直列に接続する。また、各単位抵抗間にアナログスイッチ（Ｓ１、Ｓ２、Ｓ２、・・・・・・Ｓｎ＋１）を配置し、基準電圧Ｖrefを分圧して電圧を出力する。

【０８９９】

図３３１において、トランジスタ３３１３はバイポーラトランジスタとして図示しているが、これに限定するものではない。図３３２の（ａ）はトランジスタ３３１３をＦＥＴとした実施例である。また、トランジスタ３３１３はＩＣ内１４に内蔵させる必要はなく、ＩＣ外部に配置してもよいことは言うまでもない。また、ゲートドライバ回路１２内に電源などの発生回路を内蔵させ、また、トランジスタ３３１３も内蔵させてもよい。

【０９００】

また、図３３１のように基準電圧回路３３１１の替わりに図３３２の（ｂ）に図示するように、ツェナーダイオード３３２１と抵抗５３１で基準電圧Ｖrefを発生させてもよい。もちろん、図３３２の（ｂ）に図示するようにオペアンプ７２２を用いなくともよい。ツェナーダイオード３３２１は、基準電圧の可変タイプを採用してもよい。

【０９０１】

ＥＬ表示パネルの画素数が多い場合は、複数のソースドライバＩＣ（回路）１４を１つのＥＬ表示パネルに積載する必要がある。この場合は、基準電圧を複数のソースドライバＩＣで共通となるように用いる必要がある。単純には、１つの基準電圧回路３３１１からの基準電圧Ｖrefを使用する複数のソースドライバＩＣ１４に入力すればよい。問題となるのは、図３３１の電子ボリウム４５１を操作（制御）し、オペアンプ７２２に入力される基準電圧が変化した場合である。以降の説明を容易にするため、オペアンプの＋端子に入力される電圧を調整基準電圧Ｖrsと呼ぶことにする。Ｖrsは基準電圧Ｖrefをソースドライバ ＩＣ１４内部で使用する電圧に調整した電圧である。

【０９０２】

以上のように、本発明は、電流出力の（ソース）ドライバ回路（ＩＣ）において、基準電圧を内部で発生または、外部より入力し、この基準電圧より基準電流を発生させ、この基準電流を対応する複数の単位電流源４８４を構成し、外部からの映像（画像）データ信号により、出力（吸収）する電流を前記単位電流源４８４の個数を切り替えることにより変化させるものである。

【０９０３】

調整基準電圧Ｖrsを使用した場合は、この調整基準電圧Ｖrsを他のソースドライバ１４で使用する必要がある。図３３３はその実施例である。基準電圧回路３３１１からの基準電圧Ｖrefは電子ボリウム回路４５１ａで電圧調整され、調整基準電圧Ｖrsとなる。この調整基準電圧Ｖrsはバッファ回路３３３２に入力される。バッファ回路３３３２を配置するのは、調整基準電圧出力配線１４５３に他のソースドライバ１４が接続されることによるＶrs電圧の変動を抑制するためである。バッファ回路３３３２の出力Ｖrsはオペアンプ７２２の＋端子に印加されるとともに、調整基準電圧出力配線３３３３に印加される。

【０９０４】

調整基準電圧出力配線３３３３は調整基準電圧出力端子３３４１に接続されている。調整基準電圧出力端子３３４１には配線３３３１が接続され、この配線３３３１を介して他のソースドライバ回路１４に調整基準電圧Ｖrsが供給される。図３３３では、端子６８１ｂとトランジスタ３３１３のエミッタ端子間に電子ボリウム４５１ｂが形成または配置されている。この電子ボリウム４５１ｂも構成は電子ボリウム４５１ａと同一である。ただし、電子ボリウム４５１ｂは抵抗値の大きさにより基準電流の大きさを変更する。つまり、電子ボリウム４５１ｂは、内部のスイッチをオンオフさせることにより、直列抵抗の個数を変化させる。電子ボリウム４５１ｂの抵抗値＋抵抗５３１と、Ｖrs電圧により、基準電流の大きさが変化する。電子ボリウム４５１ｂの最大抵抗は、抵抗５３１の抵抗の１／５以下にする。電子ボリウム４５１ｂの抵抗値のバラツキは、基準電流のバラツキとなってしまうからである。主として電子ボリウム４５１ｂは、ＥＬ素子１５の温特補償に用いる。

【０９０５】
ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、図２５１に図示するように、電流Ｉと輝度Ｂとが線形の関係がある。また、本発明は、１つの基準電流から単位電流源４８４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位電流源４８４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることの大きな特徴である。したがって、いかに、ＲＧＢの基準電流の大きさを設定できるかがポイントとなる。

【０９０６】
ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される（支配的である）。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。たとえば、ＲのＥＬ素子１５に流す電流をＩｒ（Ａ）、ＧのＥＬ素子１５に流す電流をＩｇ（Ａ）、ＢのＥＬ素子１５に流す電流をＩｂ（Ａ）とすれば、Ｉｒ：Ｉｇ：Ｉｂ＝１：２：４の時に、ホワイトバランスが取れることがわかる。したがって、この電流が流れるように、固定抵抗５３１の値を決定する。Ｒ回路の抵抗５３１ＲをＲｒ（Ω）、Ｇ回路の抵抗５３１ＧをＲｇ（Ω）、Ｂ回路の抵抗５３１ＢをＲｂ（Ω）とし、調整基準電圧ＶｒｓがＲＧＢで共通であれば、Ｒｒ：Ｒｇ：Ｒｂ＝４：２：１となるように、抵抗値５３１の値を設定すればよい。このように設定するだけで、本発明のＥＬ表示パネルは全階調にわたって、ホワイトバランスがとれる。この点は、本発明の非常に有効な効果である。

【０９０７】
Ｒ回路の調整基準電圧ＶｒｓＲは、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子３３４１Ｒに接続される。また、Ｇ回路の調整基準電圧ＶｒｓＧも同様に、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子３３４１Ｇに接続される。また、Ｂ回路の調整基準電圧ＶｒｓＢも、他のソースドライバ回路１４とカスケード接続するために、調整基準電圧出力端子３３４１Ｂに接続される。他の点に関して、図３３３と同様であるので説明を省略する。

【０９０８】
図３３４の実施例では、ＲＧＢごとに調整基準電圧（ＶｒｓＲ、ＶｒｓＧ、ＶｒｓＢ）を調整基準電圧出力３３４１から出力するとしたが、これに限定するものではない。ＲＧＢごとに電子ボリウム回路４５１ａ（４５１Ｒａ、４５１Ｇａ、４５１Ｂａ）で調整が必要でないと時（たとえば、ＲＧＢごとに配置または形成された固定抵抗５３１でホワイトバランス調整、温特補償などができる時など）は、ＲＧＢごとの調整基準電圧Ｖｒｓの出力は必要でない。また、外部からの基準電圧Ｖｒｅｆをそのまま使用できる（オペアンプ７２２の＋端子入力がＶｒｅｆとする場合など）場合は、ＲＧＢごとの電子ボリウム回路４５１ａ（４５１Ｒａ、４５１Ｇａ、４５１Ｂａ）も必要でないことは言うまでもない。

【０９０９】
ソースドライバ回路（ＩＣ）１４は基準電圧Ｖｒｅｆを使用するか、カスケード接続のために、調整基準電圧Ｖｒｓを使用するかを切り替える必要がある。図３３５は基準電圧切り替えスイッチ３３５２を内蔵した本発明のソースドライバ回路（ＩＣ）１４の実施例である。

【０９１０】
基準電圧Ｖｒｅｆを使用するか、調整基準電圧Ｖｒｓを使用するかを設定するために、本発明ではスイッチ３３５２の切り替え端子（図示せず）をＩＣ端子として設けており、この端子へのロジック電圧によりスイッチ３３５２を切り替えることができる。これは、ソースドライバＩＣ１４のマスター／スレーブの切り替えスイッチとしても用いていることになる。マスター／スレーブ機能に関しては図２５０などでも説明しているので説明を省略す

る。
【０９１１】
以上に説明した構成を図３３４に図示する。１つの基準電圧回路３３１１からの基準電圧Ｖrefは端子６８１ａからソースドライバ回路１４に入力される。この電圧は必要に応じて、各ＲＧＢの電子ボリウム回路４５１ａ（４５１Ｒａ、４５１Ｇａ、４５１Ｂａ）で電圧調整され、調整基準電圧Ｖrs（Ｒ回路はＶrsＲ、Ｇ回路はＶrsＧ、Ｂ回路はＶrsＢ）が各ＲＧＢのオペアンプ７２２に入力される。
【０９１２】
基準電圧切り替えスイッチ３３５２は、ソースドライバＩＣ１４内部の電子ボリウム回路４５１の出力電圧Ｖ２をオペアンプ７２２の入力とするか、端子３３５３に印加された外部からの基準電圧Ｖ１をオペアンプ７２２の入力とするかを切り替える。Ｖ２電圧をオペアンプ７２２の入力とする場合は、このＩＣ（回路）１４はマスターモードで使用していることになる。この場合は、Ｖ２電圧は調整基準電圧出力３３４１から出力され、調整基準電圧出力３３４１に接続された配線３３３１に、スレーブとなるソースドライバＩＣ（回路）１４の調整基準電圧入力端子３３５３が接続されることになる。なお、先にも述べたが、マスター／スレーブの区別なしに複数個のソースドライバ回路（ＩＣ）１４が１つの基準電圧回路３３１１からの基準電圧Ｖrefを入力として動作する時は、切り替えスイッチ３３５２は不要である。基準電圧ＶrefまたはＩＣ内部で発生する調整基準電圧Ｖrsが各ＩＣのオペアンプ７２２の＋端子入力となるからである。また、他の事項については、先に説明しているので説明を省略する。
【０９１３】
図３３５で重要な事項として、調整基準電圧入力端子３３５３が２個具備している点である。ソースドライバＩＣ１４内部で、端子３３５３ａと３３５３ｂとが接続されている。この点については図３３７で説明をする。
【０９１４】
図３３６は、複数のソースドライバ回路（ＩＣ）１４を実装した状態を概念的に図示している。図面は、基板７１の裏面から透視して観察した状態である（ソースドライバＩＣ１４の裏面から観察している）。なお、ベースアノード配線２６３１、共通アノード配線２６４２などに関する事項は、図２６３、図２６４、図２６７などで説明しているので、説明を省略する。以上の事項は、図３３７、図３３８についても同様である。
【０９１５】
図３３６では、調整基準電圧出力３３４１、３３５３をソースドライバＩＣ１４チップの中央部に配置し、かつ、ソース信号線１８の形成方向に平行になる（ＩＣチップの短辺方向に平行になる）ように配置（形成）している。以上のように、形成するのは、端子に接続される配線３３３１が交差しないようにするためである。
【０９１６】
ソースドライバＩＣ１４ａには基準電圧回路３３１１から配線により端子６８１ａに基準電圧Ｖrefが印加されている。したがって、ソースドライバＩＣ１４ａがマスターとして動作する。ＩＣ内の切り替えスイッチ３３５２はＶ２電圧の入力状態とされている（図３３５を参照）ソースドライバＩＣ１４ａに隣接して実装されたソースドライバＩＣ１４ｂ、１４ｃはスレーブとして動作する。ソースドライバＩＣ１４ｂ、ソースドライバＩＣ１４ｃの切り替えスイッチ３３５２はＶ１電圧入力状態とされている（図３３５を参照のこと）。
【０９１７】
図３３６において、ソースドライバＩＣ１４ａからの調整電圧Ｖrsは各ＲＧＢの調整基準電圧出力端子３３４１（３３４１Ｒ、３３４１Ｇ、３３４１Ｂ）から出力され、配線３３３１または３３５１を介して、ソースドライバＩＣ１４ｂ、ソースドライバＩＣ１４ｃの調整電圧入力端子３３５３（３３５３Ｒ、３３５３Ｇ、３３５３Ｂ）に入力される。この電圧がＶ２電圧となる。
【０９１８】

図３３６のように、各ＲＧＢの調整基準電圧出力３３４１、３３５３を配置すれば、各ＲＧＢに配線３３５１、３３３１が交錯することがない。したがって、配線レイアウトが容易になる。また、調整基準電圧出力３３４１、３３５１は基準電流が流れるだけであるので、映像信号線のような電位変化が全くない。したがって、ベースアノード線２６３１と同様に遮光パターンとして利用できる。つまり、ソースドライバＩＣ１４の裏面に配置しても、ノイズなどが発生してソースドライバＩＣ１４には影響を与えることはない。この効果に関しては、図１０１、図１０２、図１０３などで説明した事項において、ベースアノード線２６３１を調整基準電圧出力３３４１（３３５１）に置き換えることによりそのまま適用できるので説明を省略する。

【０９１９】

図３３７は、図３３５で説明した調整基準電圧入力端子３３５３を複数個形成した効果の説明図である。図３３７では、図３３６と異なり、調整基準電圧出力３３４１、３３５３をソースドライバＩＣ１４のエッジに形成している。つまり、ＩＣの映像信号入力端子、制御端子と同一辺に並べられて形成または配置されている。

【０９２０】

ソースドライバＩＣ１４ａには基準電圧回路３３１１からの基準電圧Ｖrefは配線により端子６８１ａに印加されている。したがって、ソースドライバＩＣ１４ａがマスターとして動作する。ＩＣ内の切り替えスイッチ３３５２はＶ２電圧の入力状態とされている（図３３５を参照）ソースドライバＩＣ１４ａに隣接して実装されたソースドライバＩＣ１４ｂ、１４ｃはスレーブとして動作する。ソースドライバＩＣ１４ｂ、ソースドライバＩＣ１４ｃの切り替えスイッチ３３５２はＶ１電圧入力状態とされている（図３３５を参照のこと）。

【０９２１】

図３３７において、ソースドライバＩＣ１４ａからの調整電圧Ｖrsは調整基準電圧出力端子３３４１から出力される。なお、図３３５には図示していないが、調整基準電圧出力端子３３４１は基準電圧入力端子６８１ａの左右に１つずつ形成されている（３３４１ａ、３３４１ｂ）。調整基準電圧Ｖrsは配線３３３１または３３５１を介して、ソースドライバＩＣ１４ｂ、ソースドライバＩＣ１４ｃの調整電圧入力端子３３５３（３３５３ａ、３３５３ｂ）に入力される。この電圧がＶ２電圧となる。

【０９２２】

調整基準電圧入力端子３３５３ａと３３５３ｂ間は図３３５にも図示するように電気的に接続されている。したがって、ソースドライバＩＣ１４ａの調整基準電圧出力３３４１ａから出力された電圧Ｖrsはソースドライバ ＩＣ１４ｂの端子３３５３ｂに印加され、この電圧ＶrsがＩＣ１６ｂ内を介して端子３３５３ａに出力される。また、端子３３５３ａは他に隣接して実装されたソースドライバＩＣ１４に端子３３５３に入力される。同様に、ソースドライバＩＣ１４ａの調整基準電圧出力３３４１ｂから出力された電圧Ｖrsはソースドライバ ＩＣ１４ｃの端子３３５３ａに印加され、この電圧ＶrsがＩＣ１６ｃ内を介して端子３３５３ｂに出力される。また、端子３３５３ｂは他に隣接して実装されたソースドライバＩＣ１４に端子３３５３に入力される。以上のように端子３３５３、３３４１を配置または接続することにより、カスケードにＩＣを接続することできる。

【０９２３】

図３３７のように、調整基準電圧出力３３４１、３３５３を配置し、また、配線３３５１、３３３１をＩＣの裏面に形成すれば、配線３３５１、３３３１が交錯することがない。したがって、配線レイアウトが容易になる。また、図３３６と同様に調整基準電圧出力３３４１、３３５１は基準電流が流れるだけであるので、映像信号線のような電位変化が全くない。したがって、ベースアノード線２６３１と同様に遮光パターンとしても利用できる。つまり、ソースドライバＩＣ１４の裏面に配置しても、ノイズなどが発生してソースドライバＩＣ１４には影響を与えることはない。この効果に関しては、図１０３などで説明した事項において、ベースアノード線２６３１を調整基準電圧出力３３４１（３３５１）に置き換えることによりそのまま適用できるので説明を省略する。

【０９２４】
図３３７は説明を容易にするため、ＥＬ表示装置が単色であるように図示した。ＥＬ表示装置は、ＲＧＢの３色で構成される。したがって、調整基準電圧出力３３４１、３３５３は各ＲＧＢで必要である。図３３８は、各ＲＧＢで調整基準電圧出力３３４１、３３５３を配置した構成図である。
【０９２５】
ソースドライバＩＣ１４ａはマスターとして動作し、ソースドライバＩＣ１４ａには基準電圧回路３３１１からの基準電圧Ｖrefは端子６８１ａに印加されている。基準電圧入力端子６８１ａの左右には、調整基準電圧出力端子３３４１が配置されている。各ＲＧＢの調整基準電圧出力端子３３４１は、基準電圧入力端子６８１ａを中心に線対称の位置に配置されている。つまり、入力端子６８１ａの左右の端子は３３４１Ｒａ、３３４１Ｒｂであり、その外側に３３４１Ｇａ、３３４１Ｇｂが配置されている。さらにその外側に３３４１Ｂａ、３３４１Ｂｂが配置されている。調整基準電圧出力３３４１Ｒａと３３４１Ｒｂはソースドライバ内部で接続されている。同様に調整基準電圧出力３３４１Ｇａと３３４１Ｇｂもソースドライバ内部で接続されている。また、調整基準電圧出力３３４１Ｂａと３３４１Ｂｂもソースドライバ内部で接続されている。
【０９２６】
ソースドライバＩＣ１４ｂはスレーブとして動作し、ソースドライバＩＣ１４ｂにはソースドライバＩＣ１４ａからの調整基準電圧Ｖrsが入力される。基準電圧入力端子６８１ａの左右には、調整基準電圧入力端子３３５３が配置されている。各ＲＧＢの調整基準電圧入力端子３３５３は、基準電圧入力端子６８１ａを中心に線対称の位置に配置されている。つまり、入力端子６８１ａの左右の端子は３３５３Ｒａ、３３５３Ｒｂであり、その外側に３３５３Ｇａ、３３５３Ｇｂが配置されている。さらにその外側に３３５３Ｂａ、３３５３Ｂｂが配置されている。端子３３５３Ｒａと３３５３Ｒｂはソースドライバ内部で接続されている。同様に、端子３３５３Ｇａと３３５３Ｇｂもソースドライバ内部で接続されている。また、端子３３５３Ｂａと３３５３Ｂｂもソースドライバ内部で接続されている（図３３５を参照のこと）。
【０９２７】
ソースドライバＩＣ１４ａの調整基準電圧出力３３４１Ｂｂから出力された電圧Ｖrsはソースドライバ内部で接続されている。同様に、端子３３５３Ｂａと３３５３Ｂ

２、図１０３などで説明した事項において、ベースアノード線２６３１を調整基準電圧出力３３４１（３３５１）に置き換えることによりそのまま適用できるので説明を省略する。

【０９２９】

図７７、図７８、図７９、図８０、図８１などにおいて、ガンマ電流比率について説明をした。図５６の低階調部の単位電流源４８４に流れる電流と、図５７の高階調部の単位電流源４８４に流れる電流の比率である。高階調部の基準電流はＩＮＨとし、低階調部の基準電流をＩＮＬとして、この比率（ガンマ電流比率）が所定の範囲となるように設定することが好ましい、一方で基準電流は、基本となる電流であるから、極力１つの電流とし、調整を少なくすることが好ましい（高階調部の基準電流はＩＮＨとし、低階調部の基準電流をＩＮＬとすれば、各ＲＧＢで２つの基準電流の調整が必要となる）。

【０９３０】

図３３９は各ＲＧＢで基準電流Ｉｂを１つにした構成である。図３３９の上の回路は、高階調用の電流源であり、下は低階調用の電流源である（正確には、高階調部では、低階調の電流源の電流も流れている）。図３３９の左部は、図３３３、図３３５の回路構成である。

【０９３１】

トランジスタ３３１３には元となる基準電流Ｉｂが流れる。高階調用の親トランジスタ４７１ａＨには並列に倍率可変用のトランジスタ３３９２が少なくとも１個以上形成または配置されている。低階調用の親トランジスタ４７１ａＬには、そのまま、トランジスタ３３１４とカレントミラー回路を構成している。したがって、高階調用のカレントミラー回路は、トランジスタ３３１４とトランジスタ３３９２＋トランジスタ４７１ａＨで構成される。トランジスタ３３９２には直列に倍率可変スイッチ３３９１が形成または配置されている。スイッチ３３９１は、アナログスイッチなどが例示される。

【０９３２】

スイッチ３３９１をオンオフ制御することにより、トランジスタ４７１ｂＨに流れる電流を変更することができる。スイッチ３３９１ｂをオンすると、トランジスタ３３９２が２個＋トランジスタ４７１ａＨに流れる電流が、トランジスタ４７１ｂＨに流れる。スイッチ３３９１ａをオンすると、トランジスタ３３９２が１個＋トランジスタ４７１ａＨに流れる電流が、トランジスタ４７１ｂＨに流れる。スイッチ３３９１ａと３３９１ｂを同時にオンすると、トランジスタ３３９２が３個＋トランジスタ４７１ａＨに流れる電流が、トランジスタ４７１ｂＨに流れる。スイッチ３３９１はソースドライバＩＣ１４へのコマンドにより切り替える。以上のようにスイッチ３３９１の制御により、ガンマ電流比率を変更することができる。また、基準となる電流はＩｂのみとなるのでホワイトバランスの調整は非常に容易になる。他の、構成は、図４８、図３３３、図３３５、図７９、図８０、図８１などで説明しているので説明を省略する。

【０９３３】

ＩＣチップの出力端子には、出力パッド６８１が形成または配置されている。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力バッド６８１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。

【０９３４】

前記バンプと各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（ＳｎO2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。なお、バンプあるいは出力パッド６８１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にソースドライバＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。

【０９３５】
本発明では、前記基準電流回路６９１が、Ｒ用、Ｇ用、Ｂ用の３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である（図７０を参照のこと）。
【０９３６】
次にプリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。
【０９３７】
図６５に、本発明のプリチャージ機能を有した電流出力方式のソースドライバＩＣ（回路）１４の一例を示す。図６５では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図６５において、プリチャージ制御信号は、画像データＤ０～Ｄ５の上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路６５２でデコードし、水平同期信号ＨＤによるリセット機能を有するドットクロックＣＬＫのカウンタ回路６５１の出力とのＡＮＤ回路６５３をとり、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、電流出力段６５４（具体的には図４８、図５６、図５７などの構成である）からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。この構成により、画像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。
【０９３８】
図６５では、プリチャージ電圧を印加すると、内部配線４８３のＢ点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段６５４にも印加されることになる。しかし、電流出力段６５４は定電流回路であるから、高インピーダンスである。そのため、定電流回路６５４にプリチャージ電圧が印加されても回路の動作上問題は発生しない。なお、電流出力段６５４にプリチャージ電圧が印加されないようにするには、図６５のＡ点で切断し、スイッチ６５５を配置すればよい（図６６を参照のこと）。前記スイッチはプリチャージスイッチ４８１ａと連動させ、プリチャージスイッチ４８１ａがオンしている時にはオフになるように制御する。
【０９３９】
プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。
【０９４０】
好ましくは、階調データの階調０から全階調の１／８の領域の階調領域で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の

時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

【０９４１】

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【０９４２】

なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【０９４３】

なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以上にすることが好ましい。

【０９４４】

階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に画面５０の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、０階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

【０９４５】

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバＩＣ（回路）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

【０９４６】

図６６は選択プリチャージ回路部の具体化構成図である。ＰＶはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧が設定される。なお、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。Ｒ、Ｇ、Ｂで共通であってもよい。プリチャージ電圧は、画素１６の駆動用トランジスタ１１ａのＶｔに相関するものであり、この画素１６はＲ、Ｇ、Ｂ画素で同一だからである。画素１６の駆動用トランジスタ１１ａのＷ／Ｌ比などがＲ、Ｇ、Ｂで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、駆動用トランジスタ１１ａのチャンネル長Ｌが大きくなれば、トランジスタ１１ａのダイオード特性は悪くなり、ソース－ドレイン（ＳＤ）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Ｖｄｄ）に対して低く設定する必要がある。

【０９４７】

プリチャージ電圧ＰＶはアナログスイッチ５６１に入力されている。このアナログスイッチのW（チャンネル幅）はオン抵抗を低減するために、１０μm以上にする必要がある。しかし、あまりWが大きいと、寄生容量も大きくなるので１００μm以下にする。さらに好ましくは、チャンネル幅Wは１５μm以上６０μm以下にすることが好ましい。

【０９４８】

なお、この選択プリチャージは、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとか固定してもよいが、低階調流域（図７９の階調０から階調Ｒ１もしくは階調（Ｒ１－１））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調０から階調Ｒ１の時はこの範囲で実施し、低階調領域が階調０から階調Ｒ２の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【０９４９】

以上の信号の印加状態により、スイッチ４８１ａがオンオフ制御され、スイッチ４８１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ（１Ｈの２／１００以上１Ｈの１／１０以下）とする。

【０９５０】

図６７は図６５あるいは図６６の変形例である。図６７は入力画像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調０のみの時にプリチャージを行う設定、画像データが階調０、１のみの時にプリチャージを行う設定、階調０は必ずプリチャージし、階調１が所定以上連続して発生する場合にプリチャージする設定を行うことができる。

【０９５１】

図６７は、本発明のプリチャージ機能を有した電流出力方式のソースドライバＩＣ（回路）１４の一例を示す。図６７では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図６７において、一致回路６７１は、画像データＤ０～Ｄ５に応じてデコードし、水平同期信号ＨＤによるリセット機能を有するＲＥＮ端子入力、ドットクロックＣＬＫ端子入力でプリチャージするかしないかを判定する。また、一致回路６７１はメモリを有しており、数Ｈあるいは数フィールド（フレーム）の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調０は必ずプリチャージし、階調１が６Ｈ（６水平走査期間）以上連続して発生する場合にプリチャージする設定を行うことができる。また、階調０、１は必ずプリチャージし、階調２が３Ｆ（３フレーム期間）以上連続して発生する場合にプリチャージする設定を行うことができる。

【０９５２】

一致回路６７１の出力と、カウンタ回路６５１の出力とが、ＡＮＤ回路６５３でＡＮＤされ、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図５２などで説明した電流出力段６５４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。他の構成は、図６５、図６６などと同等あるいは類似であるので説明を省略する。なお、図６７ではプリチャージ電圧はＡ点に印加しているが、Ｂ点に印加してもよいことはいうまでもない（図６６も参照のこと）。以上のように、プリチャージ印加時間は、Ｒ、Ｇ、Ｂで異ならせたりすることも良好な結果が得られる。たとえば、Ｒのプリチャージ時間をＧ、Ｂのプリチャージ時間よりも長くするなどである。これば、有機ＥＬなどでは、ＲＧＢの各材料で発光開始時間などが異なるからである。また、次にソース信号線１８に印加する画像データにより、プリチャージ

電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【０９５３】

また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素ＴＦＴ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素ＴＦＴ１１ａがＰチャンネルの時）する。

【０９５４】

プログラム電流オープン端子（ＰＯ端子）が“０”の時は、スイッチ４８１ｂがオフ状態となり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、“１”とし、スイッチ４８１ｂをオンして、プログラム電流Ｉｗをソース信号線１８に流す。

【０９５５】

ＰＯ端子に“０”を印加し、スイッチ４８１ｂをオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源４８４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からＴＦＴ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【０９５６】

この状態で、ＩＯＵＴ端子がソース信号線１８に接続されていると、オンしている単位電流源４８４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ４８１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。

【０９５７】

以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【０９５８】

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に“０”を印加し、図６６のスイッチ４８１ｂをオフとして、ＩＯＵＴ端子とソース信号線１８とを切り離す。切り離すことにより、ソース信号線１８から電流源４８４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【０９５９】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲

の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。

【０９６０】

また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０９６１】

プリチャージ電圧ＰＶは、画素１６の駆動ＴＦＴ１１ａがＰチャンネルの場合、Ｖｄｄ（図１を参照）に近い電圧をソースドライバ回路（ＩＣ）１４から出力する必要がある。しかし、このプリチャージ電圧ＰＶがＶｄｄに近いほど、ドライバ回路（ＩＣ）１４は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、５（Ｖ）～１０（Ｖ）であるが、しかし、５（Ｖ）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、５（Ｖ）耐圧のプロセスを採用することのより高精細、低価格のプロセスを使用することができる）。

【０９６２】

画素１６の駆動用ＴＦＴ１１ａのダイオード特性が良好で白表示のオン電流が確保した時、５（Ｖ）以下であれば、ソースドライバＩＣ１４も５（Ｖ）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が５（Ｖ）を越えると時、問題となる。特に、プリチャージは、ＴＦＴ１１ａのソース電圧Ｖｄｄに近いプリチャージ電圧ＰＶを印加する必要があるので、ソースドライバＩＣ１４から出力することができなくなる。

【０９６３】

図２６０は、この課題を解決するパネル構成である。図２６０では、アレイ７１側にスイッチ回路４８１を形成している。ソースドライバＩＣ１４からは、スイッチ４８１のオンオフ信号を出力する。このオンオフ信号は、アレイ７１に形成されたレベルシフト回路２５９１で昇圧され、スイッチ４８１をオンオフ動作させる。なお、スイッチ４８１およびレベルシフト回路２５９１が画素のＴＦＴを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（ＩＣ）で別途形成し、アレイ７１上に実装などしてもよい。

【０９６４】

オンオフ信号は、先に説明したプリチャージ条件に基づいて、ソースドライバＩＣ１４の端子７６１ａから出力される。したがって、プリチャージ電圧の印加、駆動方法は図２６０の実施例においても適用できることは言うまでもない。端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路２５９１でスイッチ４８１のオンオフロジックレベルまで振幅が大きくされる。

【０９６５】

以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧ＰＶは、動作電圧が高いアレイ基板７１で課題はなくなる。したがって、プリチャージもＶｄｄ電圧まで十分印加できるようになる。

【０９６６】

図６６のスイッチ回路４８１ａもソースドライバ回路（ＩＣ）１４内に形成（配置）する

となると耐圧が問題となる。たとえば、画素１６のＶｄｄ電圧が、ソースドライバＩＣ１４の電源電圧よりも高い場合、ソースドライバＩＣ１４の端子７６１にソースドライバＩＣ１４を破壊するような電圧が印加される危険があるからである。

【０９６７】

この課題を解決する実施例が図２５９の構成である。アレイ基板７１にスイッチ回路４８１を形成（配置）している。スイッチ回路４８１の構成などは図２６０で説明した構成、仕様などと同一または近似である。

【０９６８】

図９１、図９２において、スイッチ４８１はソースドライバＩＣ１４の出力よりも先で、かつソース信号線１８の途中に配置されている。スイッチ４８１がオンすることにより、画素１６をプログラムする電流Ｉｗがソースドライバ回路（ＩＣ）１４に流れ込む。スイッチ４８１がオフすることにより、ソースドライバ回路（ＩＣ）１４はソース信号線１８から切り離される。

【０９６９】

図２６０と同様に端子７６１ａから出力される電圧（信号）は、５（Ｖ）以下と低い。この電圧（信号）がレベルシフタ回路２５９１でスイッチ４８１のオンオフロジックレベルまで振幅が大きくされる。

【０９７０】

以上のように構成することにより、ソースドライバ回路（ＩＣ）１４はプログラム電流Ｉｗを駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ４８１もアレイ７１の電源電圧で動作するため、画素１６からＶｄｄ電圧がソース信号線１８に印加されてもスイッチ４８１が破壊することはなく、また、ソースドライバ回路（ＩＣ）１４が破壊されることもない。

【０９７１】

なお、図２５９のソース信号線１８の途中に配置（形成）されたスイッチ４８１とプリチャージ電圧ＰＶ印加用スイッチ４８１の双方をアレイ基板７１に形成（配置）してもよいことは言うまでもない（図２５９＋図２６０の構成）。

【０９７２】

図２２３は図６７に加えて、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図２２３では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現できる。プリチャージ電圧は画像データ（Ｄ３～Ｄ０）によって、電子ボリウム４５１により変化させることができる。図２２３では、Ｄ３～Ｄ０ビットは電子ボリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素１６の駆動用トランジスタ１１ａをＰチャンネルとしているため、アノード電圧（Ｖｄｄ）がもっと黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示（白表示）では、電流プログラム方式が実施されていることになる。

【０９７３】

図２２３のプリチャージ回路では、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ボリウム４５１で変更できる。他の構成は、図６５、図６６、図６７と同様であるので説明を省略する。

【０９７４】

ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることがで

きる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【０９７５】

印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）するという制御方法も有効である。

【０９７６】

以下、理解を容易にするため、図６６を中心に説明する。なお、以下に説明する事項は図６５、図６７のプリチャージ回路にも適用できることは言うまでもない。

【０９７７】

プログラム電流オープン端子（ＰＯ端子）が“０”の時は、スイッチ６５５がオフ状態となり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、“１”とし、スイッチ６５５をオンして、プログラム電流Ｉｗをソース信号線１８に流す。

【０９７８】

ＰＯ端子に“０”を印加し、スイッチ６５５をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ４８４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からトランジスタ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【０９７９】

この状態で、出力端子６８１がソース信号線１８に接続されていると、オンしている単位トランジスタ４８４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ４８１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【０９８０】

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に“０”を印加し、図６６のスイッチ６５５をオフとして、出力端子６８１とソース信号線１８とを切り離す。切り離すことにより、ソース信号線１８から単位トランジスタ４８４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【０９８１】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲

の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【０９８２】

プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０９８３】

さらに、プリチャージについて説明をする。図２３２はプリチャージ回路の他の実施例である。図６６の実施例との差異は、プリチャージイネーブル（ＰＥＮ）とプリチャージセレクト（ＰＳＬ）などによりプリチャージスイッチ４８１ａが制御される点である。なお、制御スイッチをＯＰＶとする。なお、電流出力段のスイッチ６５６はＰＯ信号により制御される。

【０９８４】

本発明のこの実施例では、プリチャージするかしないかは、画像データにより決定される。この制御として、ＰＳＬ信号、ＰＥＮ信号は重要な機能を発揮する。

【０９８５】

以前にも説明をしたが、図２３５に図示するように、ＲＧＢの画像データ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）は各８ビットである。ＲＧＢ各８ビットの画像データは、ガンマ回路８３４でガンマ変換されて、１０ビット信号となる。ガンマ変換された信号は、フレームレートコントロール（ＦＲＣ）回路８３５でＦＲＣ処理されて、６ビットの画像データに変換される。プリチャージ制御回路（ＰＣ）２３５１は、変換された６ビットの画像データからプリチャージ制御信号（プリチャージする時はＨレベルとし、プリチャージしない時はＬレベルとする）を発生させる。このプリチャージを発生させる方式については後に説明をする。

【０９８６】

図２３６は、ソースドライバＩＣ（回路）１４のプリチャージ回路２３６３を中心とするブロック図である。プリチャージ回路２３６３とは、図６６、図２３２、図２３３などの回路が該当する。プリチャージ制御回路２３５１によりプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。このＰＣ信号は図２３５に図示するコントロールＩＣ８１のプリチャージ制御回路２３５１により発生し、ＰＣ信号は、図２３６に図示するソースドライバＩＣ１４のセレクタ回路２３６２に入力される。

【０９８７】

セレクタ回路２３６２は、メインクロックに同期して出力段に対応するラッチ回路２３６１に順次ラッチしていく。ラッチ回路２３６１はラッチ回路２３６１ａとラッチ回路２３６１ｂの２段構成である。ラッチ回路２３６１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路２３６３にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路２３６１ｂでデータをストアする。

【０９８８】

なお、図２３６では、ラッチ回路２３６１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットをラッ

チするラッチ回路である。

【０９８９】

プリチャージ回路２３６３は、ラッチ回路２３６１ｂの出力がＨレベルの時、スイッチ４８１ａをオンさせ、ソース信号線１８にプリチャージ電圧を出力する。電流出力回路６５４は画像データに応じて、プログラム電流をソース信号線１８に出力する。

【０９９０】

図２３５、図２３６の構成を概略的に図示すれば、図２３７の構成となる。なお、図２３７、図２３８は図２２８のように、１つの表示パネルに複数のソースドライバＩＣ（回路）１４を積載した構成（ソースドライバＩＣのカソード接続）である。また、図２３７、図２３８のＣＳＥＬ１、ＣＳＥＬ２はＩＣチップのセレクト信号である。ＣＳＥＬ信号によりどちらにＩＣチップを選択し、画像データおよびＰＣ信号を入力するかを決定する。

【０９９１】

図２３６、図２３７の構成では、各ＲＧＢ画像データに対応して、ＰＣ信号を発生させている。プリチャージの印加は、以上のようにＲＧＢごとに行うことが好ましい。しかし、動画表示、自然画表示では、ＲＧＢごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、ＲＧＢを輝度信号に変換し（換算し）、輝度によりプリチャージをするかしないかを判断してもよい。このようにしたのが、図２３８の構成である。図２３７の構成では、ＰＣ信号は３ビット必要である（ＲＰＣ、ＧＰＣ、ＢＰＣ）が、図２３８の構成では、ＰＣ信号はＲＧＢＰＣの１ビットでよい。したがって、図２３６のラッチ回路２３６１においても、Ｐは１ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、ＲＧＢを考慮せずに説明を行う。

【０９９２】

以上の本発明の構成は、コントローラ８１が画像データに基づいてＰＣ信号（プリチャージ制御信号）を発生する点、ソースドライバＩＣ１４がＰＣ信号をラッチし１Ｈの同期信号に同期してソース信号線１８に印加する点に特徴がある。また、コントローラ８１は図２３５に図示するように、プリチャージモード（ＰＭＯＤＥ）信号により、プリチャージ信号の発生を容易に変更することができる。たとえば、ＰＭＯＤＥとは、階調０のみをプリチャージするモード、階調０－７など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【０９９３】

なお、１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【０９９４】

なお、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の範疇である。たとえば、図２２３では電子ボリウム４５１を切り換えることによりプリチャージ電圧が変化する。この電子ボリウム４５１を電流出力の電子ボリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。また、図２３２、図２３３にあっては、プリチャージ電圧Ｖｐをカレントミラー回路からなる電流

出力に変更すればよい。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。

【０９９５】

また、プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加することに限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第１のプリチャージ電圧５（Ｖ）を５（μｓｅｃ）印加した後、第２のプリチャージ電圧４．５（Ｖ）を５（μｓｅｃ）印加する方法である。その後に、プログラム電流Ｉｗをソース信号線１８に印加する。また、プリチャージ電圧を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電流（電圧）にプリチャージ電圧（電流）を重畳させてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。

【０９９６】

また、本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、ＥＬ素子１５を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書込みを実現できる。したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図１などを参照のこと）を例示して説明をする。

【０９９７】

また、本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ１１ａのみに作用するものではない。たとえば、図３８の画素構成において、カレントミラー回路を構成するトランジスタ１１ａにも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバＩＣ（回路）１４からみたソース信号線１８の寄生容量を充放電することを１つの目的としているが、当然のことながらソースドライバＩＣ（回路）１４内の寄生容量も充放電されることも目的としている。

【０９９８】

また、プリチャージ電圧（電流）は、黒表示を良好にすることを１つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【０９９９】

また、本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ１１ａからソースドライバＩＣ（回路）１４に吸い込み電流で実施する場合である。駆動用トランジスタ１１ａなどがＮチャンネルトランジスタの場合は、ソースドライバＩＣ（回路）１４からは吐き出し電流でプログラムすることになる。この場合は、白表示で書込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線１８などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

【１０００】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線１８にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を

選択してもよい。

【１００１】

また、プリチャージ電圧は、ソース信号線１８に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（Ｖｄｄ）またはカソード端子への印加電圧（Ｖｓｓ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ１１ａの書込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（Ｖｄｄ）をパルス的に変化させる方式を実施する効果が高い。

【１００２】

図２３９の（ａ）は階調０のみをプリチャージした時の説明図である。階調０のみのプリチャージは階調飛びがなく、良好な黒表示を実現できるので好ましい方法である。図２３９において、行番号は、画素行の番号を示している。画素行は、第１画素行からｎ画素行まで順次画像データが書き換えられ、最終画素行ｎまで電流プログラムがされると、また、第１画素行から電流プログラムが開始される。

【１００３】

画像データは、６４階調の画像データである。画像データは０から６３の値をとる。当然ながら、２５６階調の時は、０から２５５までの値をとる。ＰＳＬはプリチャージセレクト信号であり、Ｈレベル（記号Ｈ）のとき、プリチャージ電圧の出力が許可させる。Ｌレベルの時は、プリチャージ電圧は出力されない。ＰＥＮはプリチャージイネーブル信号である。このＰＥＮはコントローラ８１の判断により出力される信号である。つまり、コントローラは画像データに基づいて、ＰＥＮ信号をＨまたはＬレベルにする。ＰＥＮがＨレベルの時は、プリチャージをするという判断信号であり、Ｌレベルの時は、プリチャージしないという判断信号である。図２３９では、階調０の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ４８１ａのオンオフ状態である（図２３２、図２３３を参照のこと）。表では、○はスイッチ４８１ａがオン状態（ソース信号線１８にプリチャージ電圧Ｖｐが印加された状態）である。×はスイッチ４８１ａがオフ状態（ソース信号線１８にプリチャージ電圧が印加されていない状態）である。

【１００４】

図２３９の（ａ）では、画素行番号３と画素行番号８に該当する箇所で、ＰＥＮ信号がＨとなっている。同時に画素行番号３と画素行番号８では、ＰＳＬ信号もＨレベルであるので、Ｐ出力は○（プリチャージ電圧Ｖｐが出力された状態となっている。図２３９の（ｂ）では、ＰＥＮ信号は図２３９の（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【１００５】

また、プリチャージ電圧Ｖｐが出力されている期間は、図２３２のカウンタ６５１で設定することができる。このカウンタはプログラマブルカウンタであり、コントローラからの設定値、あるいはユーザーの設定値に基づき動作する。カウンタ６５１はメインクロック（ＣＬＫ）に同期して動作するように構成されている。

【１００６】

図２４０の（ａ）は階調０から階調７のみをプリチャージした時の説明図である。低階調領域のみにプリチャージする方法は、電流駆動が黒表示領域を書込みにくいという課題を解決する方策として有効である。なお、いずれの範囲までプリチャージするかはコントローラ８１により設定できる。

【１００７】

図２４０では、階調０－７の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ４８１ａのオンオフ状態である（図２３２、図２３３などを参照のこと）。図２４０の（ａ）では、画素行番号３、５、６、７、１１、１２、１３に該当する箇所で、画像データは７以下であるので、ＰＥＮ信号がＨとなっている。同時に以上の箇所で、ＰＳ

Ｌ信号もＨレベルであるので、Ｐ出力は○（プリチャージ電圧Ｖｐが出力された状態）となっている。図２４０の（ｂ）では、ＰＳＬ信号がＬレベルであるので、Ｐ出力はすべて×（プリチャージ電圧が印加されていない状態）となっている。

【１００８】

図２４１は画素１６の輝度が低くなる時にプリチャージを実施する駆動方式の説明図である。電流プログラム方式では、画素１６の輝度を高くするとき（白表示）のプログラム電流Ｉｗが大きい。したがって、ソース信号線１８に寄生容量があっても十分寄生容量を充放電することができる。しかし、画素１６を黒表示にプログラムするときは、プログラム電流は小さくソース信号線１８の寄生容量などを十分に充放電することができない。したがって、画素１６に書き込むプログラム電流が大きくなる時は、プリチャージをする必要がない場合が多い。逆に画素１６に書き込む電流が小さくなる時（黒表示となる時）はプリチャージする必要が発生する。

【１００９】

図２４１は画素１６の輝度が低くなる時にプリチャージを実施する駆動方式の説明図である。第１画素行目の画像データが３９である。したがって、ソース信号線１８には、画素１６を画像データ３９に電流プログラムする電位が保持されている。第２画素行目の画像データは１２である。したがって、ソース信号線１８は画像データ１２に対応する電位になるようにする必要がある。しかし、プログラム電流は階調３９から階調１２と小さくなる。そのため、ソース信号線１８を十分に充放電できない状態が発生する場合がある。この課題に対応するため、プリチャージする（ＰＥＮ信号はＨレベルとなる）。画素行３、５、６、８、１１、１２、１３、１５においても同様の判定結果となる。

【１０１０】

第３画素行目の画像データは０である。したがって、ソース信号線１８には、画素１６を画像データ０に電流プログラムする電位が保持されている。第４画素行目の画像データは２１である。したがって、ソース信号線１８は画像データ２１に対応する電位になるようにする必要がある。プログラム電流は階調０から階調２１と大きくなる。そのため、ソース信号線１８を十分に充放電可能である。したがって、第４画素行ではプリチャージする必要はない。

【１０１１】

以上の判断を、コントローラ８１で実施する。実施の結果、図２４１の（ａ）に図示するように、ＰＥＮ信号は、画素行２、３、５、６、８、１１、１２、１３、１５でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。図２４１の（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行２、３、５、６、８、１１、１２、１３、１５で○（プリチャージする）ことになる。なお、他の画素行ではプリチャージは行われない。

【１０１２】

図２４１の（ｂ）では、ＰＥＮ信号は図２４１の（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【１０１３】

図２４２は、図２４０と図２４１のプリチャージ方法を組み合わせた方式である。画素１６の輝度が低くなる時にプリチャージを実施し、かつ、画素１６のプログラム電流が０－７階調の低輝度となる場合にプリチャージする方法である。どの階調以下でプリチャージするか否かは、コントローラＩＣ８１の設定値で変更可能である。また、ユーザーが変更することも可能である。変更は、コントローラ内部のテーブルにマイコンからシリアルインターフェースを介して行う。

【１０１４】

画像データは図２４１の実施例と同一である。しかし、図２４２では、第２画素行では画像データが１２であり、第１５画素行では、画像データが１２であるため、ＰＥＮ信号は

Ｌレベルの判定結果となっている。先にも説明したように、一定以上のプログラム電流Ｉｗの大きさがあれば、ソース信号線１８の寄生容量を充放電できる。したがって、プリチャージする必要はない。逆にプリチャージするとソース信号線１８の電位が黒表示電位まで変化し、中間調表示の電位に復帰するのに時間を要する。

【１０１５】

以上の判断を、コントローラ８１で実施する。実施の結果、図２４２の（ａ）に図示するように、ＰＥＮ信号は、画素行３、５、６、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。図２４２の（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行３、５、６、８、１１、１２、１３で○（プリチャージする）ことになる。なお、他の画素行ではプリチャージは行われない。図２４２の（ｂ）では、ＰＥＮ信号は図２４２の（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。

【１０１６】

以上の実施例は、各ＲＧＢのプリチャージについて説明をしていないが、図２４３のように各ＲＧＢでプリチャージ判定を行うことが好ましいことは言うまでもない。各ＲＧＢで画像データがことなっているからである。特に、図４１、図１２５、図１２６のように、列方向に各ＲＧＢ画素が配置される場合に良好な結果が得られる。各ソース信号線には連続して同一色の画素データが印加されるからである。

【１０１７】

図２４３は、図２４０と同様に階調０－７の範囲でプリチャージを実施する駆動方法である。各ＲＧＢでのプリチャージの判断をコントローラ８１で実施する。実施の結果、図２４３に図示するように、Ｒ画像データでは、ＰＥＮ信号は、画素行３、５、６、７、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。Ｇ画像データでは、ＰＥＮ信号は、画素行３、７、９、１１、１２、１３、１４でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。Ｂ画像データでは、ＰＥＮ信号は、画素行１、２、３、６、７、８、９、１５でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。

【１０１８】

以上の実施例では、画素行に対応してプリチャージをするか否かを判断した。しかし、本発明はこれに限定するものではない。フレーム（フィールド）単位で各画素に印加される画像データの大きさ、変化などを判定し、プリチャージするか否かを判断してもよいことは言うまでもない。図２４４はその実施例である。

【１０１９】

図２４４はある画素１６に着目した画像データの変化を示している。図２４４の表の第１行目はフレーム番号を示している。表の２行目はある画素１６にプログラムされる画像データの変化を示している。また、図２４４は、図２３９と同様に階調０でプリチャージする駆動方式の変形例である。図２３９では、階調０で必ずプリチャージする方法であった。図２４４では、階調０が一定フレーム連続する時にプリチャージする方法である。連続は、カウンタで示す。

【１０２０】

図２４４の（ａ）では、フレーム３、４、５、６、１１、１２で階調０である。そのため、カウント値は、第３フレームから第６フレームまで順次カウントされる。また、フレーム１１、１２でカウントされる。図２４４の（ａ）では、階調０が３フレーム連続する時に、プリチャージを実施するように制御されている。したがって、フレーム５、６でＰ出力が○（プリチャージ電圧が出力される）となる。フレーム１１、１２では２フレームしか階調０が連続しないため、プリチャージはされない。

【１０２１】

図２４４の（ｂ）では、ＰＳＬ信号によりカウント制御を実施している。ＰＳＬ信号がＨレベルの時に、カウント値はアップされる。図２４４の（ｂ）では、フレーム５、１２で

ＰＳＬ信号がＬレベルため、カウントアップされない。そのため、プリチャージ電圧は、フレーム６でしか出力されない。

【１０２２】

なお、図２４４では階調０が一定フレーム連続する時にプリチャージするとしたが、本発明はこれに限定するものではなく、図２４０で説明したように、一定の階調範囲（たとえば、階調０－７）が連続する時にプリチャージするように制御してもよい。また、連続したフレームに限定するものではなく、離散的であってもよい。また、連続した画素行で一定の階調範囲（たとえば、階調０のみ、階調０－７など）が連続する時にプリチャージするように制御してもよい。

【１０２３】

以上のように本発明のプリチャージ駆動方式では、画像データの値あるいは画像データの変化状態あるいはプリチャージする画素の近傍の画像データ値とその変化などにより、プリチャージするか否かを判定し、プリチャージ電圧（電流）を印加する。また、プリチャージを印加するか否かの情報は、ソースドライバＩＣ（回路）に保持される。したがって、ソースドライバＩＣ（回路）１４はプリチャージ信号をラッチするラッチ回路２３６１（保持回路あるいは記憶手段（メモリ））を具備するだけであるから構成は容易である。また、いずれのプリチャージ方式でもコントローラＩＣのプログラムを変更するだけで対応できるため汎用性がある。

【１０２４】

図２３２では、スイッチ４８１ａをオンオフすることにより、端子６８１からプリチャージ電圧Ｖｐを出力し、スイッチ６５５はＰＯ信号によりオンオフすることにより、プログラム電流Ｉｗを端子６８１からソース信号線１８に印加する。しかし、図２３２の構成では、スイッチ４８１ａが閉じ、プリチャージ電圧Ｖｐが端子６８１に印加された時には、電流出力回路６５４（単位トランジスタ群５２１ｃ）にもプリチャージ電圧Ｖｐが印加される。電流出力回路６５４にプリチャージ電圧が印加されると電流出力回路６５４に異状動作が発生する場合がある。

【１０２５】

この課題に対しては、図２３３に図示するように、スイッチ６５５を電流出力回路６５４とＡ点との間に配置し、ＯＰＶ信号をインバータ６２でロジック反転してスイッチ６５６を制御するように構成する。つまり、スイッチ４８１ａが閉じている時は、スイッチ６５６は開く（オープン）状態となるようにする。このように構成することにより、端子６８１にプリチャージ電圧Ｖｐが印加されている時は、スイッチ６５５は開いているために、電流出力回路６５４にはプリチャージ電圧は印加されない。このタイミングチャートを図２３４の（ａ）に図示する。図２３４の（ａ）において、ＯＰＶ信号がＨになっている期間ｔには、ＰＯ信号はＬとなっている。さらに好ましくは、スイッチ４８１ａが閉じている期間の前後には、スイッチ６５５がオフ（開いている）になっていることが好ましい。つまり、図２３４の（ｂ）に図示するように、ＯＰＶ信号がＨになっている期間の前後を含めたｔ２の期間の間ＰＯ信号がＬレベルにする。スイッチ４８１ａのオンオフによる過渡現象の悪影響を防止するためである。

【１０２６】

図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【１０２７】

しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくいことになる。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲

で黒つぶれが発生したりする。

【１０２８】

この課題を解決する構成が、図５４の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路５４１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。

【１０２９】

基本的には、図５４は、図４８の出力段に嵩上げ回路（図５４の点線で囲まれた部分）を追加したものである。図５４は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。

【１０３０】

以上が本発明のソースドライバＩＣ（回路）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバＩＣ（回路）１４についてさらに詳しく説明をする。

【１０３１】

ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ４８４（１単位））である。

【１０３２】

人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバＩＣ（回路）１４において）、黒表示領域の表示が特に課題となる。

【１０３３】

この課題に対して、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。高階調領域と低階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。

【１０３４】

なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

【１０３５】

本発明の技術的思想は、電流駆動方式のソースドライバＩＣ（回路）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量が複数存在させることである。

【１０３６】

ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバＩＣ（回路）１４では、１つの電流源（１単位トランジスタ）４８４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【１０３７】
ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。
【１０３８】
電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のＥＬ表示パネルに特有の回路方式である。
【１０３９】
本発明のガンマ回路では、一例として低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）にする。また、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する。
【１０４０】
なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である。ＲＧＢのガンマ電流比率は同一にする。つまり、ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流（＝プログラム電流）を制御する。
【１０４１】
このようにガンマ電流比率をＲＧＢで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。
【１０４２】
図５６は低電流領域の定電流発生回路部の構成図である。また、図５７は高電流領域の定電流回路部および嵩上げ電流回路部の構成図である。図５６に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、単位トランジスタ４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。
【１０４３】
また、図５７に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｈ５により、単位トランジスタ４８４が必要個数動作し、その総和として高電流部のプログラム電流ＩｗＨが流れる。
【１０４４】
嵩上げ電流回路部も同様であって、図５７に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、単位トランジスタ４８４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れるソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。
【１０４５】
図５６、図５７に図示するようにオンオフスイッチ４８１は、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構

成される。このようにスイッチ４８１を、インバータ５６２とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ５６１から構成することにより、オン抵抗を低下することができ、単位トランジスタ４８４とソース信号線１８間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

【１０４６】

図５６の低電流回路部と図５７の高電流回路部の動作について説明をする。本発明のソースドライバＩＣ（回路）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【１０４７】

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、ＥＬ表示パネルの画像表示に最適になる。

【１０４８】

電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。この点も本発明の電流駆動方式の特徴ある効果である。

【１０４９】

図２４７などのように折れ線（折れ曲がり位置を有する）のガンマカーブの場合は、少し注意が必要である。まず、ＲＧＢのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調Ｒ１）をＲＧＢで同一にする必要がある。同一にすることにより、電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできる。また、低階調領域の傾きと高階調領域の傾きとの比率をＲＧＢで、一定にする必要がある。一定にすることにより、電流駆動方式では、ガンマカーブの相対的な関係をＲＧＢで同一にできる。

【１０５０】

たとえば、低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）し、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する。なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である。ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流を調整するように構成する。

【１０５１】

図２４８ではそのガンマカーブの例である。図２４８の（ａ）では、低階調部と高階調部とも１階調あたりの電流増加が大きい。図２４８の（ｂ）では、低階調部と高階調部とも１階調あたりの電流増加は図２４８の（ａ）に比較して小さい。ただし、図２４８の（ａ）、図２４８の（ｂ）ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、ＲＧＢで同一に維持したまま調整することは、各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリウムを作製（配置）すればよいからである。

【１０５２】

図２４５はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制

御回路６９２で低電流領域の基準電流源６９１Ｌと高電流領域の基準電流源６９１Ｈとのガンマ電流比率を維持したまま、電流源４７３Ｌ、４７３Ｈに流れる電流を変化させる。

【１０５３】

また、図２４６に図示するように、ＩＣチップ（回路）１４内に形成した温度検出回路７０１で相対的な表示パネルの温度を検出することが好ましい。ＥＬ素子は、ＲＧＢを構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路７０２にフィードバックし、電流制御回路６９２により温度補償を行う。

【１０５４】

なお、ガンマ比率は、３以上１０以下の関係にすることが適切である。さらに好ましくは、４以上８以下の関係にすることが適切である。特にガンマ電流比率は５以上７以下の関係を満足させることが好ましい。これを第１の関係と呼ぶ。

【１０５５】

また、低階調部と高階調部との変化ポイント（図２４７の階調Ｒ１）は、最大階調数Ｋの１／３２以上１／４以下に設定するのが適切である。たとえば、最大階調数Ｋが６ビットの６４階調とすれば、６４／３２＝２階調番目以上、６４／４＝１６階調番目以下にする。さらに好ましくは、低階調部と高階調部との変化ポイント（図２４７の階調Ｒ１）は、最大階調数Ｋの１／１６以上１／４以下に設定するのが適切である。たとえば、最大階調数Ｋが６ビットの６４階調とすれば、４８１６＝４階調番目以上、６４／４＝１６階調番目以下にする。さらに好ましくは、最大階調数Ｋの１／１０以上１／５以下に設定するのが適切である。なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Ｋが６ビットの６４階調とすれば、４８１０＝６階調番目以上、６４／５＝１２階調番目以下にする。以上の関係を第２の関係と呼ぶ。

【１０５６】

なお、以上の説明は、２つの電流領域のガンマ電流比率の関係である。しかし、以上の第２の関係は、３つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が２箇所以上ある）場合にも適用される。つまり、３つ以上の傾きに対し、任意の２つの傾きに対する関係に適用すればよい。

【１０５７】

以上の第１の関係と第２の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

【１０５８】

図２５０は、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４を１つの表示パネルに複数個用いた実施例である。本発明のソースドライバＩＣは複数のソースドライバＩＣ１４を用いることを想定した、スレーブ／マスター（Ｓ／Ｍ）端子２５０２を具備している。Ｓ／Ｍ端子２５０２をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのソースドライバＩＣ１４（１４ａ、１４ｃ）の図５６、図５７のＩＮＬ、ＩＮＨ端子に流れる電流となる。Ｓ／Ｍ端子２５０２をＬレベルにすることによりソースドライバＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。

【１０５９】

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の２系統である。なお、基準電流は基準電流受け渡し配線２５０１で行う。したがって、ＲＧＢの３色では、３×２で６系統となる。なお、上記の実施例では、各色２系統としたがこれに限定するものではなく、各色３系統以上であっても良い。

【１０６０】

本発明の電流駆動方式では、図２４９に図示するように、折れ曲がり点（階調Ｒ１など）を変更できるように構成している。図２４９の（ａ）では、階調Ｒ１で低階調部と高階調

部とを変化させ、図２４９の（ｂ）では、階調Ｒ２で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所で変化できるようにしている。

【１０６１】

具体的には、本発明では６４階調表示を実現できる。折れ曲がり点（Ｒ１）は、なし、２階調目、４階調目、８階調目、１６階調目としている。なお、完全黒表示を階調０としているため、折れ曲がり点は２、４、８、１６となるのであって、完全に黒表示の階調を階調１とするのであれば、折れ曲がり点は、３、５、９、１７、３３となる。以上のように、折れ曲がり位置を２の倍数の箇所（もしくは、２の倍数＋１の箇所：完全黒表示を階調１とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

【１０６２】

図５６は低電流領域の電流源回路部の構成図である。また、図５７は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図５６に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、電流源４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。

【１０６３】

また、図５７に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｌ５により、電流源４８４が必要個数動作し、その総和として高電流部のプログラム電流ＩｗＨが流れる。

【１０６４】

嵩上げ電流回路部も同様であって、図５７に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、電流源４８４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れる

ソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。なお、ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。

【１０６５】

なお、図５６、図５７に図示するようにオンオフスイッチ４８１は、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成される。このようにスイッチ４８１を、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成することにより、オン抵抗を低下することができ、電流源４８４とソース信号線１８間の電圧降下が極めて小さくすることができる。

【１０６６】

図５６の低電流回路部と図５７の高電流回路部の動作について説明をする。本発明のソースドライバ回路（ＩＣ）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【１０６７】

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、ＥＬ表示パネルの画像表示に最適になる。

【１０６８】

以下、低電流領域の回路制御データ（Ｌ０～Ｌ４）と高電流領域の回路制御データ（Ｈ０～Ｈ４）との制御方法について、図２５２から図２５４を参照しながら説明をする。

【１０６９】

本発明は図５６の図５６のＬ４端子に接続された、電流源４８４ａの動作に特徴がある。この４８４ａは１単位の電流源となる１つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流Ｉｗの制御（オンオフ制御）が容易になる。

【１０７０】

図２５２は、低電流領域と高電流領域を階調４で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号である。なお、図２５２から図２５４において、階調０から１８まで図示しているが、実際は６３階調目までである。したがって、各図面において階調１８以上は省略している。また、表の“１”の時にスイッチ４８１がオンし、該当電流源４８４とソース信号線１８とが接続され、表の“０”の時にスイッチ４８１がオフするとしている。なお、６３階調目に限定するものではなく、２５５階調あるいはそれ以上であってもよい。

【１０７１】

図２５２において、完全黒表示の階調０の場合は、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ４８１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

【１０７２】

階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０７３】

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０７４】

階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つのスイッチ４８１Ｌａ、４８１Ｌｂがオンし、３つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０７５】

階調４では、（Ｌ０～Ｌ４）＝（１、２６８１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の３つのスイッチ４８１Ｌａ、４８１Ｌｂ、４８１Ｌｅがオンし、４つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０７６】

階調５以上では、低電流領域（Ｌ０～Ｌ４）＝（１、２６８１）は変化がない。しかし、高電流領域において、階調５では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ４８１Ｈａがオンし、高電流領域の１つの単位電流源４８１がソース信号線１８と接続されている。また、階調６では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ４８１Ｈｂがオンし、高電流領域の２つの単位電流源４８１がソース信号線１８と接続される。同様に、階調７では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ４８１Ｈａスイッチ４８１Ｈｂがオンし、高電流領域の３つの単位電流源４８１がソース信号線１８と接続される。さらに、階調８では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ４８１Ｈｃがオンし、高電流領域の４つの単位電流源４８１がソース信号線１８と接続される。以後、図２５２のように順次スイッチ４８１がオ

ンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。

【１０７７】

以上の動作で特徴的なのは、折れ曲がり点での動作である。ただし、折れ曲がり点は低電流領域と高電流領域の切り換わり点であり、正確には、プログラム電流Ｉｗとしては、高電流領域の階調の場合、低電流ＩｗＬが加算されているので、切換り点という表現は正しくない。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流Ｉｗとなっているのである。１ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（Ｌ）が変化しない点である。また、この時、図５６のＬ４端子に“１”となり、スイッチ４８１ｅがオンし、トランジスタ４８４ａに電流が流れている点である。

【１０７８】

したがって、図２５２の階調４では低階調部の単位トランジスタ（電流源）４８４が４個動作している。そして、階調５では、低階調部の単位トランジスタ（電流源）４８４が４個動作し、かつ高階調部のトランジスタ（電流源）４８４が１個動作している。以後同様に、階調６では、低階調部の単位トランジスタ（電流源）４８４が４個動作し、かつ高階調部のトランジスタ（電流源）４８４が２個動作する。したがって、折れ曲がりポイントである階調５以上では、折れ曲がりポイント以下の低階調領域の電流源４８４が階調分（この場合、４個）オンし、これに加えて、順次、高階調部の電流源４８４が階調に応じた個数順次オンしていく。

【１０７９】

したがって、図５６におけるＬ４端子のトランジスタ４８４ａの１個は有用に作用していることがわかる。このトランジスタ４８４ａがないと、階調３の次に、高階調部のトランジスタ４８４が１個オンする動作になる。そのため、切り替わりポイントが４、８、１６というように２の乗数にならない。２の乗数は１信号にみが“１”となった状態である。

【１０８０】

したがって、２の重み付けの信号ラインが“１”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、ＩＣチップの論理回路が簡略化し、結果としてチップ面積小さいＩＣを設計できるのである（低コスト化が可能である）。

【１０８１】

図２５３は、低電流領域と高電流領域を階調８で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。

【１０８２】

図２５３において、完全黒表示の階調０の場合は、図２５２と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ４８１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。

【１０８３】

同様に階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０８４】

階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の２つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０８５】

階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、

０、０、０、０）である。したがって、低電流領域の２つのスイッチ４８１Ｌａ、４８１Ｌｂがオンし、３つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０８６】

以下も同様に、階調４では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調５では、（Ｌ０～Ｌ４）＝（１、０、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。階調６では、（Ｌ０～Ｌ４）＝（０、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。また、階調７では、（Ｌ０～Ｌ４）＝（１、１、１、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。

【１０８７】

階調８が切り替わりポイント（折れ曲がり位置）である。階調８では、（Ｌ０～Ｌ４）＝（１、１、１、０、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ４８１Ｌａ、４８１Ｌｂ、４８１Ｌｃ、４８１Ｌｅがオンし、８つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０８８】

階調８以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調９では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ４８１Ｈａがオンし、高電流領域の１つの単位電流源４８１がソース信号線１８と接続されている。

【１０８９】

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ４８４の個数が１個ずつ増加する。つまり、階調１０では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ４８１Ｈｂがオンし、高電流領域の２つの単位電流源４８１がソース信号線１８と接続される。同様に、階調１１では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ４８１Ｈａスイッチ４８１Ｈｂがオンし、高電流領域の３つの単位電流源４８１がソース信号線１８と接続される。さらに、階調１２では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ４８１Ｈｃがオンし、高電流領域の４つの単位電流源４８１がソース信号線１８と接続される。以後、図２５２のように順次スイッチ４８１がオンオフし、プログラム電流Ｉｗがソース信号線１８に印加される。

図２５４は、低電流領域と高電流領域を階調１６で切り替える場合の低電流側信号線（Ｌ）と高電流側信号線（Ｈ）との印加信号の説明図である。この場合も図２５２、図２５３と基本的な動作は同じである。

【１０９０】

つまり、図２５４において、完全黒表示の階調０の場合は、図２５３と同様であり、（Ｌ０～Ｌ４）＝（０、０、０、０、０）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、すべてのスイッチ４８１はオフ状態であり、ソース信号線１８にはプログラム電流Ｉｗ＝０である。同様に階調１から階調１６までは、高階調領域の（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の１つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。つまり、低階調領域の（Ｌ０～Ｌ４）のみが変化する。

【１０９１】

つまり、階調１では、（Ｌ０～Ｌ４）＝（１、０、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、１、０、０、０）であり、階調３では、（Ｌ０～Ｌ４）＝（１、１、０、０、０）であり、階調２では、（Ｌ０～Ｌ４）＝（０、０、１、０、０）である。以下階調１６まで順次カウントされる。つまり、階調１５では、（Ｌ０～Ｌ４）＝（１、１、１、１、０）であり、階調１６では、（Ｌ０～Ｌ４）＝（１、１、１、１、１）である。階調１６では、階調を示すＤ０～Ｄ５の５ビット目（Ｄ４）のみが１本オンするため、データＤ０～Ｄ５の表現している内容が１６であるということが、１データ信号線（Ｄ

４）の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

【１０９２】

階調１６が切り替わりポイント（折れ曲がり位置）である（もしくは階調１７が切り替わりポイントというべきであるかもしれないが）。階調１６では、（Ｌ０～Ｌ４）＝（１、１、１、１、１）であり、（Ｈ０～Ｈ５）＝（０、０、０、０、０）である。したがって、低電流領域の４つのスイッチ４８１Ｌａ、４８１Ｌｂ、４８１Ｌｃ、４８１ｄ、４８１Ｌｅがオンし、１６つの単位電流源４８４がソース信号線１８に接続されている。高電流領域の単位電流源はソース信号線１８には接続されていない。

【１０９３】

階調１６以上では、低電流領域（Ｌ０～Ｌ４）＝（１、１、１、０、１）は変化がない。しかし、高電流領域において、階調１７では（Ｈ０～Ｈ５）＝（１、０、０、０、０）であり、スイッチ４８１Ｈａがオンし、高電流領域の１つの単位電流源４８１がソース信号線１８と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ４８４の個数が１個ずつ増加する。つまり、階調１８では（Ｈ０～Ｈ５）＝（０、１、０、０、０）であり、スイッチ４８１Ｈｂがオンし、高電流領域の２つの単位電流源４８１がソース信号線１８と接続される。同様に、階調１９では（Ｈ０～Ｈ５）＝（１、１、０、０、０）であり、２つのスイッチ４８１Ｈａスイッチ４８１Ｈｂがオンし、高電流領域の３つの単位電流源４８１がソース信号線１８と接続される。さらに、階調２０では（Ｈ０～Ｈ５）＝（０、０、１、０、０）であり、１つのスイッチ４８１Ｈｃがオンし、高電流領域の４つの単位電流源４８１がソース信号線１８と接続される。

【１０９４】

以上のように、切り替わりポイント（折れ曲がり位置）で、２の乗数の個数の電流源（１単位）４８４がオンもしくはソース信号線１８と接続（逆に、オフとなる構成も考えられる）ように構成するロジック処理などがきわめて容易になる。たとえば、図２５２に図示するように折れ曲がり位置が階調４（４は２の乗数である）であれば、４個の電流源（１単位）４８４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）４８４が加算されるように構成する。また、図２５３に図示するように折れ曲がり位置が階調８（８は２の乗数である）であれば、８個の電流源（１単位）４８４が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（１単位）４８４が加算されるように構成する。本発明の構成を採用すれば、６４階調に限らず（１６階調：４０９６色、２５６階調：１６７０万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

【１０９５】

なお、図２５２、図２５３、図２５４で説明した実施例では、切り替わりポイントの階調が２の乗数となるとしたが、これは、完全黒階調を階調０とした場合である。階調１を完全黒表示とする場合は、＋１する必要がある。しかし、これらは便宜上の事項である。

【１０９６】

本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、２の乗数であれば、１信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源４８４ａを付加する。

【１０９７】

したがって、負論理であれば、２、４、８・・・ではなく、階調１、３、７、１５・・・で切り替わりポイントとすればよい。また、階調０を完全黒表示としたが、これに限定するものではない。たとえば、６４階調表示であれば、階調６３を完全黒表示状態とし、階調０を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、２の乗数から処理上、異なる構成となる場合がある。

【１０９８】

また、切り替わりポイント（折れ曲がり位置）が１つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調４と階調１６に設定することができる。また、階調４と階調１６と階調３２というように３ポイント以上に設定することもできる。

【１０９９】

また、以上の実施例は、階調が２の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、２の乗数の２と８（２＋８＝１０階調目、つまり、判定に要する信号線は２本）で折れ曲がり点を設定してもよい。それ以上の、２の乗数の２と８と１６（２＋８＋１６＝２６階調目、つまり、判定に要する信号線は３本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

【１１００】

図２５５に図示するように、本発明のソースドライバ回路（ＩＣ）１４は３つの部分の電流出力回路６５４から構成されている。高階調領域で動作する高電流領域電流出力回路６５４ａであり、低電流領域および高階調領域で動作する低電流領域電流出力回路６５４ｂであり、嵩上げ電流を出力する電流嵩上げ電流出力回路６５４ｂである。

【１１０１】

高電流領域電流出力回路６５４ａと電流嵩上げ電流出力回路６５４ｃは高電流を出力する基準電流源６９１ａを基準電流として動作し、低電流領域電流出力回路６５４ｂは低電流を出力する基準電流源６９１ｂを基準電流として動作する。

【１１０２】

なお、先にも説明したが、電流出力回路６５４は、高電流領域電流出力回路６５４ａ、低電流領域電流出力回路６５４ｂ、電流嵩上げ電流出力回路６５４ｃの３つに限定するものではなく、高電流領域電流出力回路６５４ａと低電流領域電流出力回路６５４ｂの２つでもよく、また、３つ以上の電流出力回路６５４から構成してもよい。もちろん、電流出力回路６５４は１つでもよい。また、基準電流源６９１はそれぞれの電流領域電流出力回路６５４に対応して配置または形成してもよく、また、すべての電流領域電流出力回路６５４に共通にしてもよい。

【１１０３】

以上の電流出力回路６５４が階調データに対応して、内部の単位トランジスタ４８４が動作し、ソース信号線１８から電流を吸収する。前記単位トランジスタ４８４は、１水平走査期間（１Ｈ）信号に同期して動作する。つまり、１Ｈの期間の間、該当する階調データに基づく電流を入力する（単位トランジスタ４８４がＮチャンネルの場合）。

【１１０４】

一方、ゲートドライバ回路１２も１Ｈ信号に同期して、基本的には１本のゲート信号線１７ａを順次選択する。つまり、１Ｈ信号に同期して、第１Ｈ期間にはゲート信号線１７ａ（１）を選択し、第２Ｈ期間にはゲート信号線１７ａ（２）を選択し、第３Ｈ期間にはゲート信号線１７ａ（３）を選択し、第４Ｈ期間にはゲート信号線１７ａ（４）を選択する。

【１１０５】

しかし、第１のゲート信号線１７ａが選択されてから、次の第２のゲート信号線１７ａが選択される期間には、どのゲート信号線１７ａも選択されない期間（非選択期間、図２５６のｔ１を参照）を設ける。非選択期間は、ゲート信号線１７ａの立ち上がり期間、立下り期間が必要であり、ＴＦＴ１１ｄのオンオフ制御期間を確保するために設ける。

【１１０６】

いずれかのゲート信号線１７ａにオン電圧が印加され、画素１６のＴＦＴ１１ｂ、ＴＦＴ１１ｃがオンしていれば、Ｖｄｄ電源（アノード電圧）から駆動用ＴＦＴ１１ａを介して、ソース信号線１８にプログラム電流Ｉｗが流れる。このプログラム電流Ｉｗがトランジスタ４８４に流れる（図２５６のｔ２期間）。なお、ソース信号線１８には寄生容量Ｃが

発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

【１１０７】

しかし、いずれのゲート信号線１７ａも選択されていない（非選択期間：図２５６のｔ１期間）はＴＦＴ１１ａを流れる電流経路がない。トランジスタ４８４は電流を流すから、ソース信号線１８の寄生容量から電荷を吸収する。そのため、ソース信号線１８の電位が低下する（図２５６のＡの部分）。ソース信号線１８の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

【１１０８】

この課題に解決するため、図２５７に図示するように、ソース端子６８１との出力端にスイッチ４８１ａを形成する。また、嵩上げ電流出力回路６５４ｃの出力段にスイッチ４８１ｂを形成または配置する。

【１１０９】

非選択期間ｔ１に、制御端子Ｓ１に制御信号を印加し、スイッチ４８１ａをオフ状態にする。選択期間ｔ２ではスイッチ４８１ａをオン状態（導通状態）にする。オン状態の時にはプログラム電流Ｉｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫが流れる。スイッチ４８１ａをオフにするとＩｗ電流は流れない。したがって、図２５８に図示するように図２５６のＡのような電位に低下（変化はない）。なお、スイッチ４８１のアナログスイッチ５６１のチャンネル幅Ｗは、１０μｍ以上１００μｍ以下にする。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。

【１１１０】

スイッチ４８１ｂは低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素１６のＴＦＴ１１ａのゲート電位はアノード電圧Ｖｄｄに近くする必要がある。したがって、黒表示では、ソース信号線１８の電位はアノード電圧Ｖｄｄ近くにする必要がある。また、黒表示では、プログラム電流Ｉｗが小さく、図２５６のＡように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

【１１１１】

そのため、低階調表示の場合は、非選択期間ｔ１が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流Ｉｗが大きいため、非選択期間ｔ１が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ４８１ａ、スイッチ４８１ｂの両方をオンさせておく。また、嵩上げ電流ＩｗＫも切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ４８１ａをオンさせておき、スイッチ４８１ｂはオフするというように駆動する。スイッチ４８１ｂは端子Ｓ２で制御する。

【１１１２】

もちろん、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ４８１ａをオフ（非導通状態）、スイッチ４８１ｂはオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間ｔ１にスイッチ４８１ａ、スイッチ４８１ｂの両方をオフ（非導通）させた駆動を実施してもよい。

【１１１３】

いずれにしても、制御端子Ｓ１、Ｓ２の制御でスイッチ４８１を制御できる。なお、制御端子Ｓ１、Ｓ２はコマンド制御で制御する。

【１１１４】

たとえば、制御端子Ｓ２は非選択期間ｔ１をオーバーラップするようにｔ３期間を“０”ロジックレベルとする。このように制御にすることにより、図２５６のＡの状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子Ｓ１を“０”ロジックレベルとする。すると、嵩上げ電流ＩｗＫは停止し、良好な黒表示を実現できる。

【１１１５】

以上の実施例は、表示パネルに１つのソースドライバＩＣ１４を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバＩＣ１４を１つの表示パネルに複数積載する構成でもよい。たとえば、図２６１は３つのソースドライバＩＣ１４を積載した表示パネルの実施例である。

【１１１６】

本発明のソースドライバＩＣ１４は、図５６、図５７、図２４５などでも説明したように、一例として少なくとも低階調領域の基準電流と、高階調領域の基準電流の２系統を具備する。

【１１１７】

図２５０でも説明したように、本発明の電流駆動方式のソースドライバ回路（ＩＣ）１４は複数のソースドライバＩＣ１４を用いることを想定した、スレーブ／マスター（Ｓ／Ｍ）端子２５０２を具備している。Ｓ／Ｍ端子２５０２をＨレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、Ｓ／Ｍ端子のロジックは逆極性でもよい。また、ソースドライバＩＣ１４へのコマンドにより切り替えても良い。基準電流はカスケート電流接続線２６１１で伝達される。Ｓ／Ｍ端子２５０２をＬレベルにすることによりソースドライバＩＣ１４はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図５６、図５７のＩＮＬ、ＩＮＨ端子に流れる電流となる。

【１１１８】

基準電流はソースドライバＩＣ１４の中央部（真中部分）の基準電流発生回路１６９１で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはＩＣ内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

【１１１９】

なお、ソースドライバＩＣ１４の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子までの距離を極力短くするためである。

【１１２０】

図２６１の構成では、マスターチップ１４ｂより基準電流が２つのスレーブチップ（１４ａ、１４ｃ）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ１４ｂがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

【１１２１】

図２６２は基準電流の受け渡し端子位置を概念的に図示している。ＩＣチップの中央部に配置されて信号入力端子２６２１ｉに基準電流信号線２５０１が接続されている。この基準電流信号線２５０１に印加される電流は、ＥＬ材料の温特補償がされている。また、ＥＬ材料の寿命劣化による補償がされている。

【１１２２】

基準電流信号線２５０１に印加された電流（電圧）に基づき、チップ１４内で各電流源（４７１、４７２、４７３、４８４）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子２６２１ｏから出力される。端子２６２１ｏは基準電流発生回路１６９１の左右に少なくとも１個以上配置（形成）される。図２６２では、左右に２個ずつ配置（形成）されている。この基準電流が、カスケード信号線２６１１ａ１、２６１１ａ２、２６１１ｂ１、２６１１ｂ２でスレーブチップ１４に伝達される。なお、スレーブチップ１４ａに印加された基準電流を、マスターチップ１４ｂにフィードバックし、ずれ量を補正するように回路を構成してもよい。

【１１２３】

電流駆動方式のＥＬ表示パネルは、黒表示でのプログラム電流は１００ｎＡ以下を非常に微小である。したがって、ソース信号線１８などに寄生容量が存在すると、寄生容量の充放電が１水平走査期間（１Ｈ）に実施することができない（十分に寄生容量の影響をなくすることができない）。したがって、書き込み不足が発生する。書き込み不足は、表示コントラストの低下、解像度の低下を招く。

【１１２４】

寄生容量には、表示領域の寄生容量と、ソースドライバＩＣ１４の出力回路の寄生容量がある。この出力回路の寄生容量とは、主として図３７５の（ａ）に図示するように、出力段の内部配線３７５２に接続された保護ダイオード３７５１ａによる寄生容量３７５１ｂである。保護ダイオード３７５１ａは、ソースドライバＩＣ１４の静電気対策として重要な回路であるが、図３７５の（ｂ）のように、保護ダイオード３７５１ａはコンデンサ３７５１ｂ（寄生容量）と等価である。なお、保護ダイオードなどによる寄生容量を保護容量と呼ぶ。

【１１２５】

ソースドライバＩＣ１４が電圧出力の場合は、保護容量が比較的大きくとも、ソースドライバＩＣ１４の出力インピーダンスが低いため影響はない。しかし、ソースドライバＩＣ１４が電流出力の場合は、ソースドライバＩＣ１４の出力インピーダンスが高いため、保護容量の大きさは時定数に大きく影響する。つまり、１水平走査期間（１Ｈ）内でプログラム電流Ｉｗを画素１６に書き込めない。しかし、静電気対策などのため、保護ダイオードを削除することはできない。

【１１２６】

本発明はこの課題を解決させるものである。図３７６はその実施例である。図３７５の（ａ）のような保護ダイオード３７５１ａは形成していない。かわりに隣接したソース信号線１８間をショートするスイッチ３７６１（短絡回路）をソースドライバＩＣ１４内に形成している。短絡回路３７６１はごく小さなスイッチである。スイッチして、ＭＯＳトランジスタが例示される。その他、バイポーラトランジスタでもよく、ＰチャンネルとＮチャンネルのトランジスタからなるアナログスイッチでもよい。なお、スイッチはオープン状態の時、１００ＭΩ以上の抵抗値を示すようにトランジスタのＷ（チャンネル幅）とＬ（チャンネル長）が設計される。また、このスイッチ３７６１はソースドライバＩＣ１４形成時、クローズ状態となるように構成されている（ノーマリクローズ）。制御端子（図示せず）に印加した信号（電圧）により図３７７に図示するようにオープンとなる。制御端子とはスイッチ３７６１を構成するトランジスタのゲート端子に接続されている。

【１１２７】

図３７８の実施例は隣接したソース信号線１８間に短絡部３７８１を形成した実施例である。１００ＭΩ以上の高インピーダンスの配線で形成される。隣接したソース信号線１８間には微小なリークが発生するが、微小電流のためプログラム電流Ｉｗには影響を与えない。短絡部はポリシリコンで形成する。

【１１２８】

図３７９の（ａ）は隣接したソース信号線１８間に完全な短絡部３７８１を形成した実施例である。短絡部をメタル配線などで形成する。ソースドライバＩＣ１４を基板７１に実装するまでは、短絡部３７８１は残しておく。実装後、エッチング液などに基板７１とソースドライバＩＣ１４を浸し、短絡部３７８１をエッチングして切り離す。以上の実施例では、エッチングにより短絡部３７８１を切り離すとしたが、レーザーなどを短絡部３７８１に照射することにより切断してもよい。

【１１２９】

図３８２はその実施例である。先にも説明したように、本発明ではソースドライバＩＣ１４の裏面にはベースアノード線２６３１が形成されている。また、ベースアノード線２６３１はＩＣがホトコンにより誤動作することを抑制するため、回路形成部を遮光するように基板上７１に形成されている（図１０２およびその説明を参照のこと）。

【１１３０】

図３８２では、ソースドライバＩＣ１４において、短絡部３７８１が形成された箇所に、ベースアノード線２６３１にスリット３８２１を空けている。スリット３８２１とは、光が透過できる部分である。このスリット３８２１から図３８３に図示するようにレーザー光３８３１を入射させることにより、短絡部３７８１を切断する。レーザー光の波長は１μｍ前後が好ましい。この波長のレーザーとしてはＹＡＧレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザー、白色レーザー、色素レーザーなどが例示される。その他、アルゴンランプ、キセノンランプが放射する光を集光したものを用いても良い。つまり、光学エネルギーにおり、配線などを加工できるものであればいずれでもよい。

【１１３１】

レーザー光３８３１はガラス基板７１を透過させて、短絡部３７８１などに照射する。レーザー光３８３１はベースアノード線２６３１に形成されたスリット３８２１から入射する。なお、スリット３８２１を形成するとしたがこれに限定するものではない。重要なことは、短絡部３７８１などの切断箇所がレーザー光３８３１などで加工できるように構成することである。

【１１３２】

図３８０は内部配線３７５２に接続された保護ダイオード３７５１を形成した実施例である。図３７５の（ａ）と異なる点は、保護ダイオード３７５１を内部配線３７５１ａから切り離せるように短絡部（つまり切断部）３７８１ｂを形成している点である。さらにＶｓｓ電圧源、Ｖｄｄ電圧源とも切断できるように短絡部３７８１ａを形成または配置している。図３８１は切断箇所に×印をつけている。なお、短絡部３７８１の切断に関しては、図３８２、図３８３などで説明したので説明を省略する。

【１１３３】

有機ＥＬ表示パネルをモジュール化する際、問題となる事項に、アノード配線２６３１、カソード配線の引き回し（配置）の抵抗値の課題がある。有機ＥＬ表示パネルは、ＥＬ素子１５の駆動電圧が比較的低いかわりに、ＥＬ素子１５に流れる電流が大きい。そのため、ＥＬ素子１５に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、２インチクラスのＥＬ表示パネルでも高分子ＥＬ材料では、２００ｍＡ以上の電流をアノード配線２６３１に流す必要がある。そのため、アノード配線２６３１の電圧降下を防止するため、アノード配線は１Ω以下の低抵抗化する必要がある。しかし、アレイ基板７１では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、２００ｍＡの電流をほとんど電圧降下なしで伝達するためには、配線幅が２ｍｍ以上となるという課題があった。

【１１３４】

図２７３は従来のＥＬ表示パネルの構成である。表示画面５０の左右に内蔵ゲートドライバ回路１２ａ、１２ｂが形成（配置）されている。また、ソースドライバ回路１４ｐも画素１６のＴＦＴと同一プロセスで形成されている（内蔵ソースドライバ回路）。

【１１３５】

アノード配線２６３１はパネルの右側に配置されている。アノード配線２６３１にはＶｄｄ電圧が印加されている。アノード配線２６３１幅は一例として２ｍｍ以上である。アノード配線２６３１は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、ＱＣＩＦパネルでは、１７６列×ＲＧＢ＝５２８本である。一方、ソース信号線１８は内蔵ソースドライバ１４ｐから出力されている。ソース信号線１８は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ回路１２の電源配線２７３１も画面の左右に配置されている。

【１１３６】

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図２７３の構成では、狭額縁化が困難である。

【１１３７】

この課題を解決するため、本発明の表示パネルでは、図２７４に図示するように、アノード配線２６３１はソースドライバＩＣ１４の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（ＩＣ）１４は半導体チップで形成（作製）し、ＣＯＧ（チップオンガラス）技術で基板７１に実装している。ソースドライバＩＣ１４化にアノード配線２６３１を配置（形成）できるのは、チップ１４の裏面に基板に垂直方向に１０μｍ～３０μｍの空間があるからである。

【１１３８】

図２７３のように、ソースドライバ回路１４ｐをアレイ基板７１に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路１４ｐの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）２６３１を形成することは困難である。

【１１３９】

また、図２７４に図示するように、共通アノード線２６４２を形成し、ベースアノード線２６３１と共通アノード線２６４２とを接続アノード線２６４１で短絡させている。特に、ＩＣチップの中央部の接続アノード線２６４１を形成した点がポイントである。接続アノード線２６４１を形成することにより、ベースアノード線２６３１と共通アノード線２６４２間の電位差がなくなる。また、アノード配線２６３２を共通アノード線２６４２から分岐している点がポイントである。以上の構成を採用することにより、図２７３のようにアノード配線２６３１の引き回しがなくなり、狭額縁化を実現できる。

【１１４０】

以上の事項を他の図面を使用しながらさらに詳しく説明をする。図２６３は本発明の表示パネルの一部の説明図である。図２６３において、点線がソースドライバＩＣ１４を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がソースドライバＩＣ１４の裏面かつアレイ基板７１上に形成（配置）されている。なお、本発明の実施例において、ＩＣチップ（１２、１４）の裏面に分岐前のアノード配線２６３１を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線２６３１のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路１２の電源配線１０５１を配置または形成してもよい。

【１１４１】

ソースドライバＩＣ１４はＣＯＧ技術により電流出力（電流入力）端子とアレイ７１に形成された接続端子２６３３とが接続される。接続端子２６３３はソース信号線１８の一端に形成されている。また、接続端子２６３３は２６３３ａと２６３３ｂというように千鳥配置である。なお、ソース信号線の一端には接続端子２６３３が形成され、他の端にもチェック用の端子電極が形成されている。

【１１４２】

また、本発明においてＩＣチップは電流駆動方式のドライバＩＣ（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図４３などの電圧プログラムの画素を駆動する電圧駆動方式のドライバＩＣを積載したＥＬ表示パネル（装置）などにも適用することができる。

【１１４３】

接続端子２６３３ａと２６３３ｂ間にはアノード配線２６３２（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線２６３１から分岐されたアノード配線２６３２が接続端子２６３３間に形成され、画素１６列に沿って配置されている。したがって、アノード配線２６３２とソース信号線１８とは平行に形成（配置）される。以上のように構成（形成）することにより、図２７３のようにベースアノード線２６３１を画面横に引き回すことなく、各画素にＶｄｄ電圧を供給できる。

【１１４４】

図２６４はさらに、具体的に図示している。図２６３との差異は、アノード配線を接続端子２６３３間に配置せず、別途形成した共通アノード線２６４２から分岐させた点である

。共通アノード線２６４２とベースアノード線２６３１とは接続アノード線２６４１で接続している。

【１１４５】

図２６４はソースドライバＩＣ１４を透視して裏面の様子を図示したように記載している。ソースドライバＩＣ１４は出力端子６８１にプログラム電流Ｉｗを出力する電流出力回路６５４が配置されている。基本的に、出力端子６８１と電流出力回路６５４は規則正しく配置されている。ソースドライバＩＣ１４の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ＩＣチップの中央部には出力端子６８１が形成されていない（電流出力回路６５４がＩＣチップの中央部に形成できないからである）。

【１１４６】

本発明では、図２６４の中央部６５４ａ部には出力端子６８１をＩＣチップに作製していない。出力回路がないからである。なお、ソースドライバなどのＩＣチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い。本発明のＩＣチップはこの点に着眼し、ＩＣチップの中央部に出力端子６８１を形成（配置）していない。なお、ソースドライバなどのＩＣチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子６８１（パッド）が形成されているのが一般的である。この位置に共通アノード線２６４１を形成している（ただし、共通アノード線２６４１はアレイ基板７１面に形成されている）。接続アノード線２６４１の幅は、５０μｍ以上１０００μｍ以下にする。また、長さに対する抵抗（最大抵抗）値は、１００Ω以下になるようにする。

【１１４７】

接続アノード線２６４１でベースアノード線２６３１と共通アノード線２６４２とをショートすることにより、共通アノード線２６４２に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線２６４１はＩＣチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ＩＣチップの中央部にダミーパッドとして形成されている出力端子６８１を削除することのより、このダミーパッドと接続アノード線２６４１が接触することによる、ＩＣチップが電気的に影響をあたえることを防止している。ただし、このダミーパッドがＩＣチップのベース基板（チップのグランド）、他の構成と電気的に絶縁されている場合は、ダミーパッドが接続アノード線２６４１と接触しても全く問題がない。したがって、ダミーパッドをソースドライバＩＣ１４の中央部に形成したままでもよいことは言うまでもない。

【１１４８】

さらに具体的には、図２６７のように接続アノード線２６４１、共通アノード線２６４２は形成（配置）されている。まず、接続アノード線２６４１は太い部分（２６４１ａ）と細い部分（２６４１ｂ）がある。太い部分（２６４１ａ）は抵抗値を低減するためである。細い部分（２６４１ｂ）は、出力端子９６３間に接続アノード線２６４１ｂを形成し、共通アノード線２６４２と接続するためである。

【１１４９】

また、ベースアノード線２６３１と共通アノード線２６４２との接続は、中央部の接続アノード線２６４１ｂだけでなく、左右の接続アノード線２６４１ｃでもショートしている。したがって、共通アノード線２６４２とベースアノード線２６３１とは３本の接続アノード線２６４１でショートされている。したがって、共通アノード線２６４２に大きな電流が流れても共通アノード線２６４２で電圧降下が発生しにくい。これは、ソースドライバＩＣ１４は通常、幅が２ｍｍ以上あり、このソースドライバＩＣ１４下に形成されたベースアノード線２６３１の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線２６３１と共通アノード線２６４２とを複数箇所で接続アノード線２６４１によりショートしているため、共通アノード線２６４２の電圧降下は小さくなるのである。

【１１５０】

以上のように共通アノード線２６４２での電圧降下を小さくできるのは、ソースドライバＩＣ１４下にベースアノード線２６３１を配置（形成）できる点、ソースドライバＩＣ１４の左右の位置を用いて、接続アノード線２６４１ｃを配置（形成）できる点、ソースドライバＩＣ１４の中央部に接続アノード線２６４１ｂを配置（形成）できる点にある。

【１１５１】

また、図２６７では、ベースアノード線２６３１とカソード電源線（ベースカソード線）２６７１とを絶縁膜２６６１を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源パスコンデンサとして機能する。したがって、ベースアノード線２６３１の急激な電流変化を吸収することができる。また、前記構成を応用することにより、ソースドライバＩＣ１４などの電源パスコンデンサとしても用いることができる。

【１１５２】

コンデンサの容量は、ＥＬ表示装置の表示面積をＳ平方ミリメートルとし、コンデンサの容量をＣ（ｐＦ）としたとき、Ｍ／２００　≦　Ｃ　≦　Ｍ／１０以下の関係を満足させることがよい。さらには、Ｍ／１００　≦　Ｃ　≦　Ｍ／２０以下の関係を満足させることがよい。Ｃが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

【１１５３】

なお、図２６７などの実施例では、ソースドライバＩＣ１４下にベースアノード線２６３１を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図２６７において、ベースカソード線２６７１とベースアノード線２６３１とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板７１もしくはフレキシブル基板に実装し、半導体チップの下面にＥＬ素子１５などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

【１１５４】

したがって、半導体チップは、ソースドライバ１４に限定されるものではなく、ゲートドライバ回路１２でもよく、また、電源ＩＣ８２でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面にＥＬ素子１５などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバＩＣ１４とゲートドライバＩＣ１２の両方を、半導体チップで構成し、基板７１にＣＯＧ実装を起こっても良い。前記チップの下面に電源あるいはグランドパターンを形成してもよい。また、ＥＬ素子１５への電源あるいはグラントパターンとしたがこれに限定するものではなく、ソースドライバ１４への電源配線、ゲートドライバ回路１２への電源配線でもよい。また、ＥＬ表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、ＦＥＤ、ＰＤＰなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

【１１５５】

図２６５は本発明の他の実施例である。図２６３、図２６４、図２６７との差異は図２６３が出力端子２６３３間にアノード配線２６３２を配置したのに対し、図２６５では、ベースアノード配線２６３１から多数（複数）の細い接続アノード線２６４１ｄを分岐させ、この接続アノード線２６４１ｄを共通アノード線２６４２とをショートした点である。また、細い接続アノード線２６４１ｄと接続端子２６３３と接続されたソース信号線１８とを絶縁膜２６６１を介して積層した点である。

【１１５６】

アノード線２６４１ｄはベースアノード線２６３１とコンタクトホール２６５１ａで接続を取り、アノード配線２６３２は共通アノード線２６４２とコンタクトホール２６５１ｂで接続を取っている。他の点（接続アノード線２６４１ａ、２６４１ｂ、２６４１ｃ、アノードコンデンサ構成など）などは図２６４、図２６７と同様であるので説明を省略する。

【１１５７】
図２６７のａａ‘線での断面図を図２６６に図示する。図２６６の（ａ）では、略同一幅のソース信号線１８を接続アノード線２６４１ｄが絶縁膜２６６１ａを介して積層されている。
絶縁膜２６６１ａの膜厚は、５００オングストローム以上３０００オングストローム（Å）以下にする。さらに好ましくは、８００オングストローム以上２０００オングストローム（Å）以下にする。膜厚が薄いと、接続アノード線２６４１ｄとソース信号線１８との寄生容量が大きくなり、また、接続アノード線２６４１ｄとソース信号線１８との短絡が発生しやすくなり好ましくない。厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。
なお、絶縁膜２６６１は、ポリビフェーニールアルコール（ＰＶＡ）樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、ＳｉO2、ＳｉＮｘなどの無機材料が例示される。その他、Ａｌ2O3、Ｔａ2O3などであってもよいことは言うまでもない。また、図２６６の（ａ）に図示するように、最表面には絶縁膜２６６１ｂを形成し、配線２６４１などの腐食、機械的損傷を防止させる。
【１１５８】
図２６６の（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線２６４１ｄが絶縁膜２６６１ａを介して積層されている。以上のように構成することのより、ソース信号線１８の段差によるソース信号線１８と接続アノード線２６４１ｄとのショートを抑制することができる。図２６６の（ｂ）の構成では、接続アノード線２６４１ｄの線幅は、ソース信号線１８の線幅よりも０．５μｍ以上狭くすることが好ましい。さらには、接続アノード線２６４１ｄの線幅は、ソース信号線１８の線幅よりも０．８μｍ以上狭くすることが好ましい。
【１１５９】
図２６６の（ｂ）では、ソース信号線１８の上にソース信号線１８よりも線幅の狭い接続アノード線２６４１ｄが絶縁膜２６６１ａを介して積層されているとしたが、図２６６の（ｃ）に図示するように、接続アノード線２６４１ｄの上に接続アノード信号線２６４１ｄよりも線幅の狭いソース信号線１８が絶縁膜２６６１ａを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。
【１１６０】
図２６８はソースドライバＩＣ１４部の断面図である。基本的には図２６７の構成を基準にしているが、図２６４、図２６５などでも同様に適用できる。もしくは類似に適用できる。
【１１６１】
図２６８の（ｂ）は図２６７のＡＡ‘での断面図である。図２６８の（ｂ）でも明らかなように、ＩＣチップの１４の中央部には出力パッド６８１が形成（配置）されていない。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力バッド６８１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。もちろん、金メッキ技術（電解、無電解）により突起を形成してもよいことは言うまでもない。
【１１６２】
前記突起と各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（SnO2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層（接続樹脂）２６８１は、転写等の技術でバンプ上に形成する。または、突起とソース信号線１８とをＡＣＦ樹脂２６８１で熱圧着される。なお、突起あるいは出力パッド６８１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にソースドライバＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を

用いてソース信号線１８などと接続しても良い。図２６８の（ａ）はソース信号線１８と共通アノード線２６４２とが重なっている部分の断面図である（図２６６を参照のこと）。

【１１６３】

共通アノード線２６４２からアノード配線２６３２が分岐されている。アノード配線２６３２はＱＣＩＦ＋パネルの場合は、１７６×ＲＧＢ＝５２８本である。アノード配線２６３２を介して、図１などで図示するＶｄｄ電圧（アノード電圧）が供給される。１本のアノード配線２６３２には、ＥＬ素子１５が低分子材料の場合は、最大で２００μＡ程度の電流が流れる。したがって、共通アノード配線２６４２には、２００μＡ×５２８で約１００ｍＡの電流が流れる。

【１１６４】

したがって、共通アノード配線２６４２での電圧降下を０．２（Ｖ）以内にするには、電流が流れる最大経路の抵抗値が２Ω（１００ｍＡ流れるとして）以下にする必要がある。本発明では、図２６７に示すように3箇所に接続アノード線２６４１を形成しているので、集中分布回路におきなおすと、共通アノード線２６４２の抵抗値は容易に極めて小さく設計することができる。また、図２６５のように多数の接続アノード線２６４１ｄを形成すれば、共通アノード線２６４２での電圧降下は、ほぼなくなる。

【１１６５】

問題となるのは、共通アノード線２６４２とソース信号線１８との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線１８に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【１１６６】

共通アノード寄生容量は、少なくとも１ソース信号線１８が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の１／１０以下にする必要がある。たとえば、表示寄生容量が１０（ｐＦ）であれば、１（ｐＦ）以下にする必要がある。さらに好ましくは、（表示寄生容量と呼ぶ）の１／２０以下にする必要がある。表示寄生容量が１０（ｐＦ）であれば、０．５（ｐＦ）以下にする必要がある。この点を考慮して、共通アノード線２６４２の線幅（図２７１のＭ）、絶縁膜２６６１の膜厚（図２６９を参照）を決定する。

【１１６７】

ベースアノード線２６３１はソースドライバＩＣ１４の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでのない。その他、ベースアノード配線２６３１は遮光の機能を持たせることが好ましい。この説明図を図２７０に図示している。なお、ベースアノード配線２６３１を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線２６３１が太くできない時、あるいは、ＩＴＯなどの透明材料で形成するときは、ベースアノード線２６３１に積層して、あるいは多層に、光吸収膜あるいは光反射膜をソースドライバＩＣ１４下（基本的にはアレイ７１の表面）に形成する。また、図２７０の遮光膜（ベースアノード線２６３１）は、完全な遮光膜であることを必要としない。部分に開口部があってもよく。また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線２６３１に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

【１１６８】

もちろん、アレイ基板７１とソースドライバＩＣ１４との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。

【１１６９】

また、アレイ基板７１とソースドライバＩＣ１４との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体か

らなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線２６３１を遮光膜（反射膜）にするとして説明をする。

【１１７０】

図２７０のように、ベースアノード線２６３１はアレイ基板７１の表面（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、ソースドライバＩＣ１４の裏面に光が入射しなければよいのである。したがって、基板７１の内面あるいは内層にベースアノード線２６３１などを形成してもよいことは言うまでもない。また、基板７１の裏面にベースアノード線２６３１（反射膜、光吸収膜として機能する構成または構造）を形成することのより、ソースドライバＩＣ１４に光が入射することを防止または抑制できるのであれば、アレイ基板７１の裏面でもよい。

【１１７１】

また、図２７０などでは、遮光膜などはアレイ基板７１に形成するとしたがこれに限定するものではなく、ソースドライバＩＣ１４の裏面に直接に遮光膜などを形成してもよい。この場合は、ソースドライバＩＣ１４の裏面に絶縁膜２６６１（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路１４がアレイ基板７１に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜を基板７１に形成し、その上にソースドライバ回路１４を形成（配置）すればよい。

【１１７２】

ソースドライバＩＣ１４には電流源４８４など、微少電流を流すトランジスタ素子が多く形成されている（図２７０の回路形成部２７０１）。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流Ｉｗ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示画面５０以外の箇所から強い光が放射される。この放射された光が、ソースドライバＩＣ１４の回路形成部１０２１に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、ＥＬ表示デバイスに特有の対策である。

【１１７３】

この課題に対して、本発明では、ベースアノード線２６３１を基板７１上に構成し、遮光する。ベースアノード線２６３１の形成領域は図２７０に図示するように、回路形成部２７０１を被覆するようにする。以上のように、遮光膜（ベースアノード線２６３１）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線２６３１などのＥＬ電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、１Ｈタイミングで少しずつ変化するため、ほど、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線２６３１あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

【１１７４】

有機ＥＬなどの自発光素子は、基板７１内でＥＬ素子１５から発生した光が乱反射するため、表示画面５０以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図２６９に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜２６９１を形成する（逆に有効領域とは、表示画面５０をその近傍）。光吸収膜を形成する箇所は、封止フタ８５の外面（光吸収膜２６９１ａ）、封止フタ８５の内面（光吸収膜２６９１ｃ）、基板７１の側面（光吸収膜２６９１ｄ）、基板の画像表示領域以外（光吸収膜２６９１ｂ）などである。なお、光吸収膜２６９１に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

【１１７５】

光吸収膜２６９１を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎＯ3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【１１７６】

以上の材料はすべて黒色の材料であるが、光吸収膜２６９１としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。

【１１７７】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【１１７８】

なお、封止フタ８５は、４μｍ以上１５μｍ以下の樹脂ビーズ２６９２を含有させた封止樹脂２６９３を用いて、基板７１と封止フタ８５とを接着する。封止フタ８５と基板７１とは、樹脂ビーズ２６９２を含有する封止樹脂２６９３で貼り付ける。フタ８５は加圧せずに配置し、固定する。

【１１７９】

図２６７の実施例は、共通アノード線２６４２をソースドライバＩＣ１４の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図２７１に図示するように、表示画面５０の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線１８とアノード配線２６３２とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線１８とアノード配線２６３２とが短距離で、かつ平行に配置されると、ソース信号線１８とアノード配線２６３２間に寄生容量が発生するからである。図２７１のように、表示画面５０の近傍に共通アノード線２６４２を配置するとその問題点はなくなる。画面表示画面５０から共通アノード線２６４２の距離Ｋ（図２７１を参照）は、１ｍｍ以下にすることが好ましい。

【１１８０】

共通アノード線２６４２は、極力低抵抗化するため、ソース信号線１８を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Ａｌ薄膜あるいはＴｉ／Ａｌ／Ｔｉの積層構造、あるいは合金もしくはアマンガムからなる金属材料（ＳＤメタル）で形成している。したがって、ソース信号線１８と共通アノード線２６４２が交差する箇所はショートすることを防止するため、ゲート信号線１７を構成する金属材料（ＧＥメタル）に置き換える。ゲート信号線は、Ｍｏ／Ｗの積層構造からなる金属材料で形成している。

【１１８１】

一般的に、ゲート信号線１７のシート抵抗は、ソース信号線１８のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機ＥＬ表示パネルにおいて、かつ電流駆動方式では、ソース信号線１８を流れる電流は１～５μＡと微少である。したがって、ソース信号線１８の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線１８に画像データを書き込む。したがって、ソース信号線１８の抵抗値が高いと画像を１水平走査期間に書き込むことができない。

【１１８２】

しかし、本発明の電流駆動方式では、ソース信号線１８の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線１８のシート抵抗は、ゲート信号線１７のシート抵抗より高くともよい。したがって、本発明のＥＬ表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図２７２に図示するように、ソース信号線１８をＧＥメタルで作製（形成）し、ゲート信号線１７をＳＤメタルで作製（形成）してもよい。これは、液晶表示パネルと逆の構成である。

【１１８３】

図２７５は、図２６７、図２７１の構成に加えて、ゲートドライバ回路１２を駆動する電源配線２７３１を配置した構成である。電源配線２７３１はパネルの表示画面５０の右端→下辺→表示画面５０の左端に引き回している。つまり、ゲートドライバ回路１２ａと１２ｂの電源とは同一になっている。

【１１８４】

しかし、ゲート信号線１７ａを選択するゲートドライバ回路１２ａ（ゲート信号線１７ａはＴＦＴ１１ｂ、ＴＦＴ１１ｃを制御する）と、ゲート信号線１７ｂを選択するゲートドライバ回路１２ｂ（ゲート信号線１７ｂはＴＦＴ１１ｄを制御し、ＥＬ素子１５に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線１７ａの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線１７ａの振幅が小さくなるほど、画素１６のコンデンサ１９への突き抜け電圧が減少するからである（図１などを参照）。一方、ゲート信号線１７ｂはＥＬ素子１５を制御する必要があるため、振幅は小さくできない。

【１１８５】

したがって、図２７６に図示するように、ゲートドライバ回路１２ａの印加電圧はＶｈａ（ゲート信号線１７ａのオフ電圧）と、Ｖｌａ（ゲート信号線１７ａのオン電圧）とし、ゲートドライバ回路１２ａの印加電圧はＶｈｂ（ゲート信号線１７ｂのオフ電圧）と、Ｖｌａ（ゲート信号線１７ｂのオン電圧）とする。Ｖｌａ ＜ Ｖｌｂなる関係とする。なお、ＶｈａとＶｈｂとは、略一致させてもよい。

【１１８６】

ゲートドライバ回路１２は、通常、Ｎチャンネルトランジスタと Ｐチャンネルトランジスタで構成する。しかし、Ｐチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図１、図２などに例示したように、画素１６を構成するトランジスタをＰチャンネルトランジスタとするとともに、ゲートドライバ回路１２もＰチャンネルトランジスタで形成あるいは構成する。Ｎチャンネルトランジスタと Ｐチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は１０枚となるが、Ｐチャンネルトランジスタのみで形成すると必要なマスク数は５枚になる。

【１１８７】

しかし、Ｐチャンネルトランジスタのみでゲートドライバ回路１２などを構成すると、レベルシフタ回路をアレイ基板７１に形成できない。レベルシフタ回路はＮチャンネルトランジスタとＰチャンネルトランジスタで構成するからである。

【１１８８】

この課題に対して、本発明では、レベルシフタ回路機能を、電源ＩＣ８２に内蔵させている。図２７７はその実施例である。電源ＩＣ８２はゲートドライバ回路１２の駆動電圧、ＥＬ素子１５のアノード、カソード電圧、ソースドライバ回路１４の駆動電圧を発生させる。

【１１８９】

電源ＩＣ８２はゲートドライバ回路１２のＥＬ素子１５のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路１２の駆動する信号電圧までレベルシフトすることができる。

【１１９０】

したがって、レベルシフトおよびゲートドライバ回路１２の駆動は図２７７の構成で実施する。入力データ（画像データ、コマンド、制御データ）２６７２はソースドライバＩＣ１４に入力される。入力データにはゲートドライバ回路１２の制御データも含まれる。ソースドライバＩＣ１４は耐圧（動作電圧）が５（Ｖ）である。一方、ゲートドライバ回路１２は動作電圧が１５（Ｖ）である。ソースドライバ回路１４から出力されるゲートドライバ回路１２に出力される信号は、５（Ｖ）から１５（Ｖ）にレベルシフトする必要がある。このレベルシフトを電源回路（ＩＣ）８２で行う。図２７７ではゲートドライバ回路１２を制御するデータ信号も電源ＩＣ制御信号２７７２としている。

【１１９１】

電源回路８２は入力されたゲートドライバ回路１２を制御するデータ信号２７７２を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ回路制御信号２７７３として出力し、ゲートドライバ回路１２を制御する。

【１１９２】

以下、基板７１に内蔵するゲートドライバ回路１２をＰチャンネルのトランジスタのみで構成した本発明のゲートドライバ回路１２について説明をする。先にも説明したように、画素１６とゲートドライバ回路１２とをＰチャンネルトランジスタのみで形成する（つまり、基板７１に形成するトランジスタはすべてＰチャンネルトランジスタである。反対に言えば、Ｎチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Ｐチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、Ｖｔ電圧の低減化（より０（Ｖ）に近くするなど）、Ｖｔバラツキの減少を、ＣＭＯＳ構造（ＰチャンネルとＮチャンネルトランジスタを用いる構成）よりも容易に実施できる。

【１１９３】

一例として、図２７４に図示するように、本発明は、表示画面５０の左右に１相（シフトレジスタ）づつ、ゲートドライバ回路１２を配置または形成あるいは構成している。ゲートドライバ回路１２など（画素１６のトランジスタも含む）は、プロセス温度が４５０度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（ＣＧＳ）成長させた半導体膜を用いてＴＦＴなどを形成したものを用いてもよい。その他、有機ＴＦＴで形成してもよい。また、アモルファスシリコン技術で形成あるいは構成したＴＦＴであってもよい。

【１１９４】

１つは選択側のゲートドライバ回路１２ａである。ゲート信号線１７ａにオンオフ電圧を印加し、画素ＴＦＴ１１を制御する。他方のゲートドライバ回路１２ｂは、ＥＬ素子１５に流す電流を制御（オンオフさせる）する。

【１１９５】

本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではない。図２、図４２、図４３、図１１５、図１１６、図１１７などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路１２の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

【１１９６】

本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。また、以下に説明するゲートドライバ回路１２構成あるいは配置形態は、有機ＥＬ表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネル、電磁誘導表示パネルあるいはＦＥＤ（フィールドエミッションディスプレイ）などにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路１

２の構成あるいは方式を採用してもよい。また、ゲートドライバ回路１２を２相用いる場合は、１相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の１方の端子に接続してもよい。この方式は、独立ＣＣ駆動と呼ばれるものである。また、図７１、図７３などで説明する構成は、ゲートドライバ回路１２だけでなく、ソースドライバ回路１４のシフトレジスタ回路などにも採用することができることは言うまでもない。

【１１９７】

図７１は、本発明のゲートドライバ回路１２のブロック図である。説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７数に対応する単位ゲート出力回路７１１が形成または配置される。

【１１９８】

図７１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。

【１１９９】

画素１６をＰチャンネルのトランジスタで構成することのより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図７３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。

【１２００】

ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）をＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ回路１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用トランジスタ、スイッチング用トランジスタ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

【１２０１】

なお、レベルシフタ（ＬＳ）回路を、基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

【１２０２】

なお、レベルシフタ回路を半導体チップで形成し、基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、半導体チップで形成し、基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板７１に直接に形成してもよい。

【１２０３】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ（単位電流源）４８４（図５６、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログ

ラム電流Ｉｗを引き込むように回路構成する必要がある。

【１２０４】

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【１２０５】

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子６８１を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【１２０６】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

【１２０７】

反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路７１１に対し、共通の信号が印加される。なお、図７３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している電圧の極性を反転させる。

【１２０８】

なお、図７１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。

【１２０９】

クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路７１１で異ならせている。たとえば、単位ゲート出力回路７１１ａには、クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路７１１ｃも同様である。単位ゲート出力回路７１１ａに隣接した単位ゲート出力回路７１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。

【１２１０】
図７３が単位ゲート出力回路７１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図７４が図７３の回路構成を説明するためのタイミングチャートである。なお、図７２は図７３の複数段分におけるタイミングチャートを図示したものである。したがって、図７３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図７３の等価回路図を参照しながら、図７４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。
【１２１１】
Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７をＨレベル（図７３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図７３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。
【１２１２】
画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。しかし、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、図１、図２、図３２、図１１３、図１１６の画素１６構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【１２１３】
なお、図４２の（ｂ）においても同様である。図４２の（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【１２１４】
ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路７１１に転送される。
【１２１５】
図７１、図７３の回路構成において、ＩＮ（ＩＮＡ、ＩＮＢ）端子、クロック端子の印加信号のタイミングを制御することにより、図７５の（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図７５の（ｂ）に図示するように２ゲート信号線１７を選択

する状態とを同一の回路構成を用いて実現できる。

【１２１６】

選択側のゲートドライバ回路１２ａにおいて、図７５の（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行ずつシフトする。図７５の（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２７、図２８、図２９で説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行ずつシフトし、かつ隣接した２画素行が同時に選択される。特に、図７５の（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。

【１２１７】

なお、図７５の（ｂ）は隣接した画素１６行を選択する方式であるが、図７６に図示するように、隣接した以外の画素１６行を選択してもよい（図７６は、３画素行離れた位置の画素行を選択している実施例である）。また、図７３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。

【１２１８】

選択側のゲートドライバ回路１２ａの動作は、図７５の動作である。図７５の（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図７５の（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。

図２７９の（ａ）では、４画素行に組で１画素行を選択することができる（４画素行の組で、１本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。図２７９の（ｂ）では、４画素行に組で連続した２画素行を選択することができる（４画素行の組で、２本の画素行を選択するが、全く選択しないかは、ＩＮデータの入力状態と、シフト状態で決定される）。また、本発明は、クロック数に等しい画素行を組として、この画素行の組において、１画素行もしくは、画素行の組の１／２以下の本数（たとえば、４画素行の組であれば、４／２＝２画素行）を選択する方式である。したがって、画素行に組内では、必ず非選択の画素行が発生する。

１画素行を選択する方式では、図２７８の（ａ）で図示するように、プログラム電流Ｉｗは１つの画素１６に流れる。２画素行を同時に選択する駆動方式は、図２４、図２７で説明した駆動方式と同様になる。プログラム電流Ｉｗは図２７８の（ｂ）に図示するように、２画素行に分割されて画素１６に書き込まれる。ただし、これに限定されるものではない。たとえば、図２７８の（ｂ）に図示するように、プログラム電流Ｉｗ×２の電流を印加し、選択された２つの画素（１６ａ、１６ｂ）に同一の電流を流すように構成してもよい。

【１２１９】

選択側のゲートドライバ回路１２ａの動作は、図７５の動作である。図７５の（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図７５の（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。

【１２２０】

図２７９は、ＥＬ素子１５をオンオフさせるゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの動作を説明する説明図である。図２７９の（ａ）は、４画素行の組（以降、このような画素行の組を画素行組と呼ぶ）に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行ずつシフトする。もちろん、４画素行組に１画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の３画素行に対応するゲート信号線１７ｂにはオフ電圧が印加され

ている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

【１２２１】

図２７９の（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。表示画素行５３位置は、水平同期信号（ＨＤ）に同期して１画素行ずつシフトする。もちろん、４画素行組に２画素行に対応するゲート信号線１７ｂにオン電圧を印加する（他の２画素行に対応するゲート信号線１７ｂにはオフ電圧が印加されている）か、４画素行組のすべてにオフ電圧を印加する（４画素行に対応するゲート信号線１７ｂにオフ電圧が印加されている）かは、任意に選択できる。なお、シフトレジスタの構成であるから、設定された選択状態は、水平同期信号に同期してシフトされる。

【１２２２】

また、図２７９の（ａ）は４画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加した状態である。図２７９の（ｂ）は、４画素行組の２画素行のゲート信号線１７ｂにオン電圧を印加した状態である。しかし、本発明はこの構成（方式）に限定するものではない。たとえば、６画素行組に１画素行のゲート信号線１７ｂにオン電圧を印加してもよい。

【１２２３】

図２８０は図２７９の（ａ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。先にも説明したように、信号線１７ｂの（　）で記載した添え字は、画素行を示している。なお、説明を容易にするため、画素行は（１）からとしている。また、表の上段の数字は、水平走査期間の番号を示している。

【１２２４】

図２８０に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。

図２８１は図２７９の（ｂ）の駆動状態の時に、ゲート信号線１７ｂに出力される電圧の状態である。図２８１に図示するように、ゲート信号線１７ｂ（１）～ゲート信号線１７ｂ（４）と、ゲート信号線１７ｂ（５）～ゲート信号線１７ｂ（８）とが同一波形である。つまり、４画素行組で同一の動作が実施されている。

【１２２５】

図２７９の実施例では、任意の時刻で、表示状態の画素数を増減することにより、表示画面５０の明るさを調整することができる。ＱＣＩＦ＋パネルの場合は、垂直画素数は２２０ドットである。したがって、図２７９の（ａ）では、２２０／４＝５５画素行を表示することができる。つまり、白ラスター表示では、５５画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を５５本→５４本→５３本→５２本→５１本→・・・・・・・５本→４本→３本→２本→１本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→１本→２本→３本→４本→５本→・・・・・・・５０本→５１本→５２本→５３本→５４本→５５本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。

【１２２６】

この明るさ調整では、画面の明るさは表示画素数に比例し、かつ変化はリニアである。その上、明るさに対応するガンマ特性に変化はない（画面が明るくとも、暗くとも階調数は維持される）。

【１２２７】

以上の実施例では、表示画面５０の明るさを調整する表示画素行数の変化は、１本ごとにするとしたが、これに限定するものではない。５４本→５２本→５０本→４８本→４６本→・・・・・・・６本→４本→２本→０本と変化させてもよい。また、５５本→５０本→４５本→４０本→３５本→・・・・・・・１５本→１０本→５本→０本と変化させてもよい。

【１２２８】
同様に、図２７９の（ｂ）では、ＱＣＩＦ＋パネルでは、２２０／２＝１１０画素行を表示することができる。つまり、白ラスター表示では、１１０画素行を表示させた時が、最大の明るさである。画面の明るさは、表示画素行数を１１０本→１０８本→１０６本→１０４本→１０２本→・・・・・・・１０本→８本→６本→４本→２本→０本と変化させることにより、表示画面を暗くすることができる。逆に、０本→２本→４本→６本→８本→１０本→・・・・・・・１００本→１０２本→１０４本→１０６本→１０８本→１１０本と変化させることにより、画面を明るくすることができる。したがって、多段階の明るさ調整を実現できる。なお、表示画面５０の明るさを調整する表示画素行数の変化は、２本ごとにするとしたが、これに限定するものではない。４本ごとにしてもよく、４本以上であってもよい。また、明るさを調整するために、表示画素行を間引くのは、一箇所に集中して間引くのではなく、極力分散するように間引くことがよい。フリッカの発生を抑制するためである。
【１２２９】
明るさ調整は、画素行数の単位ではなく（画素行を１水平走査期間の略全期間の間点灯させる、あるいは非点灯とさせるという駆動）、１水平走査期間あたりの点灯時間でも調整することができる。つまり、１水平走査期間の一部の期間（たとえば、１Ｈの１／８の期間、１Ｈの１５／１６の期間というように）点灯することのより表示画面の明るさを調整するのである。
【１２３０】
この調整（制御）は、表示パネルのメインクロック（ＭＣＬＫ）を用いて行う。ＱＣＩＦ＋パネルでは、ＭＣＬＫは約２．５ＭＨｚである。つまり、１水平走査期間（１Ｈ）に１７６クロックをカウントすることができる。したがって、ＭＣＬＫをカウンタし、このカウント値により、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）を印加する期間を制御することにより各画素行のＥＬ素子１５をオンオフさせることができる。
【１２３１】
具体的には、図７２、図７４に図示するタイミングチャートにおいて、クロック（ＳＣＫ）のＬレベルにする位置、Ｌレベルの期間を制御することにより実現できる。ＳＣＫがＬレベルにする期間を短くするほど、出力のＱ端子がＬレベル（Ｖｇｌ）となる期間が短くなる。
【１２３２】
図２７９の（ａ）の駆動方式では、図２８２に図示するように、１Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図２８２ではの（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図７３のＰチャンネルのゲートドライバ回路１２構成では、１Ｈ期間のすべてにＬレベル出力をすることは不可能である。１Ｈと次の１Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。図２８２は説明を容易にするためにあえて（ａ）のように図示している。
【１２３３】
同様に、図２８２の（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図２８２の（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様であるので説明を省略する。
図２７９の（ｂ）の駆動方式では、図２８３に図示するように、２Ｈの期間において左右対称にＶｇｌ（オン電圧）となる期間が短くなる。図２８３では（ａ）が１Ｈ期間のすべてがＶｇｌ（オン電圧）を出力している期間である（ただし、図７３のＰチャンネルのゲートドライバ回路１２構成では、２Ｈ期間のすべてにＬレベル出力をすることは不可能である。２Ｈと次の２Ｈとの間にはＶｇｈ電圧（オフ電圧）の期間が発生する。このことは、図２８２と同様である。
【１２３４】

同様に、図２８３の（ｂ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、２Ｈ期間でＭＣＬＫが２クロック分だけ短く（（ａ）に比較して）していることを図示している。さらに、図２８３の（ｃ）では、ゲート信号線１７ｂにＶｇｌを出力している期間が、ＭＣＬＫが２クロック分だけ短く（（ｂ）に比較して）していることを図示している。以下、同様であるので説明を省略する。

【１２３５】

なお、ゲートドライバ回路１２の構成を多少変更し、クロックを調整すれば、図２８４に図示するように、図２８２のゲート信号線１７ｂの印加期間が２Ｈ期間連続して行うことができる。

【１２３６】

図１３、図１４などでは、動画ボケを解決する駆動方式について説明をした。画像を間欠表示することにより、画像の輪郭ぼけがなくなり良好な表示状態を実現できという方法である。つまり、ＣＲＴに近い表示状態を実現することにおり、良好な動画表示を実現するものである。

【１２３７】

図２７９の駆動方式でも、良好な動画表示を実現できる。ただし、図１３では表示領域５３が連続し、非表示領域５２も連続しているのに対し、図２７９では、表示領域５３が連続しない。４画素行組で１画素行にオン電圧を印加（図２７９の（ａ））するか、４画素行組で連続した２画素行にオン電圧を印加（図２７９の（ｂ））するかの表示状態となるからである。もちろん、図７１、図７３に例示した回路構成を変更あるいは改良することにより、クロック（ＳＣＫ）に対する表示画素行を変更あるいは変化させることができる。たとえば、１画素行飛ばしで表示させることもできる。また、６画素行飛ばしで点灯させることもできる。ただし、Ｐチャンネルのトランジスタで構成あるいは形成したドライバ回路（シフトレジスタ）では、少なくとも表示画素行５３間に非点灯の表示画素行５２が配置（挿入）される。

【１２３８】

図２８５に、ゲートドライバ回路１２が図７３のようにＰチャンネルで形成されている場合において、動画表示対応とする駆動方式を示す。以前にも説明したように、動画ボケによる画像表示劣化を防止するためには、間欠表示にする必要がある。つまり、黒挿入（黒あるいは低輝度の表示画面を表示する）する必要がある。ＣＲＴの表示のように駆動（表示）する。つまり、任意の画素行に画像が表示すると、所定の期間の表示後、黒（低輝度）表示にする。この画素行は、点滅（画像表示と非表示（黒表示あるいは低輝度表示）が交互に繰り返される）することになる。黒表示期間は４ｍｓｅｃ以上にする必要がある。もしくは、１フレーム（１フィールド）の１／４以上の期間を黒表示（低輝度表示）にする。好ましくは、１フレーム（１フィールド）の１／２の期間以上を黒表示（低輝度表示）にする。この条件は、人間の目の残像特性による。つまり、所定周期より速く点滅する画像は、人間の目の残像特性により、連続して点灯しているように見える。これが、動画ボケにつながる。しかし、所定周期より遅く点滅する画像は、視覚的には、連続しているように見えるが、間に挿入された非点灯（黒表示）状態を認識することができるようになり、表示画像が飛び飛びの状態になる（視覚的には変には感じないが）。そのため、動画表示で、画像が飛び飛びになり、画像ぶれが発生しない。つまり、動画ボケがなくなる。

【１２３９】

図２８５の（ａ）において、Ａの領域は、４画素行に１画素行が表示（点灯状態）状態である。したがって、４水平走査期間（４Ｈ）に１回点灯する（４Ｈ期間に１Ｈ期間の間点灯する）。この期間（画素行が点灯し、非点灯となり、次に点灯するまでの期間）は、４ｍｓｅｃ以下である。したがって、人間の目には、画像が完全に連続して表示されているように見える（任意の画素行がたえず、点灯しているのと大差がない）。図２８５の（ａ）のＢの領域では、画素行が表示されてから、次に表示されるまで、４ｍｓｅｃ以上、好ましくは８ｍｓｅｃ以上となるように黒挿入（低輝度表示）されている。したがって、画像は飛び飛びとなり、良好な動画表示を実現できる。

【１２４０】
なお、以上の説明でＡの領域あるいはＢの領域として説明したが、以上の事項は説明を容易にするためである。図２８５において、Ａの領域は矢印方向（画面の上から下）に順次走査される。ＣＲＴで電子ビームの走査されるごとくにである。つまり、画像は順次書き換えられる（図２８５の（ａ）は図２８６を参照のこと。図２８６の（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される。図２８５の（ｂ）は図２８７を参照のこと。図２８７の（ａ）→（ｂ）→（ｃ）→（ａ）のように走査（駆動）される）。
【１２４１】
以上のように、本発明の駆動方式において、任意の画素行は、図２８５の（ａ）において、１フィールド（１フレーム）の４ｍｓｅｃ（好ましくは８ｍｓｅｃ）以上の期間は、４Ｈに１Ｈの期間表示され、その他の期間（１フィールド（１フレーム）の残りの期間）は、連続して非点灯（黒表示（黒挿入）あるいは低輝度表示）状態が維持される。したがって、説明を容易にするために、Ａ領域あるいはＢ領域と表現したが、時間的な観点から、Ａ期間あるいはＢ期間と表現するほうが適切である。つまり、Ａ領域（Ａ期間）は、連続して画像が点灯する期間であり、Ｂ領域（Ｂ期間）は画素行（画面５０）が間欠表示される期間である。以上の事項は図２８５の（ｂ）あるいは他の本発明の実施例においても同様である。
【１２４２】
図２８５の（ｂ）では、２画素行を連続して点灯状態にし、つづく、２画素行を非点灯状態にしている。つまり、Ａ領域（Ａ期間）では、２Ｈの期間点灯し、２Ｈの期間非点灯状態となることを繰り返す。Ｂ領域（Ｂ期間）は所定の期間、連続して非点灯状態が維持される。図２８５の（ｂ）の駆動方式においても、Ａ領域は見かけ上、連続表示状態であり、Ｂ領域は見かけ上、間欠表示である。
【１２４３】
以上のように、本発明の駆動方式は、任意の画素行（画素）に着目して表示状態を観測したとき、４ｍｓｅｃ未満の期間（もしくは１フレーム（１フィールド）の１／４未満の期間）で画像表示と非表示（黒表示または所定以下の低輝度表示）が少なくとも１回以上繰り返させる第１の期間と、前記画素行（画素）が表示状態から非表示（黒表示または所定以下の低輝度表示）状態になり、次に表示状態になる期間が、４ｍｓｅｃ以上となる第２の期間（もしくは１フレーム（１フィールド）の１／４以上の期間）を実施するものである。以上の駆動を実施することのより、良好な動画表示を実現でき、また、その制御回路（ゲートドライバ回路１２など）の構成も容易であり、低コスト化を実現できる。
【１２４４】
図２８５においても、点灯画素行数を変化させることにより、画面５０の明るさを調整（変化）させることができる（図２７９と同様に、表示画素数５３を変化あるいは調整すればよい）。また、黒挿入領域（図２８５のＢ領域）の割合を変化させることにより、画像表示状態に応じて最適状態にすることができる。たとえば、静止画では、Ｂ領域が長くなることを避けるべきである。フリッカの発生の原因となるからである。静止画の場合は、表示画素行５３を分散して表示（画面５０内に配置）すべきである。たとえば、ＱＣＩＦ＋パネルの場合は、画素行数が２２０本である。このうち、静止画で５５画素行を表示するのであれば、２２０／４４＝４であるから、４画素行ごとに１画素行を表示させればよい。２２０画素行のうち１０画素行を表示するのであれば、２２０／１０＝２２画素行に１画素行を表示させればよい。なお、図２８５においてＢ領域（Ｂ期間）は１つとしているが、これに限定するものではなく、２つ以上（複数）に分割あるいは分散させてもよいことはいうまでもない。
【１２４５】
しかし、図２８５の（ａ）では、４画素行組で１画素行を点灯させるか否かの表示しか実現できない。したがって、２２画素行に１画素行を点灯させることはできない。そのため、４画素行組を５回＝２０画素行に１画素行を表示する（つまり、２０画素行に１画素行を表示する。言い換えれば、４画素行組の４つは、まったく画素行を点灯状態とせず、１

画素行組の１画素行を点灯状態とする）。残りの２０画素行（２２０－４×５＝２００）はすべてを非点灯状態にする。つまり、本発明では、制約（規制あるいは規定）される画素行組を１単位として、この画素行組の組み合わせ（ブロック）内で、このブロック内にいくつの画素行組の画素行を点灯させるか否かの制御を行う。以上の事項は、図２８５の（ｂ）においても適用され、また、本発明の他の実施例においても適用される。

【１２４６】

動画表示の場合は、図２８５で説明したように、少なくとも４ｍｓｅｃ以上の黒挿入を実施する必要がある。また、黒挿入の割合（黒表示の連続時間、表示画面に対する黒表示面積）を変化させることにより、動画表示状態を変化することができる（最適状態に調整できる）。非常に高速な動画表示（画像の動きが激しい場合など）は、黒挿入面積を増大させるとよい。この際、画像を表示する画素数が減少することにより輝度低下は、１画素行の発光輝度を高くすることにより対応する。また、黒表示が連続する期間を長くするとよい。比較的全画面に対する動画表示領域の割合が少ない場合、あるいは比較的動画の動きがゆっくりとしている場合は、黒挿入の割合を減少させるとよい。この場合の点灯画素行５３が増加することによる表示輝度の増大は、１画素行あたりの発光輝度を低下させることにより容易に調整できる。この調整はプログラム電流Ｉｗなどで変更できるからである。もしくは、黒挿入期間を複数に分散させるとよい。フリッカが減少し良好な画像表示を実現できる。

【１２４７】

以上のような、動画表示においても黒挿入状態を変更あるいは調整することにより、より最適な画像表示を実現できる。以上の事項は以下の実施例においても適用されることは言うまでもない。

入力映像信号の動画検出（ＩＤ検出）を行い、動画の場合あるいは動画が多い画像では、図２８５の駆動方式（黒挿入による間欠表示）を実施する。静止画の場合は、図２７９の駆動方式（点灯画素行位置が極力分散して配置する）を実施する。もちろん、本発明の表示パネルあるいは表示装置を用いる用途に応じて切り替えてもよい。たとえば、コンピュータモニターのように静止画の場合は図２７９の駆動方式を採用する。テレビのようにＡＶ用途の場合は、図２８５の駆動方式を採用する。この駆動方式の切り替えは、ゲートドライバ回路１２ｂのＳＳＴＡデータのより、容易に変更することができる。図１などのＥＬ素子１５に流れる電流をオンオフさせるＴＦＴを制御するだけであるからである。図２８５と図２７９の切り替え（動画対応かあるいは静止画対応か、もしくは、より動画対応かより静止画対応か）は、ユーザーが操作できる切り替えスイッチなどを状況に応じて実施してもよいし、本発明の表示パネルの製造業者が実施してもよい。また、ホトセンサなどを用いて、周囲環境状態を検出し、自動で切り替えてもよい。また、本発明が受信する映像信号に制御信号（切り替え信号）をあらかじめ乗せておき、この制御信号を検出して、表示状態（駆動方式）を切り替えてもよい。

【１２４８】

図２８８は、図２８５の（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電圧、Ｖｇｌがオン電圧）でＴＦＴ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦ＋パネルの場合は、Ｌ＝２２０本）を示している。なお、図２７９、図２８５においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図５４など）においても適用できることは言うまでもない。

【１２４９】

図２８８でわかるように、Ａ期間（Ａ領域）では、４Ｈ期間に１Ｈ期間の割合で各ゲート信号線１７ｂにオン電圧（Ｖｈｌ）が印加される。Ｂ期間（Ｂ領域）では、連続してオフ電圧（Ｖｇｈ）が印加される。したがって、この期間にはＥＬ素子１５には電流が流れない。そして、各ゲート信号線１７ｂのオン電圧位置が１画素行ずつ走査されている。

【１２５０】

なお、以上の実施例では、１画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、１画素行飛ばしで走査される。つまり、第１フレームでは偶数画素行が走査される。第２フレームでは奇数画素行が走査される。また、第１フレームを書き換えているときは、第２フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第２フレームを書き換えているときは、第１フレームで書き込まれた画像はそのまま保持される。もちろん、図２８５の実施例のように点滅動作を実施してもよい。

【１２５１】

インターレース走査は２フレームで１フィールドがＣＲＴで通常である。しかし、本発明はこれに限定するものではない。たとえば、４フレーム＝１フィールドでもよい。この場合は、第１フレームでは、（４Ｎ＋１）画素行（ただし、Ｎは以上の整数）の画像が書き換えられる。第２フレームでは、（４Ｎ＋２）画素行の画像が書き換えられる。次の第３フレームでは（４Ｎ＋３）画素行の画像が書き換えられる。また、最後の第４フレームでは、（４Ｎ＋４）画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、２フレーム＝１フィールドに限定されるものではない。つまり、複数フレーム＝１フィールドである。

【１２５２】

なお、図２８８、図２８９においても、図２８２、図２８３、図２８４などの１水平走査期間（１Ｈ）あるいは複数の水平走査期間内において、ＥＬ素子１５に流れる電流を制御すること（オン期間を制御すること）により、表示画面５０の明るさを調整する駆動方式を併用できることは言うまでもない。

【１２５３】

図２８９は図２８８と同様に、図２８５の（ｂ）におけるゲート信号線１７ｂの印加波形である。図２８８との差異は、Ａ期間（Ａ領域、図２７９の（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。

【１２５４】

図２８８は図２８５の（ａ）の駆動方式の場合の、ゲート信号線１７ｂの出力波形である。図１の画素構成では、ゲート信号線１７ｂに印加されるオンオフ信号（Ｖｇｈがオフ電圧、Ｖｇｌがオン電圧）でＴＦＴ１１ｄをオンオフ制御し、ＥＬ素子１５に流れる電流をオンオフさせる。図１において、上段は水平走査期間を示しており、Ｌ記号は、画素行数Ｌ（ＱＣＩＦ＋パネルの場合は、Ｌ＝２２０本）を示している。なお、図２７９、図２８５においても、本発明の駆動方式は、図１の画素構成に限定されるものではない。たとえば他の画素構成（図５４など）においても適用できることは言うまでもない。

【１２５５】

図２８８でわかるように、Ａ期間（Ａ領域）では、４Ｈ期間に１Ｈ期間の割合で各ゲート信号線１７ｂにオン電圧（Ｖｈｌ）が印加される。Ｂ期間（Ｂ領域）では、連続してオフ電圧（Ｖｇｈ）が印加される。したがって、この期間にはＥＬ素子１５には電流が流れない。そして、各ゲート信号線１７ｂのオン電圧位置が１画素行ずつ走査されている。

【１２５６】

なお、以上の実施例では、１画素行ずつ走査されるとしたが、本発明はこれ限定されるものではない。たとえば、インターレース走査では、１画素行飛ばしで走査される。つまり、第１フレームでは偶数画素行が走査される。第２フレームでは奇数画素行が走査される。また、第１フレームを書き換えているときは、第２フレームで書き込まれた画像はそのまま保持される。ただし、点滅動作を実施する（実施しなくともよい）。第２フレームを書き換えているときは、第１フレームで書き込まれた画像はそのまま保持される。もちろ

ん、図２８５の実施例のように点滅動作を実施してもよい。
【１２５７】
インターレース走査は２フレームで１フィールドがＣＲＴで通常である。しかし、本発明はこれに限定するものではない。たとえば、４フレーム＝１フィールドでもよい。この場合は、第１フレームでは、（４Ｎ＋１）画素行（ただし、Ｎは以上の整数）の画像が書き換えられる。第２フレームでは、（４Ｎ＋２）画素行の画像が書き換えられる。次の第３フレームでは（４Ｎ＋３）画素行の画像が書き換えられる。また、最後の第４フレームでは、（４Ｎ＋４）画素行の画像が書き換えられる。以上のように、本発明は、画素行への書き込みは、順次走査のみに限定するものではない。以上の事項は他の実施例においても適用される。また、本発明において、インターレース走査とは広く一般的な飛び越し走査を意味し、２フレーム＝１フィールドに限定されるものではない。つまり、複数フレーム＝１フィールドである。
【１２５８】
なお、図２８８、図２８９においても、図２８２、図２８３、図２８４などの１水平走査期間（１Ｈ）あるいは複数の水平走査期間内において、ＥＬ素子１５に流れる電流を制御すること（オン期間を制御すること）により、表示画面５０の明るさを調整する駆動方式を併用できることは言うまでもない。
【１２５９】
図２８９は図２８８と同様に、図２８５の（ｂ）におけるゲート信号線１７ｂの印加波形である。図２８８との差異は、Ａ期間（Ａ領域、図２７９の（ｂ）を参照のこと）において、各ゲート信号線１７ｂには、２水平走査期間（２Ｈ）の間、オン電圧（Ｖｇｌ）が印加され、その後、２Ｈの期間、オフ電圧（Ｖｇｈ）が印加されている。また、このオン電圧とオフ電圧とは交互に繰り返されている。Ｂ期間（Ｂ領域）では連続してオフ電圧が印加される。各ゲート信号線１７ｂのオン電圧の印加位置は、１Ｈごとに走査される。他の事項は、図２８８と同様あるいは類似であるので説明を省略する。
【１２６０】
なお、以上の実施例では、表示画面５０内で、Ａ領域とＢ領域とが混在する駆動方式である。つまり、画面表示状態のいずれの期間でも、かならず、Ａ領域をＢ領域がある（もちろん、Ａ領域がどこにあるかは、異なる）。このことは、１フィールド（１フレーム、つまり画面の書き換え周期）内に、Ａ期間とＢ期間があるということである。しかし、動画表示を良好にするためには、黒挿入（黒表示あるいは低輝度表示）を行えばよいのであるから、図２８５の駆動方式に限定されるものではない。
【１２６１】
たとえば、図２９０の駆動方式が例示される。理解を容易にするために、図２９０では、４つの表示期間（（ａ）、（ｂ）、（ｃ）、（ｄ））で構成されているとする。また、４フレー＝１フィールドとし、図２９０の（ａ）を第１フレーム、図２９０の（ｂ）を第２フレーム、図２９０の（ｃ）を第３フレーム、図２９０の（ｄ）を第４フレームとする。表示は図２９０の（ａ）→（ｂ）→（ｃ）→（ｄ）→（ａ）→（ｂ）→・・・・・・・と繰り返される。
【１２６２】
第１フレームでは、図２９０の（ａ）に図示するように、偶数番目の画素行を順次選択し、画像を書き換える。第１フレームの書き換えが終わると、図２９０の（ｂ）に図示するように、画面５０の上から順次黒表示としていく（図２９０の（ｂ）は黒表示書き込みが終了した状態である）。次の第３フレームでは、図２９０の（ｃ）に図示するように、奇数番目の画素行を、画面５０の上から順次、画像を書き込んでいく。つまり、奇数番目の画像が、画面の上部から順次表示される。次の第４フレームでは、画面５０の上部から、画像が非点灯状態（黒表示）にされていく（図２９０の（ｄ）も完全に非点灯状態にした時の状態を示す）。
【１２６３】
なお、図２９０において、（ａ）（ｃ）では、画像を書き込むと表現し、かつ画像を表示

すると表現したが、本発明は基本的に、画像を表示する（点灯させる）状態に特徴がある。したがって、画像を書き込むこと（プログラムを実施すること）と画像を表示することとは同一である必要はない。つまり、図２９０の（ａ）（ｃ）では、ゲート信号線１７ｂの制御により、ＥＬ素子１５に流れる電流を制御し、点灯あるいは非点灯状態にすると考えてよい。したがって、図２９０の（ａ）の状態と図２９０の（ｂ）の状態との切り替えは、一括で（たとえば、１Ｈ期間で）行うことができる。たとえば、イネーブル端子を制御することで実施できる（ゲートドライバ回路１２ｂのシフトレジスタにオンオフ状態（図２９０の（ａ）では、偶数画素行に対応するシフトレジスタがオンデータ）を保持しておき、イネーブル端子がオフの時は、図２９０の（ｂ）（ｄ）の状態を表示し、イネーブル端子をオンにすることのより、図２９０の（ａ）の表示状態になるなど）。したがって、ゲート信号線１７ｂのオンオフ状態で図２９０の（ａ）（ｃ）の表示を実施できる（あらかじめ、画像データは図１の画素構成で例示すれば、コンデンサ１９に保持させておく）。以上の説明では、図２９０のの（ａ）（ｂ）（ｃ）（ｄ）の状態は、各１ｌフレーム期間の間実施するとした。

【１２６４】

しかし、本発明がこの表示状態に限定するものではない。少なくとも動画表示状態を改善あるいは良好なものとするには、図２９０の（ｂ）（ｄ）などの黒挿入状態を４ｍｓｅｃの期間、実施すればよいからである。したがって、本発明の実施例において、ゲートドライバ回路１２ｂのシフトレジスタ回路を用いて、ゲート信号線１７ｂを走査し、図２９０の（ａ）（ｃ）の表示状態を実現することの限定されるものではない。奇数番目のゲート信号線１７ｂ（奇数ゲート信号線組と呼ぶ）を一括接続しておき、また、偶数番目のゲート信号線１７ｂ（偶数ゲート信号線組と呼ぶ）を一括接続しておき、奇数ゲート信号線組と偶数ゲート信号線組とを交互にオンオフ電圧を印加するようにすればよい。奇数ゲート信号線組にオン電圧を印加し、偶数ゲート信号線組にオフ電圧を印加すれば、図２９０の（ｃ）の表示状態が実現される。偶数ゲート信号線組にオン電圧を印加し、奇数ゲート信号線組にオフ電圧を印加すれば、図２９０の（ａ）の表示状態が実現される。奇数ゲート信号線組と偶数ゲート信号線組の両方にオフ電圧を印加すれば、図２９０の（ｂ）（ｄ）の表示状態が実現される。図２９０の（ａ）（ｂ）（ｃ）（ｄ）の各状態は、４ｍｓｅｃ（特に図２９０の（ｂ）（ｄ）は）以上の期間、実施すればよい。

【１２６５】

以上の図２９０の駆動方式では、画面表示状態（図２９０の（ａ）（ｃ））と黒表示状態（黒挿入、図２９０の（ｂ）（ｄ））が交互に繰り返される。したがって、画像表示が間欠表示となり、動画表示性能が向上する（動画ボケが発生しない）。

【１２６６】

図２９０の実施例では、第１フレームと第３フレームでは、奇数画素行または偶数画素行に画像を表示し、この２つの画面間に黒画面（図２９０の（ｂ）（ｄ））を挿入する駆動方式であった。しかし、本発明はこれに限定するものではなく、図２７９の表示状態を第１フレームおよび第３フレームに実施し、この２つのフレーム間に黒表示を挿入してもよい。以上の実施例におけるタイミングチャートを図２９１に示す。図２９１の（ａ）は第１フレームであり、図２９１の（ｂ）は黒挿入状態の第２フレームである。図２９１の（ｃ）は第３フレームである。なお、第４フレームは図２９１の（ｂ）と同様であるので省略している。ただし、第４フレームは必ずしも必要ではない。３フレーム＝１フィールド構成でもよい。第２フレームで黒画面が挿入されるから動画ボケは大幅に改善されるからである。つまり、図２９１の（ａ）→（ｂ）→（ｃ）→（ａ）→・・・・・と繰り返す。

【１２６７】

図２９１の（ａ）は、図２７９の（ａ）に４水平走査期間（４Ｈ）に１Ｈの期間、画像を表示する（各ゲート信号線１７ｂは４Ｈごとに１Ｈの期間、Ｖｇｌ電圧（オン電圧）が印加される。次の第２フレームでは、すべてのゲート信号線１７ｂはオフ電圧（Ｖｇｈ）が印加されている。この制御は先の実施例と同様に、イネーブル端子を制御することのより、一括で行うことができる。したがって、図２９１の（ｂ）の状態は、１フレーム期間実

施することに限定されるものではない。動画表示を良好なものとするには、４ｍｓｅｃ以上の期間、維持されればよいからである。ただし、図２９１の（ａ）が画面の上（上からに限定するものではないが）から順次画像を書き換えるとすると、画像が飛んでしまう。図２９０説明したように、複数のゲート信号線１７ｂを一括接続し、また、イネーブル端子を制御することによれば、容易に実施することができる。

【１２６８】

図２９１は、各画素行は、４Ｈ期間に１Ｈ期間、点灯するなど、規則正しく、画像表示を実施するものであった。しかし、各画素行は、単位期間（たとえば、１フレーム、１フィールドなど）で、点灯（表示）期間が一致していればよい。つまり、規則正しく、点灯状態と非点灯状態とを実施する必要はない。

【１２６９】

図２９２は、規則正しくない点灯状態の場合の実施例である。ゲート信号線１７ｂ（１）は第１Ｈ、第５Ｈ、第６Ｈ、第９Ｈ、第１３Ｈ、第１４Ｈ、・・・・・・にオン電圧が印加されている。他の期間にはオフ電圧が印加されている。したがって、周期的にオン電圧が印加されているのではなく（長期間でみれば、周期てきであるが）、ランダム的である。この１フレーム期間（単位期間）に各ゲート信号線１７ｂにオン電圧が印加される期間を加算したものが、他のゲート信号線１７ｂと略一致させておけばよい。このように各画素行の点灯時間（ゲート信号線１７ｂにオン電圧を印加することのより、画素行が点灯（表示）するとしている）が略一致する。なお、図２９２では、各ゲート信号線１７ｂに印加する信号波形は、１Ｈずつ走査されたようにしている。このように、基本パターン波形を、各ゲート信号線１７ｂで１Ｈ（所定クロックあるいは単位）ずらして走査する（印加する）ことにより、表示画面の輝度を全画面で均一化できる。なお、図２９２においてもオン電圧（Ｖｇｌ）の印加期間を調整することにより、画面の明るさを制御（調整）することができることはいうまでもない。

【１２７０】

以上の実施例では、各フレーム（単位期間）において、ゲート信号線１７ｂには、同一のオンオフ電圧パターンを印加する実施例であった。しかし、本発明は、所定期間で、各画素行（画素）が点灯（表示）もしくは非点灯（非表示）となる期間が略等しくするものである。したがって、２フレーム＝１フィールドの駆動方式において、第１フレームと第２フレームとに印加する各ゲート信号線１７ｂの信号波形が異なっていてもよい。たとえば、任意の画素行が第１フレームで１０Ｈの期間の間、オン電圧が印加され、第２フレームで２０Ｈの期間の間、オン電圧が印加されるように駆動してもよい（２フレームという単位期間で、１０Ｈ＋２０Ｈの期間の間、オン電圧が印加される）。他の画素行も、３０Ｈの期間、オン電圧が印加されるようにする。

【１２７１】

この実施例を図２９３に図示する。図２９３の（ａ）（第１フレームとする）では、各画素行に対応するゲート信号線１７ｂには、４水平走査期間（４Ｈ）周期で１水平走査期間（１Ｈ）オン電圧が印加される。図２９３の（ｂ）（第２フレームとする）では、各画素行に対応するゲート信号線１７には、４Ｈ周期で２Ｈの期間オン電圧が印加されている。つまり、２フレームでは、（４＋４）Ｈ周期で（１＋２）Ｈの期間オン電圧が印加されることになる。このように駆動しても、単位期間（図２９３では２フレーム）では、各ゲート信号線１７ｂにはオン電圧が同一期間印加されることになる。したがって、各画素行は、同一輝度で表示される（白ラスター表示と仮定した場合）。

【１２７２】

なお、図２９１では、４Ｈ周期で１Ｈの期間オン電圧を印加するとしたが、これに限定するこのではない。たとえば、図２９４に図示するように、８Ｈ周期で１Ｈの期間オン電圧を印加するとしてもよい。また、各フレームでの各ゲート信号線１７ｂに印加する信号波形は、周期性をもたせることはなく、完全にランダム化してもよい。単位周期（単位期間）でオン電圧を印加する総和期間が、すべてのゲート信号線１７ｂで一致していればよいからである。

【１２７３】
しかし、以上の実施例では、すべてのゲート信号線１７ｂで単位期間において、オン電圧を印加する総和期間を一致させるとしたが、以下の場合には適用されない。１画面５０内（つまり、１つの表示パネル）で、複数の輝度が異なる画面５０を有する場合である。画面５０が、第１の画面５０ａと第２の画面５０ｂが構成されており、画面５０ａと５０ｂとの輝度が異なる場合である。２つの画面５０の輝度を異ならせるのは、プログラム電流Ｉｗを調整することのよっても変化することができるが、ゲート信号線１７ｂを走査し、第１の画面５０ａにおける各画素行の点灯（表示）期間と第２の画面５０ｂにおける各画素行の点灯（表示）期間とを異ならせる方式が実現容易である。たとえば、第１の画面５０ａの各画素行は、４Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。第２の画面５０ｂの各画素行は、８Ｈに１Ｈの期間、ゲート信号線１７ｂにオン電圧を印加する。このように、各画面でオン電圧を印加する期間を変化させることにより、画面の明るさを調整でき、また、そのときのガンマカーブも相似にすることができる。
【１２７４】
以上の実施例は、ゲート信号線１７ｂを制御することにより、ＥＬ素子１５に流れる電流を調整（オンオフさせ）し、表示画面５０の輝度を調整する、あるいは、動画表示を良好にするというものであった。図２９５は、以上の効果などを有する本発明の他の実施例である。
【１２７５】
図２９５の画素１６は、図２９６のように配置または構成されている。図１の画素構成と異なる点は、蓄積容量１９（コンデンサ１９）の一方の端子が容量制御線２９５１に接続されている点である。１本の容量制御線２９５１は、１画素行に共通である。容量制御線２９５１は容量制御共通線２９５３に接続されている。
【１２７６】
図２９６において、コンデンサ１９は一方の端子は容量制御線２９５１に接続され、他方の端子は、ＴＦＴ１１ａのゲート端子に接続されている。今、ＴＦＴ１１ａのゲート端子（Ｇ）にＶａ電圧が印加されているとする。また、ＴＦＴ１１ａのソース端子（Ｓ）に、Ｖｄｄ電圧が印加されているとする。また、Ｖａ　＜　Ｖｄｄとする。容量制御線２９５１にはＶｃ電圧が印加されているとする。
【１２７７】
以上の状態で、容量制御線２９５１のＶｃ電圧を＋側に変化させると、この変化に伴い、Ｖａ電圧も＋側にシフトする。ＴＦＴ１１ａはＰチャンネルトランジスタであるので、ＴＦＴ１１ａのゲート端子が、＋側（Ｖｄｄ側）にシフトすると、ＴＦＴ１１ａは電流を流さない方向になる。したがって、Ｖｃ電圧の＋側への変化が一定以上に大きいと、ＴＦＴ１１ａは完全に電流を流さない状態（カットオフ状態）となる。つまり、容量制御線２９５１への印加電位を制御することにより、該当画素行を黒表示状態にすることができる。なお、逆に、容量制御線２９５１のＶｃ電圧を－側に変化させると、ＴＦＴ１１ａのゲート端子（Ｇ）の電位も－側にシフトする。そのため、ＴＦＴ１１ａはより電流を流すようになる。以上の事項は、駆動用ＴＦＴ１１ａがＰチャンネルトランジスタで構成されている場合である。駆動用ＴＦＴ１１ａがＮチャンネルの場合は、逆になる。つまり、容量制御線２９５１の電位を＋側にシフトすると、Ｎチャンネルの駆動用ＴＦＴ１１ａはより電流をＥＬ素子１５に流すようになる。
【１２７８】
以上の駆動方式を図２９６に適用することにより、表示画面５０を黒表示にすることができる。つまり、図２８５などで説明した黒挿入を実現できる。
【１２７９】
図２９５では、容量制御共通線２９５３（２９５３ａ、２９５３ｂ、２９５３ｃ、２９５３ｄ）が形成あるいは配置されている。（４Ｎ＋１）画素行（ただし、Ｎは０以上の整数）の容量制御線２９５１は容量制御共通線２９５３ａに接続されている。また、（４Ｎ＋２）画素行の容量制御線２９５１は容量制御共通線２９５３ｂに接続されている。（４Ｎ

＋３）画素行は容量制御共通線２９５３ｃに接続され、（４Ｎ＋４）画素行の容量制御線２９５１は容量制御共通線２９５３ｄに接続されている。

【１２８０】

以上の構成で、容量制御共通線２９５３ａの印加電圧を、＋側にシフトすれば、（４Ｎ＋１）画素行が非表示（黒表示または低輝度表示）となる。同様に、容量制御共通線２９５３ｂの印加電圧を、＋側にシフトすれば、（４Ｎ＋２）画素行が非表示（黒表示または低輝度表示）となる。また、容量制御共通線２９５３ｃの印加電圧を、＋側にシフトすれば、（４Ｎ＋３）画素行が非表示となり、容量制御共通線２９５３ｄの印加電圧を、＋側にシフトすれば、（４Ｎ＋４）画素行が非表示となる。

【１２８１】

以上のように容量制御共通線２９５３を制御することにより、所定の画素行を黒表示にすることができる。したがって、容量制御共通線２９５３の制御タイミング、制御周期を調整することのより、画面輝度の調整を実施することができる。また、容量制御線２９５１と容量制御共通線２９５３との接続状態、接続本数、容量制御共通線２９５３の形成本数を所定状態とすることにより、図２８５のように、集中した黒挿入部分を設けることができる。したがって、動画表示を良好にすることもできる。

【１２８２】

図２９６の（ａ）では、奇数番目の画素行は容量制御共通線２９５３ａに接続され、偶数番目の画素行は容量制御共通線２９５３ｂに接続されている。したがって、容量制御共通線２９５３ａと２９５３ｂとに交互に＋側に電圧を印加することのより、表示画面５０を櫛状に、非表示画素行とすることができる。図２９６の（ｂ）では、３画素行ごとに異なる容量制御共通線２９５３に接続されている。したがって、３画素行周期で、点灯あるいは非点灯制御を行うことができる。

【１２８３】

容量制御線２９５１に印加し、＋側に変化させる電圧が比較小さい場合は、再び、容量制御線２９５１に印加する電圧を、－側にシフトすることにより、ＴＦＴ１１ａが流す電流は元の電流に戻すことができる（ただし、補償電圧の加算は必要である。）。しかし、＋側にシフトする電圧が所定値以上大きいと、ＴＦＴ１１ａが流す電流は元に戻すことができない（必要とする補償電圧が大きくなり、元の電流値にすることが困難になる）。

【１２８４】

図２９６の構成で黒挿入を実施するには、基本的には、コンデンサ１９に保持された画像データの復帰は望まない方がよい（完全にもとの保持電圧に復帰させることが困難だからである）。言い返せば、画像を黒表示にすることはできる。

【１２８５】

たとえば、図２９７に図示するように、画像書き込み前に、Ｒ位置で容量制御線２９５１に＋電圧を印加し黒表示５２にする。つまり、容量制御線２９５１に＋電圧を印加し、画面５０を黒表示５２にする。次に所定期間の経過後に、画像を書き込む（画像書き込み位置は画素書き込み行５１）。図２９７では、画素行がＫ（図２９７の（ａ）の場合はＫ１、図２９７の（ｂ）の場合はＫ２）離れた位置で書き込みを行っている。Ｋ１は画素行数を示している。つまり、Ｒ位置の黒書き込みを行ってから、画像を書き込むまでの時間は、画素行数×１水平走査期間となる。したがって、Ｋが大きいほど、黒書き込み期間は増加（Ｋ１＜Ｋ２）し、画像表示は暗くなる。Ｋの値が大きくするほど画面が暗くなり、Ｋの値が小さいほど画面は明るくなる。このＫの値の調整により画像の輝度を調整することができる。また、Ｋの値が大きいほど、動画ボケの改善効果が高くなる。

【１２８６】

以上の実施例では、１つのソースドライバ回路（ＩＣ）１４と１つのゲートドライバ回路（ＩＣ）１２で、１つの画面５０に画像を表示するものであった。しかし、本発明はこれに限定するものではない。たとえば、図２９８の実施例では、画面５０は画面５０ａと画面５０ｂで構成されている。画面５０ａのソース信号線１８ａにはソースドライバ回路１４ａが接続されている。画面５０ｂのソース信号線１８ｂにはソースドライバ回路１４ｂ

が接続されている。画面５０ａ、画面５０ｂとのゲート信号線（１７ａ、１７ｂ）は１つの内蔵ゲートドライバ回路１２に接続されている。

【１２８７】

つまり、図２９８の実施例では、ゲートドライバ回路（ＩＣ）１２は、画面５０ａ、５０ｂに共通であり、画面５０を２つに分割して２つのソースドライバ回路（１４ａ、１４ｂ）で駆動されている。画像の書き込みは、画面５０の上から下方向（Ａ方向）に限定するものではない。図２９８に図示するように、画面５０の下から上方向（Ｂ方向）に走査してもよい。また、画面５０ａをＡ方向に走査し、画面５０ｂをＢ方向に走査してもよい。図２９８では画面５０の分割は２分割であるが、３分割以上としてもよいことは言うまでもない。また、ソースドライバ回路１４ａが、１つの表示画面５０における偶数番目のソース信号線１８を駆動し、ソースドライバ回路１４ｂが前記表示画面５０における奇数番目のソース信号線１８を駆動するように配置または構成してもよい。ゲートドライバ回路１２についても同様である。ゲートドライバ回路１２を複数個用いて、それぞれの画面（５０ａ、５０ｂ）を駆動してもよい。また、ゲートドライバ回路１２ａが１つの表示画面５０における偶数番目のゲート信号線１８を駆動し、ゲートドライバ回路１２ｂが前記表示画面５０における奇数番目のゲート信号線１８を駆動するように配置または構成してもよい。なお、ソース信号線１４およびゲート信号線１２には、静電気保護のために保護ダイオードを形成することが好ましい。以上の事項は、本発明の他の実施例についても適用できることは言うまでもない。

【１２８８】

以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１６に電流信号を保持させる。そして、ＥＬ素子１５に保持させた電流を印加するものである。

【１２８９】

ＥＬ素子１５は印加した電流の大きさに比例して発光する。つまり、ＥＬ素子１５の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【１２９０】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流Ｉｗ＝０μＡとし、映像データ６３はプログラム電流Ｉｗ＝６．３μＡとする（比例の関係となる）。同様に、映像データ３２はプログラム電流Ｉｗ＝３．２μＡとし、映像データ１０はプログラム電流Ｉｗ＝１．０μＡとする。つまり、映像データはそのまま、比例の関係でプログラム電流Ｉｗに変換される。

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図４８に図示するように本発明は単位トランジスタ４８４の単位電流が、映像データの１に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はＲ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路１４、表示パネル構成の相乗効果である。

【１２９１】

ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。

【１２９２】

駆動用トランジスタ１１ａはゲート端子に印加した電圧と、駆動用トランジスタ１１ａが

流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。特に、図１の画素構成では、プログラム電流とＥＬ素子１５に流れる電流が理論上は等しい。したがって、発光制御は極めてわかりやすく、制御が容易である。本発明のＮ倍パルス駆動の場合も、プログラム電流を１／Ｎにして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。図３８などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａとがことなり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図１の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【１２９３】

ＥＬ素子１５は、投入電流量により発光輝度が比例して変化する。ＥＬ素子１５に印加する電圧（アノード電圧）は固定値である。したがって、ＥＬ表示パネルの発光輝度は消費電力と比例の関係にある。

【１２９４】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とＥＬ素子１５の発光輝度は比例し、ＥＬ素子１５の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、ＥＬ表示パネルの消費電流（電力）、ＥＬ表示パネルの発光輝度、を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、ＥＬ表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【１２９５】

特に本発明のＥＬ表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は２つある。１つは、基準電流の制御である。もう１つはＤｕｔｙ比制御である。この基準電流制御とＤｕｔｙ比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【１２９６】

まず、基準電流制御は図７７に図示するように、ソースドライバＩＣ（回路）１４は、各ＲＧＢの基準電流を調整する回路を具備している。また、ソースドライバ回路１４からのプログラム電流Ｉｗはいくつの単位トランジスタ４８４に流れているが出力されているかで決定される。１つの単位トランジスタ４８４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ４８４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ４８４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

【１２９７】

なお、図７７は、カレントミラーを多段接続した構成であるが、本発明はこれに限定するものではない。図１６６から図１７０などの１段構成のソースドライバＩＣ（回路）１４であっても基準電流を容易に調整でき、全階調でホワイトバランスが維持されることは言うまでもない。また、基準電流の調整で、ＥＬ表示パネルの輝度を制御できることは言うまでもない。

【１２９８】

図７８はＤｕｔｙ比制御方法である。図７８の（ａ）は非表示領域５２を連続して挿入する方法である。動画表示に適する。また、図７８の（ａ１）が最も画像が暗く、図７８の（ａ４）が最も明るい。ゲート信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。図７８の（ｃ）は非表示領域５２を多数に分割して挿入する方法である。特に静止画表示に適する。また、図７８の（ｃ１）が最も画像が暗く、図７８（ｃ４）が最も明るい。ゲー

ト信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。また、図７８の（ｂ）は、図７８の（ａ）と図７８の（ｃ）との中間状態である。図７８の（ｂ）も同様にゲート信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。

【１２９９】

表示領域５３の分散は、表示パネルの画素行数が２２０本で、１／４Ｄｕｔｙであれば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）。また、表示パネルの画素行が２２０本で、１／２Ｄｕｔｙであれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）。したがって、画面５０の輝度の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、６４階調表示であれば、白ラスターでの画面５０輝度が３００ｎｔであっても、３ｎｔであっても６４階調表示を実現できる。

【１３００】

なお、以前にも説明したが、Ｄｕｔｙは、ゲートドライバ回路１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２Ｄｕｔｙ、１／４Ｄｕｔｙ、３／４Ｄｕｔｙ、３／８Ｄｕｔｙと多種多様なＤｕｔｙを容易に変更できる。

【１３０１】

１水平走査期間（１Ｈ）単位のＤｕｔｙ比駆動は、水平同期信号に同期させてゲート信号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもＤｕｔｙ比制御することができる。図１４５、図１４６の駆動方法である。１Ｈ期間以内において、ＯＥＶ２制御を行うことにより、微小ステップの明るさ制御（Ｄｕｔｙ比制御）が可能である（図１０９とその説明も参照のこと。また、図１７５とその説明を参照のこと）。

【１３０２】

１Ｈ以内のＤｕｔｙ比制御を行うのは、Ｄｕｔｙ比が１／４Ｄｕｔｙ以下の場合に実施する。画素行数が２２０画素行であれば、５５／２２０Ｄｕｔｙ以下である。つまり、１／２２０から５５／２２０Ｄｕｔｙの範囲で行う。１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なＤｕｔｙ比駆動制御を行うことが望ましい。つまり、ゲート信号線１７ｂによるＤｕｔｙ比制御では、変化前から変化後の明るさ変化が５％以上になる時は、ＯＥＶ２による制御を行うことにより変化量が５％以下になるように少しずつ変化させる。この変化には、図９４で説明するＷａｉｔ機能を導入することが好ましい。Ｄｕｔｙ比が１／４Ｄｕｔｙ以下で１Ｈ以内のＤｕｔｙ比制御を実施するのは、１ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

【１３０３】

図１７５は画面の変化に対する検出機能をグラフ化したものである。横軸は、画面の明るさ（ｎｔ）である。縦軸は許容変化（％）である。許容変化（％）は、任意Ｄｕｔｙから次のＤｕｔｙに変化したさせた明るさの変化割合（％）が、許容できるか限界点を記載したものである。ただし、許容変化（％）は、画像の内容（変化割合、シーンなど）により変動割合が大きい。また、個人的な動画検出能力などに依存しやすい。

【１３０４】

図１７４でもわかるように、画面５０の輝度が高い時には、Ｄｕｔｙ変化に対する許容変化が大きい。また、画面５０の輝度が暗い時もＤｕｔｙ変化に対する許容変化が大きい傾向にある。しかし、中間調表示の場合は、許容変化の限界値（％）は小さい。画像が中間調であるため、微小な変化でも視覚的に認識されやすいためである。

【１３０５】

一例をあげれば、パネルの画素行が２００本であれば、５０／２００Ｄｕｔｙ以下（１／２００以上５０／２００以下）でＯＥＶ２制御を行って、１Ｈ以下の期間のＤｕｔｙ比制

御を行う。１／２００Ｄｕｔｙから２／２００Ｄｕｔｙに変化すると１／２００Ｄｕｔｙと２／２００Ｄｕｔｙの差は、１／２００であり、１００％の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でＤｕｔｙ比制御するとしたが、これに限定するものではない、図１９でもわかるように非表示領域５２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、Ｄｕｔｙ比駆動を行うものである。

【１３０６】

４０／２００Ｄｕｔｙから４１／２００Ｄｕｔｙに変化すると、４０／２００Ｄｕｔｙと４１／２００Ｄｕｔｙの差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度５０に依存する可能性が高い。ただし、４０／２００Ｄｕｔｙは中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。

【１３０７】

以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図４３、図１１３、図１１４、図１１７などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図１９の表示状態が発生させる（画像の輝度によっては、画面５０が表示領域５３（Ｄｕｔｙ１／１になってもよい））駆動方法である。かつ、Ｄｕｔｙ比駆動（少なくとも画面５０の一部が非表示領域５２となる駆動方法または駆動状態）が所定のＤｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面５０の輝度制御を行うものである。この制御はＯＥＶ２制御により実施する（ＯＥＶ２に関しては図１７５とその説明を参照のこと）。

【１３０８】

１Ｈ単位以外のＤｕｔｙ比制御を行う所定Ｄｕｔｙ比は、Ｄｕｔｙ比が１／４Ｄｕｔｙ以下の場合に実施する。逆に所定Ｄｕｔｙ比以上では、１Ｈ単位でＤｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のＤｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なＤｕｔｙ比制御駆動を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。

【１３０９】

本発明のＤｕｔｙ比制御駆動によれば、図７９に図示するように、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面５０の表示輝度（ｎｔ）がいずれの輝度であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域５３（表示状態）の時（Ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。

【１３１０】

もちろん、２２０画素行のすべてが表示領域５３（表示状態）の時（Ｄｕｔｙ比２２０／２２０＝Ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域５３（表示状態）の時（Ｄｕｔｙ２０／２２０＝Ｄｕｔｙ１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗによ

り順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。

【１３１１】

本発明のＤｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、Ｄｕｔｙ比に対する画面５０の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図７７のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。Ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するためにいずれの階調、画面５０の明るさにおいてもホワイトバランスは維持される。

【１３１２】

Ｄｕｔｙ比制御は、表示画面５０に対する表示領域５３の面積を変化させることにより、画面５０の輝度を変化するものであった。当然、表示面積５３に比例してＥＬ表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面５０のＥＬ素子１５に流れる全消費電流を算出することができる。ＥＬ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図７７の基準電流を電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

【１３１３】

また、白ラスター表示での所定輝度を設定し、この時をＤｕｔｙ比最小になるように設定する。たとえば、Ｄｕｔｙ比１／８にする。自然画像はＤｕｔｙ比を大きくする。最大のＤｕｔｙは１／１である。たとえば、画面５０の１／１００しか画像が表示されない自然画像をＤｕｔｙ１／１とする。Ｄｕｔｙ比１／１からＤｕｔｙ比１／８は画面５０の自然画像の表示状態で滑らかに変化させる。

【１３１４】

以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でＤｕｔｙ比１／８とし、画面５０の１／１００の画素が点灯している状態をＤｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×Ｄｕｔｙ比で算出できる。

【１３１５】

説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×Ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×Ｄｕｔｙ比１／１＝１となる。Ｄｕｔｙ１／１～Ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにＤｕｔｙ比制御が実施される。

以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は、１になる。したがって、白ラスター表示での所定輝度を設定し、この時をＤｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。

【１３１６】

本発明は、１画面のプログラム電流の総和をＳとし、Ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のＤｕｔｙ比をＤｍａｘ（通常は、Ｄｕｔｙ比１／１が最大である）とし、最小のＤｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　＞＝　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１３１７】

なお、Ｄｕｔｙ比の最大は１／１とする。最小はＤｕｔｙ比１／１６以上にすることが好ましい。つまり、Ｄｕｔｙ比は１／８以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のＤｕｔｙ比は１／１

０以上にする。Ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

【１３１８】

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、映像データの総和とはプログラム電流の総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、１フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、Ｄｕｔｙ比制御を行っても良い。

【１３１９】

なお、以上の説明ではＤｕｔｙ比Ｄで制御するとして説明したが、Ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間である。つまり、Ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、ＥＬ素子１５が点灯していることを意味する。したがって、Ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、Ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。

【１３２０】

なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたがこれに限定されるものではない。本発明のＤｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてＤｕｔｙ比制御を実施してもよい（図１０４などを参照のこと）。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａがことなる場合は、繰り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。Ｄｕｔｙ比についても同様である。Ｄｕｔｙがフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均Ｄｕｔｙ比を算出して用いればよい。

【１３２１】

したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）＞＝　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１３２２】

画面５０の明るさを制御する方式として、図７７などで説明した構成もある。つまり、基準電流を調整することにより、単位トランジスタ４８４に流れる電流を変化させプログラム電流の大きさを調整することにより、画面輝度５０を変化させる方式である。なお、基準電流の調整方式に関しては図５３などで説明している。

【１３２３】

図７７の４９１Ｒは赤（Ｒ）の基準電流を調整するボリウムである。ただし、ボリウムと表現しているのは説明を容易にするためであり、実際には電子ボリウムであり、外部から６ビットのデジタル信号により、６４段階でＲ回路の基準電流ＩａＲがリニアに調整できるように構成されている。基準電流ＩａＲを調整することにより、トランジスタ４７１Ｒとカレントミラー回路を構成するトランジスタ４７２ａに流れる電流をリニアに変化させることができる。したがって、トランジスタ群５２１ａのトランジスタ４７２ａとトランジスタ４７２ａから電流受け渡しされたトランジスタ４７２ｂに流れる電流が変化する。トランジスタ４７２ｂとカレントミラー回路を構成するトランジスタ群５２１ｂのトラ

ンジスタ４７３ａに流れる電流が変化し、またトランジスタ４７３ａから電流受け渡しされたトランジスタ４７３ｂが変化する。したがって、単位トランジスタ４８４の駆動電流（単位電流）が変化するから、プログラム電流を変化させることができる。なお、Ｇの基準電流ＩａＧ、Ｂの基準電流ＩａＢについても同様である。

【１３２４】

図７７は、親子孫の３段階のトランジスタ接続であるが、本発明はこれに限定するものではない。たとえば、図１６６から図１７０のように基準電流を発生する回路と単位トランジスタ４８４とが直結された１段構成であっても適用されることが言うまでもない。つまり、本発明は、１つの基準電流あるいは基準電圧により、プログラム電流あるいはプログラム電圧を変更できる回路構成にあって、基準電流あるいは基準電圧によって画面５０の明るさを変化させる方式である。

図７７に図示するように、（電子）ボリウム４９１は、赤（Ｒ）、緑（Ｇ）、Ｂ（青）の回路にそれぞれ形成されている。したがって、ボリウム４９１Ｒ、４９１Ｇ、４９１Ｂを調整することにより、それぞれに接続された単位トランジスタ４８４の電流を変化（制御あるいは調整）することができる。したがって、ＲＧＢの割合調整によりホワイト（Ｗ）調整を容易に行うことができる。もちろん、ＲＧＢの基準電流（トランジスタ４７２Ｒ、４７２Ｇ、４７２Ｂに流れる電流）を出荷時にあらかじめ調整しておけば、ＲＧＢの電子ボリウム（４９１Ｒ，４９１Ｇ，４９１Ｂ）を一括して変化できる電子ボリウムを別途設けることにより、ホワイト（Ｗ）バランス調整を行うこともできる。たとえば、図１７０、図１７１において、抵抗Ｒ１の値を、各ＲＧＢ回路にホワイトバランスがとれるように調整する。この状態で、図１６９、図１７０電子ボリウム４５１のスイッチＳをＲＧＢで同一に切り替えればホワイトバランスを維持したまま、画面輝度を調整できる。

【１３２５】

以上のように本発明の基準電流の駆動方法は、ホワイトバランスがとれるように、ＲＧＢの基準電流値を調整する。そして、この状態を中心として、ＲＧＢの基準電流を同一比率で調整するものである。同一比率で調整するため、ホワイトバランスが維持される。

【１３２６】

以上のように電子ボリウム４９１の調整により、プログラム電流をリニアに変化することができる。なお、説明を容易にするため、図１に図示した画素構成を例として説明するが、本発明はこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。

【１３２７】

図７７に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ４８４の出力電流が変化するからである。単位トランジスタ４８４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。

【１３２８】

なお、本発明は、図７７で説明した基準電流制御方式と、図７８で説明したＤｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、図７７と図７８の方式を組み合わせて実施することが好ましい。

【１３２９】

以下、図７７、図７８で説明した方式を用いた駆動方法について、さらに詳しく説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルはＥＬ素子１５に流れる電流を輝度が比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。

【１３３０】

携帯装置に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。

【１３３１】

また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の２つの目的（あるいは一方）を実現する本発明をＡＩ駆動と呼ぶことにする。

【１３３２】

まず、説明を容易にするために、本発明のソースドライバＩＣ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバＩＣ（回路）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバＩＣ１４の６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。

【１３３３】

ＦＲＣはフィールドごとに画像表示を重ね合わせることにより高階調表示を実現するものである。誤差拡散処理は、一例として図９９に図示するように画素Ａの画像データを処理方向の右に７／１６、左下に３／１６、下に５／１６、右下に１／１６に分散させる方法である。分散処理により高階調表示を実現できる。一種の面積階調である。

【１３３４】

図示する容易性から図８０、図８１では６４階調表示を５１２階調に変換するとして説明をする。変換は、誤差拡散処理方式あるいはフレームレート制御（ＦＲＣ）により行う。ただし、図８０では階調変換を行っているというよりは、画像の明るさを変換したと解釈してもよい。

【１３３５】

図８０は、本発明の駆動方法による画像変換処理を説明するものである。図８０は、横軸は、階調（番号）である。階調（番号）が大きいほど、画面５０の輝度が明るいことを示している。逆に階調（番号）が小さいほど、画像が暗いことを示している。縦軸は、度数である。縦軸は、画像を構成する画素の輝度の出現率を示している。たとえば、図８０の（ａ）のＡ１は画像の３２階調レベルの輝度の画素が最も多いことを示す。

【１３３６】

図８０の（ａ）は画像の階調表現数を維持したまま、表示明るさを変化させた例である。Ａ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ａ２は階調表現数を維持したまま、明るさの中心を２５６階調に変換した例である。Ａ３も同様に階調表現数を維持したまま、明るさの中心を４４８階調の変換した例である。このような変換は画像データに所定の大きさのデータを加算することにより変換することにより達成できる。

【１３３７】

しかし、図８０の（ａ）の階調変換は本発明の駆動方式では実現が困難である。本発明の駆動方式では、図８０の（ｂ）の階調変換を行う。

【１３３８】

図８０の（ｂ）は、原画像の度数分布を拡大した例である。Ｂ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ｂ２は階調表現範囲を２５６階調まで拡大した例である。画面の輝度が明るくなり、階調表現範囲も拡大する。Ｂ３は、さらに階調表現範囲を５１２階調まで拡大した例である。画面表示輝度がさらに明るくなり、階調表現範囲も拡大する。

【１３３９】

図８０の（ｂ）の実現は、本発明の駆動方式で容易に実現できる。図７７で説明した基準

電流を変化させることにより実現できる。また、図７８のＤｕｔｙ比を変更（制御）することにより実現できる。もしくは、図７７と図７８の方式を組み合わせることにより実現できる。基準電流制御あるいはＤｕｔｙ比制御により、画像の明るさ制御は容易である。たとえば、Ｄｕｔｙ比が１／４の時に図８０の（ｂ）のＢ２の表示状態であれば、Ｄｕｔｙ比を１／１６にすれば、図８０の（ｂ）のＢ１の表示状態となる。また、Ｄｕｔｙ比を１／２にすれば、図８０の（ｂ）のＢ３の表示状態となる。基準電流制御の場合も同様である。基準電流の大きさを、２倍あるいは１／４にすることのより図８０の（ｂ）の画像表示が可能である。

【１３４０】

図８０の（ｂ）の横軸は階調数としている。本発明の駆動方法では階調数の増加ではない。本発明の駆動方法では、図７９で説明したように表示輝度が変化しても階調数が維持されていることに特徴がある。つまり、図８０の（ｂ）ではＢ１の６４階調数が、Ｂ２では２５６階調に変換されたとしている。しかし、Ｂ２の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して４倍に拡大されている。Ｂ１からＢ２への変換は画像表示のダイナミック変換されたことにほかならない。したがって、高階調表示を実現したのを同等である。したがって、高画質表示を実現できる。

【１３４１】

同様に、図８０の（ｂ）ではＢ１の６４階調数が、Ｂ３では５１２階調に変換されたとしている。しかし、Ｂ３の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して８倍に拡大されている。Ｂ１からＢ３への変換は画像表示のダイナミック変換されたことにほかならない。

【１３４２】

図８０の（ａ）では、画面５０の輝度を向上させることができる。しかし、画面５０は全体が白っぽくなる（白浮き）。しかし、消費電流の増加は比較的少ない（といっても、画面輝度に比例して消費電流は増大する）。図８０の（ｂ）では、画面５０の輝度を向上でき、階調の表示範囲も拡大しているため、画質劣化もない。しかし、消費電流の増加は大きい。

【１３４３】

階調数と画面輝度を比例とし、原画像を６４階調とすると、階調数の増加（ダイナミックレンジの拡大）＝輝度の増大となる。したがって、消費電力（消費電流）が増加する。この課題を解決するため、本発明は、図７７の基準電流と調整（制御）する方式、図７８のＤｕｔｙ比を制御する方式のいずれか、もしくは両方を組み合わせる。

【１３４４】

１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、画面５０の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、画面５０の画素数×（１／１００）×６３が画像データの総和である。

【１３４５】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、Ｄｕｔｙ比制御あるいは基準電流制御を行う。

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。

また、画面５０を構成する画像のすべてのデータを加算する必要はなく、画面５０の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。

【１３４６】
説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。
【１３４７】
白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×３×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出することが好ましい。
【１３４８】
この課題に対して、図８４に図示する演算回路を使用する。図８４において、８４１、８４２乗算器である。８４１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器８４１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器８４１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器８４１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。
【１３４９】
ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器８４２で発光効率の重み付けを行う。Ｒの乗算器８４２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器８４２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器８４２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。
乗算器８４１および８４２の結果は、加算器８４３で加算され、総和回路８４４に蓄積される。この総和回路８４４の結果にもとづき、図７７のＤｕｔｙ比制御、図７８の基準電流制御を実施する。
【１３５０】
図８４のように制御すると、輝度信号（Ｙ信号）に対するＤｕｔｙ比制御、基準電流制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、Ｄｕｔｙ制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬパネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、Ｄｕｔｙ制御が高Ｄｕｔｙになる。したがって、フリッカの発生などが生じる。
【１３５１】
この課題に対しては、乗算器８４１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりＤｕｔｙ比制御、基準電流制御を実施する。
【１３５２】
黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。図８０の駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、画面５０を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、画面５０を構成する画像データによりＡＰＬレベルは変化する。
【１３５３】

本発明では、得られたＡＰＬレベルの大きさにより、図７８の基準電流制御あるいは図７７のＤｕｔｙ比制御を実施する。
理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。
【１３５４】
ＥＬパネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示とき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬパネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬパネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１００の時、Ｄｕｔｙ比は１／２で駆動するものとする。
【１３５５】
したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、Ｄｕｔｙを（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、Ｄｕｔｙを１／２とする。ＡＰＬレベルが１００以上２００以下の時は、Ｄｕｔｙが１／４～１／２の間をとるように制御する。Ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ回路１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。
【１３５６】
ただし、ＡＰＬレベルのみを考慮し、Ｄｕｔｙ比制御を実施すれば、画像に応じて画面５０の平均輝度（ＡＰＬ）が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、このましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、ＡＰＬレベルによりＤｕｔｙ比制御によるＤｕｔｙ比を算出する。また、画面５０の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってＤｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。
【１３５７】
また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を考慮して行うとよい。たとえば、図８１の（ａ）では、画像の中心データＫｂは２５６階調付近に分布し、高輝度部Ｋｃは、３２０階調付近に分布している。また、低輝度部Ｋａは、１２８階調付近に分布している。
【１３５８】
図８１の（ｂ）は図８１の（ａ）の画像に対して黒伸張および白伸張を実施した例である。ただし、黒伸張と白伸張を同時に行う必要はなく、一方だけを実施してもよい。また、画像の中心部分（図８１の（ａ）のＫｂ）も低階調部あるいは高階調部に移動させてもよい。これらの適切な移動情報は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）からもとめることができる。ただし、経験的な事項の場合もある。人間の視感度が影響するからである。したがって、画像評価と実験とを繰り返して検討する必要がある。しかし、黒伸張あるいは白伸張などの画像処理は、ガンマカーブを演算であるいはルックアップテーブルからもとめることをできるから容易に実現できる。図８１の（ｂ）のように処理をすることにより、画像にめりはりがつき、良好な画像表示を実現できる。
【１３５９】
なお、Ｄｕｔｙ比制御により、画面５０の明るさを変化させるのは、図８２のように行う。図８２の（ａ）は表示領域５３を連続して変化させる駆動方法である。図８２の（ａ１）の画面５０輝度よりは図８２の（ａ２）の画面５０輝度が明るい。最も明るいのは図８２の（ａｎ）の状態である。図８２の（ａ）のＤｕｔｙ比制御による駆動は動画表示に適する。
【１３６０】
図８２の（ｂ）は表示領域５３を分割して変化させる駆動方法である。図８２の（ｂ１）

は一例として画面５０の２箇所に表示領域５３を発生させている。図８２の（ｂ２）も図８２の（ｂ１）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（一方は１画素行が表示領域５３、他方は２画素行が表示領域５３である）。図８２の（ｂ３）も図８２の（ｂ２）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（両方とも２画素行が表示領域５３である）。以上のように表示領域５３を分散させてＤｕｔｙ比制御を行っても良い。一般的に図８２の（ｂ）は静止画表示に適する。

【１３６１】

図８２の（ｂ）は表示領域５３の分散を２分散としている。しかし、これは作図を容易にするためである。実際には、表示領域５３の分散は３分散以上にする。

【１３６２】

図８３は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８３では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらの映像信号を入力するかは、スイッチ回路８３１により選択される。

【１３６３】

スイッチ回路８３１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８３４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。

【１３６４】

ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８３５で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８３６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８３７で動画検出が行われる。同時に、カラーマネージメント回路８３８でカラーマネージメント処理が行われる。ＡＩ処理回路８３６、動画検出回路８３７、カラーマネージメント回路８３８の処理結果は演算回路８３９に送られ、演算処理回路８３９で制御演算、Ｄｕｔｙ比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路１４およびゲートドライバ回路１２に制御データとして送出される。

【１３６５】

Ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、Ｄｕｔｙ比制御が実施される。一方、基準電流制御データはソースドライバ回路１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路１４に送られる。

【１３６６】

図８１の（ｂ）の画像データ変換は、ガンマ回路８３４のガンマ処理により行う必要がある。ガンマ回路８３４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。

【１３６７】

ガンマ回路８３４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図８５に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールＩＣを低コスト化できる。

【１３６８】

図８５において、ａは３２階調目での折れ線ガンマ変換である。ｂは６４階調目での折れ線ガンマ変換である。ｃは９６階調目での折れ線ガンマ変換である。ｄは１２８階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８５のｄのガンマカーブを選択する。画像データが低階調に集中し

ている場合は、低階調での階調数を多くするため、図８５のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８５のｂ、ｃなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。

【１３６９】

ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、Ｄｕｔｙ比制御、基準電流制御も加味して行う。

【１３７０】

図８６は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８６のｎのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８６のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８６のｂからｎ－１のガンマカーブを選択する。ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、Ｄｕｔｙ比制御、基準電流制御も加味して行う。

【１３７１】

表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特にＥＬ表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。ＥＬ表示パネルは自発光のためである。そこで、図８７に図示するように、ガンマカーブを変化させてもよい。ガンマカーブａは屋内用のガンマカーブである。ガンマカーブｂは屋外用のガンマカーブである。ガンマカーブａとｂとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光があかるいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブｂを選択することが有効である。

【１３７２】

屋外では、図８８のようにガンマカーブを発生させることも有効である。ガンマカーブａは１２８階調目までは出力階調は０にする。１２８階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図８８のガンマカーブｂのようにガンマ変換を行っても良い。図８８のガンマカーブは１２８階調目までは出力階調を０にする。１２８以上は出力階調を５１２以上とする。図８８のガンマカーブｂでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。

【１３７３】

本発明の駆動方式では、Ｄｕｔｙ比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１３７４】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のＤｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示における透過率は一定である。逆に非表示領域５２を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１３７５】

ＥＬ表示パネルは、黒表示は、ＥＬ素子１５に流れる電流が０の状態である。したがって、本発明のＤｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示の輝度は０である。非表示領域５２の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、Ｄｕｔｙ比駆動は、ＥＬ表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は０である。基準電流を大

きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【１３７６】

Ｄｕｔｙ比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、Ｄｕｔｙ比制御により画面５０の輝度変化は１０倍近く変化させることができる。また、変化はＤｕｔｙ比に線形の関係になるから制御も容易である。しかし、Ｄｕｔｙ比制御は、Ｎ倍パルス駆動であるから、ＥＬ素子１５に流れる電流の大きさが大きく、また、画面５０の輝度にかかわらず、常時ＥＬ素子に流れる電流の大きさが大きくなり、ＥＬ素子１５が劣化しやすいという課題がある。

【１３７７】

基準電流制御は、画面輝度５０を高くするときに、基準電流量を大きくするものである。したがって、画面の輝度が高いときにしか、ＥＬ素子１５に流れる電流は大きくならない。そのため、ＥＬ素子１５が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【１３７８】

本発明では、基準電流制御とＤｕｔｙ比制御の両方を用いる。画面５０が白ラスター表示に近い時には、基準電流は一定値に固定し、Ｄｕｔｙ比のみを制御して表示輝度などを変化させる。画面５０に黒ラスター表示に近い時は、Ｄｕｔｙ比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。

【１３７９】

Ｄｕｔｙ比制御は、データ和／最大値が１／１０以上１／１の範囲で実施する。さらに好ましくは、データ和／最大値が１／１００以上１／１の範囲で実施する。また、基準電流の倍率変化（単位トランジスタ４８４の出力電流変化）は、データ和／最大値が１／１０以上１／１０００の範囲で実施する。さらに好ましくはデータ和／最大値が１／１００以上１／２０００の範囲で実施する。基準電流制御とＤｕｔｙ比制御はオーバーラップしないようにすることが好ましい。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を変化させており、１／１００以上でＤｕｔｙ比を変化させている。したがって、オーバーラップはしていない。

【１３８０】

ここでは説明を容易にするため、Ｄｕｔｙ比の最大はＤｕｔｙ比１／１とし、最小はＤｕｔｙ比１／８とする。基準電流は、１倍から３倍に変化させるとする。また、データ和は画面５０のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスター表示での画像データの総和であるとする。なお、Ｄｕｔｙ比１／１まで使用する必要がないことは言うまでもない。Ｄｕｔｙ比１／１は最大値として記載している。本発明の駆動方法では、最大のＤｕｔｙ比を２１０／２２０などと設定してもよいことは言うまでもない。なお、２２０はＱＣＩＦ＋の表示パネルの画素行数を例示している。

【１３８１】

なお、Ｄｕｔｙ比の最大はＤｕｔｙ比１／１とし、最小はＤｕｔｙ比１／１６以内にすることが好ましい。さらに好ましくは、Ｄｕｔｙ比１／１０以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、４倍以内にすることが好ましい。さらに好ましくは２．５倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【１３８２】

データ和／（データ和の）最大値＝１／１００とは、一例として１／１００の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりに１点の白輝点表示もデータ和／最大値が１／１００である。

【１３８３】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最

大値である。したがって、データ和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。

【１３８４】

なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラＩＣのハード規模も小さくできる。また、Ｄｕｔｙ比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【１３８５】

図８９は本発明の基準電流制御とＤｕｔｙ比制御を実施した例である。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。１／１００以上でＤｕｔｙ比を１／１から１／８まで変化させている。したがって、データ和／最大値が１／１から１／１００００までで、Ｄｕｔｙ比制御で８倍、基準電流制御で３倍であるから、８×３＝２４倍の変化が実施されている。基準電流制御およびＤｕｔｙ比制御はともに画面輝度を変化させるから、２４倍のダイナミックレンジが実現されていることになる。

【１３８６】

データ和／最大値が１／１ではＤｕｔｙ比が１／８である。したがって、表示輝度は最大値の１／８になっている。データ和／最大値が１であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／８に低下している。画面５０の１／８が画像表示領域５３であり、非表示領域５２が７／８を占めている。データ和／最大値が１／１に近い画像は、ほとんどの画素１６が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｎまたはｎに近いものが選択される。

【１３８７】

データ和／最大値が１／１００では、Ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が１／１００の画像表示とは、真っ暗な夜空に月がでている画像である。この画像でＤｕｔｙ比を１／１にするということは、月の部分は、白ラスターの輝度の８倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１００の領域であるから、１／１００の領域の輝度を８倍にしたとしても消費電力の増加はわずかである。

【１３８８】

データ和／最大値が１／１００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。

【１３８９】

以上のように本発明の駆動方法は、Ｄｕｔｙ比が小さくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。Ｄｕｔｙ比が大きくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

【１３９０】

図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。データ和／最大値が１／１００ではＤｕｔｙ比が１／１として、Ｄｕｔｙ比により画面輝度を高くしている。データ和／最大値が１／１００よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素１６はより高輝度で発光する。たとえば、データ和／最大値が１／１０００とは、メージで表現すれば、真っ

暗な夜空に星がでている画像である。この画像でＤｕｔｙ比を１／１にするということは、星の部分は、白ラスターの輝度の８×２＝１６倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０００の領域であるから、１／１０００の領域の輝度を１６倍にしたとしても消費電力の増加はわずかである。

【１３９１】

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、データ和／最大値が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【１３９２】

データ和／最大値が１／１０００では、Ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。

【１３９３】

データ和／最大値が１／１０００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。

【１３９４】

以上のように本発明の駆動方法は、基準電流が小さくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。また、基準電流が大きくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

【１３９５】

図８９では、基準電流の変化およびＤｕｔｙ比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。図９０に図示するように基準電流の倍率制御、Ｄｕｔｙ比制御を曲線的にしてもよい。図８９、図９０では、横軸のデータ和／最大値が対数であるから、基準電流制御およびＤｕｔｙ比制御の線が曲線になるのは自然である。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【１３９６】

図８９、図９０は、ＲＧＢのＤｕｔｙ比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図９１に図示するように、ＲＧＢで基準電流倍率の傾きを変化させてもよい。図９１では、青（Ｂ）の基準電流倍率の変化の傾きを最も大きくし、緑（Ｇ）の基準電流倍率の変化の傾きを次に大きくし、赤（Ｒ）の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子はＲＧＢで発光効率が異なる。また、ＥＬ素子１５に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Ｂではその傾向が顕著である。そのため、ＲＧＢで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図９１のように、基準電流倍率を大きくした時（各ＲＧＢのＥＬ素子１５に流す電流が大きい領域）では、ホワイトバランスを維持できるようにＲＧＢの基準電流倍率を異ならせることが有効である。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【１３９７】

図９１は基準電流倍率をＲＧＢで異ならせた実施例であった。図９２はＤｕｔｙ比制御も異ならせている。データ和／最大値を１／１００以上でＢとＧで同一にし、Ｒの傾きを小さくしている。また、ＧとＲは１／１００以下でＤｕｔｙ比１／１であるが、Ｂは１／１００以下でＤｕｔｙ比１／２としている。以上のような駆動方法は、図１２５から図１３

１で説明した駆動方法により実施することができる。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１３９８】

図８９から図９１は、一例としてデータ和／最大値を１／１００を境に基準電流倍率とＤｕｔｙ比を変化させる方法であった。データ和／最大値を一定の値を境で、基準電流倍率とＤｕｔｙ比を変化させ、基準電流倍率が変化させる領域とＤｕｔｙ比を変化させる領域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、データ和／最大値が１／１００以上Ｄｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させている。基準電流倍率が変化させる領域とＤｕｔｙ比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。

【１３９９】

なお、データ和／最大値が１／１００以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させたとしたが、逆の関係でもよい。つまり、データ和／最大値が１／１００以下でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以上で基準電流を変化させてもよい。また、データ和／最大値が１／１０以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させ、データ和／最大値が１／１００以上１／１０以下では、基準電流倍率およびＤｕｔｙ比を一定値としてもよい。

【１４００】

場合によっては、本発明は以上の方法に限定されない。図９３に図示するようにデータ和／最大値が１／１００以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１０以下でＢの基準電流を変化させてもよい。Ｂの基準電流変化とＲＧＢのＤｕｔｙ比とを変化をオーバーラップさせている。

【１４０１】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてＤｕｔｙ比を変化させるとのフリッカが発生する。したがって、あるＤｕｔｙ比から他のＤｕｔｙ比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のＤｕｔｙ比が維持される。つまり、Ｄｕｔｙ比は変化しない。

【１４０２】

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のＤｕｔｙ比を変化前Ｄｕｔｙ比と呼び、変化後のＤｕｔｙ比を変化後Ｄｕｔｙ比と呼ぶ。

【１４０３】

変化前Ｄｕｔｙ比が小さい状態から、他のＤｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前Ｄｕｔｙ比が小さい状態は、画面５０のデータ和が小さい状態あるいは画面５０に黒表示部が多い状態である。したがって、画面５０が中間調の表示で視感度が高いためと思われる。また、Ｄｕｔｙ比が小さい領域では、変化Ｄｕｔｙとの差が大きくなる傾向があるからである。もちろん、Ｄｕｔｙ比の差が大きくなる時は、ＯＥＶ２端子を用いて制御する。しかし、ＯＥＶ２制御にも限界がある。以上のことから、変化前Ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１４０４】

変化前Ｄｕｔｙ比が大きい状態から、他のＤｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前Ｄｕｔｙ比が大きい状態は、画面５０のデータ和が大きい状態あるいは画面５０に白表示部が多い状態である。したがって、画面５０全体が白表示で視感度が低いためと思われる。以上のことから、変化前Ｄｕｔｙ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１４０５】
以上の関係を図９４に図示する。横軸は変化前Ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。Ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。Ｄｕｔｙ比が１／１６以上Ｄｕｔｙ比８／１６（＝１／２）では、Ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。Ｄｕｔｙ比８／１６以上Ｄｕｔｙ比１６／１６＝１／１では、Ｄｕｔｙ比に応じて２秒から０秒に変化させる。
【１４０６】
以上のように、本発明のＤｕｔｙ比制御はＤｕｔｙ比に応じてＷａｉｔ時間を変化させる。Ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、Ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともＤｕｔｙ比を可変する駆動方法にあって、第１の変化前のＤｕｔｙ比が第２の変化前のＤｕｔｙ比よりも小さく、第１の変化前Ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前Ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。
【１４０７】
なお、以上の実施例では、変化前Ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前Ｄｕｔｙ比を変化後Ｄｕｔｙ比と読み替えても良い。
【１４０８】
また、以上の実施例において、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比を基準にして説明した。変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、Ｄｕｔｙ比の差が大きい時は、中間状態のＤｕｔｙ比を経由して変化後Ｄｕｔｙ比に変化させることが良好であることは言うまでもない。
【１４０９】
本発明のＤｕｔｙ比制御方法は、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、Ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、Ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。
【１４１０】
また、本発明のＤｕｔｙ比の方法は、Ｄｕｔｙ比の差が大きい時は、中間状態のＤｕｔｙ比を経由して変化後Ｄｕｔｙ比に変化させることを特徴とする駆動方法である。
【１４１１】
図９４の実施例では、Ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、図９５に図示するようにＲＧＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。
【１４１２】
データ和／（データ和の）最大値＝１／１００とは、一例として１／１００の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりに１点の白輝点表示もデータ和／最大値が１／１００である。
【１４１３】
以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、データ和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。
【１４１４】
ただし、データ和とは、１画面のデータを正確に加算することを必要としない。１画面をサンプリングした画素のデータの加算値から１画面の加算値を推定（予測）したものでも

よい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路によりＡＰＬレベルを求めて、このＡＰＬレベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時のＡＰＬレベルの最大値である。

【１４１５】

なお、データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易である。

【１４１６】

図１９７は横軸をデータ和／最大値としている。最大値は１である。縦軸はＤＵＴＹ比である。データ和＝最大値（データ和／最大値＝１）は、全画素行が最大の白表示状態である。データ和／最大値が小さい時は、暗い画面あるいは画像表示領域が少ない画面である。この時は、ＤＵＴＹ比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。データ和／最大値が大きい時（最大値は１）は、明るい画面あるいは画像表示領域が広い画面である。この時は、ＤＵＴＹ比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【１４１７】

図１９７では、データ和／最大値が１．０の時に、到達するＤＵＴＹ比値を変化させている。たとえば、ＤＵＴＹ比＝１／２は画面の１／２が画像表示状態になる。したがって、画像は明るい。ＤＵＴＹ比＝１／８は画面の１／８が画像表示状態になる。したがって、ＤＵＴＹ比＝１／２に比較して１／４の明るさである。

【１４１８】

本発明の駆動方式では、データ和などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１４１９】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１４２０】

ＥＬ表示パネルは、黒表示は、ＥＬ素子に流れる電流が０の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は０である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【１４２１】

また、本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ＤＵＴＹ比制御により画面の輝度変化は１０倍近く変化させることができる。また、変化はＤＵＴＹ比に線形の関係になるから制御も容易である。また、Ｒ、Ｇ、Ｂを同一比率で変化させることできる。したがって、どのＤｕｔｙ比においてもホワイトバランスは維持される。

【１４２２】

データ和／最大値とＤＵＴＹ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１４２３】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下

させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図１９７のａのカーブを選択する。しかし、高い輝度で表示し続けるとＥＬ素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、ｃのカーブを選択する。また、さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【１４２４】

したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、Ｄｕｔｙ比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のＤｕｔｙカーブから１つを選択できるように構成することが好ましい。

【１４２５】

なお、ＤＵＴＹ比カーブなどの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行うことが好ましいことは言うまでもない。

【１４２６】

以上のように、たとえば、ａは屋外用のカーブである。ｃは屋内用のカーブである。ｂは屋内と屋外との中間状態用のカーブである。カーブａ、ｂ、ｃとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。

【１４２７】

図１９７のＤＵＴＹ比は直線であったが、これに限定するものではない。図１９８に図示するように、一点折れカーブとしてもよい。

【１４２８】

画像データ和が小さい時は、図１９８のｃカーブを選択する。消費電力が低減する効果が発揮される。画像表示の低下はない。画像データ和が大きい時は、ａカーブを選択する。画像の表示が明るくない、フリッカの発生が少なくなる。

【１４２９】

本発明の他の実施例において、ＤＵＴＹ比の変化は、データ和／最大値が１／１０以上の範囲で実施する（図１９９を参照のこと）。データ和／最大値が１に近い画像の発生は少なく、図１９７のようにデータ和／最大値が１まで、ＤＵＴＹ比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、ＤＵＴＹ比の変化はデータ和／最大値が８／１０以上の範囲で実施する。

【１４３０】

図１９９ではデータ和／最大値が０．９以下ではＤＵＴＹ比を１から１／５まで変化させている。したがって、５倍のダイナミックレンジが実現されていることになる。

【１４３１】

データ和／最大値が０．９以上では１／５である。したがって、表示輝度は最大値の１／５になっている。データ和／最大値＝１は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／５に低下している。

【１４３２】

データ和／最大値が０．１以下では、ＤＵＴＹ比は１／１である。画面の１／１０が表示領域である。ＥＬ素子の発光輝度がそのまま画素の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が０．１以下の画像表示とは、真っ暗な夜空に月がでている画像である。こ

の画像でＤＵＴＹ比を１／１にするということは、月の部分は、白ラスターの輝度の５倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０の領域であるから、１／１０の領域の輝度を５倍にしたとしても消費電力の増加はわずかである。

【１４３３】

データ和／最大値が０に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【１４３４】

以上の実施例では、データ和／最大値が０では、ＤＵＴＹ比を１にするとしたが、本発明はこれに限定するものではない。図２００に図示するように、ＤＵＴＹ比を１より小さい値となるようにしてもよいことは言うまでもない。また、ＤＵＴＹ比のカーブは図２０１に図示するように曲線となるようにしてもよい。

【１４３５】

図２０２に図示するように、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素で、ＤＵＴＹ比カーブを変化させてもよい。図２０２では、青（Ｂ）のＤＵＴＹ比の変化の傾きを最も大きくし、緑（Ｇ）のＤＵＴＹ比の変化の傾きを次に大きくし、赤（Ｒ）のＤＵＴＹ比の変化の傾きを最も小さくしている。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。データ和／最大値とＤＵＴＹ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１４３６】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてＤＵＴＹ比を変化させるとのフリッカが発生する。したがって、あるＤＵＴＹ比から他のＤＵＴＹ比に変化する時は、図２０３に図示するように、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のＤＵＴＹ比が維持される。つまり、ＤＵＴＹ比は変化しない。

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のＤＵＴＹ比を変化前ＤＵＴＹ比と呼び、変化後のＤＵＴＹ比を変化後ＤＵＴＹ比と呼ぶ。

【１４３７】

変化前ＤＵＴＹ比が小さい状態から、他のＤＵＴＹ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ＤＵＴＹ比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【１４３８】

したがって、画面が中間調の表示で視感度が高いためと思われる。また、ＤＵＴＹ比が小さい領域では、変化ＤＵＴＹ比との差が大きくなる傾向があるからである。もちろん、ＤＵＴＹ比の差が大きくなる時は、ＯＥＶを用いて制御する。しかし、ＯＥＶ制御にも限界がある。以上のことから、変化前ＤＵＴＹ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１４３９】

変化前ＤＵＴＹ比が大きい状態から、他のＤＵＴＹ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ＤＵＴＹ比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いためと思われる。以上のことから、変化前ＤＵＴＹ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１４４０】

以上の関係を図２０３に図示する。横軸は変化前ＤＵＴＹ比である。縦軸はＷａｉｔ時間（秒）である。ＤＵＴＹ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くし

ている。ＤＵＴＹ比が１／１６以上ＤＵＴＹ比８／１６（＝１／２）では、ＤＵＴＹ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ＤＵＴＹ比８／１６以上ＤＵＴＹ比１６／１６＝１／１では、ＤＵＴＹ比に応じて２秒から０秒に変化させる。

【１４４１】

以上のように、本発明のＤＵＴＹ比制御はＤＵＴＹ比に応じてＷａｉｔ時間を変化させる。ＤＵＴＹ比が小さい時はＷａｉｔ時間を長くし、ＤＵＴＹ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともＤＵＴＹ比を可変する駆動方法にあって、第１の変化前のＤＵＴＹ比が第２の変化前のＤＵＴＹ比よりも小さく、第１の変化前ＤＵＴＹ比のＷａｉｔ時間が、第２の変化前ＤＵＴＹ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１４４２】

なお、以上の実施例では、変化前ＤＵＴＹ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差はわずかである。したがって、前述の実施例において変化前ＤＵＴＹ比を変化後ＤＵＴＹ比と読み替えても良い。

【１４４３】

また、以上の実施例において、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比を基準にして説明した。変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ＤＵＴＹ比の差が大きい時は、中間状態のＤＵＴＹ比を経由して変化後ＤＵＴＹ比に変化させることが良好であることは言うまでもない。

【１４４４】

本発明のＤＵＴＹ比制御方法は、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ＤＵＴＹ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ＤＵＴＹ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。

【１４４５】

また、本発明のＤＵＴＹ比の方法は、ＤＵＴＹ比の差が大きい時は、中間状態のＤＵＴＹ比を経由して変化後ＤＵＴＹ比に変化させることを特徴とする駆動方法である。

【１４４６】

以上の実施例では、ＤＵＴＹ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、Ｒ、Ｇ、ＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１４４７】

以上の実施例は、Ｄｕｔｙ比制御に関する実施例であった。基準電流制御についてもＷａｉｔ時間を設定することが好ましい。図９６はその実施例である。

【１４４８】

基準電流が小さい時は画面５０が暗く、基準電流が大きい時は画面５０が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。したがって、図９６に図示するように、基準電流倍率に対するＷａｉｔ時間を設定すればよい。

【１４４９】

データ和などに対する基準電流倍率は、パネルモジュール外部から変更できるようにしておくことが望ましい。外部からの変更は、マイコンなどを用いて、パネルモジュールの制御回路８３９（図８３、図２０５およびその説明を参照のこと）のメモリに書き込めばよい。

【１４５０】

図２２４は基準電流倍率を変化させる方式の説明図である。図２２４の横軸はアドレス番

号である。アドレス番号は０番地から５１１番地であり、９ビットとなっている。また、横軸はアドレスとしているが、図１９７から図２０２などで説明したデータ和／最大値に対応していると考えてよい。つまり、データ和＝最大値の時は、データ和／最大値＝１である。この状態がアドレスの５１１番地に該当させていると考えてよい。また、データ和×２＝最大値の時は、データ和／最大値＝１／２である。この状態がアドレスの２５５番地に該当させていると考えてよい。

【１４５１】

各アドレスに対するデータ（基準電流倍率）は、図２２５に図示するようにアドレスバスとデータバスに印加されたデータ値により順次書き換えられる。

【１４５２】

縦軸の基準電流はメモリ状態によって変化する。実線のａ線では、アドレスの値によらず、たえず、基準電流倍率が１と変化しない状態にされた場合を示している。点線のｂ線では、データ和が大きい時（画面５０全体が白表示に近い状態）では基準電流を１から変化しないようにし、データ和が小さい時（画面５０が黒表示に近い状態か、表示された画素が少ない状態）では基準電流の変化を大きくしている。したがって、画像表示のダイナミックレンジが拡大されている。一点鎖線のｃ線では、データ和が大きい時から小さい時に、その変化が一定に変化するようにしている。

【１４５３】

以上のように、基準電流倍率を書き換えることにより本発明の駆動方式の適用性が拡大される。なお、図２２４において、ａ、ｂ、ｃ線となるように各アドレスに対するデータを書き換えるとしたが、これに限定するものでなく、制御回路８３９などに、ａ、ｂ、ｃ線のカーブ（データ）を格納しておき、選択して切り換えるように制御してもよい。

【１４５４】

図２２６はｄｕｔｙ比を変化させる方式の説明図である。図２２６の横軸はアドレス番号である。アドレス番号は０番地から２５５番地であり、８ビットとなっている。また、横軸はアドレスとしているが、図１９７から図２０２などで説明したデータ和／最大値に対応していると考えてよい。つまり、データ和＝最大値の時は、データ和／最大値＝１である。この状態がアドレスの２５５番地に該当させていると考えてよい。また、データ和×２＝最大値の時は、データ和／最大値＝１／２である。この状態がアドレスの１２７番地に該当させていると考えてよい。各アドレスに対するデータ（ｄｕｔｙ比）は、図２２７に図示するようにアドレスバスとデータバスに印加されたデータ値により順次書き換えられる。縦軸の基準電流はメモリ状態によって変化する。実線のａ線では、アドレスの値によらず、たえず、ｄｕｔｙ比が１と変化しない状態にされた場合を示している。点線のｂ線では、データ和が大きい時（画面５０全体が白表示に近い状態）ではｄｕｔｙ比を０．２から変化しないようにし、データ和が小さい時（画面５０が黒表示に近い状態か、表示された画素が少ない状態）ではｄｕｔｙ比の変化を大きくしている。したがって、画像表示のダイナミックレンジが拡大されている。一点鎖線のｃ線では、データ和が大きい時から小さい時に、その変化が一定に変化するようにしている。

【１４５５】

以上のように、ｄｕｔｙ比を書き換えることにより本発明の駆動方式の適用性が拡大される。なお、図２２６において、ａ、ｂ、ｃ線となるように各アドレスに対するデータを書き換えるとしたが、これに限定するものでなく、制御回路８３９などに、ａ、ｂ、ｃ線のカーブ（データ）を格納しておき、選択して切り換えるように制御してもよい。また、図２２４と図２２６とは相互に組み合わせて実施してもよいことは言うまでもない。

【１４５６】

本発明は、データ和あるいはＡＰＬを算出（検出）し、この値のよりＤｕｔｙ比制御、基準電流制御を行うものである。図９８はこのＤｕｔｙ比と基準電流倍率を求めるフローチャートである。

【１４５７】

図９８に図示するように、入力された画像データは、概略のＡＰＬが算出される（仮ＡＰ

Ｌが算出される）。このＡＰＬから基準電流の値、基準電流倍率が決定される。決定された基準電流、基準電流倍率は、電子ボリウムデータに変換されソースドライバ回路１４に印加される。

【１４５８】

一方、画像データはガンマ処理回路に入力され、ガンマ特性が決定される。ガンマ特性の処理した画像データからＡＰＬが算出される。算出されたＡＰＬよりＤｕｔｙ比を決定する。次に、画像が動画か静止画により、Ｄｕｔｙパターンが決定される。Ｄｕｔｙパターンとは、非表示領域５２と表示領域５３との分布状態である。動画の場合は、非表示領域５２を一括に挿入する。静止画の場合は、非表示領域５２を分散させて挿入にする。したがって、静止画の場合は、非表示領域５２を分散させて挿入するＤｕｔｙパターンに変換する。動画の場合は、非表示領域５２を一括で挿入するＤｕｔｙパターンに変換する。変換されたパターンは、ゲートドライバ回路１２ｂのスタートパルスＳＴ（図６を参照のこと）として印加される。

【１４５９】

図９４、図９５では、Ｄｕｔｙ比に応じてＷａｉｔ時間を制御することを説明し、また、図８９から図９３において、データ和に応じてＤｕｔｙ比制御を行うことを説明した。図１０３はさらにＤｕｔｙ比制御およびＷａｉｔ時間制御を行うための詳細な説明図である。ただし、説明を容易にするため、時間的ファクタなどを縮小して表現している。

【１４６０】

図１０３において、最上段はフレーム（フィールド）番号を示している。２段目はＡＰＬレベル（データ和が該当）を示している。３段目はＡＰＬレベルから算出された対応Ｄｕｔｙ比を示している。最下段は、Ｗａｉｔ時間を考慮し補正して結果のＤｕｔｙ比（処理Ｄｕｔｙ比）を示している。つまり、各フレームのＡＰＬレベルにより対応Ｄｕｔｙ比（３段目）は８／６４→９／６４→９／６４→１０／６４→９／６４→１０／６４→１１／６４→１１／６４→１２／６４→１４／６４→・・・・・と変化する。

【１４６１】

対応Ｄｕｔｙ比に対して、処理Ｄｕｔｙ比はＷａｉｔ時間を考慮して、８／６４→８／６４→９／６４→９／６４→９／６４→１０／６４→１０／６４→１１／６４→１２／６４→１２／６４→・・・・・と変化する。

【１４６２】

図１０３では、Ｗａｉｔ時間により対応Ｄｕｔｙ比を補正している。また、処理Ｄｕｔｙ比は分子が整数にしている（図１０７は分子には小数点があることと比較のこと）。図１０３では、Ｄｕｔｙ比の変化が滑らかにし、フリッカが発生しにくいように駆動している。図１０３において、フレーム３、４、５で対応Ｄｕｔｙ比が９／６４、１０／６４、９／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理Ｄｕｔｙ比は、９／６４、９／６４、９／６４に変化させている（フレーム４において点線で補正箇所を記載している）。また、図１０３において、フレーム９、１０、１１で対応Ｄｕｔｙ比が１２／６４、１４／６４、１１／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理Ｄｕｔｙ比は、１２／６４、１２／６４、１１／６４に変化させている（フレーム１０において点線で補正箇所を記載している）。以上のようにＷａｉｔ時間制御を行うことにより、Ｄｕｔｙ比制御にヒステリシス（時間遅延あるいはローパスフィルタ）を持たせることにより、ＡＰＬレベルが急激に変化してもＤｕｔｙ比が変化しないようにしている。

【１４６３】

以上のような、Ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でＤｕｔｙ比制御を行っても良い。この場合のＤｕｔｙ比は数フィールド（数フレーム）の平均値をＤｕｔｙ比とする。なお、数フィールド（数フレーム）でＤｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレー

ム）単位には限定されない。
【１４６４】
図１０４は数フィールド（数フレーム）でＤｕｔｙ比制御を行う場合の実施例である。図１０４は数フィールド（数フレーム）を行う場合の概念を図示している。ＭはＤｕｔｙ比制御を行う長さである。１フィールド（１フレーム）が画素行数２５６であれば、Ｍ＝１０２４は４フィールド（４フレーム）が該当する。つまり、図１０４は４フィールド（４フレーム）でＤｕｔｙ比制御を行う実施例である。
【１４６５】
Ｍは仮想的ゲートドライバ回路１２ｂのシフトレジスタ６１ｂの保持データ列をしめしている（図６を参照のこと）。保持データ列には、ゲート信号線１７ｂに印加する電圧をオフ電圧にするかオン電圧にするかのデータ（オンオフ電圧）が保持されている。この保持データ列の平均値がＤｕｔｙ比を示すことになる。なお、図１０４において、Ｍ＝Ｎであっても良いことは言うまでもない。また、場合によっては、Ｍ　＜　Ｎの関係でＤｕｔｙ比制御を行っても良いことは言うまでもない。
【１４６６】
たとえば、Ｍ＝１０２４の保持データ列において、オン電圧データが２５６あり、オフ電圧が７６８であれば、Ｄｕｔｙ比は２５６／１０２４＝１／４となる。なお、オン電圧データの分布状態は表示画像が動画の場合は、固まって保持されており、表示画像が静止画の場合は、オン電圧の分布状態は分散して保持されている。
【１４６７】
　つまり、仮想的にオンオフ電圧データ列がＥＬ表示パネルのゲート信号線１７ｂに順次印加される。オンオフ電圧が順次印加されることによりＥＬ表示パネルがＤｕｔｙ比制御され、所定の明るさで表示される。
【１４６８】
図１０５は図１０４のＤｕｔｙ比制御を実現するための回路構成のブロック図である。まず、映像信号（画像データ）はＹ変換回路１０５１により、輝度信号に変換される。次に、ＡＰＬ演算回路１０５２により、ＡＰＬレベル（データ和あるいはデータ和／最大値）が求められる。このＡＰＬレベルによりＤｕｔｙ比がフィールド（フレーム）単位で算出され、結果はスタック１０５３に蓄えられる。スタック回路１０５３はｆｉｒｓｔ　ｉｎ　ｆｉｒｓｔ　ｏｕｔ構成である。なお、Ｗａｉｔ時間制御によりＤｕｔｙ比は補正されてスタック回路１０５３に格納される。スタック１０５３に格納されたＤｕｔｙ比データは、パラレル／シリアル変換（Ｐ／Ｓ）回路１０５４により、シフトレジスタ６１ｂのＳＴパルス（図６を参照のこと）として印加され、印加されたデータの順番に応じてゲートドライバ回路１２ｂからゲート信号線１７ｂのオンオフ電圧が出力される。
【１４６９】
以上の実施例では、フィールドあるいはフレームでＤｕｔｙ比制御を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、１フレーム＝４フィールドとし、複数のフィールドを単位としてＤｕｔｙ比制御を行っても良い。複数のフィールドを用いてＤｕｔｙ比制御を行うことにより、フリッカの発生しない滑らかな画像表示を実現できる。
【１４７０】
図１０６において、１－１は１フレームの第１フィールドを意味し、１－２は１フレームの第２フィールドを意味し、１－３は１フレームの第３フィールドを意味し、１－４は１フレームの第４フィールドを意味する。また、２－１は２フレームの第１フィールドを意味する。
【１４７１】
Ｄｕｔｙ比が１２８／１０２４→１３２／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２９／１０２４、１－３では１３０／１０２４、１－４では１３１／１０２４、２－１では１３２／１０２４と変化させる。以上の変化により１２８／１０２４から１３２／１０２４に緩やかに変化する。

【１４７２】
Ｄｕｔｙ比が１２８／１０２４→１３０／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２８／１０２４、１－３では１２９／１０２４、１－４では１２９／１０２４、２－１では１３０／１０２４と変化させる。以上の変化により１２８／１０２４から１３０／１０２４に緩やかに変化する。
【１４７３】
Ｄｕｔｙ比が１２８／１０２４→１３６／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１３０／１０２４、１－３では１３２／１０２４、１－４では１３４／１０２４、２－１では１３６／１０２４と変化させる。以上の変化により１２８／１０２４から１３６／１０２４に緩やかに変化する。
【１４７４】
フィールド（フレーム）のＤｕｔｙ比制御におけるＤｕｔｙ比の分子は整数である必要はない。たとえば、図１０７に図示するように、小数点以下となるように制御してもよい。分子が小数点以下とするのは、ＯＥＶ２端子を制御することより、容易に実現できる。また、複数のフレーム（フィールド）での平均Ｄｕｔｙ比を用いることによりＤｕｔｙ比の分子を見かけ上、小数点以下にすることができる。逆に、Ｄｕｔｙ比の分母に小数点以下を発生するようにしてもよい。図１０７では、分子が３０．８、３１．２など小数点以下としている。なお、分母、分子を一定以上の大きな整数にすることにより小数点以下を必要ないようにすることができる。
【１４７５】
動画と静止画とでは、Ｄｕｔｙ比パターンを変化させる。Ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のＤｕｔｙ比と静止画のＤｕｔｙ比との差異によって発生する。動画では非表示領域５２を一括して挿入するＤｕｔｙパターンを用いる。静止画では非表示領域５２を分散して挿入するＤｕｔｙパターンを用いる。非表示領域５２の面積／画面面積５０の比率がＤｕｔｙ比となる。しかし、同一Ｄｕｔｙ比であっても、非表示領域５２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。
【１４７６】
中間動画は、非表示領域５２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域５２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。
【１４７７】
静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、画面５０が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のＤｕｔｙ状態から、中間動画表示１のＤｕｔｙ比状態に移行し、さらに中間動画表示２のＤｕｔｙ状態に移行してから静止画表示のＤｕｔｙ状態に移行させてもよい。
【１４７８】
図１０８に図示するように動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。
【１４７９】
図１１０は動画と静止画および中間動画を移行するときの、Ｄｕｔｙ比、非表示領域の分

散数を示している。図１１０において、動画静止画レベルが０の時は、画像表示が動画レベルであること、１の時は画像表示が準動画（中間動画）状態であることを示している。また、２の時は、画像表示が静止画状態であることを示している。

【１４８０】

分散数は、非表示領域５２の分割数である。１とは非表示領域５２が一括して画面に挿入されていることを示している。３０とは非表示領域５２が３０に分割して挿入されていることを示している。同様に５０とは非表示領域５２が５０に分割して挿入されていることを示している。Ｄｕｔｙ比は以前にも説明したが、白表示の輝度低減率をしめしている。つまり、Ｄｕｔｙ比１／２とは、最高の白輝度の１／２の表示状態となっていることを示す。

【１４８１】

図１１０で図示するように、動画静止画レベルは、動画から静止画に移行する時、静止画から動画に移行する時に中間動画（準動画）状態を経由して以降する。

【１４８２】

動画から静止画に移行する時間は、図１１１に図示するようにＷａｉｔ時間を設けることが好ましい。Ｗａｉｔ時間は、動画の割合によって決定するとよい。図１１１の横軸の異なるデータ数とは、あるフレームと次のフレーム間で動画検出をし、動画検出により検出された動画の割合を示している。つまり、フレーム間で演算し、画像データが異なっている画素の割合が横軸である。したがって、数値が大きいほど、動画表示に近いということになる。図１１１では動画表示に近いほど、Ｗａｉｔ時間を長く確保している。

【１４８３】

さらにＤｕｔｙ比制御について説明するために、本発明の有機ＥＬ表示装置の電源回路について説明をする。図１１２は本発明の電源回路の構成図である。１１２２は制御回路である。抵抗１１２５ａと１１２５ｂの中点電位を制御し、トランジスタ１１２６のゲート信号を出力する。トランス１１２１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ１１２６のオンオフ制御により２次側に伝達される。１１２３は整流ダイオードであり、１１２４は平滑化コンデンサである。

【１４８４】

図２０１は本発明の電源回路の構成図である。１１２２は制御回路である。トランジスタ１７７５をオンオフ制御かけることにより、コイル１７７１に流れる電流、駆動波形を変化させ、コンデンサ１７７４に充電される電荷を制御する。抵抗１１２５ａと１１２５ｂの中点電位を制御し、トランジスタ１１２６のゲート信号を出力する。抵抗の抵抗値を変化させることによりＶｄｄ電圧（アノード電圧）を変化させることができる。電圧の発生はコイル（トランス）１７７１で行っているため、アノード電圧の変化によりカソード電圧（Ｖｓｓ）も変化する。つまり、アノード電圧（Ｖｄｄ）が高くなれば、カソード電圧（Ｖｓｓ）もシフトする。

【１４８５】

たとえば、アノード電圧（Ｖｄｄ）が６（Ｖ）で、カソード電圧（Ｖｓｓ）が－６（Ｖ）の場合を考える。アノード電圧（Ｖｄｄ）を９（Ｖ）に３（Ｖ）変化させると、カソード電圧（Ｖｓｓ）は－６（Ｖ）から－３（Ｖ）にシフトする。これは、トランス１１２１の入力側と出力側が絶縁されている効果である。

【１４８６】

電流駆動方式の有機ＥＬ表示パネルは、電位的な観点から以下の特徴がある。本発明の画素構成は、図１などでの説明したように駆動用トランジスタ１１ａはＰチャンネルのトランジスタである。また、プログラム電流を発生するソースドライバ１４の単位トランジスタ４８４はＮチャンネルのトランジスタである。この構成により、プログラム電流は、画素１６からソースドライバＩＣ（回路）１４に向かって流れる吸い込み電流（シンク電流）となっている。したがって、電位的な動作は、アノード（Ｖｄｄ）を原点として動作している。つまり、画素１６へのプログラムは電流であるから、駆動の電圧マージンが確保されていれば、ソースドライバＩＣ（回路）１４の電位はいずれでも良い。

【１４８７】
制御回路１１２２の制御はコントローラなどのロジック回路で制御する。したがって、制御回路１１２２とロジック回路のグランドは一致させる必要がある。しかし、トランス１１２１は入力側と出力側は切り離されている。電流プログラム方式のソースドライバＩＣ（回路）１４は出力側に作用し、アノード電位（Ｖｄｄ）を基準に動作する。したがって、ソースドライバＩＣ（回路）１４のグランドは、制御回路１１２２、ロジック回路のグランドと一致させる必要はない。この点で、ソースドライバＩＣ１４が電流プログラム方式であること、トランス１１２２を用いてアノード電圧（Ｖｓｓ）を発生させること（さらに加えるならば、アノード電圧（Ｖｄｄ）を基準としてカソード電圧（Ｖｓｓ）を発生させること）、画素１６の駆動用トランジスタ１１ａがＰチャンネルであることの組み合わせは相乗効果を発揮する。
【１４８８】
また、有機ＥＬ表示パネルは、アノード（Ｖｄｄ）とカソード（Ｖｓｓ）との絶対値で動作する。たとえば、Ｖｄｄ＝６（Ｖ）で、Ｖｓｓ＝－６（Ｖ）であれば、６－（－６）＝１２（Ｖ）で動作する。図１１２の本発明のトランス１１２１を用いた電源回路では、アノード（Ｖｄｄ）を基準にしてカソード電圧（Ｖｓｓ）が変化する。また、アノード電圧（Ｖｄｄ）が、本発明の電流駆動のソースドライバＩＣ（回路）１４のプログラム電流の基準位置である。つまり、アノード電圧（Ｖｄｄ）を原点として動作している。逆に、カソード電圧（Ｖｓｓ）の電位あるいは制御はラフでよい。この理由によっても、図１１２のトランスを用いた本発明の電源回路、電流駆動の画素１６構成を有する有機ＥＬパネル、電流プログラム方式のソースドライバＩＣ（回路）１４とは組み合わせによる相乗効果を発揮することが理解できる。また、アノード電圧の変化によりカソード電圧がシフトする点も重要である。
【１４８９】
また、有機ＥＬパネルは、アノードＶｄｄから駆動用トランジスタ１１ａに流れ込む電流Ｉｄｄと、ＥＬ素子１５からカソードＶｓｓに流れ出す電流Ｉｓｓが略一致する。つまり、Ｉｄｄ＝Ｉｓｓの関係がある。実際は、Ｉｄｄ＞Ｉｓｓとなるが、この差は、ソースドライバＩＣ（回路）１４のプログラム電流であるため、極わずかであり無視できる。図１１２、図１７７のトランス１１２１は、構成上、アノードＶｄｄから出力される電流と、カソードＶｓｓから吸い込む電流が一致する。この点においても、有機ＥＬパネルと本発明のトランス１１２１を用いた電源回路の組み合わせの相乗効果は大きい。
【１４９０】
なお、画素１６の駆動用トランジスタ１１ａをＮチャンネルトランジスタとする場合は、ソースドライバＩＣ（回路）１４の単位トランジスタ４８４はＰチャンネルトランジスタとすると同様の効果を発揮できることは言うまでもない。
【１４９１】
ゲートドライバ回路１２のＶｇｈ電圧、Ｖｇｌ電圧、ソースドライバ回路の電源電圧などは、カソード電圧（Ｖｓｓ）または（および）アノード電圧（Ｖｄｄ）から発生させると効率がよい。また、トランス１１２１は入力２端子、出力２端子の４端子構成でもよいか、図１１２に図示するように、入力２端子、出力は中点といれて３端子とすることが望ましい。なお、トランス１１２１には単巻きトランス（コイル）も含まれる。
【１４９２】
トランス１１２１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ１１２６のオンオフ制御により２次側に伝達される。１１２３は整流ダイオードであり、１１２４は平滑化コンデンサである。
【１４９３】
アノード電圧Ｖｄｄは抵抗１１２５ｂに出力電圧が調整される。Ｖｓｓはカソード電圧である。カソード電圧Ｖｓｓは図１７８に図示するように２つの電圧を選択して出力できるように構成されている。選択はスイッチ１７８１で行う。カソード電圧としての２つの電圧（図１７８では、－９（Ｖ）と－６（Ｖ））の発生は、トランス１１２１の出力側に中

間タップを設けることにより容易に発生できる。また、トランス１１２１の出力側に－９（Ｖ）用と、－６（Ｖ）用の２つの巻線を構成し、この巻線のいずれかを選択することのより容易に発生できる。この点も本発明のすぐれた点である。また、図１７８などではカソード電圧（Ｖｓｓ）を切り換える点も特徴である。アノードは電位の原点として変化させると回路構成が複雑となり、コストが高くなる。一方、カソード電圧（Ｖｓｓ）は１０％程度の電位誤差が発生しても、画像表示に影響を与えない（鈍感である）。したがって、アノード電圧を基準としてカソード電圧を設定する点、パネルの温度特性にあわせて、カソード電圧（Ｖｓｓ）を変化させる点は本発明の優れた特徴である。また、トランス１１２１は、入力巻線数と出力巻線数との比を変化させることにより容易にカソード電圧およびアノード電圧を変化させることも利点が多い。また、トランジスタ１７７６のスイッチング状態を変化することにより、アノード電圧（Ｖｄｄ）を変化できることも利点が多い。図１７８では、スイッチ１７８１により－９（Ｖ）が選択されている。

【１４９４】

なお、図１７８では、カソード電圧Ｖｓｓを２つの電圧から選択するとしたが、これに限定するものではなく、２つ以上にしてもよい。また、カソード電圧は可変レギュレータ回路を用いて、連続的に変化させてもよい。

【１４９５】

スイッチ２０２１の選択は温度センサ７０１からの出力結果による。パネル温度が低いときは、Ｖｓｓ電圧として、－９（Ｖ）を選択する。一定以上のパネル温度の時は、－６（Ｖ）を選択する。これは、ＥＬ素子１５に温特があり、低温側でＥＬ素子１５の端子電圧が高くなるためである。なお、図１７８では、２つの電圧から１つの電圧を選択し、Ｖｓｓ（カソード電圧）とするとしたが、これに限定するものではなく、３つ以上の電圧からＶｓｓ電圧を選択できるように構成してもよい。以上の事項は、Ｖｄｄについても同様に適用される。なお、本発明は一定以下の低温では、カソード電圧（Ｖｓｓ）を低くする点も特徴ある構成である。

【１４９６】

なお、図１７８では、温度センサ７０１でカソード電圧を切り換える（変化させる）としたが、これに限定するものではない。たとえば、図１７７に図示するように、出力電圧を決定する抵抗１７７５に並列にあるいは直列に可変抵抗（ポジスタ、サーミスタなど）を形成または配置し、全体として温度により抵抗値を変化できるように構成してもよい。

【１４９７】

図１７８のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、Ｖｓｓ電圧を低下させればよいからである。通常は、電圧が低いＶｓｓ＝－６（Ｖ）を使用することができる。なお、スイッチ２０２１は図１７８に図示するように構成してもよい。なお、複数のカソード電圧Ｖｓｓを発生させるのは、図１７８のトランス１１２１から中間タップをとりだすことにより容易に実現できる。アノード電圧Ｖｄｄの場合も同様である。実施例として、図１７９の構成を例示する。図１７９では、トランス１７７１の中間タップを用いて複数のカソード電圧を発生させている。

【１４９８】

図１８０は電位設定の説明図である。この例では説明を容易にするため、ソースドライバＩＣ１４はＧＮＤを基準にするとして説明をする。ソースドライバＩＣ１４の電源はＶｃｃである。Ｖｃｃはアノード電圧（Ｖｄｄ）と一致させてもよい。本発明では消費電力の観点から、Ｖｃｃ＜Ｖｄｄにしている。好ましくは、ソースドライバＩＣ（回路）のＶｃｃ電圧は　Ｖｄｄ－１．５（Ｖ）　＜＝　Ｖｃｃ　＜＝　Ｖｄｄの関係を満足させることが好ましい。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｃｃは、Ｖｄｄ－１．５＝５．５（Ｖ）以上７（Ｖ）以下の条件を満足させることが好ましい。なお、Ｖｃｃ電圧とは、図４８、図１６６のスイッチ４８１を動作させる最大電圧である。

【１４９９】

ゲートドライバ回路１２のオフ電圧Ｖｇｈは、Ｖｄｄ電圧以上にする。好ましくは、Ｖｄ

ｄ＋０．２（Ｖ）＜＝Ｖｇｈ＜＝Ｖｄｄ＋２．５（Ｖ）の関係を満足させる。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｇｈは、７＋０．２＝７．２（Ｖ）以上７＋２．５＝９．５（Ｖ）以下の条件を満足させるようにする。以上の条件は、画素選択側（図１の画素構成ではトランジスタ１１ｂ、１１ｃ）と、ＥＬ選択側（図１の画素構成ではトランジスタ１１ｄ）の両方に適用される。

【１５００】

駆動用トランジスタ１１ａとのプログラム電流の経路を発生させるスイッチング用トランジスタ（図１の画素構成にあっては、トランジスタ１１ｂ、１１ｃが該当する）のオン電圧Ｖｇｌは、Ｖｄｄ－Ｖｄｄ以下Ｖｄｄ－Ｖｄｄ－４（Ｖ）の条件を満足させるか、もしくは、カソード電圧Ｖｓｓと略一致させることが好ましい。同様に、ＥＬ選択側（図１の画素構成にあっては、トランジスタ１１ｄが該当する）のオン電圧も同様である。つまり、アノード電圧が７（Ｖ）、カソード電圧が－６（Ｖ）であれば、オン電圧Ｖｇｌは、７－７（Ｖ）＝０（Ｖ）以下７－７－４＝－４（Ｖ）の範囲にすることが好ましい。もしくは、オン電圧Ｖｇｌはカソード電圧と略一致させ、－６（Ｖ）あるいはその近傍とすることが好ましい。

【１５０１】

なお、画素１６の駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、Ｖｇｈはオン電圧となる。この場合は、オフ電圧をオン電圧に置き換えればよいことは言うまでもない。

【１５０２】

本発明の電源回路の課題に、アノード電圧Ｖｄｄおよび（または）カソード電圧ＶｓｓからＶｇｈ、Ｖｇｌ電圧などを発生させている点がある。アノード電圧などはトランス１１２１で発生させ、この電圧から、ＤＣＤＣコンバータＶｇｈ、Ｖｇｌ電圧などが印加されることになる。

【１５０３】

しかし、Ｖｇｈ、Ｖｇｌはゲートドライバ回路１２の制御電圧であり、この電圧が印加されていないと、画素のトランジスタ１１はフローティング状態となってしまう。また、Ｖｃｃ電圧がないと、ソースドライバＩＣ（回路）１４もフローティング状態となり、誤動作と引き起こす。したがって、図１８１に図示するように、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧をパネルに印加した後、Ｔ１時間経過後、あるいは同時にＶｄｄ、Ｖｓｓ電圧を印加する必要がある。

【１５０４】

この課題に対して、本発明は図１８２に図示する構成で解決している。図１８２において、１７８３ａはトランス１１２１などから構成される電源回路である。１７８３ｂは、電源回路１７８３ａからの電圧を入力し、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧などを発生させる電源回路であり、ＤＣＤＣコンバータ回路、レギュレータ回路などで構成される。１８２１はスイッチである。サイリスタ、メカニカルリレー、電子リレー、トランジスタ、アナログスイッチなどが該当する。

【１５０５】

図１８２の（ａ）では、電源回路１７８３ａがまず、アノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）を発生する。この発生時には、スイッチ１８２１ａがオープン状態となっている。したがって、表示パネルにはアノード電圧（Ｖｄｄ）は印加されない。電源回路１７８３ａで発生したアノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）は電源回路１７８３ｂに印加され、電源回路１７８３ｂでＶｇｈ、Ｖｇｌ、Ｖｃｃ電圧が発生させられ、表示パネルに印加される。Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧を表示パネルに印加した後、スイッチ１８２１ａがオン（クローズ）し、表示パネルにアノード電圧（Ｖｄｄ）が印加される。

【１５０６】

図１８２の（ａ）では、アノード電圧（Ｖｄｄ）のみをスイッチ１８２１ａで遮断している。これは、アノード電圧（Ｖｄｄ）が印加されていなければ、ＥＬ素子１５に電流を印

加する経路が発生せず、また、ソースドライバＩＣ（回路）１４に流れる経路も発生しないからである。したがって、表示パネルが誤動作あるいはフローティング動作することがない。

【１５０７】

もちろん、図１８２の（ｂ）に図示するように、スイッチ１８２１ａ、１８２１ｂの両方をオンオフ制御することにより、表示パネルに印加する電圧を制御してもよい。ただし、スイッチ１８２１ａと１８２１ｂは同時にクローズ状態にするか、もしくは、スイッチ１８２１ａがクローズした後、スイッチ１８２１ｂがクローズ状態となるように制御する必要がある。

【１５０８】

以上は、電源回路１７８３ａのＶｄｄ端子にスイッチ１８２１を形成または配置する構成であった。図１８３はスイッチ１８２１を形成または配置しない構成である。アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似し、また、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似している点、Ｖｇｈ電圧が印加されていればゲートドライバ回路１２によりゲート信号線１７ａ、１７ｂにオフ電圧Ｖｇｈが印加され、トランジスタ１１（図１の構成ではトランジスタ１１ｂ、トランジスタ１１ｃ、トランジスタ１１ｄ）がオフ状態になることを利用している。トランジスタ１１がオフ状態であれば、駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流経路は発生せず、また、駆動用トランジスタ１１ａからソースドライバＩＣ（回路）１４に流れるプログラム電流の経路も発生しないから、表示パネルが誤動作あるいは異状動作することがない。

【１５０９】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似していると、抵抗１８３１ａでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｇｈ＝８（Ｖ）とし、抵抗１８３１ａが１０（ＫΩ）とすれば、（８－７）／１０＝０．１となるから、抵抗１８３１ａに流れる電流は、０．１（ｍＡ）である。また、Ｖｇｈはオフ電圧である。また、ゲートドライバ回路１２から出力される電圧であるので、使用する電流は小さい。本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｇｈ端子とを短絡した抵抗１８３１ａによって、ゲート信号線１７をオフ電圧（Ｖｇｈ）あるいはその近傍の電位に保持することができる。したがって、アノード電圧（Ｖｄｄ）からＥＬ素子１５に流れる電流経路が発生することがなく、表示パネルに異状動作が発生しない。なお、ゲートドライバ回路１２のシフトレジスタ６１（図６を参照のこと）を動作させ、すべてのゲート信号線１７からオフ電圧（Ｖｇｈ）が出力されるように、制御することは言うまでもない。

【１５１０】

その後、電源回路１７８３ｂが完全動作し、電源回路１７８３ｂから規定のＶｇｈ電圧、Ｖｇｌ電圧、Ｖｃｃ電圧が出力される。

【１５１１】

同様に、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似していると、抵抗１８３１ｂでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｃｃ＝６（Ｖ）とし、抵抗１８３１ａが１０（ＫΩ）とすれば、（７－６）／１０＝０．１となるから、抵抗１８３１ｂに流れる電流は、０．１（ｍＡ）である。また、ＶｃｃはソースドライバＩＣ（回路）１４で使用する電圧であるが、Ｖｃｃから消費される電流はソースドライバ回路１４のシフトレジスタ回路とスイッチ４８１（図４８、図１６６を参照のこと）のオンオフ制御に使用される程度であり、わずかである。

【１５１２】

本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｃｃ端子とを短絡した抵抗１８３１ｂによって、ソースドライバ回路１４のスイッチ４８１をオフ（オープン）状態にすることにより、単位トランジスタ４８４には電流が流れ込まなくする

ことができる。したがって、アノード電圧（Ｖｄｄ）からソース信号線１８への電流経路は発生しないから、表示パネルに異状動作が発生しない。なお、ソースドライバ回路１４のシフトレジスタを動作させ、すべてのソース信号線１７から単位トランジスタ４８４の電流経路を切り離すように制御することは言うまでもない。

【１５１３】

また、図１８３において、カソード電圧（Ｖｓｓ）端子とＶｇｌ端子間を抵抗（図示せず）で短絡しておいてもよい。この抵抗の短絡により、カソード電圧（Ｖｓｓ）の発生時にカソード電圧（Ｖｓｓ）がＶｇｌ端子に印加される。したがって、ゲートドライバ回路１２が正常動作する。

【１５１４】

なお、図１８３ではアノード電圧（Ｖｄｄ）でＶｇｈ端子を抵抗１８３１でショートするとしたが、駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、アノード電圧（Ｖｄｄ）とＶｇｌ端子もしくは、カソード電圧（Ｖｓｓ）とＶｇｌ端子とをショートさせることは言うまでもない。

【１５１５】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧間、アノード電圧（Ｖｄｄ）とＶｃｃ電圧間などは比較的に高い抵抗でショート（接続）するとしたが、これに限定するものではない。抵抗１８３１をリレーあるいはアナログスイッチなどのスイッチに置き換えても良い。つまり、アノード電圧（Ｖｄｄ）が発生した時点で、リレーがクローズ状態にしておく。したがって、アノード電圧（Ｖｄｄ）をＶｇｈ端子およびＶｃｃ端子に印加される。次に、電源回路１７８３ｂでＶｇｈ電圧、Ｖｈｌ電圧、Ｖｃｃ電圧などが発生した時点で、リレーをオープン状態にし、アノード電圧（Ｖｄｄ）とＶｇｈ端子、およびアノード電圧（Ｖｄｄ）とＶｃｃ端子とを切り離す。

【１５１６】

トランス１１２１は比較的高さが高い。そのため、図２０６に図示するように、ソースドライバＩＣ１４に対面する位置に配置された基板８３に実装する。基板８３はシャーシ２０６１に取り付け、トランス１１２１などからの放熱を良好にする。基板８３にはチップコンデンサ、チップ抵抗などのチップ部品２０６３を実装する。また、トランス１１２１に前面には、パネルモジュールの操作ボタン２０６２を配置している。

【１５１７】

ＥＬ表示パネルからの発熱対策は重要である。発熱対策のため、パネルの裏面（表示画面５０からの光が出ない面）に金属材料からなるシャーシ２０６１を取り付ける（図２０６を参照のこと）。シャーシ２０６１には放熱を良好にするため、凹凸（図示せず）を形成する。また、シャーシ２０６１とパネルでは封止フタ８５）間に接着層を配置する。接着層は熱伝導性のよい材料を用いる。たとえば、シリコン樹脂やシリコン材料からなるペーストが例示される。これらは、レギュレータＩＣと放熱板間の接着剤（密着剤）としてよく用いられている。なお、接着層は接着する機能に限定されず、シャーシとパネルとを密着させる機能のみでもよい。

【１５１８】

有機ＥＬ表示パネルは、アノードＶｄｄとカソードＶｓｓ間にＥＬ素子１５が形成（配置）されている。図１１２の電源回路からアノードＶｄｄ電圧およびカソードＶｓｓ電圧の供給を受ける。ＥＬ素子１５が発光しない時は、アノード－カソード間に流れる電流は０である。本発明のＤｕｔｙ比制御では、画素行ごとにゲート信号線１７ｂのオンオフ電圧と印加し、ＥＬ素子１５の電流制御を行なう。また、オン電圧を印加したゲート信号線１７ｂの位置は走査される。たとえば、図９７は非表示領域５２を４分割した実施例である。図９７の（ａ）、（ｂ）、（ｃ）、（ｄ）は非表示領域５２の大きさは異なる。しかし、非表示領域５２は画面５０の上部から下部に走査される（移動していく）。同様に表示領域５３も画面５０の上から下方向に走査される。非表示領域５２に該当する画素１６のＥＬ素子１５には電流が流れない。一方、表示領域５３に該当する画素１６のＥＬ素子１５には電流が流れる。

【１５１９】
ここで課題を説明するために、１画素行ごとに非表示領域５２と表示領域５３とが繰り返す表示パターンを例示する。この表示状態は白黒の横ストライプ表示である。つまり、奇数画素行が白表示であり、偶数画素行が黒表示である。なお、この表示パターンを１横ストライプと呼ぶ。
画素行数を２２０画素行数あるとし、Ｄｕｔｙ比を１１０／２２０の状態を例示する。Ｄｕｔｙ比１１０／２２０とは、ゲート信号線１７ｂに対し、１画素行ごとにオン電圧とオフ電圧が印加された状態である。また、オン電圧またはオフ電圧が印加されたゲート信号線１７ｂ位置は、水平同期信号に同期して走査される。したがって、ある画素行のゲート信号線１７ｂに着目すれば、このゲート信号線１７ｂには水平同期信号に同期して、オン電圧印加状態とオフ電圧印加状態とが交互に繰り返される。画面５０全体で考えれば偶数画素行にオン電圧が印加される。この期間には、奇数画素行にはオフ電圧が印加されている。１水平走査期間後に奇数画素行にオン電圧が印加される。この期間には偶数画素行にはオフ電圧が印加される。
【１５２０】
奇数画素行が白表示で、偶数画素行が黒表示の１横ストライプ表示では、奇数画素行にオン電圧が印加された時には、電源回路から表示領域に電流が流れる。しかし、偶数画素行にオン電圧が印加されたときは、偶数画素行が黒表示のため、電源回路から表示領域には電流が流れない。したがって、電源回路は１水平走査期間ごとに、電流を流す動作と、電流を全く流さない動作とを繰り返すことになる。この動作は電源回路にとって、好ましいことではない。電源回路に過渡現象が発生し、また電源効率が悪化するからである。
【１５２１】
この課題を解決する駆動方式を図１００に図示する。図１００では、Ｄｕｔｙ比を１／２とせず、複数のＤｕｔｙ比の状態が画面５０内で発生するようにし、１横ストライプ表示であっても常時電流が流れるように制御している。
【１５２２】
図１００の（ａ）（ｂ）はＤｕｔｙ比１／２とＤｕｔｙ比１／１とＤｕｔｙ比１／３とを発生させ、全体として（１フレーム期間の平均で）Ｄｕｔｙ比１／２を実現している。以上のように、複数のＤｕｔｙ比を１フレーム期間に組み合わせることにより１横ストライプ表示であっても、電源回路からの出力電流がオンオフ状態となることはなくなる。つまり、比較的１横ストライプなどの規則正しい表示パターンは多く表示さえることが多い。これに対して、非表示領域５２幅が等間隔になるＤｕｔｙ比パターンによるＤｕｔｙ比制御を行うと電源回路に負担が発生しやすい。したがって、Ｄｕｔｙ比パターンは画面５０に同時に複数発生するように駆動することが好ましい。また、Ｄｕｔｙ比パターンは、単一Ｄｕｔｙ比パターンとせず、１フレームまたは福数フレーム（フィールド）の平均として所定Ｄｕｔｙ比になるようにすることが好ましい。
【１５２３】
なお、図１００において、Ｄｕｔｙ比パターンは図９７に図示するように画面５０の上から下方向に走査されることはいうまでもない。また、本発明のＤｕｔｙ比制御方法において、水平同期信号に同期して１画素行ごとに走査位置を移動させるとしたが、これに限定するものではない。たとえば、水平同期信号に同期して複数画素行ずつ走査位置を移動させてもよい。また、走査方向は、画面５０の上から下方向に限定するものではない。たとえば、１フィールド目は画面５０の上から下方向に走査し、２フィールド目は画面５０の下から上方向に走査してもよい。
【１５２４】
図１００は離散した１画素行のゲート信号線１７ｂごとにオン電圧印加とオフ電圧印加する駆動方法であった。しかし、本発明はこれに限定するものではない。図１０１ａ）は図１００の駆動状態である。同様の画面５０輝度を実現する駆動は、図１０１の（ｂ）のＤｕｔｙ比パターンでの実現できる。図１０１の（ｂ）ではオン電圧またはオフ電圧が印加される画素行連続させている。

【１５２５】
同一の画面５０輝度を実現するＤｕｔｙ比パターンは多種多様なパターンがある。図１０２の（ａ）に図示するように、非表示領域５２を極めて多く分散させるパターンもあれば、図１０２の（ｂ）のように比較的非表示領域５２の分散状態を少なくしたパターンもある。図１０２の（ａ）のパターンも図１０２の（ｂ）のパターンのＤｕｔｙ比を約分すれば同一になる。したがって、画面５０輝度は同一にすることができる。
【１５２６】
ＥＬ表示パネルでは、ＥＬ素子１５の劣化により画像が焼きつくという問題がある。特に画像は固定パターンで焼きつきやすい。この課題に対応するため、本発明は、固定パターンを表示するサブ画像表示画面５０ｂ（サブ画面）を具備している。表示画面５０ａ（メイン画面）はテレビ画像などの動画表示領域である。
【１５２７】
図１４７の本発明のＥＬ表示パネルでは、サブ画面５０ｂとメイン画面５０ａとのゲートドライバ回路１２は共通である。サブ画面５０ｂは２０画素行以上とする。したがって、一例として画面５０はメイン画面５０ａの２２０画素行と、サブ画面５０ｂの２４画素行から構成される。なお、画素列数は１７６×ＲＧＢである（図１４８参照）。
【１５２８】
メイン画面５０ａとサブ画面５０ｂとは図１４９に図示するように、明確に分離してもよい。図１４９では、メイン画面５０ａとサブ画面５０ｂ間にスペースＢＬを設けている。スペースＢＬは画素１６が形成されていない領域である。
【１５２９】
なお、メイン画面（メインパネル）とサブ画面（サブパネル）の画素の駆動用トランジスタ１１ａのＷ／Ｌ（Ｗは駆動用トランジスタのチャンネル幅、Ｌは駆動用トランジスタのチャンネル長）を変化させてもよい。基本的にはサブ画面（サブパネル）のＷ／Ｌを大きくする。また、メイン画面（メインパネル）５０ａの画素１６ａサイズとサブ画面（サブパネル）５０ｂの画素サイズ１６ｂの大きさを変化させてもよい。また、メイン画面（メインパネル）５０ａのアノード電圧あるいはカソード電圧と、サブ画面（サブパネル）５０ｂのアノード電圧Ｖｄｄあるいはカソード電圧Ｖｓｓを別電圧とし、印加する電圧を変化させてもよい。
【１５３０】
また、サブパネル７１ｂとメインパネル７１ａを図１５０の（ｂ）に図示するように重ねて使用する場合は、封止基板（封止薄膜層）８５ａと封止基板（封止薄膜層）８５ｂ間に緩衝シート１５０４を配置もしくは形成する。緩衝シート１５０４としては、マグネシウム合金などの金属からなる板あるいはシート、ポリエステルなどの樹脂からなる板あるいはシートが例示される。
【１５３１】
図１５０も図示するように、サブ画面５０ｂを表示するサブパネル７１ｂを別途設けてもよい。メインパネル７１ａとサブパネル７１ｂとはフレキ基板８４でソース信号線１８ａと１８ｂ接続する。フレキ基板８４には、接続配線１５０３を形成しておく。ソース信号線１８ａの終端には、アナログスイッチ１５０１から構成されるアナログスイッチ群を配置する。アナログスイッチ１５０１はソースドライバ回路１４からの電流信号をサブパネル７１ｂに供給するか否かの制御を行うものである。
【１５３２】
アナログスイッチ１５０１のオンオフ制御を行うため、スイッチ制御線１５０２が形成される。スイッチ制御線１５０２へのロジック信号によりサブパネルへの信号供給が制御され画像が表示される。
【１５３３】
なお、サブパネル７１ｂにゲートドライバ回路を形成せず、もしくはゲートドライバＩＣチップを実装せず、図９で説明したようにＷＲ側にゲート信号線１７を形成し、図４０で説明した点灯制御線４０１を形成または配置してもよい（図１５１参照）。

【１５３４】
アナログスイッチ１５０１は図１５２に図示するようにＰチャンネルとＮチャンネルとを組み合わせたＣＭＯＳタイプが好ましい。スイッチ制御線１５０２の途中にインバータ１５２１を配置してスイッチ１５０１をオンオフ制御する。また、図１５３に図示するように、アナログスイッチ１５０１ｂはＰチャンネルのみで形成してもよい。
【１５３５】
また、サブパネル７１ｂとメインパネル７１ａでソース信号線１８数が異なる場合は、図１５４のように構成してもよい。アナログスイッチ１５０１ａと１５０１ｂの出力をショートし、同一の端子１５２２ａに接続する。また、図１５５に図示するように、アナログスイッチ１５０１ｂの出力をＶｄｄ電圧に接続し、オンしないように構成してもよい。また、図１５６に図示するように、サブパネル７１ｂと接続することが不要なソース信号線１８の終端にはアナログスイッチ１５０１ａ（１５０１ａ１，１５０１ａ２）を配置または形成してもよい。アナログスイッチ１５０１ａはオフ電圧を印加し、オンしないように構成する。
【１５３６】
焼き付きは、一定以上の期間、画像が変化しない場合に発生する。本発明では、データ和が小さい時にＤＵＴＹ比を大きくしてダイナミックレンジを拡大させている。しかし、データ和が小さいときに、静止画を表示しつづけると焼き付きが発生してしまう。この課題を解決するためには、一定期間以上、静止画が表示されていることを検出し、ＤＵＴＹ比を小さくするか、基準電流を小さくすればよい。本発明は、静止画状態が一定期間連続する場合に、ｄｕｔｙ比あるいは（および）基準電流を変化（小さくする）する駆動方法である。
【１５３７】
課題はいかにして静止画が連続しているかを検出するかである。静止検出は、フレームあるいはフィールド間で、画像データの差分をとりことにより実現できる。しかし、フレーム間などで差分をとるためには、フレームメモリが必要である。本発明では、画像データのサンプルポイントのみの画像データ対して差分演算を実施してこの課題を解決している。図２０４、図２０５はその説明図である。
【１５３８】
図２０４において、画面５０を構成する画像データを一定間隔でサンプリングし、サンプリングされた画像データの総和（総和はＳＵＭ回路２０５１で実施する）を求め、次にフレームの画像データの総和と比較する。総和が一致しているか、類似した大きさであれば、静止画である。判定は、数秒あるいは数十秒の単位で行う。つまり、総和の比較（比較回路２０５２で実施する）はフレーム（フィールド）ごとに行う（もちろん、複数フレームまたはフィールド間隔で実施してもよい）。途中で比較結果が静止画として判定される場合もあるが、すぐにＤＵＴＹ比あるいは基準電流を変更せず、一定期間以上に連続する場合に、固定パターンが表示されているとしてＤＵＴＹ比あるいは基準電流を変化させる。
なお、実施例ではサンプリングした画像データの総和をとり、比較するとしたが、これに限定するものではなく、画素データごとに差分をとり、静止画であるかを検出してもよいことは言うまでもない。
【１５３９】
以上に説明した本発明のＥＬ表示装置、液晶表示装置などに用いるアレイ基板、前記アレイ基板にＥＬ素子１５を形成したＥＬ表示パネル、前記ＥＬ表示パネルを用いたＥＬ表示装置あるいは情報表示装置もしくは映像表示装置の検査方法と検査装置について説明をする。検査方法は、アレイ基板もしくは表示装置の製造方法において歩留まりを向上させ、低コスト化のための必須技術である。
【１５４０】
なお、ＥＬ表示パネルの検査方法あるいは検査装置として説明をするが、しかし、本発明はＥＬ素子１５が形成されていない状態（アレイ状態）でも本発明の検査方式を適用する

ことができる。つまり、ＥＬ表示パネルの検査方法として説明していても、アレイの検査方法にも適用できる。アレイと、ＥＬパネルとの差は、ＥＬ素子１５の形成の有無だけである。したがって、ＥＬ表示パネルとアレイの検査方式とは同義であり、両方とも本発明の技術的範疇に含まれる。同様に、ＥＬ表示装置の検査方式も同様である。また、アレイと表示パネルとは特に断りがない限り同義として取り扱う。また、表示パネルと表示装置についても特に断りがない限り同義として取り扱う。

【１５４１】

まず、最初に図１に記載している電流駆動方式の画素構成を採用するアレイ基板あるいはそれを用いた表示装置を中心として説明をする。しかし、本発明はこれに限定するものではなく、他の画素構成でも適用できることは言うまでもない。

【１５４２】

図１の画素構成において、図３５７に図示するように、ゲート信号線１７に電圧を印加する。なお、図３５７において、画素１６の駆動用ＴＦＴ１１ａのゲート端子（Ｇ）には、Ｖｔ以上の電圧が印加されているとする。Ｖｔ電圧を印加するためには、図３６１に図示するようにゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加し、ソース信号線１８に印加されたＶｓ電圧をＴＦＴ１１ａのゲート端子に書き込めばよい。

【１５４３】

なお、ここではＶｔ電圧とは、ＥＬ素子１５が発光し、この発光を視覚的あるいは光学的に検出できる以上の電流の意味で用いている。つまり、ＴＦＴ１１ａが比較的ＥＬ素子を発光させるのに十分な電流を流す状態である。したがって、Ｖｔ電圧とは、ＥＬ素子１５の発光開始電流以上となるようにＴＦＴ１１ａを制御したものである。ここでは説明を容易にするため、Ｖｔ電圧以上の電圧を印加することによりＴＦＴ１１ａが流す電流をオン電流と呼ぶ。

ゲート信号線１７ａにはゲートオフ電圧（Ｖｇｈ）、ゲート信号線１７ｂにはゲートオン電圧（Ｖｇｌ）を印加する（以上はスイッチングＴＦＴ１１がＰチャンネルの場合である。Ｎチャンネルの場合は、逆の関係となる）。

【１５４４】

すると、図３５８に図示するように、ゲート信号線１７ａに接続されたスイッチングＴＦＴ１１ｂ、１１ｃはオフ状態となり、ゲート信号線１７ｂに接続されたスイッチングＴＦＴ１１ｄはオン状態となる。一方、駆動ＴＦＴ１１ａのソース端子（Ｓ）にはドレイン端子（Ｄ）よりも高い電圧Ｖｄｄが印加されている。この状態では、駆動用ＴＦＴ１１ａから電流ＩｅがＥＬ素子１５に流れる。したがって、ＥＬ素子１５は点灯する。

【１５４５】

駆動用ＴＦＴ１１ａがオン電流を流すようにするには、ソース信号線１８にＶｔ電圧（駆動用トランジスタ１１ａが電流を流し始める電圧）以上の電圧を印加し、ゲート信号線１７ａにオン電圧を印加することのより、ＴＦＴ１１ｂ、ＴＦＴ１１ｃをオンさせ、ソース信号線１８に印加された電圧を駆動ＴＦＴ１１ａのゲート（Ｇ）端子に印加する方法がある。もちろん、本発明の検査方法において、この方法を採用してもよい。しかし、この方法では、ソース信号線１８に電圧を印加する必要がある。

【１５４６】

他の方法として、ソース信号線１８をオープンにし（電圧などが無印加状態）、ゲート信号線１７ａ、ゲート信号線１７ｂにオン電圧を印加し、ＴＦＴ１１ｂ、１１ｄをオンさせる方法がある。すると、駆動用ＴＦＴ１１ａのゲート（Ｇ）端子の電位は、ＥＬ素子１５のアノード電位となる。Ｖｄｄ電圧が十分高く、またＥＬ素子１５のカソード電位（Ｖｓｓ）が低ければ、駆動用ＴＦＴ１１ａはオン電流を流すようになる。この状態で、ゲート信号線１７ａのオフ電圧を印加し、ＴＦＴ１１ｂをオフ状態にしても、ＴＦＴ１１ａがオン状態を維持するのに、コンデンサ１９に十分な電荷が保持されている。したがって、ＴＦＴ１１ａは一定の期間、オン状態（オン電流を流す状態）を維持する。

【１５４７】

つまり、ソース信号線１８がオープン状態であっても、ゲート信号線１７ａ、１７ｂにオ

ン電圧を印加し、ＴＦＴ１１ｂ、ＴＦＴ１１ｄをオンさせればよい。また、ゲート信号線１７ｂにオン電圧を印加し、ＴＦＴ１１ｄのオン状態を維持したまま、ゲート信号線１７ａのオン電圧位置を走査していけば、ＥＬ素子１５が発光する。なお、ゲート信号線１７ａにオン電圧を印加し、ＴＦＴ１１ｂをオンさせて、駆動用ＴＦＴ１１ａがオン電流を流すようにするとしたが、実際には、ゲート信号線１７ａをオフ状態のままを維持しても、駆動用ＴＦＴ１１ａはオン電流を流すようになり、ＥＬ素子１５が発光する。これは、ＴＦＴ１１ｂのリークによるためと推定される。したがって、ゲート信号線１７ａは走査しなくとも、また、ゲート信号線１７ａにオン電圧を印加せずとも本発明の検査方式を実現することができる。しかし、以下の実施例においては、検査を確実にするため、ゲート信号線１７ａは走査あるいはオン電圧を印加するとして説明する。そのため、本発明において、ゲート信号線１７ａの操作状態に限定されるものではない。

【１５４８】

以上の駆動を実施すれば、図１の画素構成において、ＥＬ素子１５の点灯、非点灯を検出することのより、少なくともＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＥＬ素子１５の動作状態（正常あるいは非正常）を検出あるいは検査を行うことができる。

【１５４９】

なお、本発明の検査方法などにおいて、ゲートドライバ回路１２は、画素１６の形成時に同時に形成した内蔵ゲートドライバ回路１２として説明をするが、これに限定するものではない。たとえば、シリコンチップからなる半導体のゲートドライバＩＣをゲート信号線１７に接続（実装）する構成であってもよい。もちろん、ゲートドライバＩＣを実装し、このゲートドライバＩＣ１７を動作させて検査する方式に限定するものではなく、各ゲート信号線１７あるいは単独のゲート信号線１７ごとにプローブ３５９１でプロービィングすることにより実施してもよい。

【１５５０】

本発明では説明を容易にするため、ソースドライバ回路１４は半導体ＩＣチップ（外付け）とし、ゲートドライバ回路１２は内蔵（基板７１に直接形成されている）であるとして説明をする。

【１５５１】

図３５９は、本発明のアレイ（パネル状態も含む）基板の検査方式を説明するための説明図である。図３５９において、内蔵ゲートドライバ回路１７ａはゲート信号線１７ａと接続されており、外部のクロック、制御信号と電源（図示せず）により動作する。制御信号は、ゲートドライバ制御端子３５９４（信号線（クロック、スタートパルス、シフト信号線）、電源）により供給される。内蔵ゲートドライバ回路１７ｂはゲート信号線１７ｂと接続されており、外部のクロック、制御信号と電源（図示せず）により動作する。制御信号は、ゲートドライバ制御端子３５９４（信号線（クロック、スタートパルス、シフト信号線）、電源）により供給される。

【１５５２】

また、図３５９において、ソース信号線１７はオープン状態であるとして説明をするが、先にも説明したように所定電圧（Ｖｔ電圧以上）を印加し、この所定電圧をＴＦＴ１１ａのゲート端子に印加するように操作してもよいことは言うまでもない。

【１５５３】

図３５９に図示するように、ベースアノード線２６３１にはアノード端子電極３５９２が形成あるいは配置されており、プローブ３５９１を介して電圧（電流の場合もある。一定の電流を外部から印加することによりＥＬ素子１５が発光に要する電流を供給するからである）印加配線３５９３からの電圧もしくは電流をベースアノード線２６３１に印加する。なお、発明では、ベースアノード線２６３１から電圧を印加するとして説明をするが、これに限定されるものではない。カード電極に電圧（Ｖｓｓ）に印加してもよい。ＥＬ素子１５を点灯制御するためには、アノードあるいはカソードの一方を基準にして電圧あるいは電流を印加すればよいからである（つまり、ＥＬ素子１５のアノードとカソード間に電位差が発生するように電圧（電流）を印加する。本発明では、説明を容易にするため、

図３５９に図示するように、アノード側に電圧（電流）を印加するとして説明をする。

【１５５４】

ベースアノード線２６３１に電圧を印加することにより、ベースアノード線２６３１から分岐されたアノード配線２６３２にＶｄｄ電圧が印加される。ゲートドライバ回路１２ｂは、制御端子３５９４ｂの制御により、オン電圧を走査し、すべてのゲート信号線１７ｂにオン電圧が印加されるように動作する。もちろん、１本あるいは複数のゲート信号線１７ｂにオン電圧を印加し、他のゲート信号線１７ｂにはオフ電圧を印加し、さらにオン電圧印加位置が走査されるように制御してもよい。本発明は駆動用ＴＦＴ１１ａからＥＬ素子１５にオン電流を流し、ＥＬ素子１５が発光あるいは点灯しないことを検出するものである。したがって、ゲートドライバ回路１２ｂの動作状態に同期して、ＴＦＴ１１ｄがオンオフし、ＥＬ素子１５が点滅動作したとしても、ＥＬ素子１５が点灯する（逆に非点灯を維持）することを検出できれば、検査方法を実現できるからである。また、ＴＦＴ１１ｄをオンオフさせることにより、ＥＬの点滅周期、点灯状態を測定することのよりＥＬ表示パネルの良否、性能を検査あるいは評価することができる。

【１５５５】

なお、先にも述べたが、ソース信号線１８に電圧を印加し、ＴＦＴ１１ａを制御（オン電流を流すなど）、ＥＬ素子１５にソース信号線１８から直接に電流を流すことにより、ＥＬ表示パネルの良否、性能を検査あるいは評価してもよいことは言うまでもない。

【１５５６】

一方、ゲートドライバ１７ａは基本的には、１本以上のゲート信号線１７ａにオン電圧を印加し、このオン電圧を印加したゲート信号線１７ａ位置を走査させる（制御端子３５９４ａで制御する）。この動作により、表示画面５０内の駆動用ＴＦＴ１１ａのゲート端子にはオン電圧が書き込まれ、ＴＦＴ１１ａはオン電流を流せるようになる。もちろん、先に説明したように、ゲートドライバ回路１２ａを制御し、すべてのゲート信号線１７ａがオフ状態となるように制御してもよい。他に、全ゲート信号線１７ａがオン電圧を出力し、次の期間に全ゲート信号線１７ａにオフ電圧を出力するように制御してもよい。この制御は、ゲートドライバ回路１７に付加（形成あるいは作製）された回路構成のイネーブル回路により容易に実現できる。

【１５５７】

なお、以上の事項はゲートドライバ回路１２ｂについても適用される。つまり、イネーブル回路により、全ゲート信号線１７ｂをオン状態にしたり、オフ状態にしたりして検査を実施する。

【１５５８】

図３６０は、本発明の検査装置の構成図である。ベースアノード線２６３１の一端には、アノード端子電極３５９２が形成または配置され、この端子電極３５９２にプローブ３５９１ｃが接続もしくは配置または導通がとれるように構成される。なお、プローブ３５９１などはマニピュレータに配置され、ＸＹＺ方向を移動できるように構成されている。この移動により、端子電極３５９２などに位置決めされる。

【１５５９】

すべてのソース信号線１８は、ショート配線３６３４で電気的に短絡されている。なお、技術的思想は、複数のソース信号線１８を電気的に接続するということである。したがって、ショート配線３６３４でソース信号線１８を短絡することに限定されるものではない。たとえば、導電体材料をソース信号線間に圧接することのより、電気的に接続をとってもよい。また、すべてのソース信号線１８が１つのショート配線３６３４で接続されることに限定するものではなく、偶数番目のソース信号線１８が第１のショート配線３６３４でショートされ、この第１のショート配線３６３４に第１の端子電極３６３１が配置または形成され、奇数番目のソース信号線１８が第２のショート配線３６３４でショートされ、この第２ショート配線３６３４に第１の端子電極３６３１が配置または形成されるように構成してもよい。

【１５６０】

ベースカソード線２６７１の一端には、カソード端子電極３６０６が形成または配置され、この端子電極３６０６にプローブ３５９１ｂが接続もしくは配置または導通がとれるように構成される。これらのプローブ３５９１などはマニピュレータに配置され、ＸＹＺ方向を移動し、複数のアレイが作製された１基板に、順次プロービィングが行われる。

【１５６１】

アノード端子電極３５９２とカソード端子電極３６０６間には電流計３６０４ｃ、３６０４ｂが接続される。また、アノード端子電極３５９２とカソード端子電極３６０６間に電圧源３６０５ａが接続または配置されている。制御回路３６０１は電圧源３６０５ａを制御し、所定の電圧をアノード端子電極３５９２とカソード端子電極３６０６間に印加する。電圧の印加により、電流計３６０４ｃ、３６０４ｂに流れる電流が測定され、制御回路３６０１に入力される。基本的にＥＬ素子１５は電流素子である。したがって、電圧源３６０５ａを用いて、アノード端子電極３５９２とカソード端子電極３６０６間に所定値になるように電圧を印加するのではなく、電流計３６０４が所定の電流が流れるように、電圧源３６０４ａの発生する電圧を所定値にする。

【１５６２】

電流計３６０４ｃに流れる電流は図３５７に図示するＶｄｄ端子（ＴＦＴ１１ａのソース（Ｓ）端子）から流れ込む電流である。したがって、Ｖｄｄ端子には、プログラム電流Ｉｗも流れる。また、ＥＬ素子１５に流れる電流Ｉｅも流れる。電流計３６０４ｂに流れる電流は図３５７に図示するＥＬ素子１５のＶｓｓ端子（ＥＬ素子１５のカソード端子）から流れ出す電流である。したがって、基本的には、ＥＬ素子１５に流れる電流Ｉｅしか流れない。

【１５６３】

プログラム電流Ｉｗは、該当画素行が選択されている時にしか流れない。したがって、１フレームの期間、保持されて電流を流しつづけるＥＬ素子１５電流Ｉｅに比較すると小さい。逆に電流計３６０４ｃの値と、電流計３６０４ｂの値が大きく異なる時、アレイ内に異常があることを検出できる。また、電流計３６０４ｃの値と電流計３６０４ｂの値を検討／評価することによりアレイ、パネル検査を良好に行うことができる。

ベースカソード線２６７１の一端には、カソード端子電極３６０６が形成または配置され、この端子電極３６０６にプローブ３５９１ｂが接続もしくは配置または導通がとれるように構成される。これらのプローブ３５９１などはマニピュレータに配置され、ＸＹＺ方向を移動し、複数のアレイが作製された１基板に、順次プロービィングが行われる。

【１５６４】

ソース信号線ショート端子電極３６３１にプローブ３５９１ａが接続されている。端子電極３６３１には電流計３６０４ａが接続される。また、電圧源３６０５ｂが接続または配置されている。制御回路３６０１は電圧源３６０５ｂを制御し、所定の電圧を端子電極３６３１に印加する。電圧の印加により、電流計３６０４ａに流れる電流が測定され、制御回路３６０１に入力される。

【１５６５】

ソース信号線１８に流れる電流は、基本的にプログラム電流である。ただし、複数のソース信号線１８をショートしているため、電流駆動ではなく、電圧駆動となっている。電流計３６０４ａには画素行が選択されている時にしか流れない。したがって、１フレームの期間、保持されて電流を流しつづけるＥＬ素子１５電流Ｉｅに比較すると小さい。逆に電流計３６０４ａの値が大きく異なる時、アレイ内に異常があることを検出できる。電流計３６０４ａの値を検討／評価することによりアレイ、パネル検査を良好に行うことができる。

【１５６６】

図３９７のように、Ｖｄｄ端子をＯｐｅｎにする場合は、プローブ３５９１を電極などに接触させないようにする。もしくは、図３９７に図示するように、プローブ３５９１への経路にスイッチ６４１を形成または配置し、導通状態と、ハイインピーダンス状態（オープン）状態とを切り替えられるようにする。

【１５６７】
図３９７のように構成すれば、プローブ３５９１を移動せずに、プローブをベースソース線２６３１などと接触あるいは非接触状態にすることができる。したがって、本発明の検査方法を容易に実現できるようになる。
【１５６８】
検査は、図３５９で説明したように、ベースアノード線２６３１に電圧を印加することにより、ベースアノード線２６３１から分岐されたアノード配線２６３２にＶｄｄ電圧が印加される。ゲートドライバ回路１２ｂは、制御端子３５９４ｂの制御により、オン電圧を印加するゲート信号線１７ｂの位置を走査し、すべてのゲート信号線１７ｂにオン電圧が印加されるように動作する。もちろん、イネーブル端子を用いて、すべてのゲート信号線１７ｂに一度にオン電圧を印加するように構成してもよい。また、イネーブル端子を制御し、クロックに同期して、ＴＦＴ１１ｄをオンオフさせ、ＥＬ素子１５を点滅動作させることにより、検査を実施してもよい。この検査時に流れる電流計３６０４の電流値により、アレイ、パネル検査／評価を実施することもできる。
【１５６９】
一方、ゲートドライバ１７ａは基本的には、１本以上のゲート信号線１７ａにオン電圧を印加し、このオン電圧を印加したゲート信号線１７ａ位置を走査させる（制御端子３５９４ａで制御する）。この動作により、表示画面５０内の駆動用ＴＦＴ１１ａのゲート端子にはオン電圧が書き込まれ、ＴＦＴ１１ａはオン電流を流せるようになる。もちろん、先に説明したように、ゲートドライバ回路１２ａを制御し、すべてのゲート信号線１７ａがオフ状態となるように制御してもよい。他に、全ゲート信号線１７ａがオン電圧を出力し、次の期間に全ゲート信号線１７ａにオフ電圧を出力するように制御してもよい。この制御は、ゲートドライバ回路１７に付加（形成あるいは作製）された回路構成のイネーブル回路により容易に実現できる。
【１５７０】
ＥＬ素子１５の点灯状態は、カメラ（光学的入力手段）３６０２で行う。カメラはイメージセンサを有しておき、ゲートドライバ回路１２の制御信号に同期して、順次、表示画面５０の表示状態を取り込むように構成されている。この表示状態から、非点灯状態である画素１６を検出する。また、本来、非点灯状態の印加信号の時に、点灯する欠陥画素１６を検出する。
【１５７１】
なお、図３６０では、カメラあるいはイメージセンサあるいはホトマルなどで検査もしくは評価などするとしたが、これに限定するものではない。本発明は光学的にアレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出するものである。したがって、人間の目を用いて、視覚的にアレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。
【１５７２】
また、光学的にのみ限定するものではない。ＴＦＴ１１あるいはＥＬ素子１５あるいは信号線（１７、１８など）に流れる電流を直接検出したり、電流が流れることにより発生する電界あるいは磁界を検出したりするものである（ホール素子、コイルなどで測定あるいは検出できる）。ＴＦＴ１１あるいはＥＬ素子１５あるいは信号線（１７、１８など）から放出される電子あるいは電荷あるいは光子を検出することにより、アレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。また、磁気歪みを検出することにより、アレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。
【１５７３】
以上の実施例は、光学的に画素１６欠陥などを検出するということを前提に実施例を説明した。しかし、図３５７において、ＥＬ素子１５が形成されていない状態（アレイ状態）でも検査を実施できる。プログラム電流Ｉｗを検出することにより、トランジスタ１１ａ、１１ｂ、１１ｃの欠陥を検出できるからである（電気的検査）。したがって、図３６０

に図示する本発明の検査装置は、光学的検査装置だけではなく、電気的検査装置としても用いることができる。

【１５７４】

以上の本発明の検査方式は、Ｖｄｄ端子（ＴＦＴ１１ａのソース端子）にＶｄｄ電圧を印加して検査を実施するものであった。そのため、ベースアノード線２６３１にＶｄｄ電圧を印加することにより、ベースアノード線２６３１から分岐されたアノード配線２６３２にＶｄｄ電圧が印加した。

【１５７５】

しかし、ＥＬ素子１５を点灯させ、検査を実施するのはこの方法だけではなく、図３６１の構成でも実施することできる。図３６１と図３５７の相違は、Ｖｄｄ端子をオープン（インピーダンス無限大）にした点である。図３６０の検査回路ではプローブ３５９１ｃを非接触状態にした状態である。ただし、プローブ３５９１ｂは端子電極３６０６と接触させ、電圧源３６０６ｂとの電位関係を所定値にしておく（つまり、電圧源３６０５ａと３６０５ｂとは、グラント共通にされており、プローブ３５９１ａ、３５９１ｂ、３５９１ｃに印加する電位は独立に電位設定を行えるように構成されている）。以上のように、図３６０の検査回路を用いて、図３６１で説明する検査方法を実施することができる。

【１５７６】

図３６１に図示するようにＶｄｄ端子を‘Ｏｐｅｎ’にすることにより、駆動用ＴＦＴ１１ａの電流経路はなくなる。ゲートドライバ回路１２ａを制御し、ゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加すれば、ＴＦＴ１１ｂ、ＴＦＴ１１ｃがオン状態となる。また、ゲートドライバ回路１２ａを制御し、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）を印加すれば、ＴＦＴ１１ｄがオン状態となる。この状態で、電圧源３６０５ｂからＶｓ電圧（Ｖｓ＞Ｖｓｓ）をソース信号線１８に印加すれば、ソース信号線１８からＴＦＴ１１ｃ→ＴＦＴ１１ｄ→ＥＬ素子１５→Ｖｓｓ端子なる電流Ｉｓが流れる電流経路が発生する。したがって、ソース信号線１８の電圧印加により図３６２に図示するようにＥＬ素子１５を点灯させることができる。

【１５７７】

ゲートドライバ回路１２ｂを制御して、すべてのゲート信号線１７ｂにオン電圧を印加する（表示画面５０内のＴＦＴ１１ｄはオン状態）。また、ゲートドライバ回路１２ａを制御し、ゲート信号線１７ａに順次、オン電圧（Ｖｇｌ）を印加（走査状態）する。すると、１画素行が順次、選択され、１画素行が点灯する。そして、この点灯画素行が画面の上から下に移動する。この点灯画素行をカメラ３６０２で観察することにより、画素欠陥を検出することができる。もちろん、ソース信号線１８にＶｓ電圧を印加しない状態で点灯する画素があれば、この画素１６は欠陥であることを検出することができる。

【１５７８】

また、ゲートドライバ回路１２ｂを制御して、すべてのゲート信号線１７ｂにオン電圧を印加する（表示画面５０内のＴＦＴ１１ｄはオン状態）。また、ゲートドライバ回路１２ａを制御し、すべてのゲート信号線１７ａにオン電圧（Ｖｇｌ）を印加する。すると、画面５０全体が点灯状態となる。この点灯画面をカメラ３６０２で観察することにより、画素欠陥を検出することができる。

【１５７９】

なお、ソース信号線１８にＶｓ電圧を印加することは、ソース信号線１８にソースドライバＩＣ１４を実装し、このソースドライバＩＣ１４を動作させることによっても実現することができる。この場合、前記ソースドライバＩＣ１４が電流駆動方式のＩＣであれば、ソース信号線１８に印加される信号はＶｓではなく、電流Ｉｓである。重要なのは、本発明はソースドライバＩＣ（回路）１４を動作させて行う検査方法も技術的範疇であることである。

【１５８０】

また、本発明の検査方式では、表示画像は、白ラスターに限定されるものではなく、クロスパッチ、縦ストライプ、横ストライプ、チェッカー、階調パターン、カラーバー、ウイ

ンドウなどを表示させて行っても良い。

【１５８１】

なお、図３６２では、Ｖｄｄ端子（駆動用ＴＦＴ１１ａのソース（Ｓ）端子）をＯｐｅｎにして、本発明の検査方式を実施するとしたが、これは一例である。たとえば、図３９８に図示するように、Ｖｄｄ端子に－電圧（少なくとも、駆動用ＴＦＴ１１ａがゲート信号線１７ａの電位状態にかかわらず、オフする電圧である。もしくは、電流が流れても検査に影響を与えない状態にする電圧である）を印加しても、ソース信号線１８→ＴＦＴ１１ｃ→ＴＦＴ１１ｄ→ＥＬ素子１５→Ｖｓｓなる電流経路が発生する。この状態でＥＬ素子１５が発光すれば光学的に検査を実施することができる。また、電流Ｉｓを電流計で直接に、電流Ｉｓの経路にピックアップ抵抗を接続し、ピックアップ抵抗５３１の両端の電圧を検出すれば、間接的に電圧計３９９１（電圧測定手段）で測定することができる（図３９９を参照のこと）。したがって、検査を行うことができる。

【１５８２】

また、ＥＬ素子１５のカソード－アノード間（画素電極－カソード電極間）に短絡が発生しているかどうか検査する場合（つまり、ＥＬ膜が破れている）は、図３９８の（ｂ）に図示するように電圧を印加することにより検査を行うことができる。図３９８の（ｂ）では、ＥＬ素子１５のカソード端子に高い電圧（一例としてＶｓ電圧）を印加する（なお、図３９８の（ａ）のように電流経路を発生する場合は低い電圧でもよい）。この状態で、ゲート信号線１７ａ、ゲート信号線１７ｂにオン電圧を印加すれば、Ｖｓｓ端子→ＥＬ素子→ＴＦＴ１１ｄ→ＴＦＴ１１ｃ→ソース信号線１８なる電流経路が発生する。したがって、電気的にアレイ（パネル）に検査を実施することができる。また、電流Ｉｓを電流計で直接に、電流Ｉｓの経路にピックアップ抵抗５３１を接続し、ピックアップ抵抗５３１の両端の電圧を検出すれば、間接的に電圧計で測定することができる。

【１５８３】

また、Ｖｓ電圧、Ｖｓｓ電圧は、直流電圧または直流電流のように表現しているが、これに限定するものではない。たとえば、図４００に図示するように、信号発生器４００１（信号発生手段）を接続してもよい。

【１５８４】

以上の実施例は、検査時は、図４０１のように構成される。内蔵ゲートドライバ回路１２ａ、１２ｂが接続され、このゲートドライバ回路１２を制御することにより、ゲート信号線１７ａ、１７ｂにオンオフ電圧が印加される。この印加状態により、検査画素行が順次、選択され、検査が実施される。本発明は、基本的には、画素の発光状態を光学的に検出し、検査を実施する。電気的に検査を実施する場合は、図４０１に図示するように、ソース信号線１８の接続端子２６３３などにプローブ３５９１を接触させ、プローブ３５９１に流れる電流を直接に、あるいは、ピックアップ抵抗５３１に流れる電流を電圧計３２６７１で測定することのより実施する。

【１５８５】

なお、以上の事項は、他の画素構成の検査方式も適用されることはいうまでもない。また、他の本発明の他の検査方式の実施例に適用されることも言うまでもない。ＥＬ素子１５を形成後に検査を実施する場合は、ＥＬ膜の封止を行ってから実施する。

【１５８６】

また、図３６０の検査回路を用いて、図３６１、図３６２で説明した第２の検査方法と、図３５７、図３５８で説明した第１の検査方法の両方を実施することができる。この第１の検査方法と第２の検査方法の両方を実施することにより、画素１６のＴＦＴ１１ａ、１１ｂ、１１ｃ、１１ｄ、ＥＬ素子１５のすべての電流パスを実施したことになる。したがって、完全な検査を実現できる。また、以降に説明する本発明の他の検査方法を単独であるいは組み合わせて実施してもよい。

【１５８７】

ゲートドライバ回路１２ａを１画素行ずつ、順次、走査すれば、１画素行ずつ点灯させることができる。ゲートドライバ回路１２ａを制御し、すべてのゲート信号線１７ａにオン

電圧を印加すれば、画面５０全体を表示することができる。また、１画素行飛ばし（偶数行、奇数行）で交互に点灯させて検査を行ってもよい。複数画素行（２画素行、４画素行など）の組みで、順次、走査して検査を行ってもよい。また、画面を分割（画面５０を４分割して、この４分割の領域を順次点灯するなど）して、順次検査を行ってもよい。

【１５８８】

以上の事項は、図３５７、図３５９、図３６０などで説明した本発明の検査方式においても適用できることは言うまでもない。なお、以上の事項は以降に説明する他の本発明の検査方式においても適用できる。

【１５８９】

図３６３に図示するようにソース信号線１８をショート配線３６３４でショートしておく。ショート配線３６３４はソース信号線１８と同時に形成しておく。ショート配線３６３４を形成しておくことにより、静電気対策にもなる。ショート配線３６３４の一端にソース信号線端子電極３３３１３を形成または配置し、図３６０に図示するように、この端子電極３３３１３にプローブ３５９１ａを接続し、このプローブ３５９１ａは電圧（電流）印加配線３５９３が接続されている。

【１５９０】

一方、ソース信号線１８の一端には、チェック端子電極３６３３が形成されている。チェック端子３６３３は各ソース信号線１８の電位をチェックあるいは測定するためのものである。アレイ検査後、ＡＡ‘線で切断することにより、各ソース信号線１８は分離されて、アレイが完成する。

【１５９１】

なお、本発明の検査方式において、画素構成は図３５７に限定されるものではない。たとえば、画素構成がカレントミラーの構成であっても適用することができる。また、画素構成が電圧駆動の画素構成であっても適用することができる。

【１５９２】

以下、図面を参照しながら、本発明の他の実施例について説明をする。図３６４は本発明の検査方法を説明するための説明図である。図３６４の画素構成では、プログラム電流Ｉｗをソース信号線１８に印加する。プログラム電流Ｉｗは１μＡ～１０μＡの電流である。駆動用ＴＦＴ１１ａは所定のプログラム電流Ｉｗが流れるように駆動される。つまり、駆動用ＴＦＴ１１ａのゲート（Ｇ）端子の電位は変化する。この所定の電流Ｉｗを流すための、ＴＦＴ１１ａのゲート端子（Ｇ）の電位をＶｔと呼ぶ。

【１５９３】

たとえば、ある画素の駆動用ＴＦＴ１１ａはＩｗ電流を流すのに、ゲート端子はＶｄｄ電圧よりもＶｔ２だけ低くする必要がある（図３６４の（ａ）の実線）。他のある画素の駆動用ＴＦＴ１１ａはＩｗ電流を流すのに、ゲート端子はＶｄｄ電圧よりもＶｔ１だけ低くする必要がある（図３６４の（ａ）の点線）。これらのＶｔはソース信号線１８の電位の変化であるが、画素１６のＴＦＴ１１ａの特性を示していることになる。

【１５９４】

ゲートドライブ回路１２を制御し、１ゲート信号線１７ａにオン電圧を印加する。つまり、１画素行ずつ、順次選択していく（他のゲート信号線１７ａにはオフ電圧が印加されている）。また、ソース信号線１８にはＩｗ電流を流すように設定する。ゲート信号線１７ａにオン電圧が印加され、選択された画素１６のＴＦＴ１１ａのゲート端子は、所定電流Ｉｗを流すに必要とするＶｔ電圧となる。

【１５９５】

ゲート信号線１７ｂにはオフ電圧を印加しておく。オフ電圧に印加によりＴＦＴ１１ｄはオフ状態となり、駆動用ＴＦＴ１１ａとＥＬ素子１５とは切り離された状態となる。したがって、ＥＬ素子１５が形成されていないアレイ状態でも本発明の検査方法を適用できる。

【１５９６】

以上のように、ゲート信号線１７ａのオン電圧位置を、１水平走査期間（１Ｈ）に同期し

て順次シフトしていくと、図３６５に図示するようにソース信号線１８電位が変化する（図３６４も参照のこと）。変化は、１Ｈに同期して出力される。なお、１Ｈに同期すること限定されるものではない。画像を表示するのではなく、検査のためだからである。したがって、１Ｈとは、１画素行を順次選択するという意味であって、説明を容易にするためである。１Ｈは任意の固定の時間（期間）であって良い。

【１５９７】

図３６６は、図３６４の検査方法を実施するための検査回路である。基本的に図３６０の検査回路と同一である。異なる点は、各ソース信号線１８の電極端子２６３３にプローブ３５９１を接続し、ソース信号線１８にプログラム電流Ｉｗを印加している点である。プログラム電流Ｉｗは、基準電圧回路３６６１の電圧値により変更あるいは調整できる。

【１５９８】

プログラム電流Ｉｗは１μＡ以上１０μＡ以下に設定する。基本的には、パネルを駆動するのに必要な最大値の電流で実施する。また、黒書き込み状態（黒表示時）の検討するため、１００ｎＡ以下の低電流で測定してもよい。

【１５９９】

基準電圧回路３６６１が出力する基準電圧Ｖａは、オペアンプ７２２の＋端子に印加される。オペアンプの＋端子と－端子は同一電位となるから、トランジスタ３３１３にはソース信号線１８に流れる電流Ｉｗ＝Ｖａ／Ｒｍが流れる。したがって、すべてのソース信号線１８には定電流Ｉｗが流れる。

【１６００】

以上の回路構成によれば、ソース信号線１８に定電流Ｉｗが流れるから、ゲート信号線１７ａを順次シフトしていくと、図３６５の電圧波形を測定することができる。この電圧波形をＡＤ（アナログ－デジタル）変換して、パーソナルコンピュータ（ＰＣ）３６６２などのデータ収集手段および制御手段に取り込む。

【１６０１】

ソース信号線１８には微小な電流が流れることから、インピーダンスが高い状態である。この状態で、ソース信号線１８の電位変化（あるいは絶対値）を良好に測定するためには、高インピーダンス回路（たとえば、ＦＥＴ回路で構成された入力オペアンプの入力端子）をソース信号線１８に接続する。また、ＱＣＩＦ＋パネルの場合、１７６×ＲＧＢ＝５２８本のソース信号線１８がある。このソース信号線１８のすべてに、ＡＤコンバータを配置することは困難である。そこで、入力オペアンプの出力端に、マルチプレクサタイプのアナログスイッチを配置する。このアナログスイッチの出力にＡＤコンバータを配置し、このＡＤコンバータからのデータをパーソナルコンピュータ（ＰＣ：制御手段）３６６２に取り込む。図３６６では、この高インピーダンス回路、アナログスイッチなどを３６６３として表現している。なお、端子電極２６３３との接続状態を図３７０に図示する。

【１６０２】

図３６７がソース信号線１８の電位を測定する回路（検査回路）のデータ測定のタイミングチャートである。図３６７の（ａ）は１Ｈに同期したソース信号線１８の電位変化を示している。図３６７の（ｂ）はゲート信号線１７ｂの電位を図示している。つまり、１画素行ずつオン電圧位置がシフトされていることを示している。この選択画素行に同期して、選択された画素行のＴＦＴ１１ａが動作し、ソース信号線電位（図３６７の（ａ））が変化する。

【１６０３】

図３６７の（ｃ）はＰＣ３６６２へのデータ取り込み信号である（アナログスイッチの切り替え信号ということもできる）。このデータ取り込み信号の立ち上がりでＰＣ３６６２にデータが取り込まれる。

【１６０４】

ＰＣ３６６２では取り込まれたデータの値を評価／判断する。この結果により、アレイあるいはパネルの欠陥状態、欠陥位置、欠陥モード、不良状態などを検出あるいは検査する。

【１６０５】
図３５７の画素構成で、ゲート信号線１７ａにオン電圧を印加し、ゲート信号線１７ｂにオフ電圧を印加した状態（図３６６の検査方式）では、Ｖｄｄ端子→ＴＦＴ１１ａのＳＤ間→ＴＦＴ１１ｃ→ソース信号線１８への電流経路が生じる。
【１６０６】
ＴＦＴ１１ａにＳＤショート（チャンネルショート）が発生していると、ソース信号線１８にはＶｄｄ電圧が出力される（図３６８の（ａ））。したがって、ＴＦＴ１１ａのＳＤショート（画素欠陥）を検出できる。また、ゲート信号線１７ａが断線していれば、プログラム電流Ｉｗの経路は発生しないので、ソース信号線１８の電位がグランド電位に近くなる（図３６８の（ｂ）を参照）。したがって、ゲート信号線１７ａの断線などの線欠陥も検出できる（検査できる）。また、すべてのゲート信号線１７ａにオフ電圧を印加した状態で、規定以外の電圧がソース信号線１８に出力されていれば、ＴＦＴ１１ｃあるいはＴＦＴ１１ｂに欠陥が発生しているなどの検出もできる。また、Ｖｄｄ端子にＶｄｄ電圧を印加するか、図３６１のように、Ｖｄｄ端子をＯｐｅｎにするかを変化させることにより欠陥を詳細に検討、検査することができる。
【１６０７】
図３６９の（ａ）に図示するように、１画素列（１つのソース信号線１８に接続された画素１６）のソース信号線１８の信号線電位を測定することにより、最大電圧Ｖｔｍａｘ、最小電圧Ｖｔｍｉｎを検出することができる。この最大電圧と最小電圧との差が所定値以上の場合に、測定あるいは検査しているアレイまたはパネルを不良と判定することも容易である。また、アレイまたはパネル内のＶｔ分布を測定し、図３６９の（ｂ）に図示するように、ＴＦＴ１１ａの特性分布を求めることができる。この特性分布から、Ｖｔの標準偏差、平均値を算出することができる。また、Ｖｔの標準偏差、平均値が所定範囲以外の時、測定あるいは検査しているアレイまたはパネルを不良と判定することも容易である。
【１６０８】
本発明の検査方法は、ゲートドライバ回路１２を制御して、少ないとも１本のゲート信号線１７ａにオン電圧を印加し、ソース信号線１８にプログラム電流を流すことにより、画素１６の検査を行う。
【１６０９】
なお、以上の実施例において、１画素行ずつ、選択し、ソース信号線１８に出力されるＶｔを測定あるいは検査するとしたが、これに限定するものではない。複数画素行を同時に選択しても、ソース信号線１８の電位は変化する。この場合であっても、図３６８に図示するような画素欠陥（ゲート断線、ＳＤショートなど）を検出することができる。したがって、検査を高速に実施するためには、まず、複数本のゲート信号線１８を選択し、概略の欠陥を検出した後、欠陥がある箇所を再度、１ゲート信号線１７ａずつオン電圧を印加して、欠陥位置あるいは欠陥状態を特定すればよい。
【１６１０】
本発明の検査方式において、すべてのソース信号線１８には一度にプロービィングすることを要しない。たとえば、図３７１に図示するように、１本ごとにプロービィングしてもよい。つまり、偶数番目のソース信号線１８ｂはオープンにし、奇数番目のソース信号線１８ａの端子電極２６３３ａにプローブ３５９１をプロービィングして、本発明の検査方式を実施してもよい。ソース信号線１８ａに接続された画素１６を検査後、偶数番目のソース信号線１８ｂの端子電極２６３３ｂにプロービィングしてソース信号線１８ｂに接続された画素を検査する。
【１６１１】
以上の実施例では、ソースドライバＩＣ１４を接続する接続端子２６３３にプロービィングするものであった。しかし、接続端子２６３３にプロービィングすると、接続端子２６３３に凹凸が発生し、ソースドライバＩＣ１４のＣＯＧ接続がやりにくくなる。
【１６１２】
図３７２の実施例では、接続端子２６３３を表示画面５０間に検査電極３７２１を配置ま

たは形成している。また、内蔵のゲートドライバ回路１２を動作あるいは制御（図３６７などのシフト動作など）させる（する）ため、ゲートドライバ回路１２の制御信号線および電源端子にも検査端子３７２１を形成または配置している。したがって、プロービィングすることにより、ゲートドライバ回路１２を制御して、ゲート信号線１７のオン電圧、オフ電圧の印加位置を容易に制御することができる。

【１６１３】

図３７２では、複数に分割して検査できるようにするため、検査電極３７２１は検査電極３７２１ａと３７２１ｂを形成または配置している。偶数番目のソース信号線１８ｂはオープンにし、奇数番目のソース信号線１８ａの端子電極２６３３ａにプローブ３５９１をプロービィングして、本発明の検査方式を実施する。ソース信号線１８ａに接続された画素１６を検査後、偶数番目のソース信号線１８ｂの端子電極２６３３ｂにプロービィングしてソース信号線１８ｂに接続された画素を検査する。奇数番目のソース信号線１８ａを検査する際にも、偶数板目のソース信号線１８ｂを検査する際も、ゲートドライバ回路１２を制御できるように、信号線３５９４に電圧、信号を印加できるように構成している。

【１６１４】

検査電極３７２１が形成されたソース信号線１８の他端には、図３７３に図示するようにチェック端子電極３７３１が形成または配置されている。チェック端子３７３１は、３段千鳥配置となっている。１段目が赤色のソース信号線１８に接続されたチェック端子電極３７３１Ｒである。２段目が赤色のソース信号線１８に接続されたチェック端子電極３７３１Ｇである。３段目が赤色のソース信号線１８に接続されたチェック端子電極３７３１Ｂである。

【１６１５】

チェック端子電極３７３１もソース信号線１８の電位変化を観察あるいはモニターするためのものである。プローブ３５９１を接続することにより、図３６９の評価、図３６８の検査などを容易に実施することができる。

【１６１６】

図３６６などで説明した検査方式の課題は、図３５７のＴＦＴ１１ｄの検査が完全に実施できないことである。特に、ＴＦＴ１１ｄのチャンネル（ＳＤ）の状態が検査できない。この課題を解決するためには、図３７４に図示するように、画素１６にＴＦＴ１１ｇを付加（形成または配置）すればよい。ＴＦＴ１１ｇのソース（Ｓ）端子は隣接のソース信号線１８ｂに接続され、ドレイン（Ｄ）端子はＥＬ素子１５のアノード端子に接続されている。また、ゲート（Ｇ）端子はゲート信号線１７ｇに接続されている。

【１６１７】

ゲート信号線１７ｇにオン電圧を印加することにより、ＴＦＴ１１ｇがオンする。また、ソース信号線１８ｂにＶｓ電圧を印加する。すると、ソース信号線１８ｂ→ＴＦＴ１１ｇ→ＴＦＴ１１ｄ→ＴＦＴ１１ｃ→ソース信号線１８ａの経路で流れる電流パスＩｓが形成される。したがって、ＴＦＴ１１ｄの検査を容易に実施することができる。なお、ゲート信号線１７ｇにオフ電圧を印加することによりＴＦＴ１１ｇはオフにすることができる。したがって、検査時以外は、ゲート信号線１７ｇにオフ電圧を印加しておく。

【１６１８】

また、Ｖｓ電圧を－電圧とすることにより、ソース信号線１８ｂからＥＬ素子１５に逆バイアス電圧（Ｖｓ＜Ｖｓｓ）を印加することができる。もちろん、逆バイアス電圧を印加するときは、ゲート信号線１７ｇにオン電圧を印加する。

【１６１９】

なお、図３６６などにおいて、ゲートドライバ回路１２は内蔵ゲートドライバ回路（半導体チップとして外付けでない）としたが、これに限定するものではない。図３８４に図示するように、ゲートドライバＩＣ１２を半導体チップで形成し、接続端子３７２１に接続（ＣＯＧ工法などを用いて）してもよい。この場合は、ゲート信号線１７にオンオフ電圧を印加するゲートドライバ回路１２がない。そのため、図３８４に図示するようにプローブ３５９１を接続端子３７２１（もしくは検査電極３７２１）に圧接して、各ゲート信号

線１７にオン電圧またはオフ電圧を印加する。
【１６２０】
図３６３では、プローブ３５９１を介して、ソース信号線１８に電圧を印加するとしたが、これに限定するものではない。ソースドライバＩＣ１４を基板７１に実装した後は、ソースドライバＩＣ１４を動作させて、ソース信号線１８に電圧Ｖｓを印加してもよい。図３８５はその実施例である。以前にも説明したように、本発明のソースドライバＩＣ１４にはプリチャージ回路を形成（構成あるいは配置）している。このプリチャージ回路（図７０などを参照のこと）を用いて本発明の検査を実施する。
【１６２１】
図３８５の構成では、ソースドライバＩＣ１４の外部にプリチャージ電圧の調整回路が配置されている。図３８５では単純に概念的に記載している。抵抗５３１によりＶｐ電圧からＶｓ電圧を形成する。このＶｓ電圧はスイッチ６４１を制御することにより、各ソース信号線１８に印加する。他の点は以前に説明した本発明の検査方法と同様であるので説明を省略する。
【１６２２】
以上の実施例では、図３５７の画素構成における検査方式の説明であった。しかし、本発明はこれに限定するものではなく、他の画素構成においても本発明の検査方式を実施することができる。
【１６２３】
図３８６はカレントミラータイプの画素構成（図３８とその説明なども参照のこと）である。図３８６の画素構成の検査では、まず、ソース信号線１８にＴＦＴ１１ｂのＶｔ電圧以上のＶｓ電圧を印加する。また、ゲート信号線１７ａ、１７ｂのオン電圧を印加し、ＴＦＴ１１ｃ、ＴＦＴ１１ｄをオンさせて、Ｖｓ電圧をＴＦＴ１１ｂのゲート端子に書き込む（図３８８の（ａ））。次に、ゲート信号線１７ｂにオフ電圧を印加し、ＴＦＴ１１ｄをオフさせる。すると図３８７に図示するようにＶｄｄ端子→ＴＦＴ１１ｂ→ＥＬ素子１５→Ｖｓｓ端子なる電流経路が発生し、ＥＬ素子１５が点灯する。したがって、ＥＬ素子１５の点灯検査を行うことができる。また、図３８８の（ｂ）に図示するように、Ｖｄｄ端子→ＴＦＴ１１ａ→ＴＦＴ１１ｃ→ソース信号線１８なる電流Ｉｓの経路が発生する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｃ、ＴＦＴ１１ｄ、ＥＬ素子１５の検査を実施することができる。
【１６２４】
図３８９は電圧駆動の画素構成である。ソース信号線１８に印加された電圧をＴＦＴ１１ｂで駆動用ＴＦＴ１１ａのゲート端子に書き込み、この電圧に応じた電流をＥＬ素子１５に印加する構成である。従来の電圧駆動の２ＴＦＴ画素構成と異なる点は、リセット用のＴＦＴ１１ｅが付加（形成または配置）されている点である（図４４とその説明なども参照のこと）。
【１６２５】
図３８９に図示するように、ゲート信号線１７ａにオン電圧を印加することにより、ＴＦＴ１１ｂがオンし、ゲート信号線１７ｂにオフ電圧を印加することにより、ＴＦＴ１１ｅがオフする。したがって、図３９０の（ａ）に図示するように、駆動用ＴＦＴ１１ａのゲート端子にＶｓ電圧が書き込まれる。次に、図３９０の（ｂ）のように、ソース信号線１８へのＶｓ電圧の印加を止め、定電流回路に接続し、ゲート信号線１７ｂにオン電圧を印加すれば、Ｖｄｄ端子→ＴＦＴ１１ａ→ＴＦＴ１１ｅ→ＴＦＴ１１ｂ→ソース信号線１８なる電流Ｉｓの経路が発生する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｅ、ＥＬ素子１５の検査を実施することができる。
【１６２６】
なお、図３９０の実施例では、ＥＬ素子１５に流れる電流を阻止するために、Ｖｓｓ端子をオープン（ハイインピィーダンス状態）にしておく。または、Ｖｓｓ端子の電圧をＥＬ素子１５に流れないように高くしておく。または、アレイ状態でＥＬ素子１５が形成されていないときは、駆動用ＴＦＴ１１ａのドレイン（Ｄ）端子とＶｓｓ端子間はハイインピ

ィーダンス状態であるから、本発明の検査方式を実施できる。以上の事項は本発明の他の検査方式においても同様である。

【１６２７】

図３９１に図示するように、図４４の画素構成であれば、さらに良好な検査を実現できる。図３９１に図示するように、ゲート信号線１７ａおよび１７ｅにオン電圧を印加することにより、ＴＦＴ１１ｂ、ＴＦＴ１１ｅがオンし、ゲート信号線１７ｂにオフ電圧を印加することにより、ＴＦＴ１１ｄがオフする。したがって、図３９２の（ａ）（ｂ）に図示するように、ＥＬ素子１５が形成されていても、ＴＦＴ１１ｄによりＥＬ素子１５への電流経路を遮断することができる。そのため、Ｖｄｄ端子→ＴＦＴ１１ａ→ＴＦＴ１１ｅ→ＴＦＴ１１ｂ→ソース信号線１８なる電流Ｉｓの経路が発生する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｅ、ＥＬ素子１５の検査を実施することができる。

【１６２８】

また、Ｖｄｄ端子をＯｐｅｎにし、ソース信号線１８にＶｓ電圧を印加する。また、ゲート信号線１７ａ、１７ｂおよび１７ｅにオン電圧を印加することにより、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＴＦＴ１１ｅがオンする。したがって、ソース信号線１８→ＴＦＴ１１ｂ→ＴＦＴ１１ｅ→ＴＦＴ１１ｄ→ＥＬ素子１５→Ｖｓｓ端子なる電流Ｉｓの経路が発生する。したがって、画素が正常であればＥＬ素子１５が点灯する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＴＦＴ１１ｅ、ＥＬ素子１５の検査を実施することができる。

【１６２９】

図３９３に図示する検査方式も実施できる。ゲート信号線１７ａにオン電圧を印加することにより、ＴＦＴ１１ｂがオンし、ゲート信号線１７ｂおよび１７ｅにオフ電圧を印加することにより、ＴＦＴ１１ｅ、ＴＦＴ１１ｄがオフする。したがって、図３９３の（ａ）に図示するように、駆動用ＴＦＴ１１ａのゲート端子にＶｓ電圧が書き込まれる。次に、図３９３の（ｂ）のように、ゲート信号線１７ｂにオン電圧し、ゲート信号線１７ａおよび１７ｅにオフ電圧を印加すれば、Ｖｄｄ端子→ＴＦＴ１１ａ→ＴＦＴ１１ｄ→ＥＬ素子１５→Ｖｓｓ端子なる電流Ｉｅの経路が発生する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＴＦＴ１１ｅ、ＥＬ素子１５の検査を実施することができる。

【１６３０】

図３８６に付加して、図３９４に図示するように、ＴＦＴ１１ｆを追加すれば、カレントミラーの画素構成において、駆動用ＴＦＴ１１ｂの検査も実施することができる。ＴＦＴ１１ｆはソース（Ｓ）端子がＥＬ素子１５のアノード端子に接続され、ドレイン（Ｄ）端子がコンデンサ１９の一方の端子に接続されている。また、ＴＦＴ１１ｆのゲート端子はゲート信号線１７ｃに接続されている。

【１６３１】

図３９４に図示するように、ゲート信号線１７ａおよび１７ｂにオン電圧を印加し、ゲート信号線１７ｃにオフ電圧を印加する。ＴＦＴ１１ｃ、ＴＦＴ１１ｄがオンし、ＴＦＴ１１ｆがオフする。この状態で、駆動用ＴＦＴ１１ｂのゲート（Ｇ）端子にソース信号線１８からＶｓ電圧を印加する。月に、図３９５に図示するように、ゲート信号線１７ｃにオン電圧を印加し、ＴＦＴ１１ｆをオンさせる。すると、Ｖｄｄ端子→ＴＦＴ１１ｂ→ＴＦＴ１１ｆ→ＴＦＴ１１ｄ→ＴＦＴ１１ｃ→ソース信号線１８なる電流Ｉｓの経路が発生する。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＴＦＴ１１ｅ、ＴＦＴ１１ｆの検査を実施することができる。

【１６３２】

また、この状態で、図３９６に図示するように、Ｖｄｄ端子をＯｐｅｎにし、ソース信号線１８にＶｓ電圧を印加すれば、ソース信号線１８→ＴＦＴ１１ｃ→ＴＦＴ１１ｄ→ＴＦＴ１１ｆ→ＥＬ素子１５→Ｖｓｓ端子なる電流Ｉｓの経路が発生する。ＥＬ素子の点灯検査を実現できる。したがって、ＴＦＴ１１ａ、ＴＦＴ１１ｂ、ＴＦＴ１１ｄ、ＴＦＴ１１ｅ、ＴＦＴ１１ｆ、ＥＬ素子１５の検査を実施することができる。

【１６３３】

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図１５７は情報端末装置の一例としての携帯電話の平面図である。筐体１５７３にアンテナ１５７１、テンキー１５７２などが取り付けられている。１５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【１６３４】

キー１５７２を１度押さえると表示色は８色モードに、つづいて同一キー１５７２を押さえると表示色は４０９６色モード、さらにキー１５７２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１５７２は3つ（以上）となる。

【１６３５】

キー１５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色への変更を、音声入力して実施すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【１６３６】

また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部５０に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【１６３７】

１５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【１６３８】

さらに、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【１６３９】

図１５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図１５８において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【１６４０】

ボデー１５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１５７４から出射した迷光がボデー１５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。

【１６４１】

接眼リング１５８１には拡大レンズ１５８２が取り付けられている。観察者は接眼リング１５８１をボデー１５７３内での挿入位置を可変して、表示パネル１５７４の表示画面５０にピントがあうように調整する。

【１６４２】

また、必要に応じて表示パネル１５７４の光出射側に正レンズ１５８３を配置すれば、拡大レンズ１５８２に入射する主光線を収束させることができる。そのため、拡大レンズ１５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【１６４３】

図１５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１５９２とビデオかメラ本体１５７３と具備し、撮影レンズ部１５９２とビューファインダ部１５７３とは背中合わせとなっている。また、ビューファインダ（図１５８も参照）１５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１５７４の画面５０を観察する。

【１６４４】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部５０は支点１５９１で角度を自由に調整できる。表示部５０を使用しない時は、格納部１５９３に格納される。

【１６４５】

スイッチ１５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ１５９４は表示モード切り替えスイッチである。スイッチ１５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ１５９４について説明をする。

【１６４６】

本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

【１６４７】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【１６４８】

したがって、ユーザーがボタン１５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

【１６４９】

なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【１６５０】

具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。こ

れは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

【１６５１】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

【１６５２】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【１６５３】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。

【１６５４】

以上の機能をスイッチ１５９４で実現できるようにする。スイッチ１５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【１６５５】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【１６５６】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１６０に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１６０１に付属されたモニター５０として用いる。カメラ本体１６０１にはシャッタ１６０３の他、スイッチ１５９４が取り付けられている。

【１６５７】

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面５０がたわみやすい。その対策のため、本発明では図１６１に示すように表示パネルに外枠１６１１をつけ、外枠１６１１をつりさげられるように固定部材１６１４で取り付けている。この固定部材１６１４を用いて、壁などに取り付ける。

【１６５８】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１６１３を配置し、複数の脚１６１２で表示パネルの重量を保持できるようにしている。

【１６５９】

脚１６１２はＡに示すように左右に移動でき、また、脚１６１２はＢに示すように収縮で

きるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【１６６０】

図１６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【１６６１】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【１６６２】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【１６６３】

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【１６６４】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【１６６５】

ＥＬ表示パネルなどを用いる環境は、屋外、屋内がある。屋内は、周囲の照度が低いため、表示画面５０の輝度は１００（ｎｔ）以下でもよい。屋外では、太陽光が照射されるため、４００（ｎｔ）以上必要である。また、ＥＬ表示パネルでは、カソード電極１０６がＡｌなどの金属薄膜で形成されるため、外部の景色あるいは使用者がカソード電極１０６に映りこむという現象が発生し、表示画面５０が見づらくなる。映り込みを対策するには、表示画面５０の光出射側に円偏光板１４４（偏光板＋λ／４板）あるいは偏光板（偏光フィルム）を配置するとよい。しかし、円偏光板などを配置すると、表示パネルから出射する光の１／２以上が偏光板に吸収されてしまい、表示画面５０が暗くなってしまう。映り込みは使用環境に左右され、円偏光板１４４を使用せず、表示画面５０が明るければ表示画面５０が見やすいという場合も多い。

【１６６６】

図４０２などは、この課題を解決する構成である。なお、図面は、図１５７で説明した携帯電話をイメージしているが、本発明はこれに限定するものではなく、図１５８のビューファインダ、図１５９、図１６０のビデオ機器、図１６１のテレビなどにも適用することができる。

【１６６７】

図４０２、図４０４の構成は、表示画面５０に脱着できる円偏光板（偏光板でも効果は高い）４０２１を付加した点である。円偏光板４０２１をＥＬ表示パネル１５７４の表示画面５０上（光出射側）に配置すると、映り込みが抑制される。ＥＬ表示パネル１５７４の表示画面５０上（光出射側）から円偏光板を除去すると表示画面５０が２倍以上に明るく

なる。

【１６６８】

図４０２（図１５７）の表示装置は、メイン画面５０が本発明のＥＬ表示装置１５７４で構成されている。このＥＬ表示装置１５７４と背中合わせにサブ表示装置としての液晶表示装置（液晶表示パネル）４０３３が配置または形成されている。また、液晶表示装置４０３３の裏面には、白色ＬＥＤを有するバックライト４０３１が配置されている。なお、図面１４４では、説明を容易にするため、説明に不要な構成は図示していない。しかし、折りたたみ構成にしてもよい。また、付加的にキーボードなどを取り付けられるように構成してもよいことは言うまでもない。

【１６６９】

使用者は、サブ液晶表示装置４０３３の表示画面を見るか、ＥＬ表示装置１５７４の表示画面５０を見るかの一方のみを一度に観察する。円偏光板４０２１は図４０３の（ａ）の構成の時、ＥＬ表示装置１５７４側にλ／４板（フィルム）が配置され、外側に偏光板が配置されるように構成されている。

【１６７０】

円偏光板４０２１は２つの支点１５９１（１５９１ａ、１５９１ｂ）で３６０度回転できるように構成されている。支点１５９１ａと支点１５９１ｂ間は支持部材４０３２で連結されている。つまり、図４０３の（ａ）のようにＥＬ表示装置１５７４の表示画面５０側に円偏光板４０２１を配置することもできる。また、図４０３の（ｃ）のように液晶表示装置４０３３側に円偏光板４０２１を配置することもできる。なお、図４０３の（ｂ）は図４０３の（ａ）の状態から図４０３の（ｃ）の状態に移行する途中段階の状態を図示している。

【１６７１】

図４０２の装置の使用者は、２つの状態でＥＬ表示装置１５７４の画面５０を観察することができる。１つは、図４０３の（ａ）のように、ＥＬ表示装置１５７４の表示画面５０上に円偏光板４０２１を配置した状態である。映り込みがなくなり良好な画像表示を観察できる。他の１つは、図４０３の（ｂ）または図４０３の（ｃ）の状態である。ＥＬ表示装置１５７４上には円偏光板４０２１がなく、明るい画面５０を観察できる。使用者は、図４０３の（ａ）と図４０３の（ｃ）の状態とを円偏光板４０２１を移動させることにより、自由に変更出来る。他の点（ＥＬ表示装置に関する事項、その他）などは、図１５７などで説明している（あるいは説明する）ので説明を省略する。

【１６７２】

図４０３は、支持部材４０３２に取り付けられた円偏光板４０２１を移動させることにより、ＥＬ表示装置１５７４上に円偏光板４０２１を配置する構成であった。図４０４は、円偏光板４０２１を差し込む（脱着）ことにより、円偏光板４０２１をＥＬ表示装置１５７４上に配置する構成である。

【１６７３】

図４０３において、ＥＬ表示装置１５７４の光出射側には、透明カバー４０４１が配置されている。透明カバー４０４１はアクリル樹脂で構成されており、表面に反射防止のためのＡＩＲコート（この構成については以前に説明した２層あるいは３層構成であるので説明を省略する）が形成されている。また、機械的に表面に傷がつくことを防止するために６Ｈ以上の硬度を持つＵＶ樹脂からなるハードコートが形成または構成されている。

【１６７４】

透明カバー１４６とＥＬ表示装置１５７４間に挿入部（空間）４０４２が配置されている。この挿入部４０４２に必要に応じて円偏光板４０２１を挿入することにより映り込み防止を実施することができる。他の点については、図４０２、図４０３などと同様であるので説明を省略する。

【１６７５】

ＥＬ表示装置１５７４のＥＬ素子１５から放射される光は指向性がないため、また、この光はＥＬ素子が形成された基板７１を介して外部の空間に出射される。そのため、屈折率

の高い基板（屈折率は１．５程度）から、空間（屈折率１．０）に光が出射される際、２／３の光はスネルの法則に基づく臨界角以上となり、空間に出射されない（つまり、ＥＬ素子１５が発生した光の２／３は基板７１からでることができない）。基板７１に閉じ込められた光は、基板７１内で乱反射しハレーションとなり、ＥＬ表示装置の表示コントラストを低下させる。また、発熱の要因となり好ましいことではない。

【１６７６】

図４０５などは、基板７１などで乱反射するＥＬ素子１５からの光をボタンの照明光などとして用いるものである。なお、ボタンなどの照明はＥＬ表示装置１５７４からの光のみに限定するものではなく、白色ＬＥＤなどの照明光を別途設け、ＥＬ表示装置１５７４からの光は補助的に用いるとしても良い。なお、白色ＬＥＤ照明光を用いるか、ＥＬ表示装置１５７４からの照明光のみを用いるかは使用者がボタンなどで切り替えられるように構成することが好ましい。

【１６７７】

図４０５は導光板４０５４にＥＬ表示装置１５７４が取り付けられている。もしくは、導光板４０５４として機能する基板とＥＬ表示装置１５７４が一体として構成されている。たとえば、導光板４０５４を別途設けるのではなく、ＥＬ表示装置１５７４の封止基板８５を導光板として機能させるなどである。導光板４０５４は、透明な基板を想像するがこれに限定するものではなく、アルミニウムなどの板でもよい。また、導光部が樹脂で形成されている必要はなく、空気でもよい（つまり、アルミニウムの反射部４０５２のみがある構成である）。導光板４０５４が封止基板（フタ）８５とする場合は、図４０５の１５７４とは基板７１になる。

【１６７８】

導光板４０５４の周囲（画像表示に有効な光が通過しない領域、また、ボタンなどの照明に有効な光が通過しない領域）には、反射膜（反射部）４０５２が形成または構成あるいは配置されている。反射膜は、アルミニウム、銀などの蒸着による薄膜による構成の他、アルミニウム、銀などの反射板を接着剤などで貼り付けるあるいは配置してもよい。その他、光を反射させることに限定するものではなく、光を拡散させる材料（光拡散材）あるいは構成でもよい。光拡散材としては、酸化チタンの微粉末を塗布した構成、オバールガラスなどがある。これらを塗布したり、光拡散材からなるシートは貼り付けたりしてもよい。その他、導光板４０５４において、光拡散材を充填あるいは拡散配置したものを採用してもよい。また、導光板４０５４において、光反射材を充填あるいは拡散配置したものを採用してもよい。

【１６７９】

ＥＬ素子１５（図示せず）から放射された光４０５３ａは、ＥＬ表示装置１５７４の表示光となり表示画面５０として寄与する。一方、臨界角以上となった光４０５３ｃは導光板４０５４を伝達する。なお、ＩＣ１２（１４）の裏面にも反射膜４０５２を形成することが好ましい。ＩＣに迷光４０５３ｃが入射することによる誤動作を防止するためである。図１０に図示したように、金属薄膜ならなるカソード電極１０６が表示領域前面に構成されていたのでは、光４０５３ｃは発生しない（乱反射による弱い光はある）。そのため、カソード電極１０６を半透明状態となるように、薄いアルミニウム薄膜でカソード電極１０６を形成し、さらにカソード電極１０６の抵抗値を低減するために、アルミニウムのカソード電極１０６にＩＴＯ、ＩＺＯからなる透明薄膜を積層して構成する。もしくはカソード電極１０６に微細は開口部を形成する。しかし、実用上は、基板７１と封止基板（フタ）８５を密接して配置すること、封止基板８５を基板７１との取り付け箇所から、回り込み光４０５３ｃが発生する。

【１６８０】

光４０５３ｃは反射膜４０５２で反射されて導光板４０５４内を導光する。光４０５３ｃは、ボタン１５７２（図５７、図４０２を参照のこと）が配置される開口部４０５１から出射する。この出射する光がボタン１５７２などの照明光となる。以上のように、本発明は、ＥＬ表示装置１５７４が画像表示として利用しない光を伝達し、この伝達した光を用

いて、他の照明部材の照明光として利用するものである。

【１６８１】

図４０６は、照明対象物（図４０６ではボタン１５７２）の近傍に光拡散部（光拡散部材）４０６１を配置した構成である。近傍とは、照明対象物の裏面、図４０６の反射面４０５２あるいは導光板４０５４の表面などが該当する。この光拡散部４０６１に入射した光４０５３ｃが散乱し、この散乱光４０５３ｂが効率良く開口部４０５１に入射して照明する。なお、図４０６では、光拡散部４０６１を形成または配置するとしたが、これに限定するものではなく、反射膜（反射面）４０５２に凹凸部あるいは傾斜部を形成または構成し、この凹凸部または傾斜部などに入射する光４０５３ｃの進行方向をかえて、開口部４０５１に入射するようにしてもよいことは言うまでもない。

【１６８２】

図４０６などは、ボタン１５７２などの照明光として光４０５３ｃを用いるものであった。この光は、液晶表示パネル４０３３などの照明光としても用いることができる。液晶表示パネルは、自発光デバイスでなく、図４０３に図示するように、画像表示にはバックライト４０３１が必要である。つまり、液晶表示パネル４０３３のバックライトとして光４０５３ｃを用いる。なお、光４０５３ｃのみで液晶表示パネル４０３３を照明することに限定するものではなく、別途バックライト４０３１を設けておき、補助的に光４０５３ｃを用いるように構成してもよい。バックライト４０３１を点灯させるか否かは、使用者が切り替えることができるように構成する。

【１６８３】

図４０７ではＥＬ素子１５（図示せず）から、放射された光４０５３ｃを用いて、ＥＬ表示装置１５７４の裏面に配置されたサブ表示装置としての液晶表示パネル４０３３を照明している。

【１６８４】

図４０５では、ＥＬ表示装置１５７４と導光板４０５４とを一体として構成するとしたがこれに限定するものではない。図４０８に図示するようにＥＬ表示装置１５７４と導光板４０５４ａ（もしくは封止フタ８５）を一体として形成し、別途導光板４０５４ｂを設け、この導光板４０５４ａと導光板４０５４ｂとを光結合層４０８１（接着剤など）で接続してもよい。

【１６８５】

図４０７では、画像表示用として、ＥＬ素子１５から発生させた光４０５３ｃを液晶表示パネル４０３３の照明用として用いるとした。しかし、本発明はこれに限定するものではない。たとえば、図４０９に図示するように、液晶表示パネル４０３３のバックライト（照明用）として、ＥＬ表示パネル１５７４にＥＬバックライト４０９２を形成または配置してもよい。ＥＬバックライト４０９２は基板７１に画像表示用のＥＬ素子１５と同時に形成する。たとえば、ＥＬ素子１５材料が低分子ＥＬ材料の場合は、マスク蒸着により画像表示領域４０９３のＥＬ素子１５をＥＬバックライト４０９２のＥＬ素子１５と同時に形成する。ＥＬバックライト４０９２は画素１６がマトリックス状に形成されている必要はない。また、アクティブマトリクス型でなくともよい（もちろん、ＥＬ素子１５をマトリックス状に形成してもよいし、アクティブマトリクス型でもよい）。本発明では、ＥＬバックライト４０９２部は、ストライプ状に形成しており、単純型である。

【１６８６】

ＥＬバックライト４０９２は、白色発光である必要はない。単色でもよい。単色の場合は、液晶表示パネル４０３３の表示画像は、単色表示となる。しかし、ＥＬバックライト４０３３を複数色とすることにより、液晶表示パネル４０３３の表示色を多種多様に変化できるようになり、好ましい。

【１６８７】

ＥＬバックライト４０９２部の発光が、使用者から見えないようにするため、図４０９に図示するように、遮光膜４０９１（遮光手段、光吸収手段）を、一方の光出射側に形成または配置することが好ましい。遮光膜４０９１の一部に開口部を形成しておくことにより

、ＥＬバックライト４０９２が点灯しているか否かのインジケータ（表示器）として活用することができる。この表示器は、遮光膜４０９１を加工することにより、文字の形状にしたり、円形などにしたりすることができる。

【１６８８】

なお、図４０９の実施例では、ＥＬバックライト４０９２と画像表示領域４０９３とを同時に形成するとしたがこれに限定するものではなく、分離して形成してもよい。また、ＥＬバックライト４０９２とＥＬ表示パネル１５７４を分離して作製し、取り付けても良い。

【１６８９】

また、ＥＬ表示装置の放熱対策を行うには、図４２４、図４２６の構成を採用し、図４２７に図示するように、筐体１５７３をＥＬ表示装置間に空気穴（空気の通路）４２７１を形成または配置するとよい。

【１６９０】

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ１１などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素１６を構成するトランジスタ１１はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路１２、ソースドライバ回路１４もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。

【１６９１】

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【１６９２】

Ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１７３に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）などの他のディスプレイにも適用できることは言うまでもない。

【１６９３】

図１７３のＦＥＤでは基板７１上にマトリックス状に電子を放出する電子放出突起１７３３（図１０では画素電極１０５が該当する）が形成されている。画素には映像信号回路１７３２（図１ではソースドライバ回路１４が該当する）からの画像データを保持する保持回路１７３４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１７３３の前面には制御電極１７３１が配置されている。制御電極１７３１にはオンオフ制御回路１７３５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

【１６９４】

図１７３の画素構成で、図１７４に図示するように周辺回路を構成すれば、Ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１７３２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１７３５ａから選択信号線２１７３に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれ

る。また、オンオフ制御回路１７３５ｂからオンオフ信号線１７４２にオンオフ信号が印加され、ＦＥＤの画素がオンオフ制御（Ｄｕｔｙ比制御）される。

【１６９５】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【１６９６】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【１６９７】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。

【１６９８】

また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【１６９９】

また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【１７００】

【発明の効果】

【１７０１】

本発明のＥＬ表示装置およびその駆動方法は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【１７０２】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図１】　本発明の表示パネルの画素構成図である。

【図２】　本発明の表示パネルの画素構成図である。

【図３】　本発明の表示パネルの動作の説明図である。

【図４】　本発明の表示パネルの動作の説明図である。

【図５】　本発明の表示装置の駆動方法の説明図である。

【図６】　本発明の表示装置の構成図である。

【図７】　本発明の表示パネルの製造方法の説明図である。

【図８】　本発明の表示装置の構成図である。
【図９】　本発明の表示装置の構成図である。
【図１０】　本発明の表示パネルの断面図である。
【図１１】　本発明の表示パネルの断面図である。
【図１２】　本発明の表示パネルの説明図である。
【図１３】　本発明の表示装置の駆動方法の説明図である。
【図１４】　本発明の表示装置の駆動方法の説明図である。
【図１５】　本発明の表示装置の駆動方法の説明図である。
【図１６】　本発明の表示装置の駆動方法の説明図である。
【図１７】　本発明の表示装置の駆動方法の説明図である。
【図１８】　本発明の表示装置の駆動方法の説明図である。
【図１９】　本発明の表示装置の駆動方法の説明図である。
【図２０】　本発明の表示装置の駆動方法の説明図である。
【図２１】　本発明の表示装置の駆動方法の説明図である。
【図２２】　本発明の表示装置の駆動方法の説明図である。
【図２３】　本発明の表示装置の駆動方法の説明図である。
【図２４】　本発明の表示装置の駆動方法の説明図である。
【図２５】　本発明の表示装置の駆動方法の説明図である。
【図２６】　本発明の表示装置の駆動方法の説明図である。
【図２７】　本発明の表示装置の駆動方法の説明図である。
【図２８】　本発明の表示装置の駆動方法の説明図である。
【図２９】　本発明の表示装置の駆動方法の説明図である。
【図３０】　本発明の表示装置の駆動方法の説明図である。
【図３１】　本発明の表示装置の駆動方法の説明図である。
【図３２】　本発明の表示装置の駆動方法の説明図である。
【図３３】　本発明の表示装置の駆動方法の説明図である。
【図３４】　本発明の表示装置の構成図である。
【図３５】　本発明の表示装置の駆動方法の説明図である。
【図３６】　本発明の表示装置の駆動方法の説明図である。
【図３７】　本発明の表示装置の構成図である。
【図３８】　本発明の表示パネルの画素構成図である。
【図３９】　本発明の表示装置の駆動方法の説明図である。
【図４０】　本発明の表示装置の構成図である。
【図４１】　本発明の表示装置の構成図である。
【図４２】　本発明の表示パネルの画素構成図である。
【図４３】　本発明の表示パネルの画素構成図である。
【図４４】　本発明の表示装置の駆動方法の説明図である。
【図４５】　本発明の表示装置の駆動方法の説明図である。
【図４６】　本発明の表示装置の駆動方法の説明図である。
【図４７】　本発明の駆動回路の説明図である。
【図４８】　本発明の駆動回路の説明図である。
【図４９】　本発明の駆動回路の説明図である。
【図５０】　本発明の駆動回路の説明図である。
【図５１】　本発明の駆動回路の説明図である。
【図５２】　本発明の駆動回路の説明図である。
【図５３】　本発明の駆動回路の説明図である。
【図５４】　本発明の駆動回路の説明図である。
【図５５】　本発明の駆動回路の説明図である。
【図５６】　本発明の駆動回路の説明図である。
【図５７】　本発明の駆動回路の説明図である。

【図５８】　本発明の駆動回路の説明図である。
【図５９】　本発明の駆動回路の説明図である。
【図６０】　本発明の駆動回路の説明図である。
【図６１】　本発明の駆動回路の説明図である。
【図６２】　本発明の駆動回路の説明図である。
【図６３】　本発明の駆動回路の説明図である。
【図６４】　本発明の駆動回路の説明図である。
【図６５】　本発明の駆動回路の説明図である。
【図６６】　本発明の駆動回路の説明図である。
【図６７】　本発明の駆動回路の説明図である。
【図６８】　本発明の駆動回路の説明図である。
【図６９】　本発明の駆動回路の説明図である。
【図７０】　本発明の駆動回路の説明図である。
【図７１】　本発明の駆動回路の説明図である。
【図７２】　本発明の駆動回路の説明図である。
【図７３】　本発明の駆動回路の説明図である。
【図７４】　本発明の駆動回路の説明図である。
【図７５】　本発明の表示装置の駆動方法の説明図である。
【図７６】　本発明の表示装置の駆動方法の説明図である。
【図７７】　本発明の駆動回路の説明図である。
【図７８】　本発明の表示装置の駆動方法の説明図である。
【図７９】　本発明の表示装置の駆動方法の説明図である。
【図８０】　本発明の表示装置の駆動方法の説明図である。
【図８１】　本発明の表示装置の駆動方法の説明図である。
【図８２】　本発明の表示装置の駆動方法の説明図である。
【図８３】　本発明の表示装置の駆動回路の説明図である。
【図８４】　本発明の表示装置の駆動回路の説明図である。
【図８５】　本発明の表示装置の駆動回路の説明図である。
【図８６】　本発明の表示装置の駆動回路の説明図である。
【図８７】　本発明の表示装置の駆動回路の説明図である。
【図８８】　本発明の表示装置の駆動回路の説明図である。
【図８９】　本発明の表示装置の駆動回路の説明図である。
【図９０】　本発明の表示装置の駆動回路の説明図である。
【図９１】　本発明の表示装置の駆動回路の説明図である。
【図９２】　本発明の表示装置の駆動回路の説明図である。
【図９３】　本発明の表示装置の駆動回路の説明図である。
【図９４】　本発明の表示装置の駆動回路の説明図である。
【図９５】　本発明の表示装置の駆動回路の説明図である。
【図９６】　本発明の表示装置の駆動回路の説明図である。
【図９７】　本発明の表示装置の駆動回路の説明図である。
【図９８】　本発明の表示装置の駆動回路の説明図である。
【図９９】　本発明の表示装置の駆動回路の説明図である。
【図１００】　本発明の表示パネルの駆動方法の説明図である。
【図１０１】　本発明の表示パネルの駆動方法の説明図である。
【図１０２】　本発明の表示パネルの駆動方法の説明図である。
【図１０３】　本発明の表示パネルの駆動方法の説明図である。
【図１０４】　本発明の表示パネルの駆動方法の説明図である。
【図１０５】　本発明の表示パネルの駆動方法の説明図である。
【図１０６】　本発明の表示パネルの駆動方法の説明図である。
【図１０７】　本発明の表示パネルの駆動方法の説明図である。

【図１０８】　本発明の表示パネルの駆動方法の説明図である。
【図１０９】　本発明の表示パネルの駆動方法の説明図である。
【図１１０】　本発明の表示パネルの駆動方法の説明図である。
【図１１１】　本発明の表示パネルの駆動方法の説明図である。
【図１１２】　本発明の表示装置の駆動回路の説明図である。
【図１１３】　本発明の表示パネルの画素構成図である。
【図１１４】　本発明の表示パネルの画素構成図である。
【図１１５】　本発明の表示パネルの画素構成図である。
【図１１６】　本発明の表示パネルの画素構成図である。
【図１１７】　本発明の表示パネルの画素構成図である。
【図１１８】　本発明の表示装置の駆動回路の説明図である。
【図１１９】　本発明の表示装置の駆動回路の説明図である。
【図１２０】　本発明の表示装置の駆動回路の説明図である。
【図１２１】　本発明の表示装置の駆動回路の説明図である。
【図１２２】　本発明の表示装置の駆動回路の説明図である。
【図１２３】　本発明の表示装置の駆動回路の説明図である。
【図１２４】　本発明の表示装置の駆動回路の説明図である。
【図１２５】　本発明の表示装置の説明図である。
【図１２６】　本発明の表示装置の説明図である。
【図１２７】　本発明の表示パネルの駆動方法の説明図である。
【図１２８】　本発明の表示パネルの駆動方法の説明図である。
【図１２９】　本発明の表示パネルの駆動方法の説明図である。
【図１３０】　本発明の表示パネルの駆動方法の説明図である。
【図１３１】　本発明の表示パネルの駆動方法の説明図である。
【図１３２】　本発明の表示装置の説明図である。
【図１３３】　本発明の表示装置の説明図である。
【図１３４】　本発明の表示パネルの駆動方法の説明図である。
【図１３５】　本発明の表示パネルの駆動方法の説明図である。
【図１３６】　本発明の表示パネルの駆動方法の説明図である。
【図１３７】　本発明の表示パネルの駆動方法の説明図である。
【図１３８】　本発明の表示パネルの駆動方法の説明図である。
【図１３９】　本発明の表示パネルの駆動方法の説明図である。
【図１４０】　本発明の表示パネルの駆動方法の説明図である。
【図１４１】　本発明の表示パネルの駆動方法の説明図である。
【図１４２】　本発明の表示パネルの駆動方法の説明図である。
【図１４３】　本発明の表示パネルの駆動方法の説明図である。
【図１４４】　本発明の表示パネルの駆動方法の説明図である。
【図１４５】　本発明の表示パネルの駆動方法の説明図である。
【図１４６】　本発明の表示パネルの駆動方法の説明図である。
【図１４７】　本発明の表示装置の説明図である。
【図１４８】　本発明の表示装置の説明図である。
【図１４９】　本発明の表示装置の説明図である。
【図１５０】　本発明の表示装置の説明図である。
【図１５１】　本発明の表示装置の説明図である。
【図１５２】　本発明の表示装置の説明図である。
【図１５３】　本発明の表示装置の説明図である。
【図１５４】　本発明の表示装置の説明図である。
【図１５５】　本発明の表示装置の説明図である。
【図１５６】　本発明の表示装置の説明図である。
【図１５７】　本発明の表示装置の説明図である。

【図１５８】　本発明の表示装置の説明図である。
【図１５９】　本発明の表示装置の説明図である。
【図１６０】　本発明の表示装置の説明図である。
【図１６１】　本発明の表示装置の説明図である。
【図１６２】　本発明の表示装置の説明図である。
【図１６３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１６９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７３】　本発明の表示装置の説明図である。
【図１７４】　本発明の表示装置の説明図である。
【図１７５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１７７】　本発明の電源回路の説明図である。
【図１７８】　本発明の電源回路の説明図である。
【図１７９】　本発明の電源回路の説明図である。
【図１８０】　本発明の電源回路の説明図である。
【図１８１】　本発明の電源回路の説明図である。
【図１８２】　本発明の電源回路の説明図である。
【図１８３】　本発明の電源回路の説明図である。
【図１８４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１８５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１８６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１８７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１８８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１８９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１９０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１９１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１９２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１９３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図１９４】　本発明の表示装置の説明図である。
【図１９５】　本発明の表示装置の説明図である。
【図１９６】　本発明の表示装置の説明図である。
【図１９７】　本発明の表示装置の説明図である。
【図１９８】　本発明の表示装置の説明図である。
【図１９９】　本発明の表示装置の説明図である。
【図２００】　本発明の表示装置の説明図である。
【図２０１】　本発明の表示装置の説明図である。
【図２０２】　本発明の表示装置の説明図である。
【図２０３】　本発明の表示装置の説明図である。
【図２０４】　本発明の表示装置の説明図である。
【図２０５】　本発明の表示装置の説明図である。
【図２０６】　本発明の表示装置の説明図である。
【図２０７】　本発明の表示装置の説明図である。

【図２０８】　本発明の表示装置の説明図である。
【図２０９】　本発明の表示装置の説明図である。
【図２１０】　本発明の表示装置の説明図である。
【図２１１】　本発明の表示装置の説明図である。
【図２１２】　本発明の表示装置の説明図である。
【図２１３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２１９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２２０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２２１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２２２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２２３】　本発明の表示装置の説明図である。
【図２２４】　本発明の表示装置の説明図である。
【図２２５】　本発明の表示装置の説明図である。
【図２２６】　本発明の表示装置の説明図である。
【図２２７】　本発明の表示装置の説明図である。
【図２２８】　本発明の表示装置の説明図である。
【図２２９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３５】　本発明の駆動回路の説明図である。
【図２３６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２３９】　本発明の駆動方法の説明図である。
【図２４０】　本発明の駆動方法の説明図である。
【図２４１】　本発明の駆動方法の説明図である。
【図２４２】　本発明の駆動方法の説明図である。
【図２４３】　本発明の駆動方法の説明図である。
【図２４４】　本発明の駆動方法の説明図である。
【図２４５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２４６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２４７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２４８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２４９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５７】　本発明のソースドライバＩＣ（回路）の説明図である。

【図２５８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図２５９】　本発明の表示パネルの説明図である。
【図２６０】　本発明の表示パネルの説明図である。
【図２６１】　本発明の表示パネルの説明図である。
【図２６２】　本発明の表示パネルの説明図である。
【図２６３】　本発明の表示パネルの説明図である。
【図２６４】　本発明の表示パネルの説明図である。
【図２６５】　本発明の表示パネルの説明図である。
【図２６６】　本発明の表示パネルの説明図である。
【図２６７】　本発明の表示パネルの説明図である。
【図２６８】　本発明の表示パネルの説明図である。
【図２６９】　本発明の表示パネルの説明図である。
【図２７０】　本発明の表示パネルの説明図である。
【図２７１】　本発明の表示パネルの説明図である。
【図２７２】　本発明の表示パネルの説明図である。
【図２７３】　本発明の表示パネルの説明図である。
【図２７４】　本発明の表示パネルの説明図である。
【図２７５】　本発明の表示パネルの説明図である。
【図２７６】　本発明の表示パネルの説明図である。
【図２７７】　本発明の表示パネルの説明図である。
【図２７８】　本発明の表示パネルの駆動方法の説明図である。
【図２７９】　本発明の表示パネルの駆動方法の説明図である。
【図２８０】　本発明の表示パネルの駆動方法の説明図である。
【図２８１】　本発明の表示パネルの駆動方法の説明図である。
【図２８２】　本発明の表示パネルの駆動方法の説明図である。
【図２８３】　本発明の表示パネルの駆動方法の説明図である。
【図２８４】　本発明の表示パネルの駆動方法の説明図である。
【図２８５】　本発明の表示パネルの駆動方法の説明図である。
【図２８６】　本発明の表示パネルの駆動方法の説明図である。
【図２８７】　本発明の表示パネルの駆動方法の説明図である。
【図２８８】　本発明の表示パネルの駆動方法の説明図である。
【図２８９】　本発明の表示パネルの駆動方法の説明図である。
【図２９０】　本発明の表示パネルの駆動方法の説明図である。
【図２９１】　本発明の表示パネルの駆動方法の説明図である。
【図２９２】　本発明の表示パネルの駆動方法の説明図である。
【図２９３】　本発明の表示パネルの駆動方法の説明図である。
【図２９４】　本発明の表示パネルの駆動方法の説明図である。
【図２９５】　本発明の表示パネルの駆動方法の説明図である。
【図２９６】　本発明の表示パネルの駆動方法の説明図である。
【図２９７】　本発明の表示パネルの駆動方法の説明図である。
【図２９８】　本発明の表示パネルの駆動方法の説明図である。
【図２９９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３００】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０７】　本発明のソースドライバＩＣ（回路）の説明図である。

【図３０８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３０９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１０】　本発明の表示パネルの駆動方法の説明図である。
【図３１１】　本発明の表示パネルの駆動方法の説明図である。
【図３１２】　本発明の表示パネルの駆動方法の説明図である。
【図３１３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３１９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２４】　本発明の表示パネルの駆動方法の説明図である。
【図３２５】　本発明の表示パネルの駆動方法の説明図である。
【図３２６】　本発明の表示パネルの駆動方法の説明図である。
【図３２７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３２９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３０】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３１】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３２】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３３】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３４】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３５】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３６】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３７】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３８】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３３９】　本発明のソースドライバＩＣ（回路）の説明図である。
【図３４０】　本発明の表示パネルの駆動方法の説明図である。
【図３４１】　本発明の表示パネルの駆動方法の説明図である。
【図３４２】　本発明の表示パネルの駆動方法の説明図である。
【図３４３】　本発明の表示パネルの駆動方法の説明図である。
【図３４４】　本発明の表示パネルの駆動方法の説明図である。
【図３４５】　本発明の表示パネルの駆動方法の説明図である。
【図３４６】　本発明の表示パネルの駆動方法の説明図である。
【図３４７】　本発明の表示パネルの駆動方法の説明図である。
【図３４８】　本発明の表示パネルの駆動方法の説明図である。
【図３４９】　本発明の表示パネルの駆動方法の説明図である。
【図３５０】　本発明の表示パネルの駆動方法の説明図である。
【図３５１】　本発明の表示パネルの駆動方法の説明図である。
【図３５２】　本発明の表示パネルの駆動方法の説明図である。
【図３５３】　本発明の表示パネルの駆動方法の説明図である。
【図３５４】　本発明の表示パネルの駆動方法の説明図である。
【図３５５】　本発明の表示パネルの駆動方法の説明図である。
【図３５６】　本発明の表示パネルの駆動方法の説明図である。
【図３５７】　本発明の検査方法の説明図である。

【図３５８】　本発明の検査方法の説明図である。
【図３５９】　本発明の検査方法の説明図である。
【図３６０】　本発明の検査方法の説明図である。
【図３６１】　本発明の検査方法の説明図である。
【図３６２】　本発明の検査方法の説明図である。
【図３６３】　本発明の検査方法の説明図である。
【図３６４】　本発明の検査方法の説明図である。
【図３６５】　本発明の検査方法の説明図である。
【図３６６】　本発明の検査方法の説明図である。
【図３６７】　本発明の検査方法の説明図である。
【図３６８】　本発明の検査方法の説明図である。
【図３６９】　本発明の検査方法の説明図である。
【図３７０】　本発明の検査方法の説明図である。
【図３７１】　本発明の検査方法の説明図である。
【図３７２】　本発明の検査方法の説明図である。
【図３７３】　本発明の検査方法の説明図である。
【図３７４】　本発明の検査方法の説明図である。
【図３７５】　本発明の表示パネルの説明図である。
【図３７６】　本発明の表示パネルの説明図である。
【図３７７】　本発明の表示パネルの説明図である。
【図３７８】　本発明の表示パネルの説明図である。
【図３７９】　本発明の表示パネルの説明図である。
【図３８０】　本発明の表示パネルの説明図である。
【図３８１】　本発明の表示パネルの説明図である。
【図３８２】　本発明の表示パネルの説明図である。
【図３８３】　本発明の表示パネルの説明図である。
【図３８４】　本発明の検査方法の説明図である。
【図３８５】　本発明の検査方法の説明図である。
【図３８６】　本発明の検査方法の説明図である。
【図３８７】　本発明の検査方法の説明図である。
【図３８８】　本発明の検査方法の説明図である。
【図３８９】　本発明の検査方法の説明図である。
【図３９０】　本発明の検査方法の説明図である。
【図３９１】　本発明の検査方法の説明図である。
【図３９２】　本発明の検査方法の説明図である。
【図３９３】　本発明の検査方法の説明図である。
【図３９４】　本発明の検査方法の説明図である。
【図３９５】　本発明の検査方法の説明図である。
【図３９６】　本発明の検査方法の説明図である。
【図３９７】　本発明の検査方法の説明図である。
【図３９８】　本発明の検査方法の説明図である。
【図３９９】　本発明の検査方法の説明図である。
【図４００】　本発明の検査方法の説明図である。
【図４０１】　本発明の検査方法の説明図である。
【図４０２】　本発明の表示装置の説明図である。
【図４０３】　本発明の表示装置の説明図である。
【図４０４】　本発明の表示装置の説明図である。
【図４０５】　本発明の表示装置の説明図である。
【図４０６】　本発明の表示装置の説明図である。
【図４０７】　本発明の表示装置の説明図である。

【図４０８】　本発明の表示装置の説明図である。
【図４０９】　本発明の表示装置の説明図である。
【図４１０】　本発明の表示装置の説明図である。
【図４１１】　本発明の表示装置の説明図である。
【図４１２】　本発明の表示装置の説明図である。
【図４１３】　本発明の表示装置の説明図である。
【図４１４】　本発明の表示装置の説明図である。
【図４１５】　本発明の表示装置の説明図である。
【図４１６】　本発明の表示装置の説明図である。
【図４１７】　本発明の表示装置の説明図である。
【図４１８】　本発明の表示装置の説明図である。
【図４１９】　本発明の表示装置の説明図である。
【図４２０】　本発明の表示装置の説明図である。
【図４２１】　本発明の表示装置の説明図である。
【図４２２】　本発明の表示装置の説明図である。
【図４２３】　本発明の表示装置の説明図である。
【図４２４】　本発明の表示装置の説明図である。
【図４２５】　本発明の表示装置の説明図である。
【図４２６】　本発明の表示装置の説明図である。
【図４２７】　本発明の表示装置の説明図である。
【図４２８】　本発明の表示装置の説明図である。
【図４２９】　本発明の表示装置の説明図である。
【図４３０】　本発明の表示装置の説明図である。
【符号の説明】
１１　　トランジスタ（薄膜トランジスタ）
１２　　ゲートドライバＩＣ（回路）
１４　　ソースドライバＩＣ（回路）
１５　　ＥＬ（素子）（発光素子）
１６　　画素
１７　　ゲート信号線
１８　　ソース信号線
１９　　蓄積容量（付加コンデンサ、付加容量）
５０　　表示画面
５１　　書き込み画素（行）
５２　　非表示画素（非表示領域、非点灯領域）
５３　　表示画素（表示領域、点灯領域）
６１　　シフトレジスタ
６２　　インバータ
６３　　出力バッファ
７１　　アレイ基板（表示パネル）
７２　　レーザー照射範囲（レーザースポット）
７３　　位置決めマーカー
７４　　ガラス基板（アレイ基板）
８１　　コントロールＩＣ（回路）
８２　　電源ＩＣ（回路）
８３　　プリント基板
８４　　フレキシブル基板
８５　　封止フタ
８６　　カソード配線
８７　　アノード配線（Ｖｄｄ）

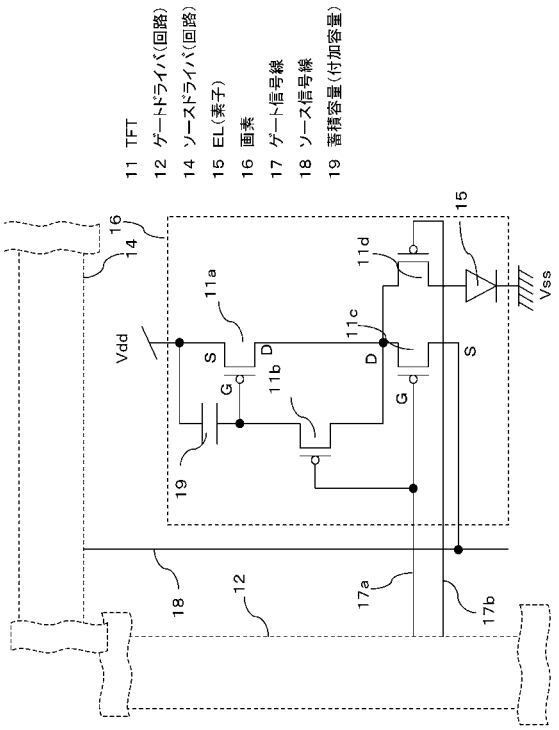
８８　データ信号線
８９　ゲート制御信号線
１０１　土手（リブ）
１０２　層間絶縁膜
１０４　コンタクト接続部
１０５　画素電極
１０６　カソード電極
１０７　乾燥剤
１０８　λ／４板
１０９　偏光板
１１１　薄膜封止膜
２７１　ダミー画素（行）
３４１　出力段回路
３７１　ＯＲ回路
４０１　点灯制御線
４５１　電子ボリウム回路
４５２　トランジスタのＳＤ（ソース－ドレイン）ショート
４７１、４７２、４７３　電流源（トランジスタ）
４８１　スイッチ（オンオフ手段）
４８４　電流源（単位トランジスタ）
４８３　内部配線
４９１　電子ボリウム
５２１　トランジスタ群
５３１　抵抗
５３２　デコーダ回路
５３３　レベルシフタ回路
５４１　嵩上げ回路
５５１　Ｄ／Ａ変換器
５５２　オペアンプ
５６１　アナログスイッチ
５６２　インバータ
５８１　ゲート配線
６３１　スリープスイッチ（基準電流オンオフ手段）
６５１　カウンタ
６５２　ＮＯＲ
６５３　ＡＮＤ
６５４　電流出力回路
６５５　スイッチ
６７１　一致回路
６８１　入出力パッド
６９１　基準電流回路
６９２　電流制御回路
７０１　温度検出手段
７０２　温度制御回路
７１１　単位ゲート出力回路
１１２１　コイル（トランス）
１１２２　制御回路
１１２３　ダイオード
１１２４　コンデンサ
１１２５　抵抗

１１２６　トランジスタ
１１３１　切り替え回路（アナログスイッチ）
１２５１　出力切り替え回路
１２５２　切り替えスイッチ
１５０１　アナログスイッチ
１５０２　スイッチ制御線
１５０３　接続配線
１５０４　緩衝シート（板）
１５２１　インバータ
１５２２　接続端子
１５７１　アンテナ
１５７２　キー
１５７３　筐体
１５７４　表示パネル
１５８１　接眼リング
１５８２　拡大レンズ
１５８３　凸レンズ
１５９１　支点（回転部）
１５９２　撮影レンズ
１５９３　格納部
１５９４　スイッチ
１６０１　本体
１６０２　撮影部
１６０３　シャッタスイッチ
１６１１　取り付け枠
１６１２　脚
１６１３　取り付け台
１６１４　固定部
１７３１　制御電極
１７３２　映像信号回路
１７３３　電子放出突起
１７３４　保持回路
１７３５　オンオフ制御回路
１７４１　選択信号線
１７４２　オンオフ信号線
１７８１　スイッチ
１７８３　電源回路
１８２１　スイッチ
１８３１　抵抗
１９０１　基準電流回路
２０４１　サンプリングポイント
２０５１　ＳＵＭ回路
２０５２　比較回路
２０６１　シャーシ
２０６２　操作ボタン
２０６３　チップ部品
２１７１　ダミートランジスタ
２１８１　サブトランジスタ
２３５１　プリチャージ制御回路
２３６１　ラッチ回路

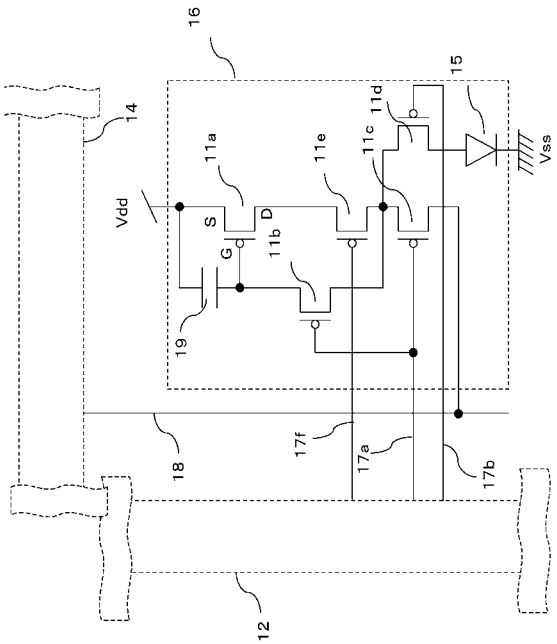
２３６２　セレクタ回路
２３６３　プリチャージ回路
２５９１　レベルシフタ回路
２６１１　カスケード電流接続線
２６２１ｉ　電流入力端子
２６２１ｏ　電流出力端子
２６３１　ベースアノード線
２６３２　アノード配線
２６３３　接続端子
２６４１　接続アノード線
２６４２　共通アノード線
２６５１　コンタクトホール
２６６１　絶縁膜、層間膜、絶縁手段
２６７１　ベースカソード線
２６７２　入力信号線
２６８１　接続樹脂
２６９１　光吸収膜
２６９２　樹脂ビーズ
２６９３　封止樹脂
２７０１　回路形成部
２７３１　ゲート電圧線
２７７２　電源ＩＣ制御信号
２７７３　ゲートドライバ回路制御信号
２９５１　容量制御線（コンデンサグランド）
２９５３　容量制御共通線
３００１　選択スイッチ（選択手段、切り替え手段）
３３１１　基準電圧回路（基準電圧発生手段）
３３１３　トランジスタ
３３１４　トランジスタ
３３２１　ツェナーダイオード（基準電圧発生手段）
３３３１　配線
３３３２　バッファ回路
３３３３　調整基準電圧出力配線
３３４１　調整基準電圧出力端子
３３５１　調整基準電圧入力配線
３３５２　基準電圧切り替えスイッチ（切り替え手段、選択手段）
３３５３　調整基準電圧入力端子
３３９１　倍率可変スイッチ
３３９２　トランジスタ
３４３１　出力バッファ回路
３４３３　昇圧回路
３５９１　プローブ（接続手段）
３５９２　アノード端子電極
３５９３　電圧（電流）印加配線（供給配線、伝達手段）
３５９４　ゲートドライバ（走査ドライバ）制御端子（信号線、電源線）
３６０１　制御回路（コントローラ、制御手段）
３６０２　カメラ（光学的入力手段、光学的検出手段）
３６０４　電流計（電流検出手段、電流測定手段）
３６０５　電圧源（電圧発生手段、信号発生手段）
３６３１　ソース信号線端子電極

３６３３　チェック端子電極
３６３４　ショート配線
３６６１　基準電圧回路（電圧発生回路、電圧発生手段）
３６６２　パーソナルコンピュータ（ＰＣ）（データ入力手段、制御手段、データ収集手段）
３６６３　入力回路（データ入力手段、電圧入力手段）
３７２１　検査電極
３７３１　チェック端子電極
３７５１　保護ダイオード
３７５２　内部配線
３７６１　短絡回路
３７８１　短絡部
３８２１　スリット
３８３１　レーザー光
３９９１　電圧計（電圧測定手段）
４００１　信号発生器（信号発生手段）
４０２１　円偏光板（円偏光フィルム、偏光板）
４０３１　バックライト
４０３２　支持部材
４０３３　液晶表示パネル
４０４１　透明カバー（光透過性フィルム、光透過性板）
４０４２　挿入部
４０５１　開口部
４０５２　反射膜（反射部、反射手段）
４０５３　光（光の軌跡）
４０５４　導光部（導光坂）
４０６１　光拡散部（光拡散材料、光散乱部）
４０８１　光結合層（オプティカルカップリング材、光結合材）
４０９１　遮光膜（反射膜）
４０９２　ＥＬバックライト（光発生手段、面発光源）
４０９３　画像表示領域（有効表示領域）
４１０１　光吸収膜
４１０２　光吸収土手
４１１１　トランジスタ等形成領域（無効領域）
４１２１　ビーズ
４１２３　接着層（接着材）
４１２４　土手材料
４１３１　電源配線
４１４１　電圧供給配線
４１５１　凸部
４１９１　放熱板（放熱手段）
４２３１　金属板（金属シート、放熱シート、放熱板）
４２５１　カソード電極
４２５２　ビーズ
４２５３　導電材料
４２５４　固定材
４２７１　空気穴（空気の通路）
４２９１　高分子ＥＬ材料

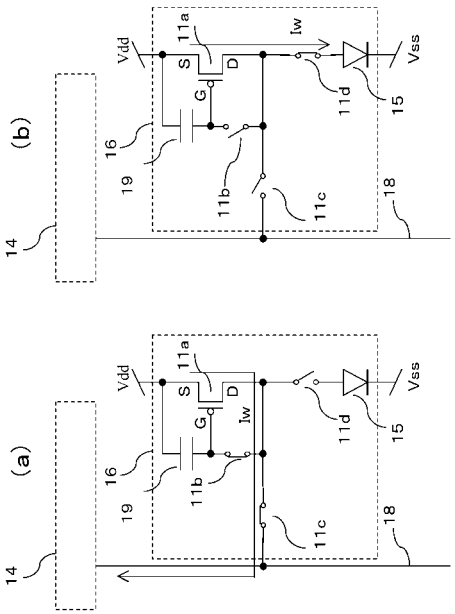
【図１】


11 TFT
12 ゲートドライバ(回路)
14 ソースドライバ(回路)
15 EL(素子)
16 画素
17 ゲート信号線
18 ソース信号線
19 蓄積容量(付加容量)
Vdd
Vss
S
D
G

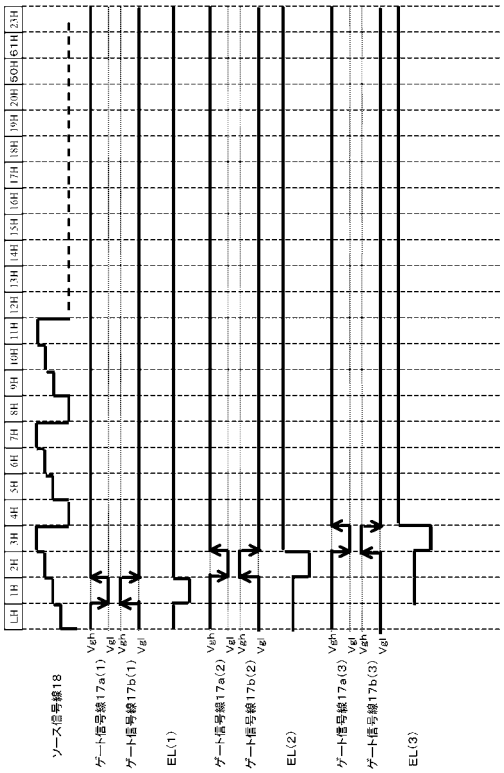
【図２】


Vdd
Vss
S
D
G

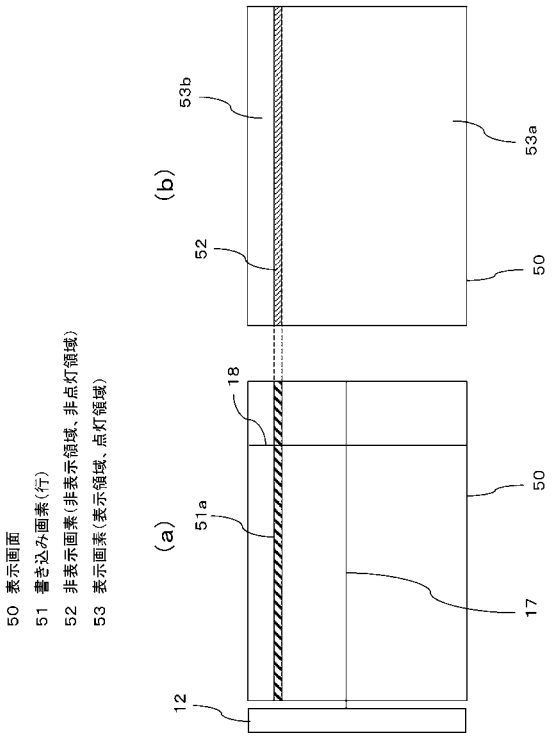
【図３】


(a)
(b)
Vdd
Vss
Iw

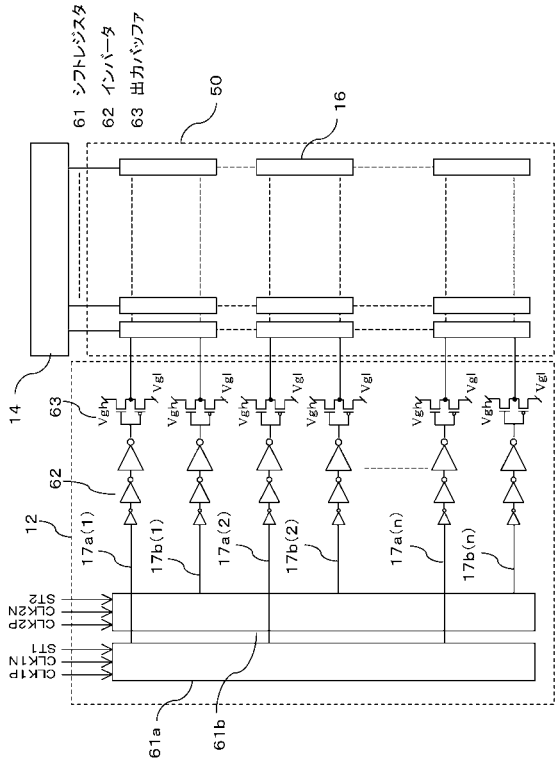
【図４】


ソース信号線18
ゲート信号線17a(1)
ゲート信号線17b(1)
EL(1)
ゲート信号線17a(2)
ゲート信号線17b(2)
EL(2)
ゲート信号線17a(3)
ゲート信号線17b(3)
EL(3)

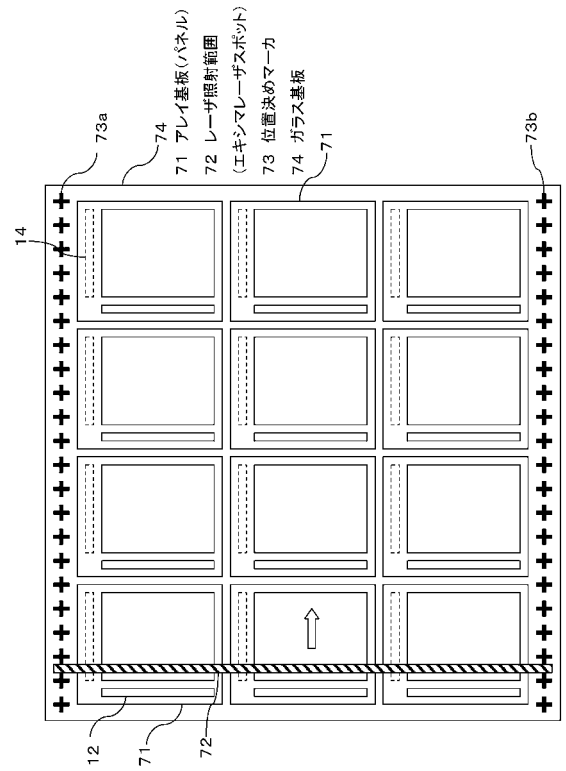
【図５】


50 表示画面
51 書き込み画素(行)
52 非表示画素(非表示領域、非点灯領域)
53 表示画素(表示領域、点灯領域)
(a)
(b)
12
17
18
50
51a
52
53a
53b

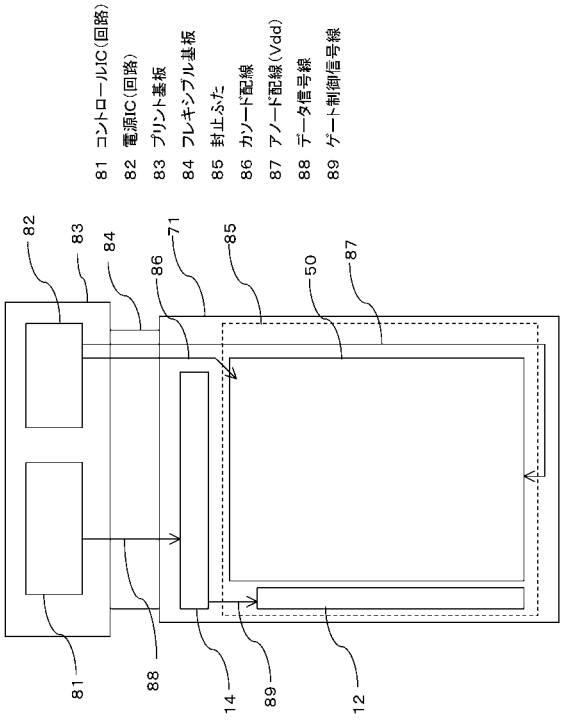
【図６】


61 シフトレジスタ
62 インバータ
63 出力バッファ
50
16
14
12
61a
61b

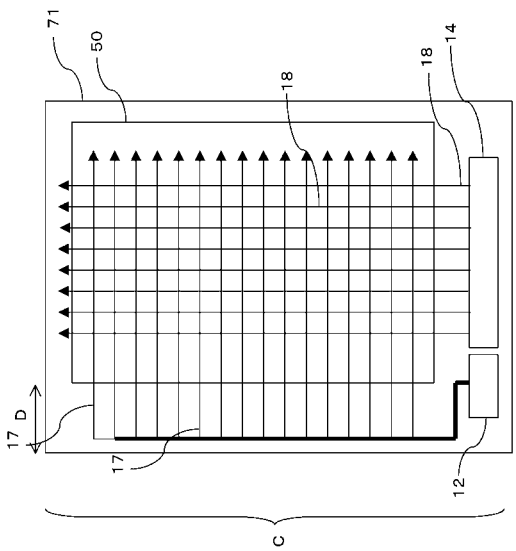
【図７】


71 アレイ基板(パネル)
72 レーザ照射範囲
(エキシマレーザスポット)
73 位置決めマーカ
74 ガラス基板
12
71
72
73a
73b
74

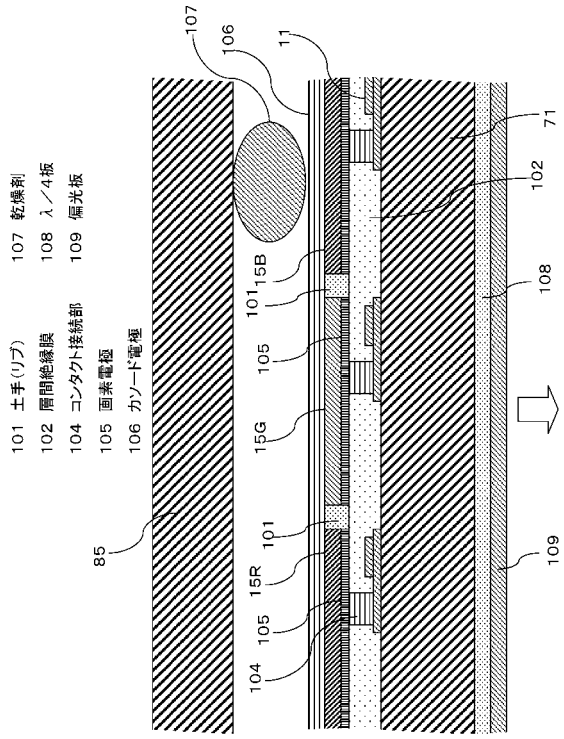
【図８】


81 コントロールIC(回路)
82 電源IC(回路)
83 プリント基板
84 フレキシブル基板
85 封止ふた
86 カソード配線
87 アノード配線(Vdd)
88 データ信号線
89 ゲート制御信号線
12
14
50
71

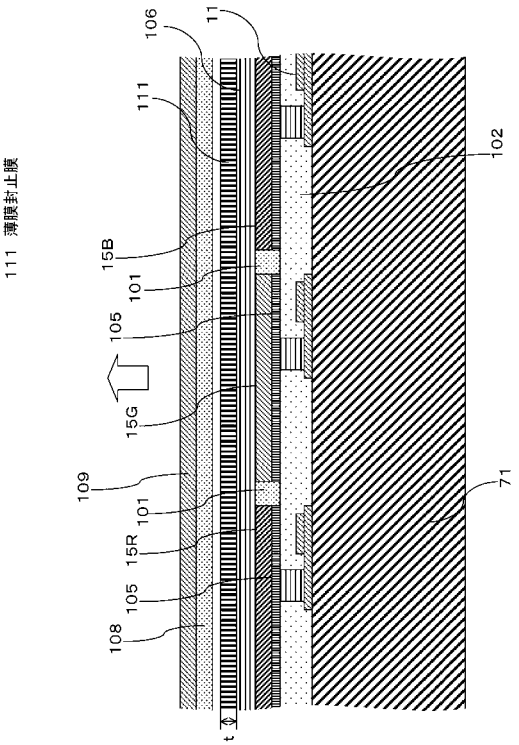
【図９】



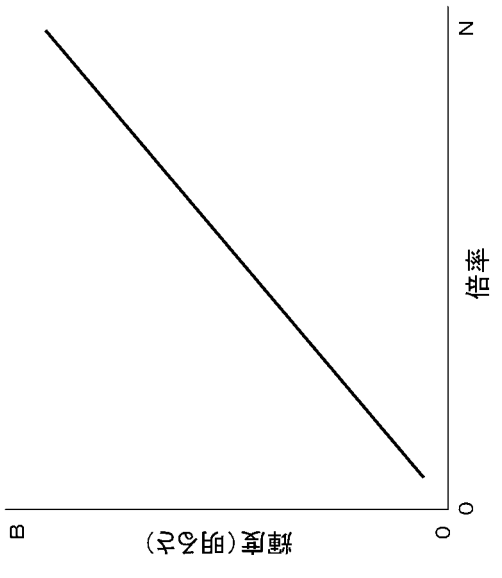
【図１０】



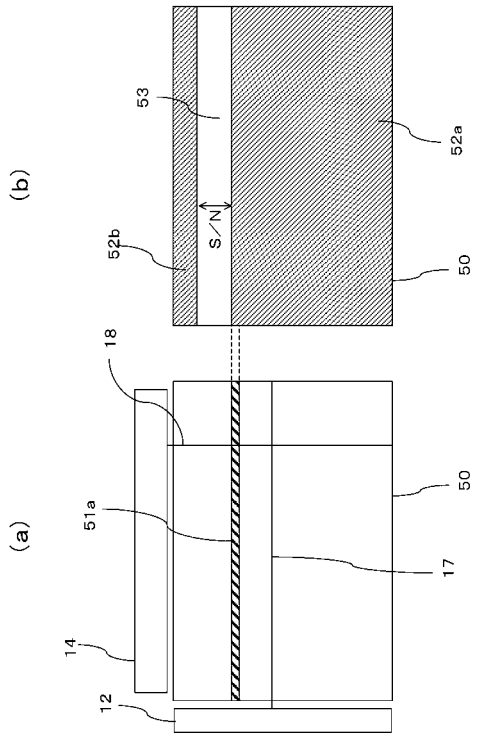
【図１１】



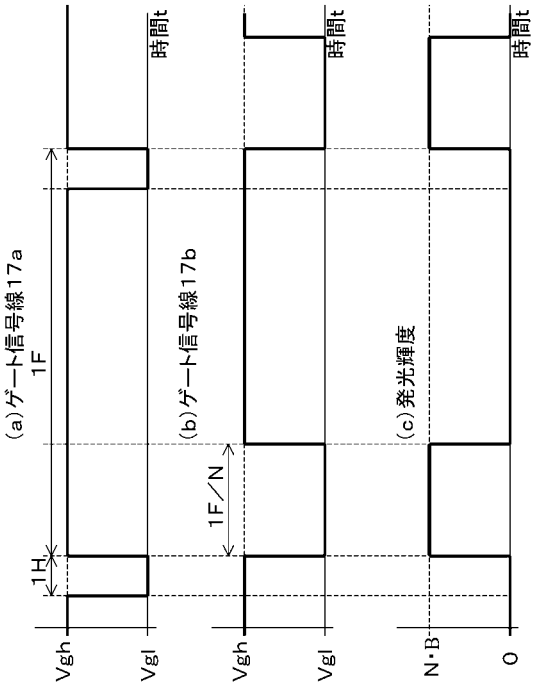
【図１２】



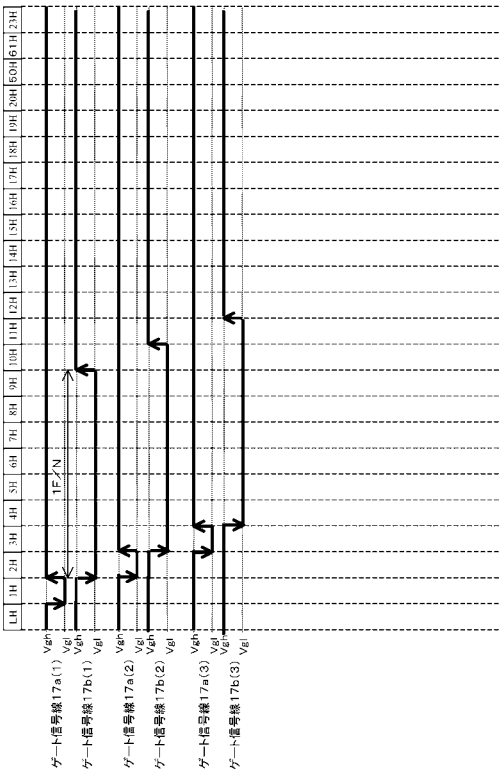
【図１３】



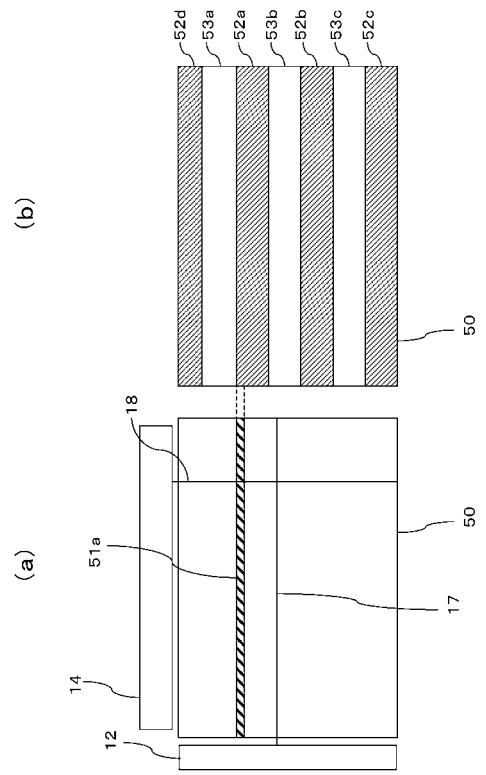
【図１４】



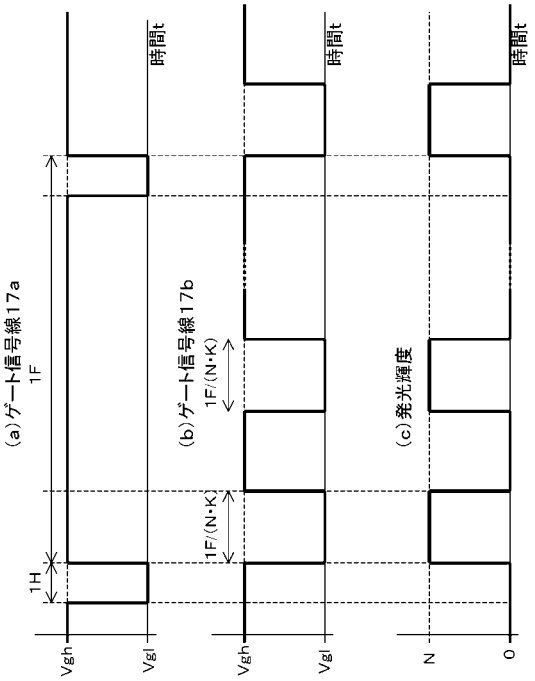
【図１５】



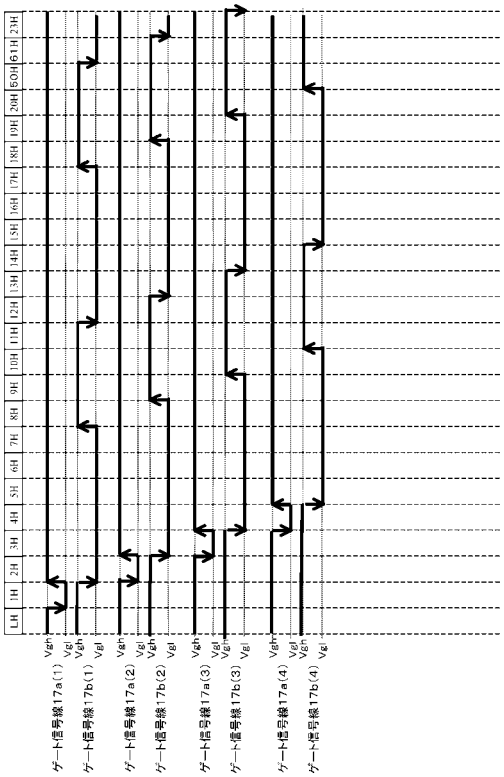
【図１６】



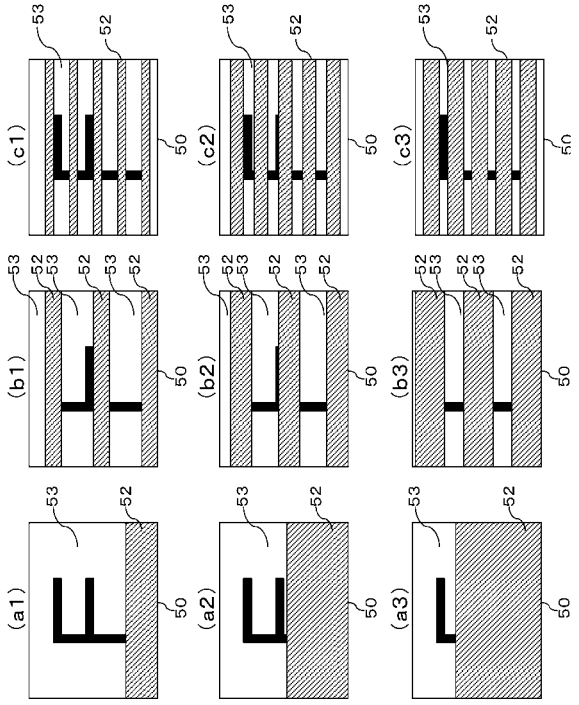
【図１７】



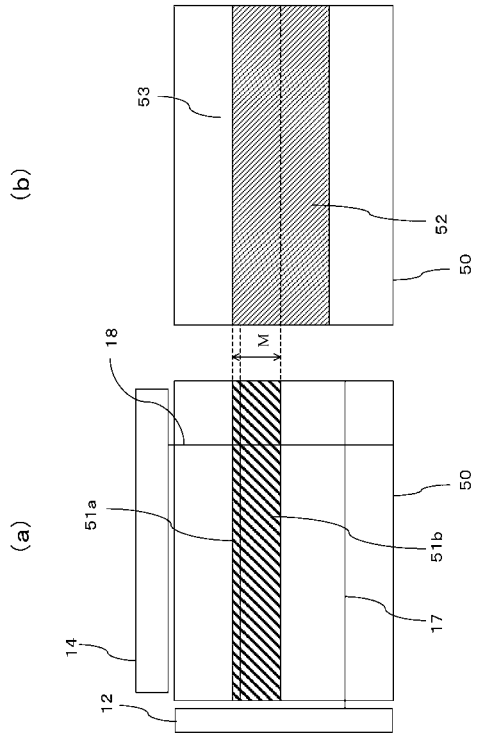
【図１８】



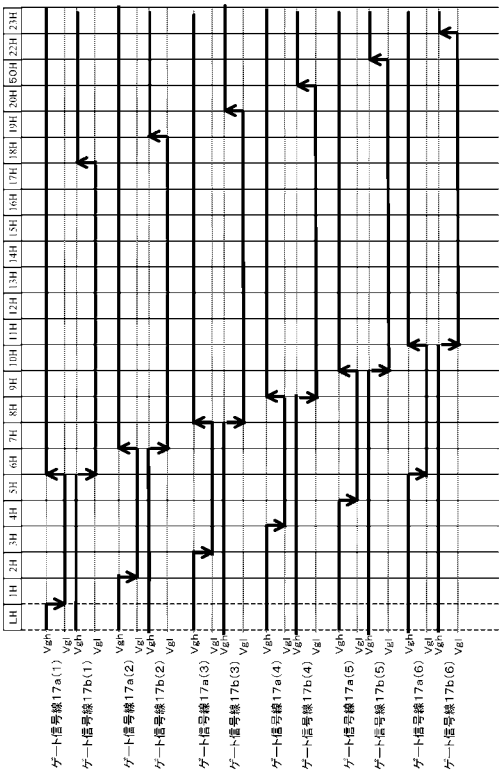
【図１９】



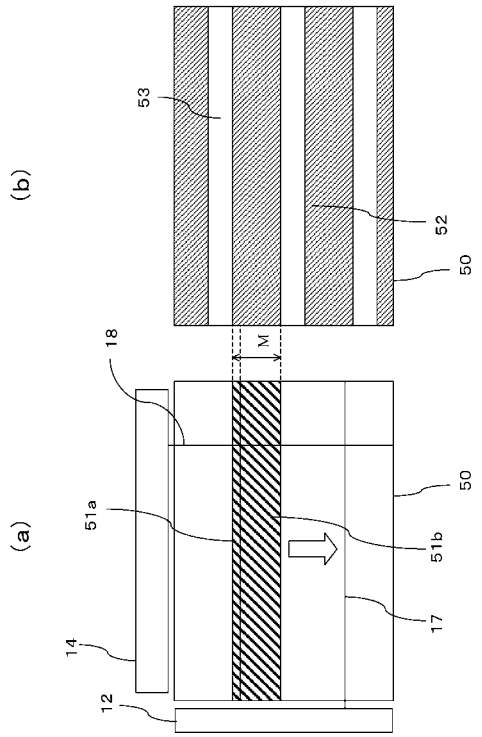
【図２０】



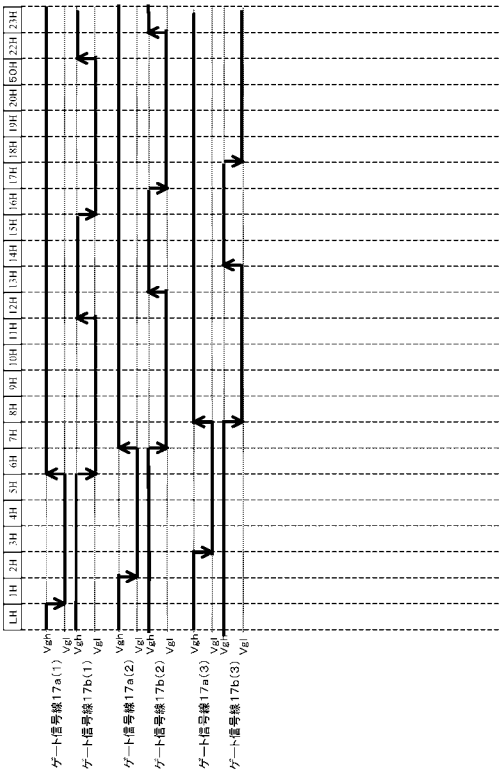
【図２１】



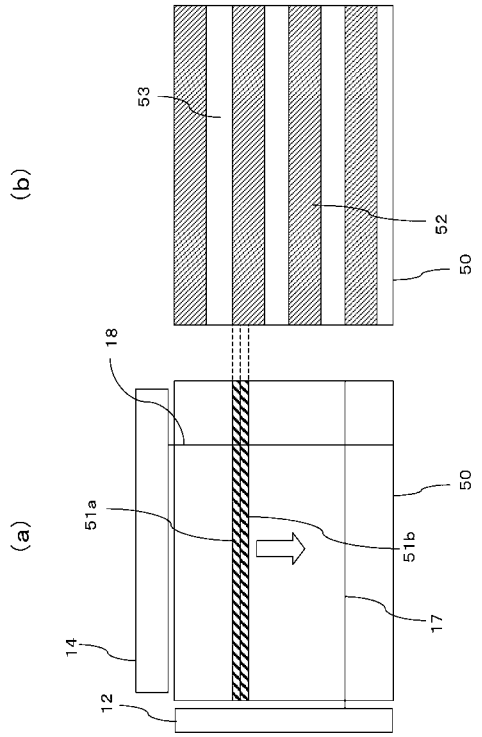
【図２２】



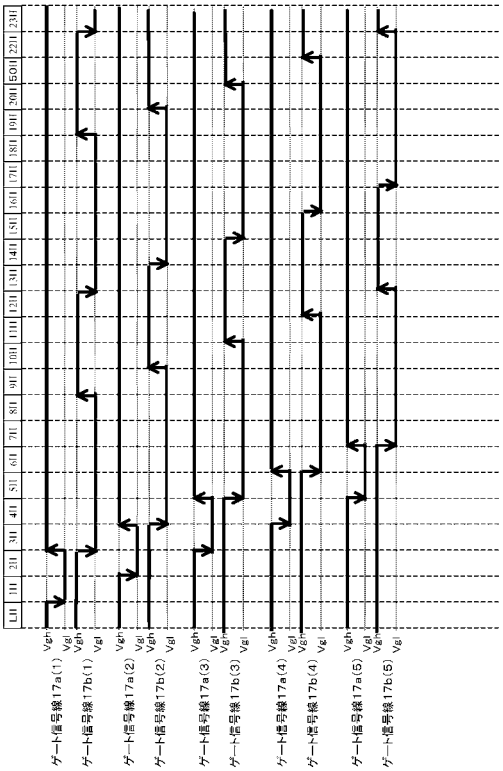
【図２３】



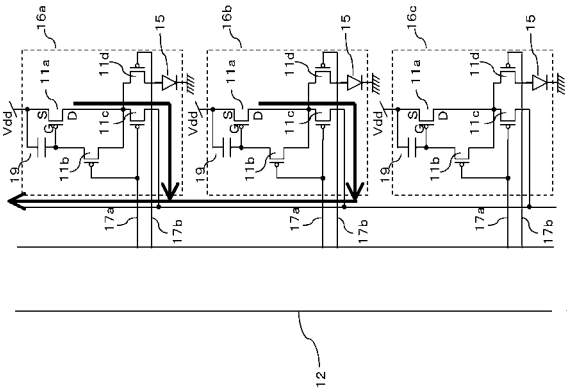
【図２４】



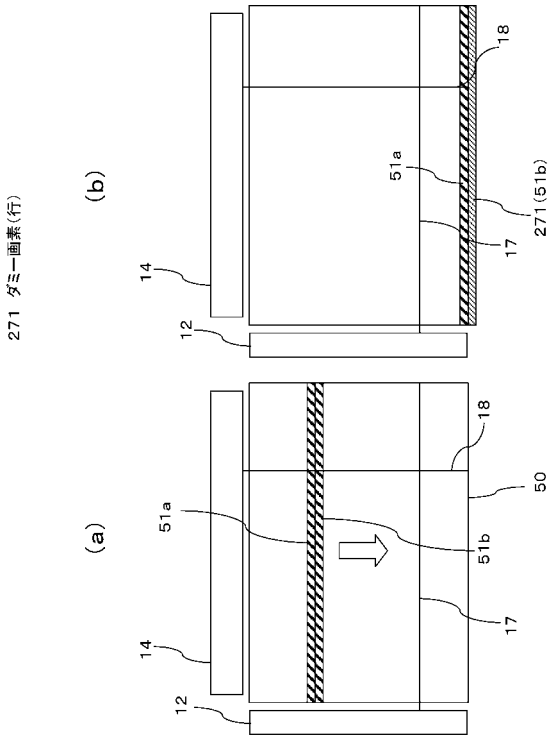
【図２５】



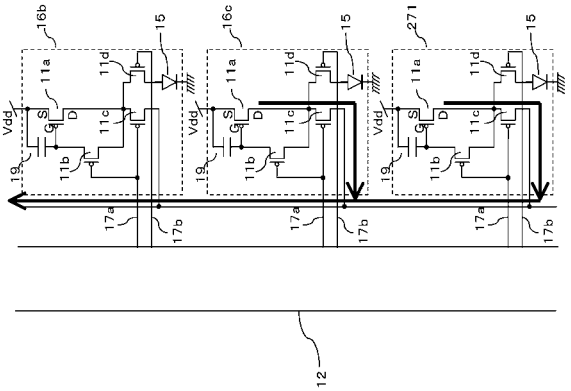
【図２６】



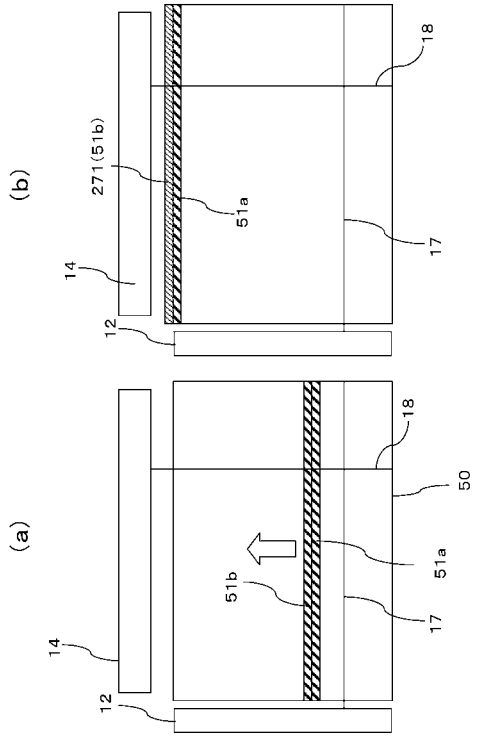
【図２７】



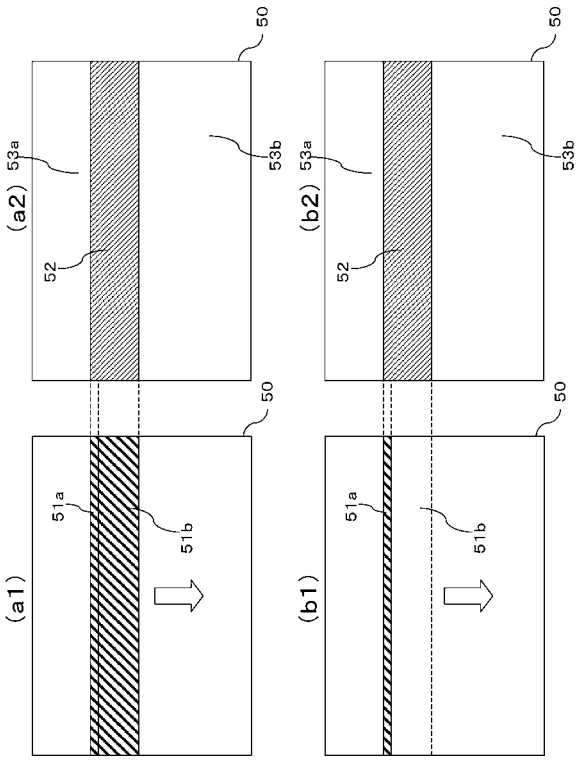
【図２８】



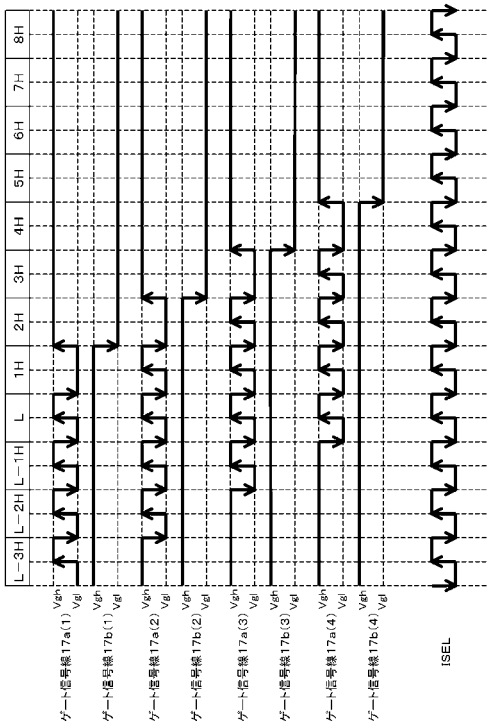
【図２９】



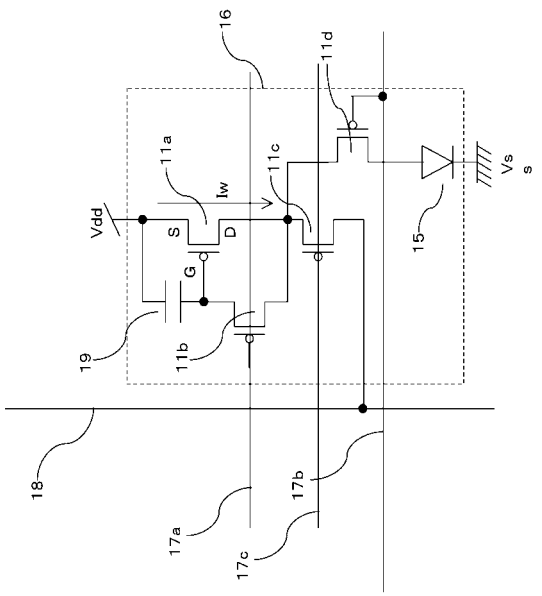
【図３０】



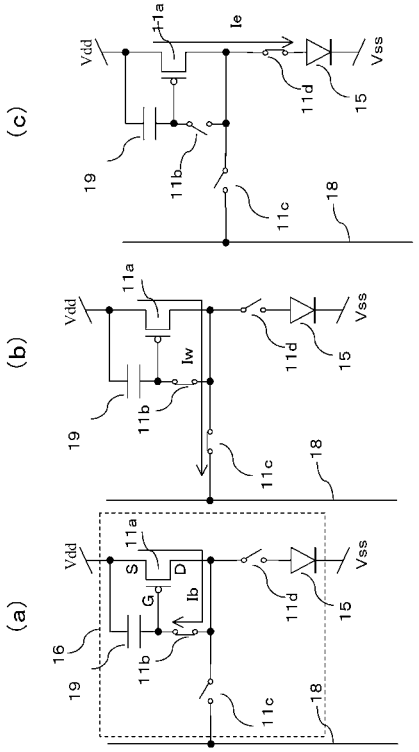
【図３１】



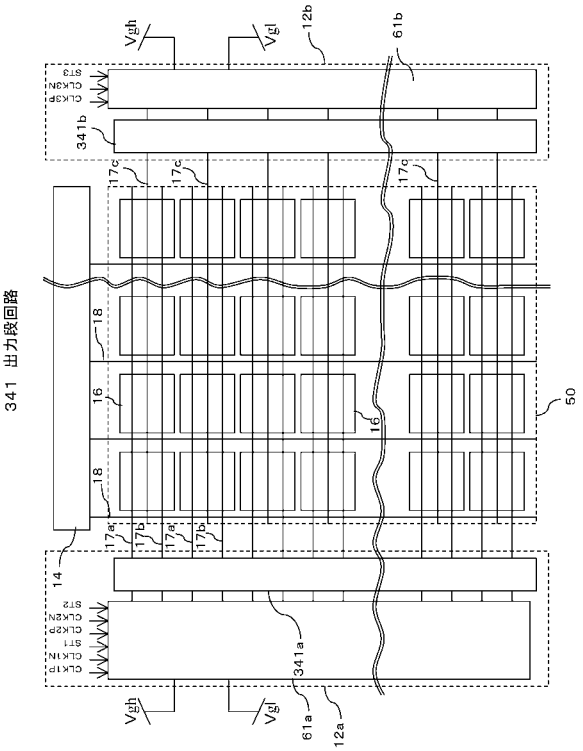
【図３２】



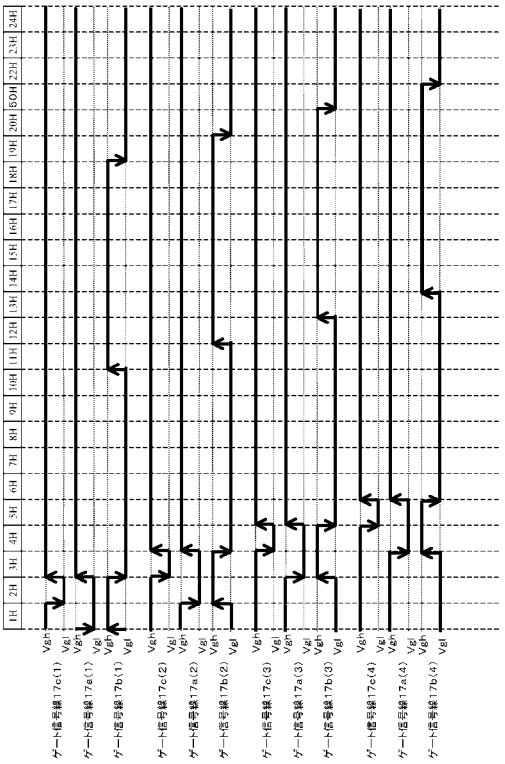
【図３３】



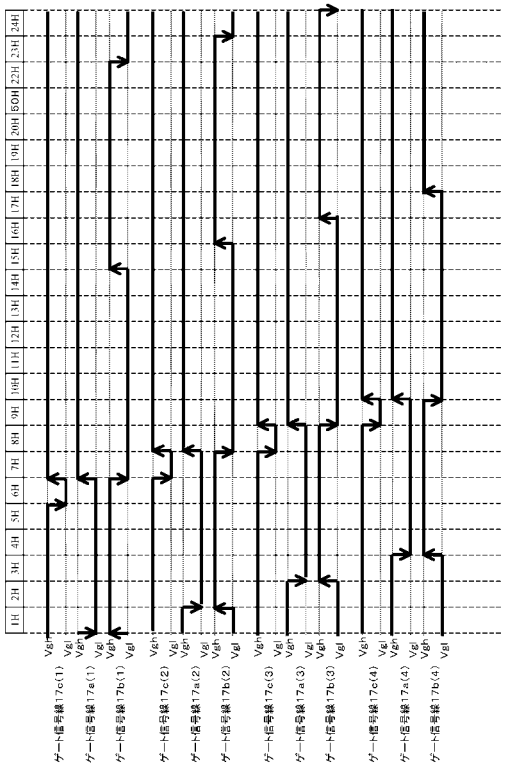
【図３４】



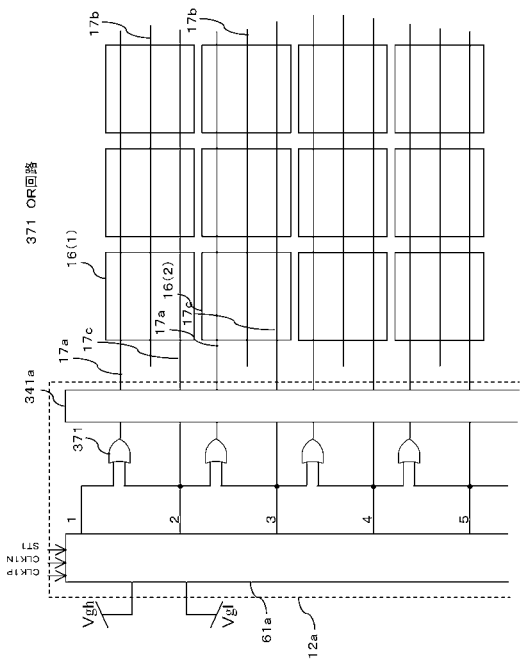
【図３５】



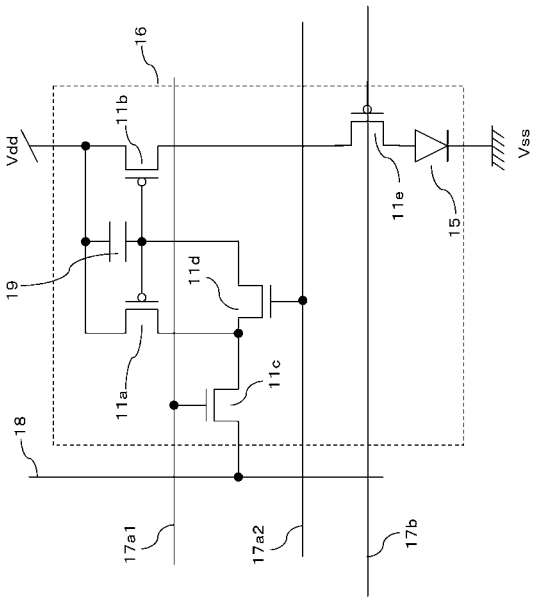
【図３６】



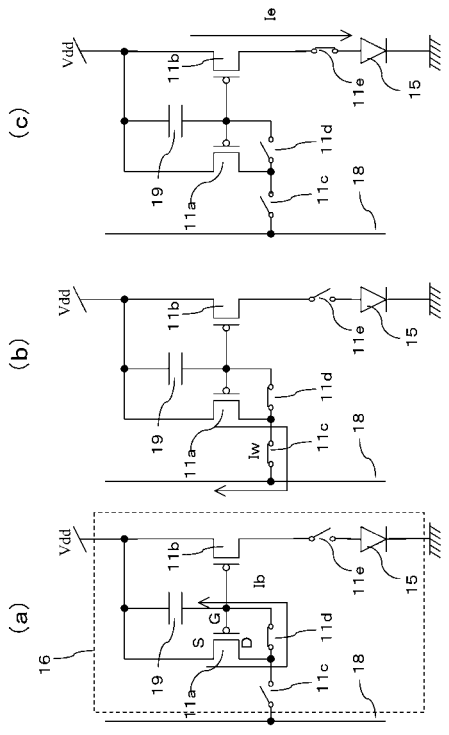
【図３７】



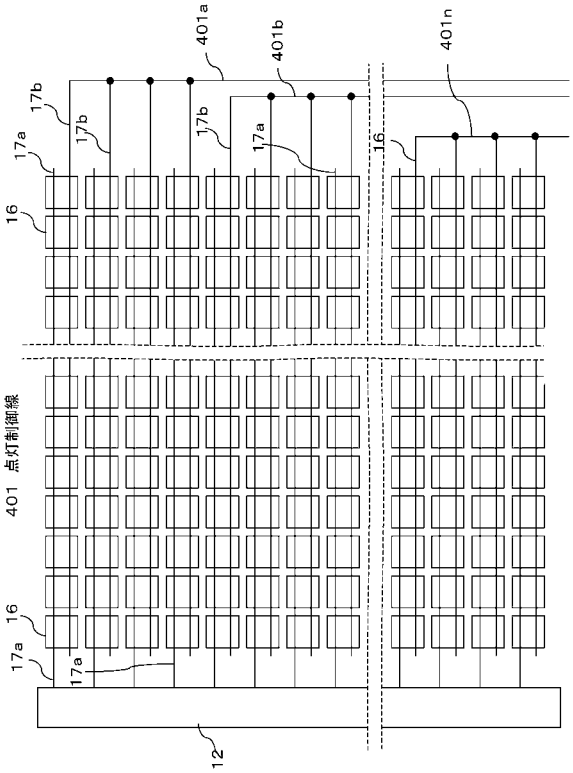
【図３８】



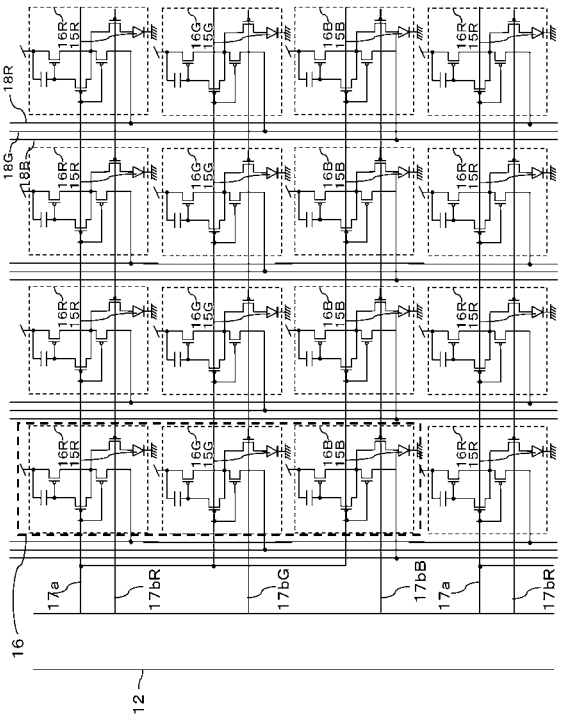
【図３９】



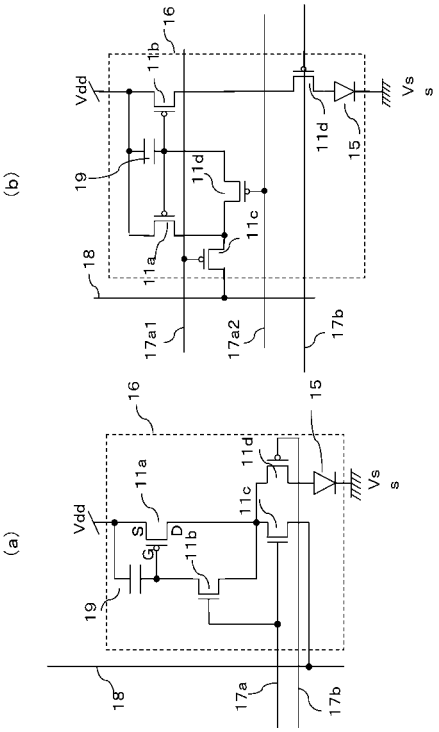
【図４０】



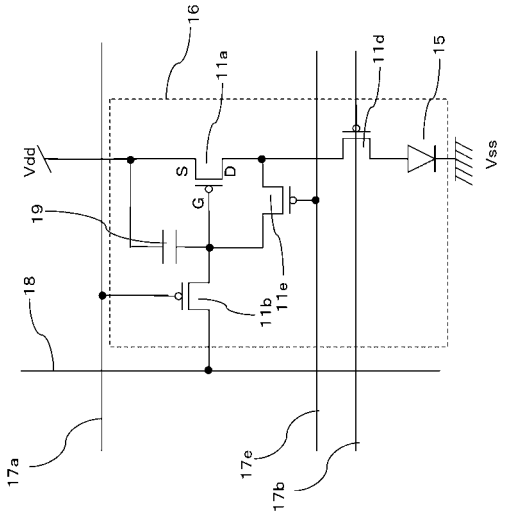
【図４１】



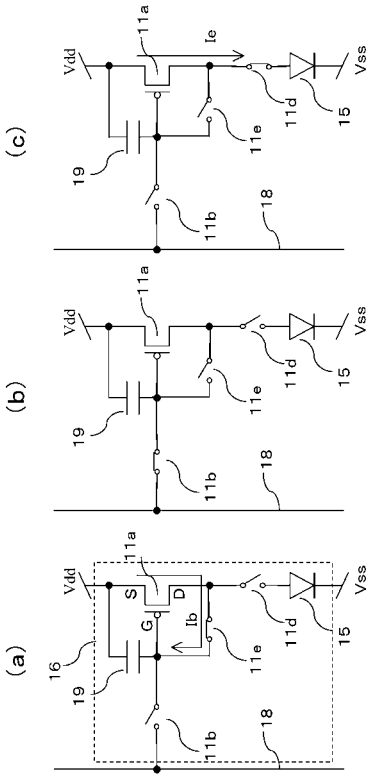
【図４２】



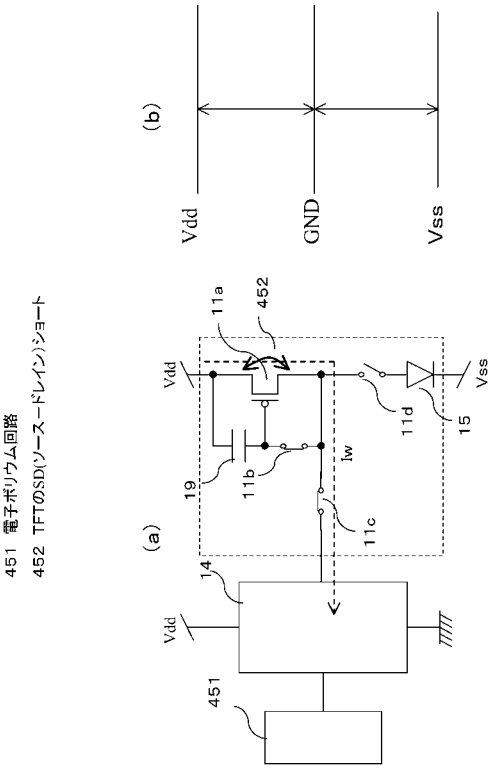
【図４３】



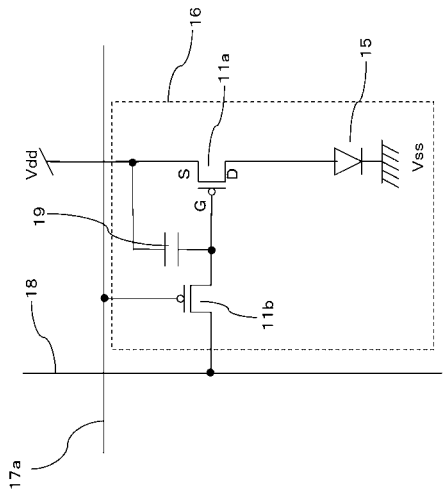
【図４４】



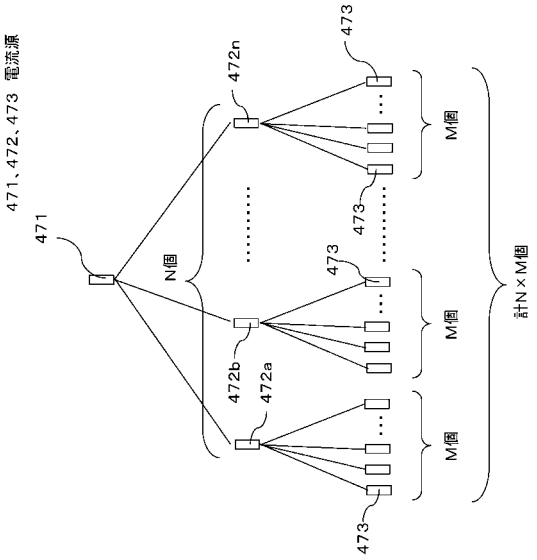
【図４５】



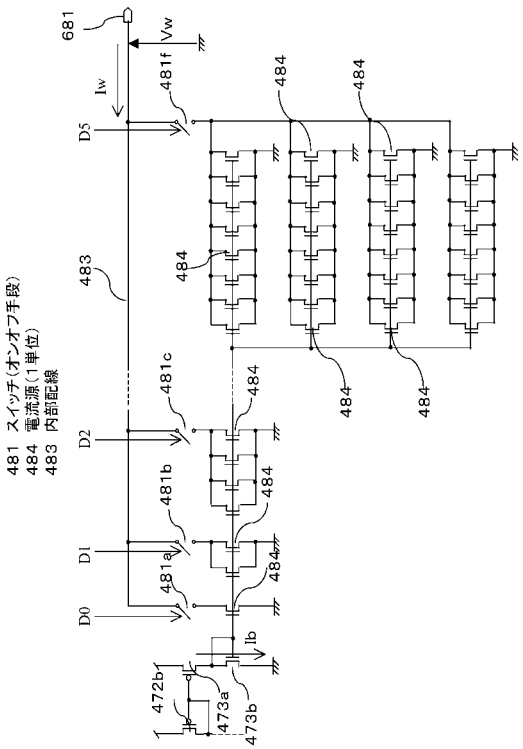
【図４６】



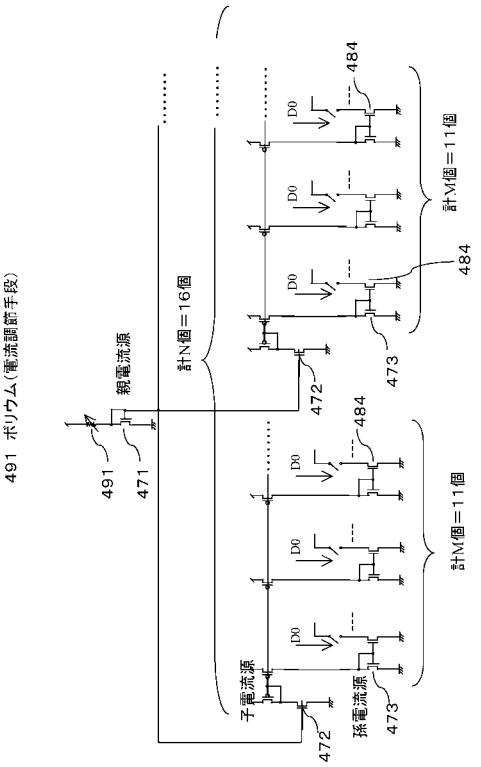
【図４７】



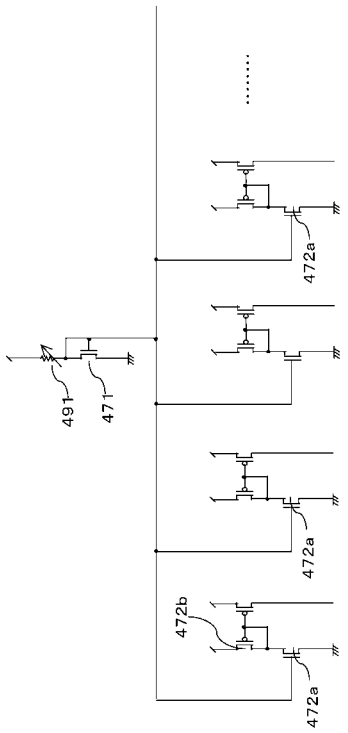
【図４８】



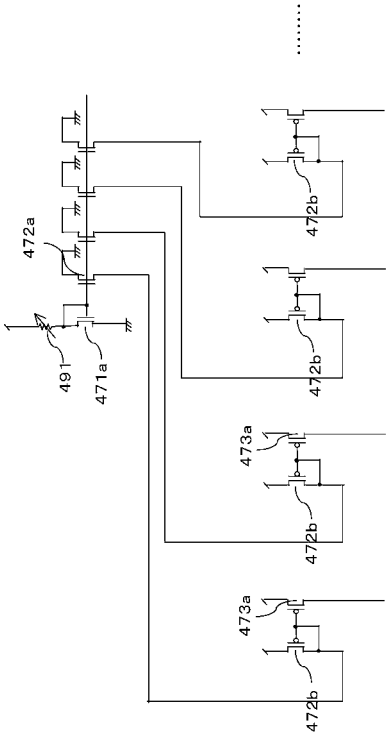
【図４９】



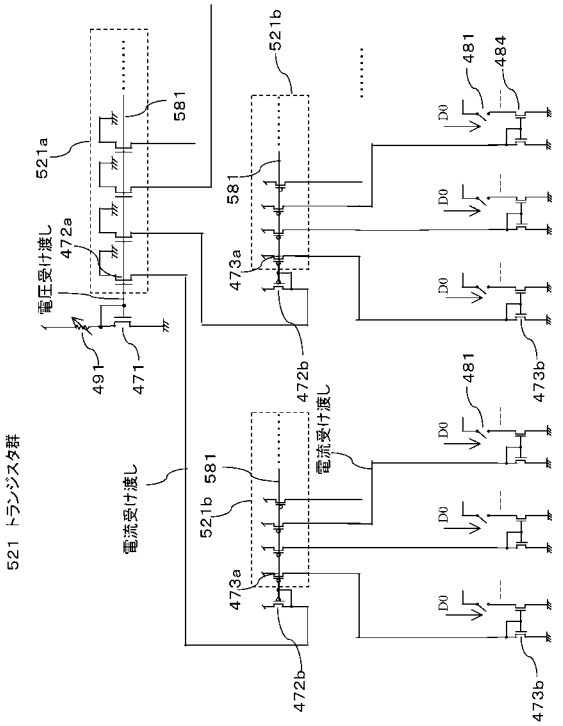
【図５０】



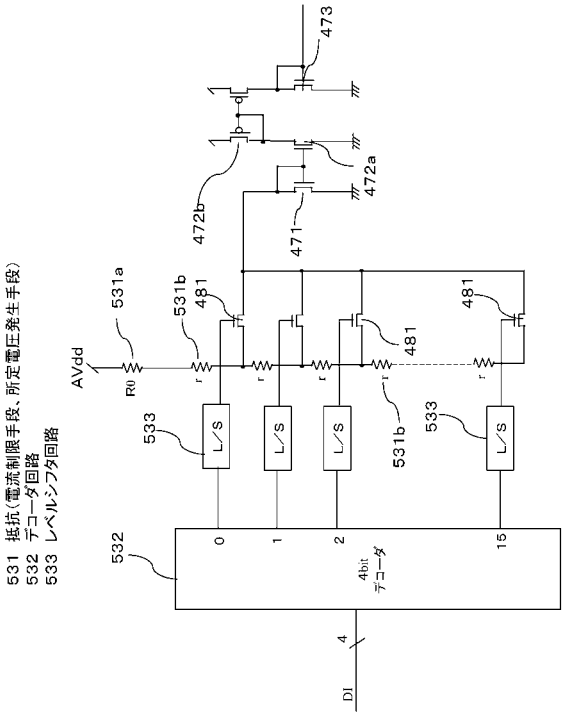
【図５１】



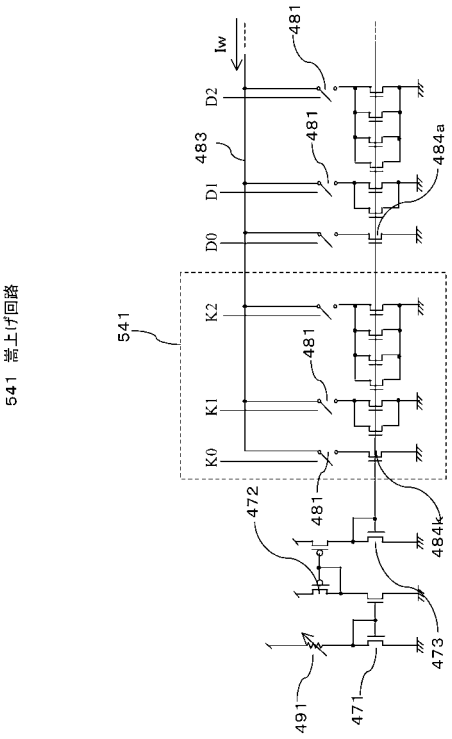
【図５２】



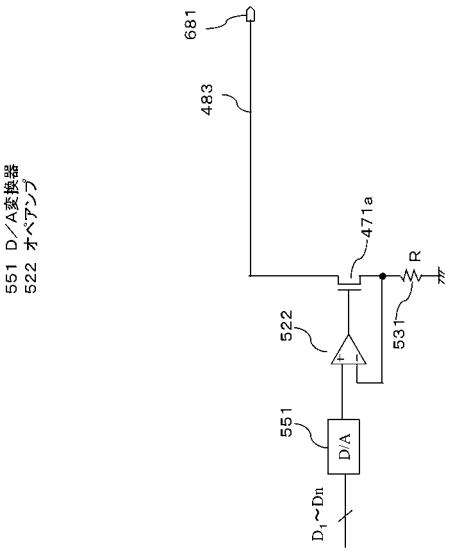
【図５３】



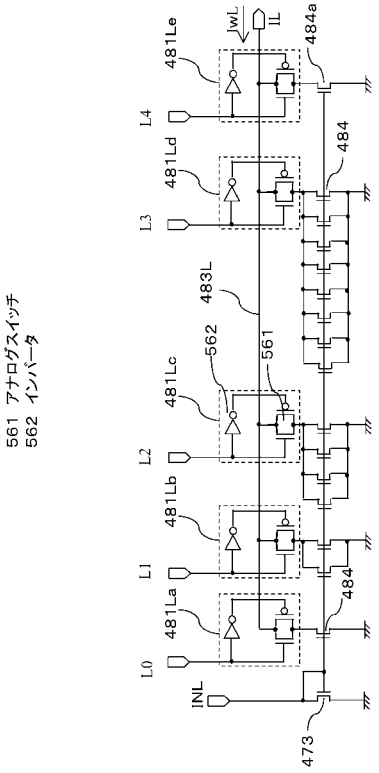
【図５４】



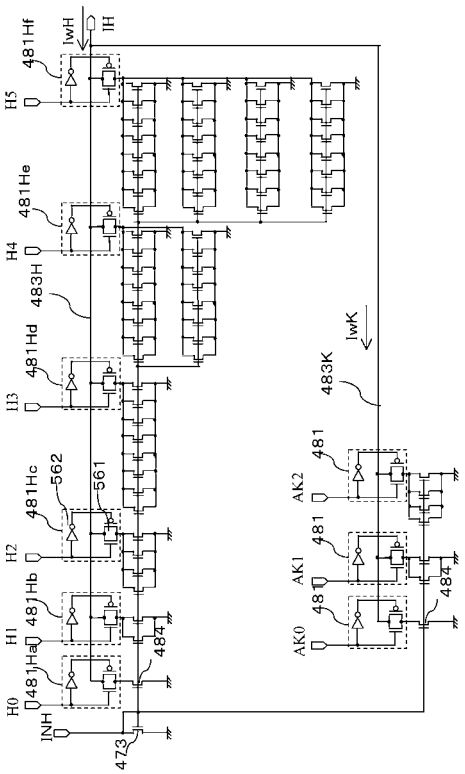
【図５５】



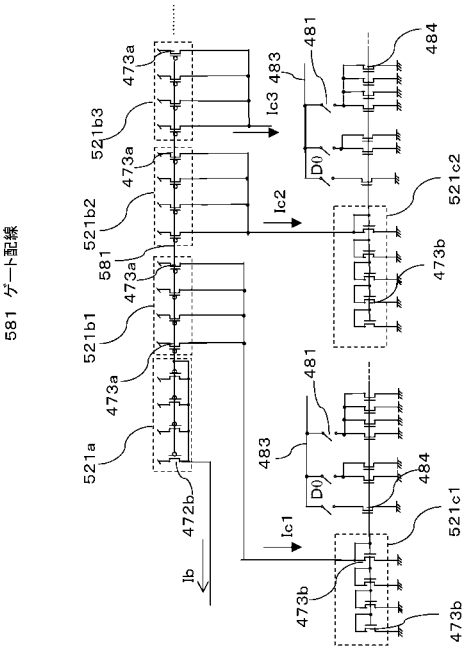
【図５６】



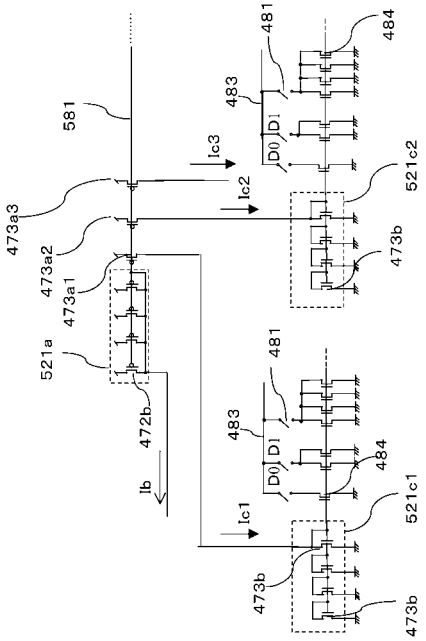
【図５７】



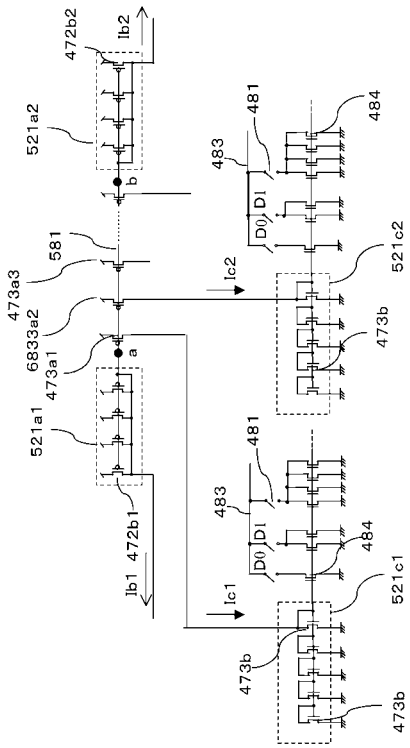
【図５８】



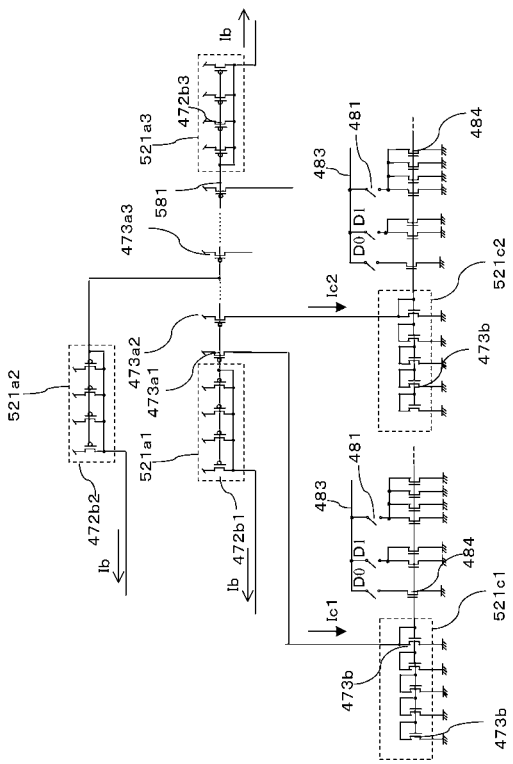
【図５９】



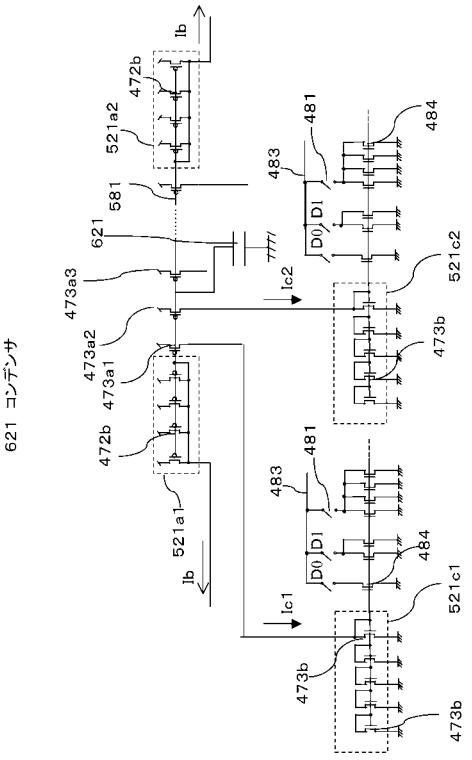
【図６０】



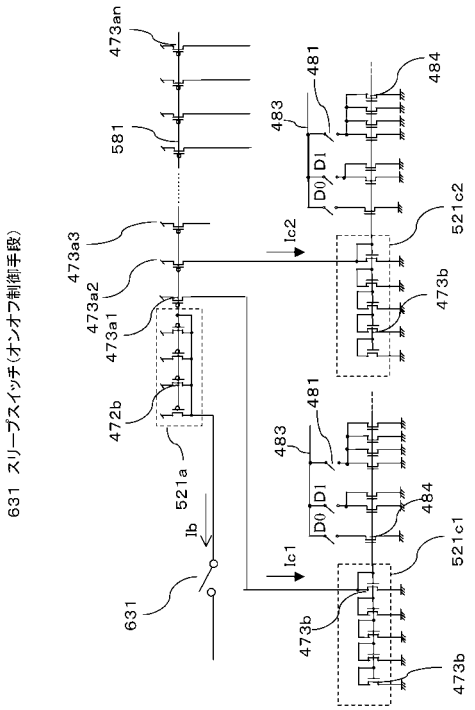
【図６１】



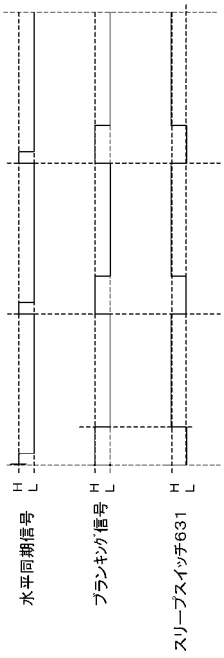
【図６２】



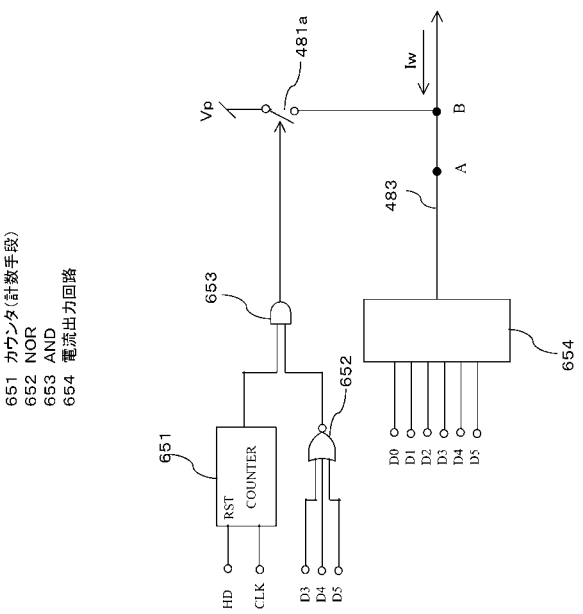
【図６３】



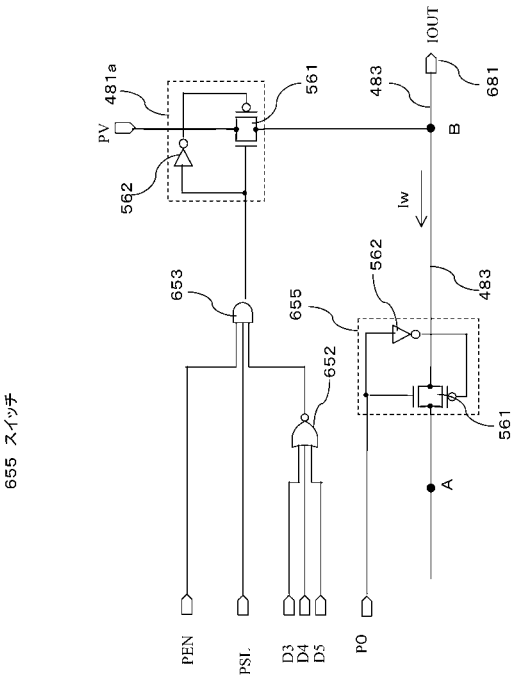
【図６４】



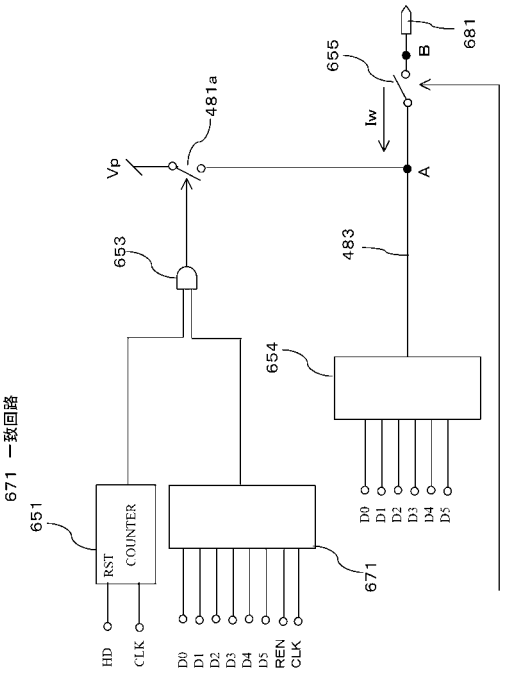
【図６５】



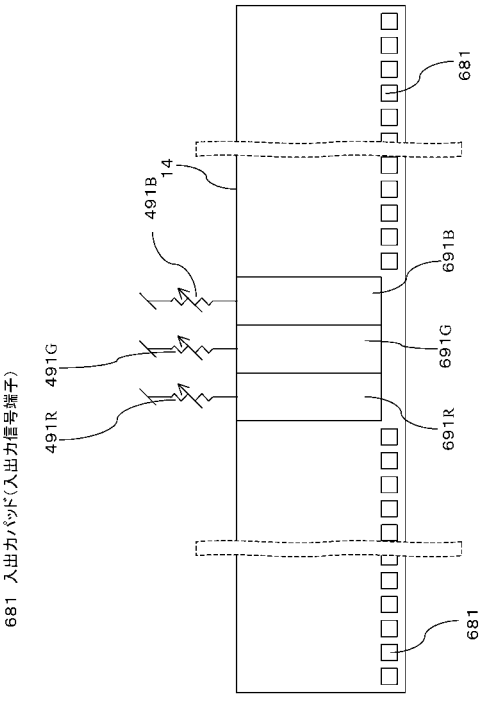
【図６６】



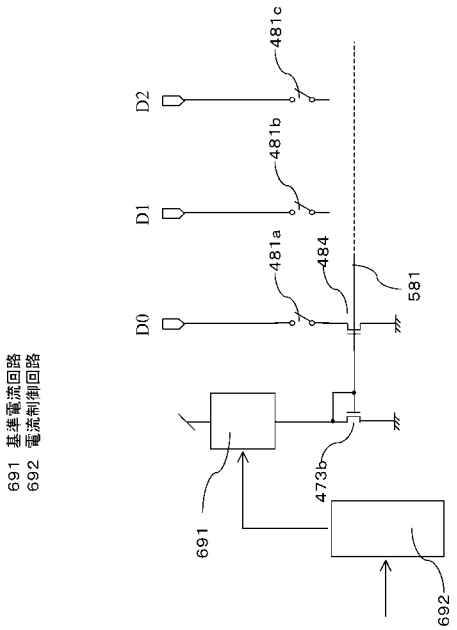
【図６７】



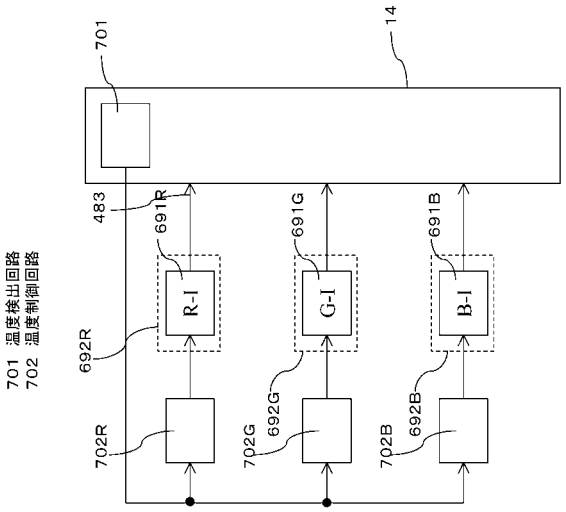
【図６８】



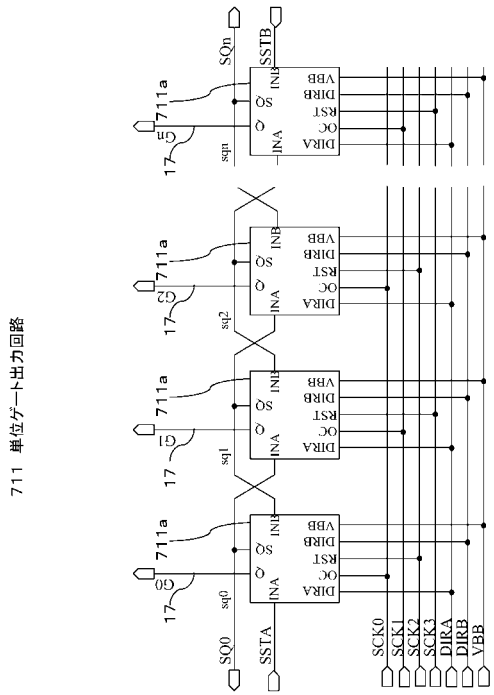
【図６９】



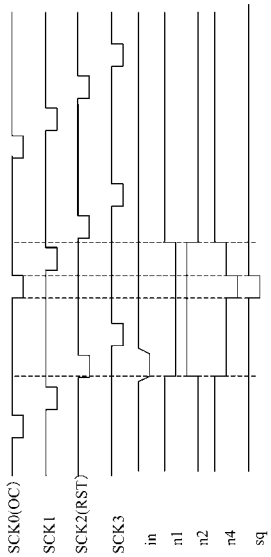
【図７０】



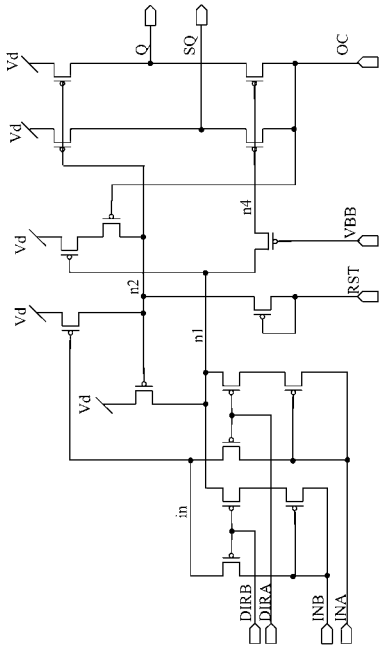
【図７１】



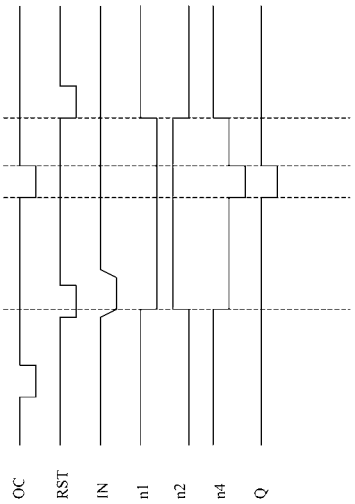
【図７２】



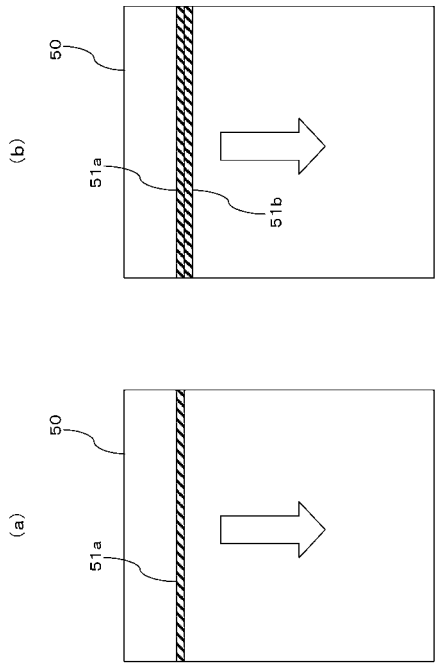
【図７３】



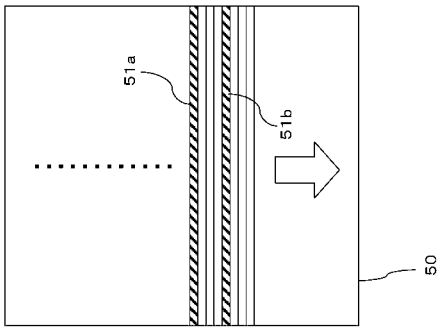
【図７４】



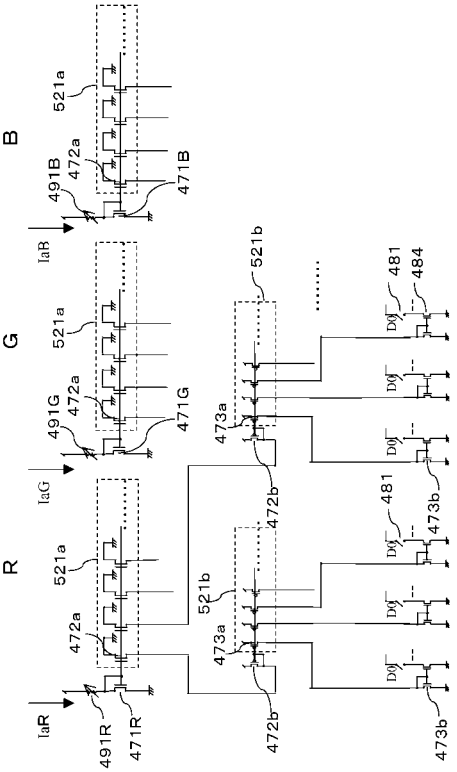
【図７５】



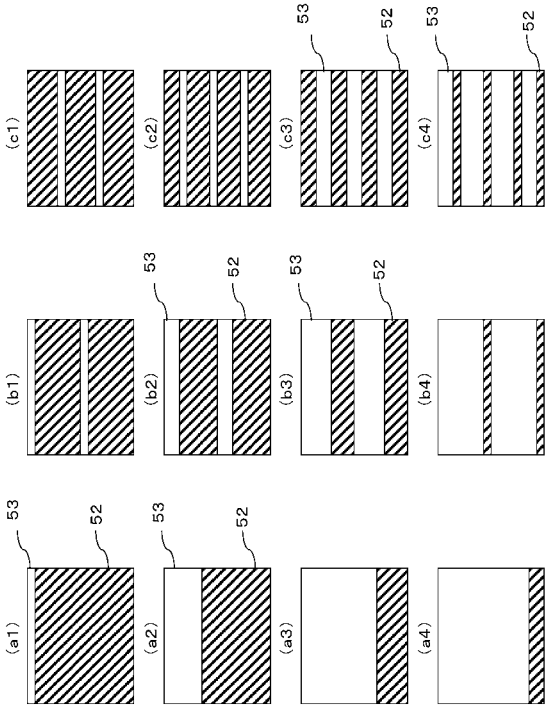
【図７６】



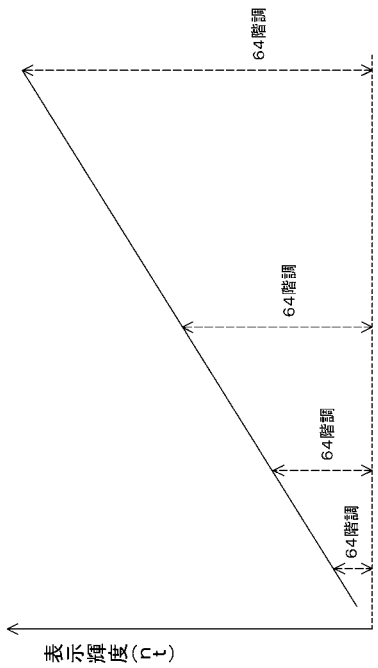
【図７７】



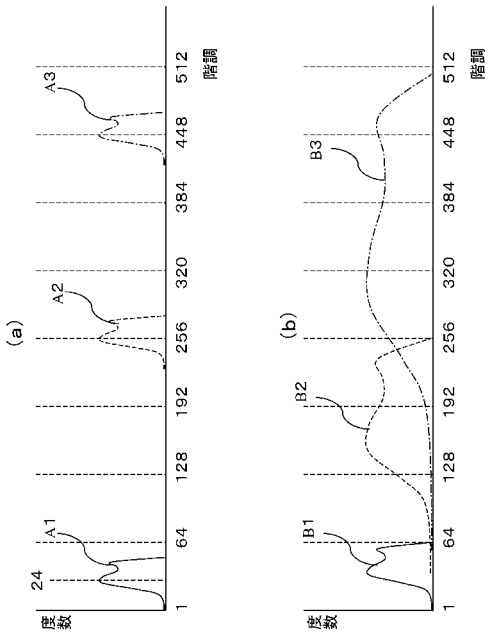
【図７８】



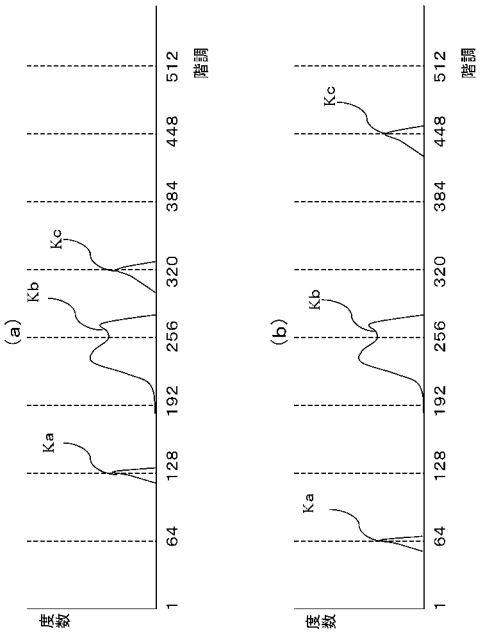
【図７９】



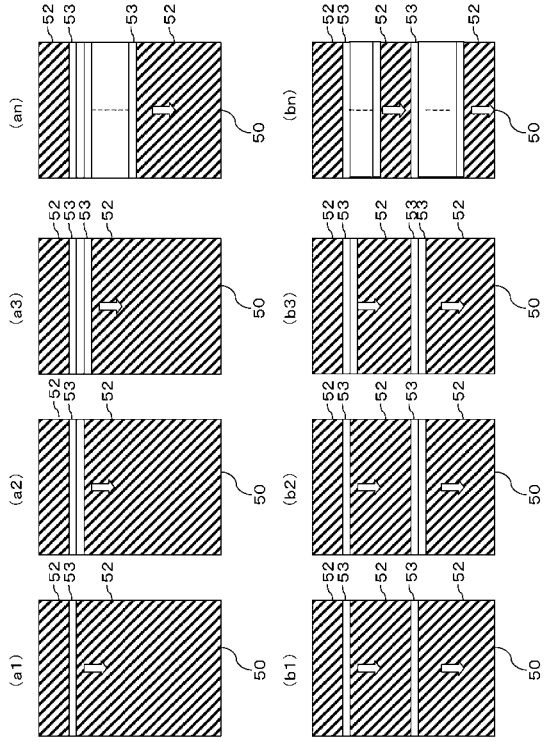
【図８０】



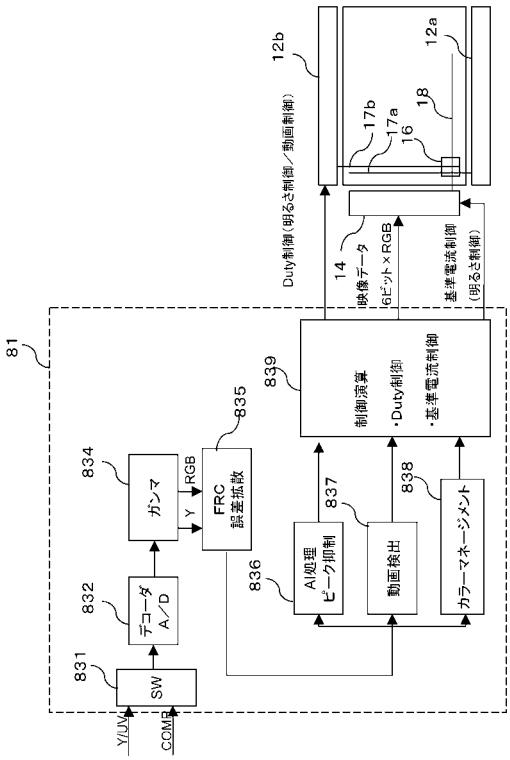
【図８１】



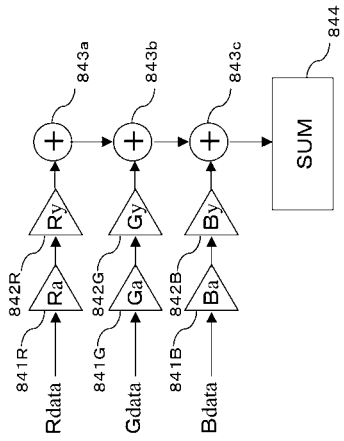
【図８２】



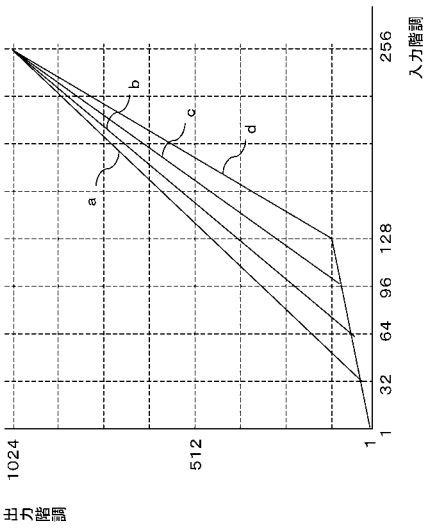
【図８３】



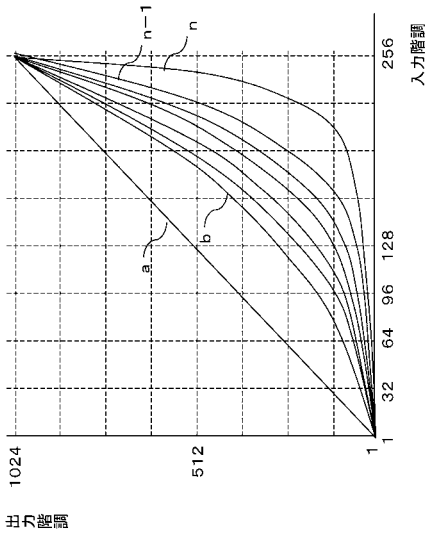
【図８４】



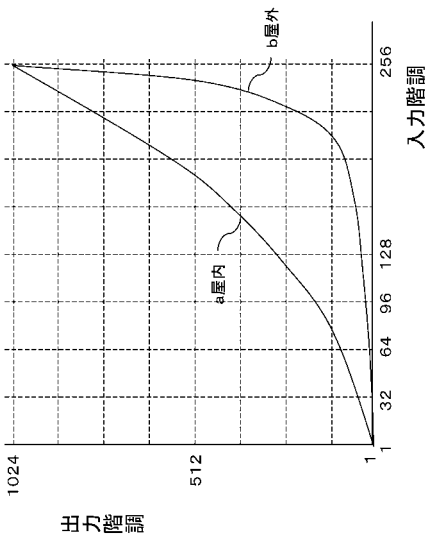
【図８５】



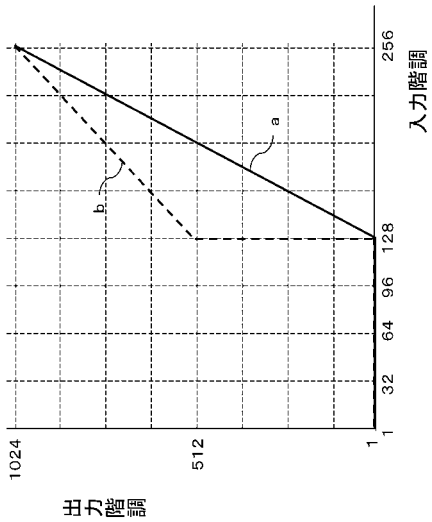
【図８６】



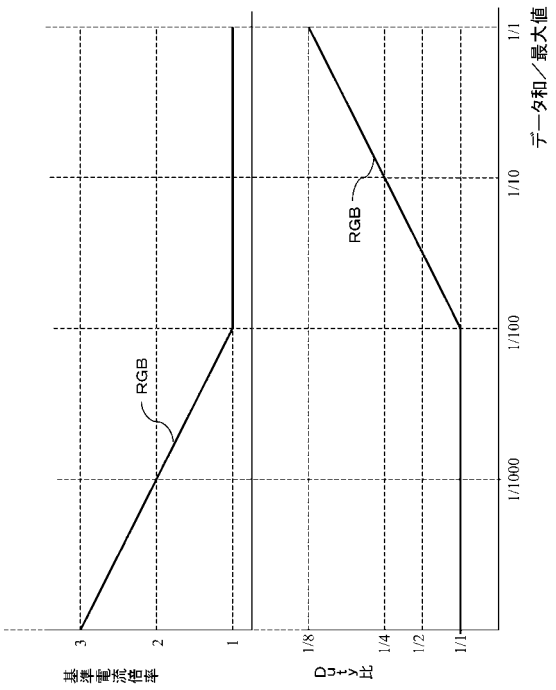
【図８７】



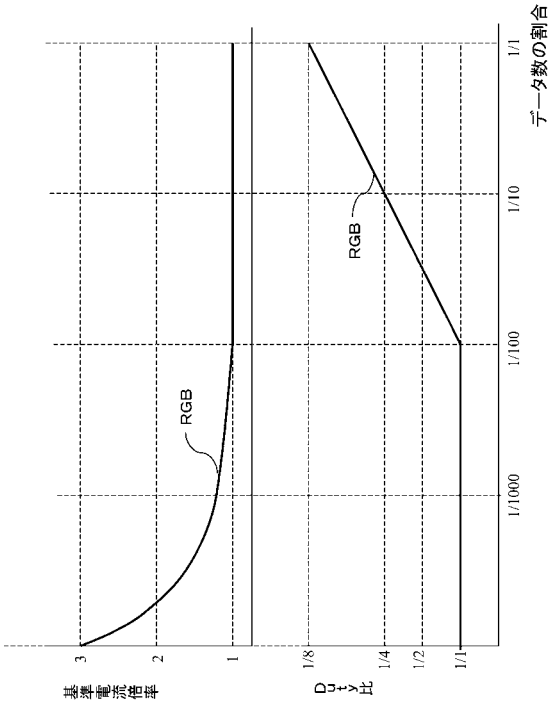
【図８８】



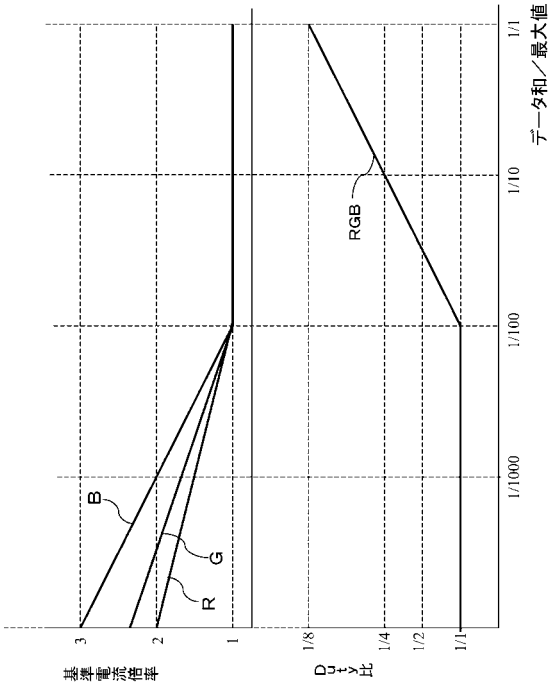
【図８９】



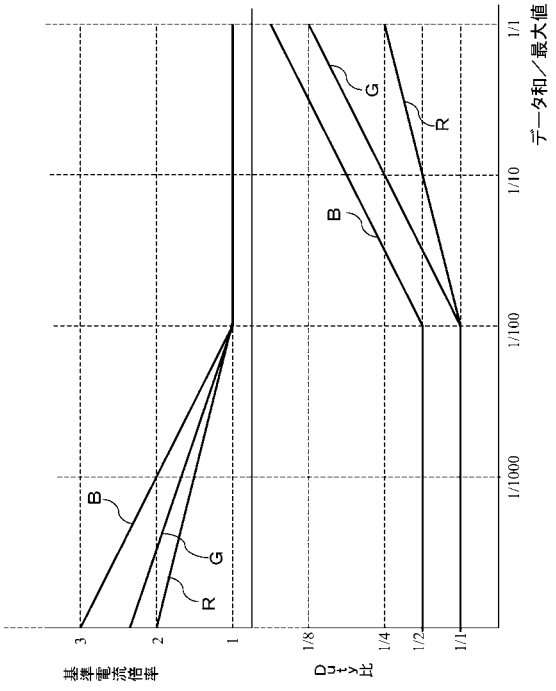
【図９０】



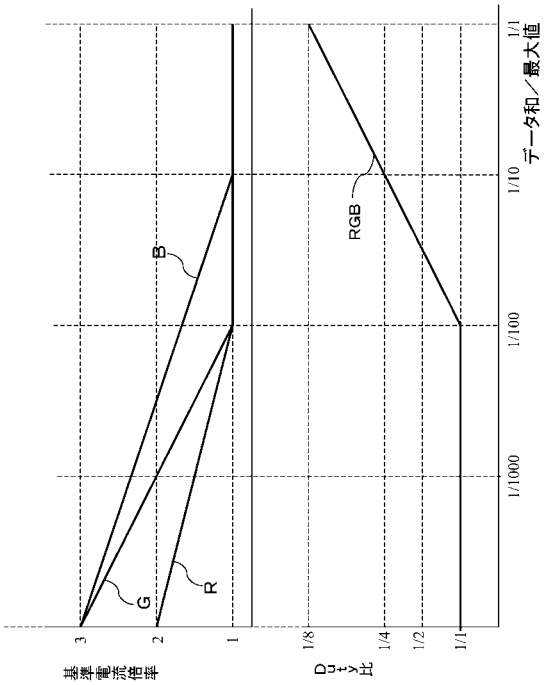
【図９１】



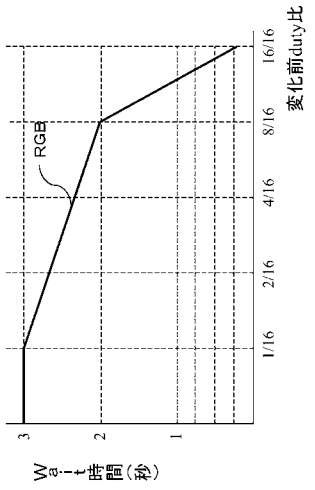
【図９２】



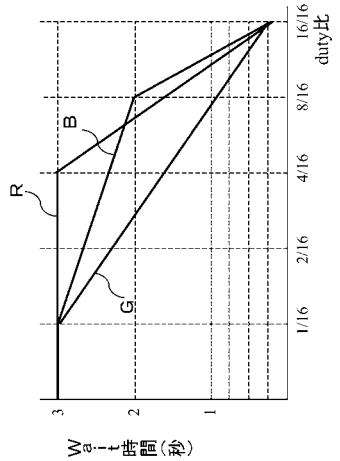
【図９３】



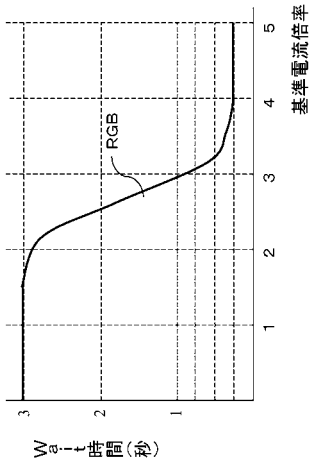
【図９４】



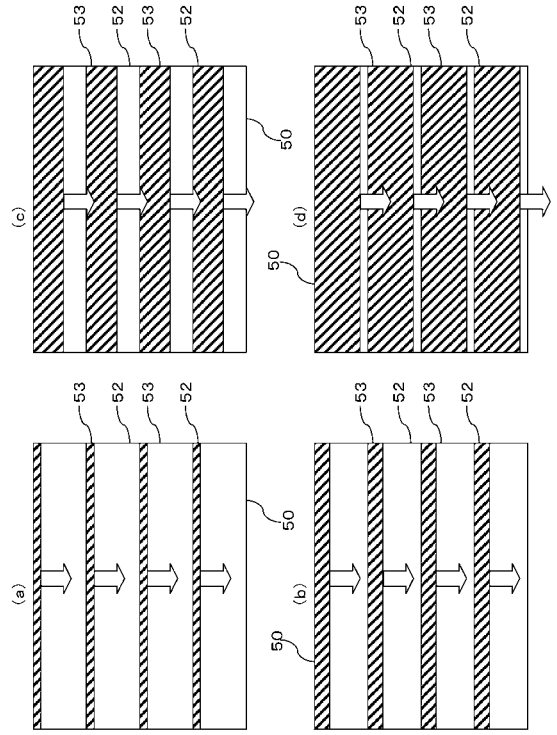
【図９５】



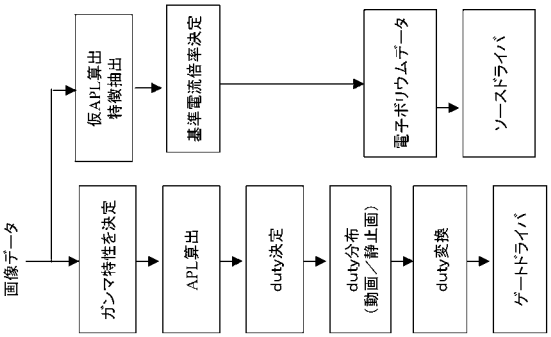
【図９６】



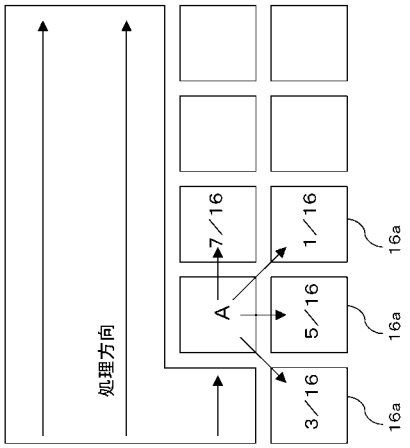
【図９７】



【図９８】

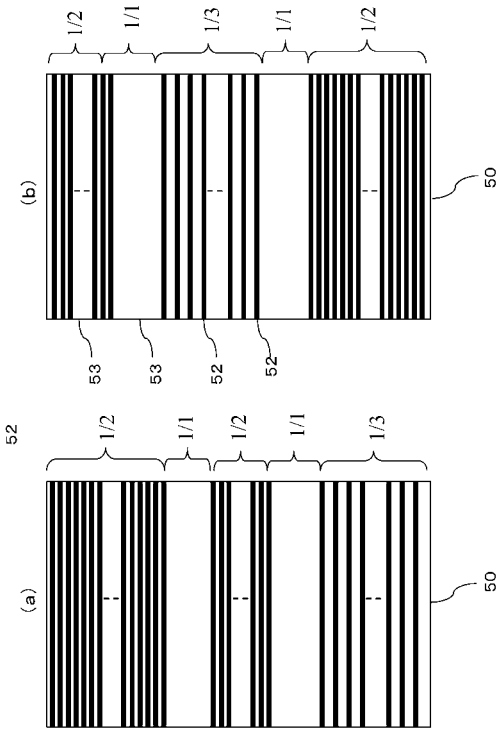


【図９９】

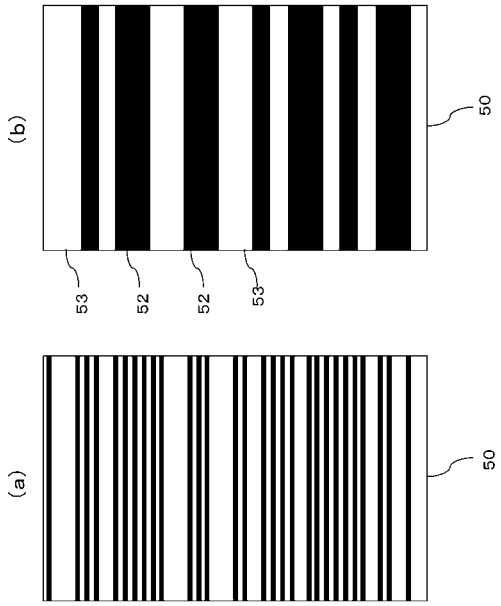


誤差拡散
FRC

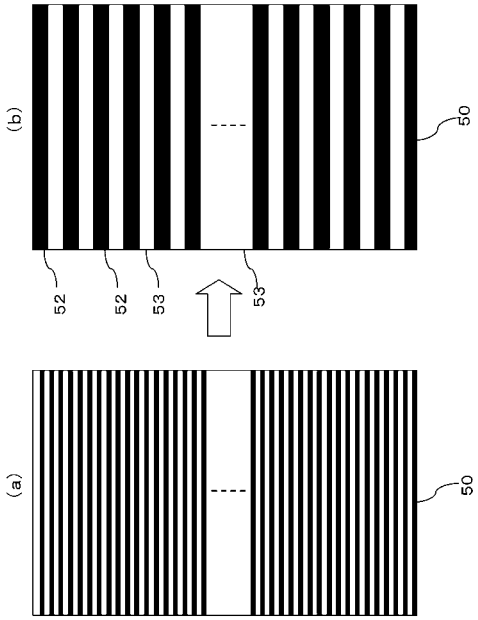
【図１００】



【図１０１】



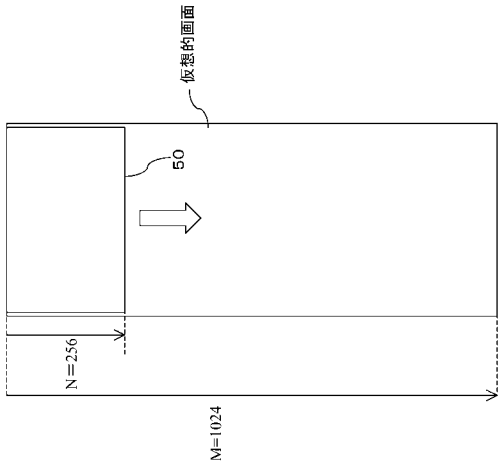
【図１０２】



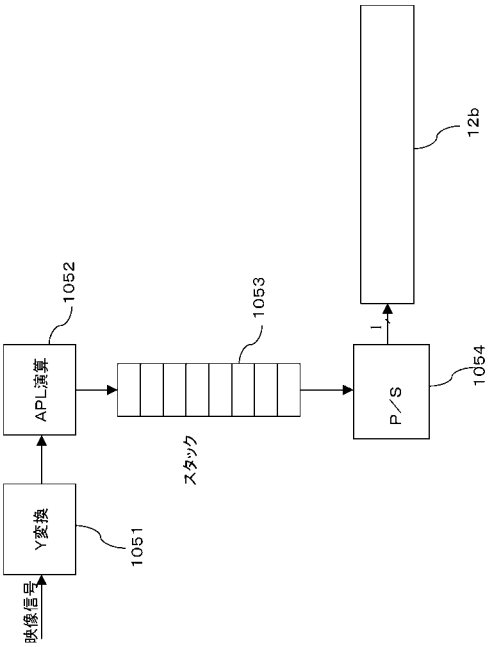
【図１０３】

フレーム（フィールド）番号	1	2	3	4	5	6	7	8	9	10	11	12
APLレベル	228	220	218	216	212	210	192	198	182	168	192	182
対応Duty比	8/64	9/64	9/64	10/64	9/64	10/64	11/64	11/64	12/64	14/64	11/64	12/64
処理Duty比	8/64	8/64	9/64	9/64	9/64	10/64	10/64	11/64	12/64	12/64	11/64	12/64

【図１０４】



【図１０５】



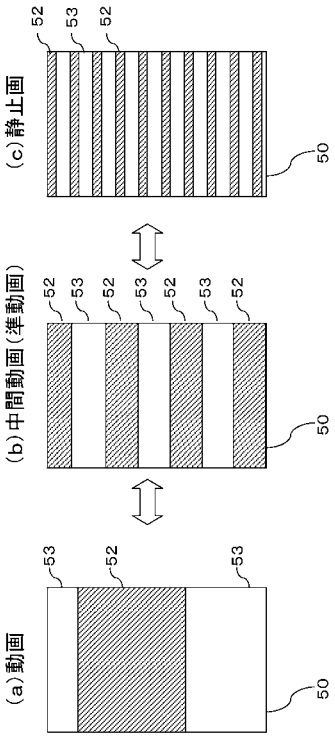
【図１０６】

	1−1	1−2	1−3	1−4	2−1
128/1024→132/1024	128/1024	129/1024	130/1024	131/1024	132/1024
128/1024→130/1024	128/1024	128/1024	129/1024	129/1024	130/1024
128/1024→136/1024	128/1024	130/1024	132/1024	134/1024	136/1024

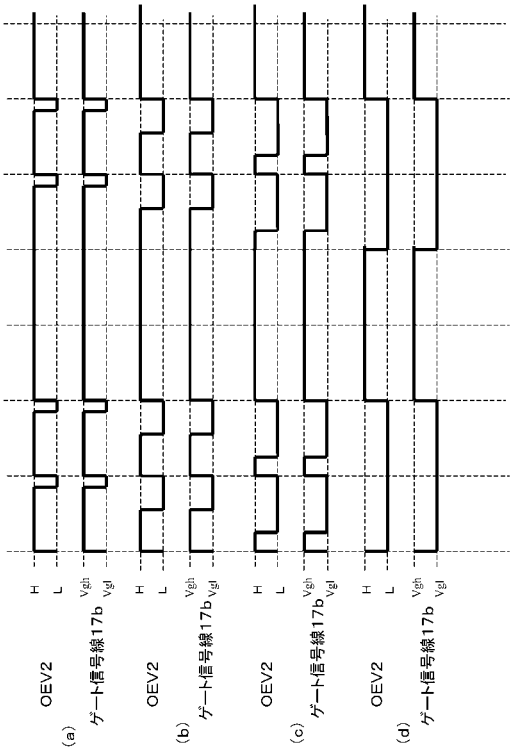
【図１０７】

	1	2	3	4	5	6	7	8
A	30.0/256	30.2/256	30.4/256	30.6/256	30.8/256	31.0/256	31.2/256	31.4/256
B	30.0/256	30.0/256	30.4/256	30.4/256	30.8/256	30.8/256	31.2/256	31.2/256
C	30.2/256	30.5/256	30.0/256	30.5/256	31.0/256	30.5/256	31.0/256	31.5/256

【図１０８】



【図１０９】

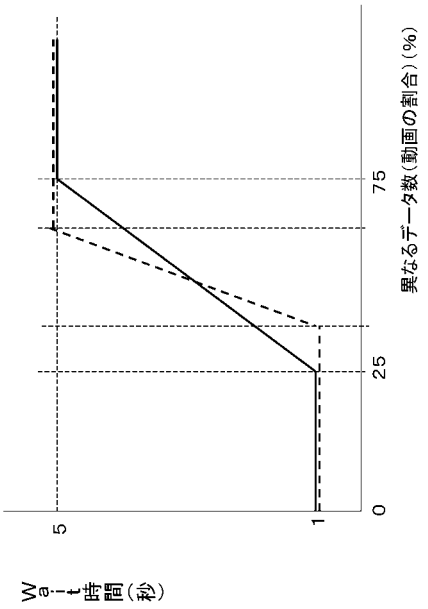


【図１１０】

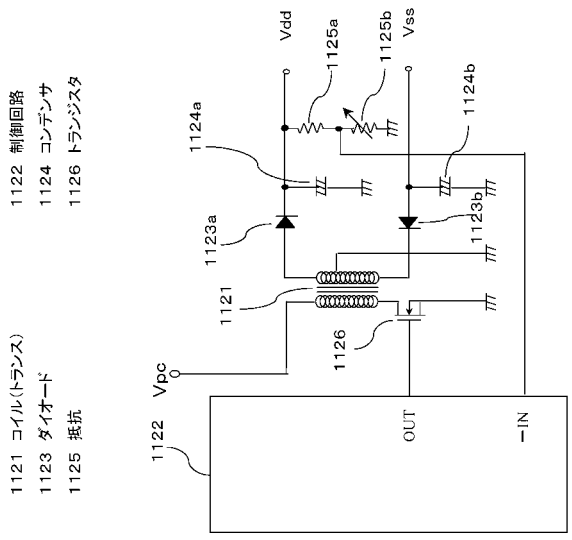
フレーム	1	2	3	4	5	6	7	8	9	10	11	12
動画静止画レベル	0	0	0	1	1	2	2	2	2	1	0	0
分散数	1	1	1	10	10	30	50	50	50	30	1	1
Duty比	4/9	5/9	5/9	4/9	4/9	8/9	8/9	7/9	6/9	3/9	3/9	4/9

0 静止画
1 準動画
2 動画

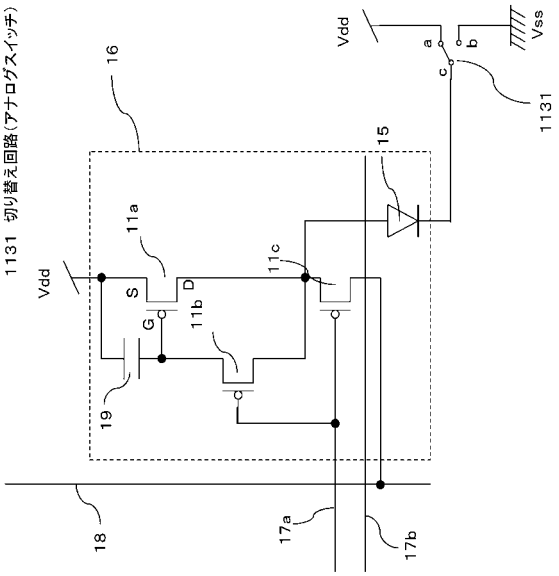
【図１１１】



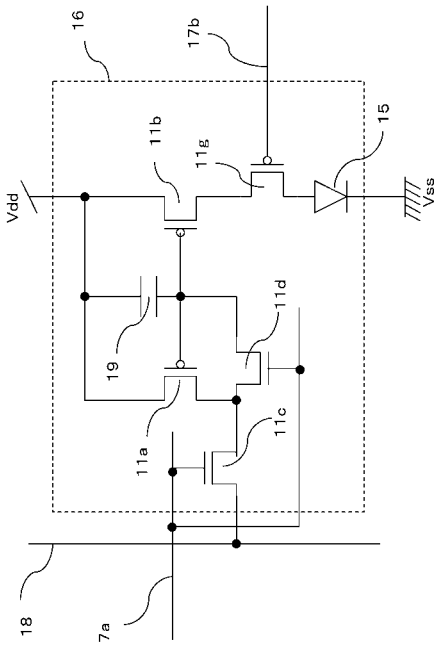
【図１１２】



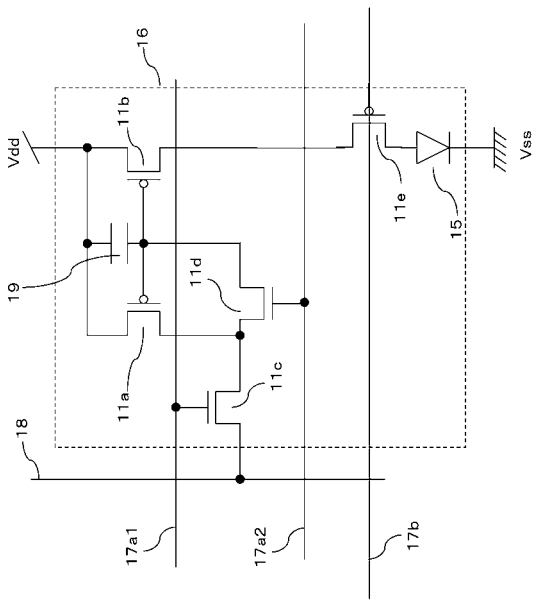
【図１１３】



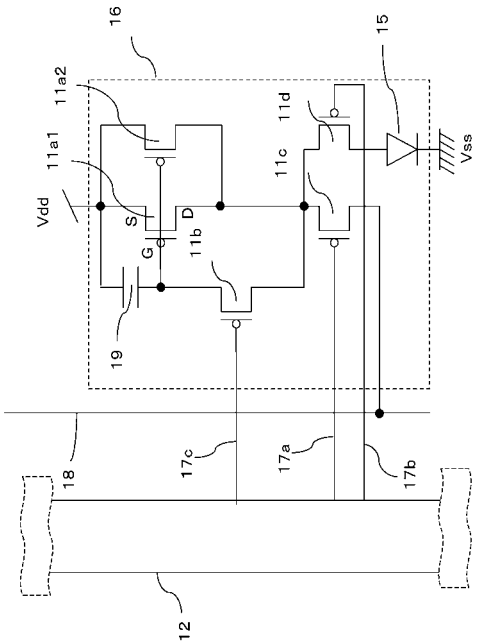
【図１１４】



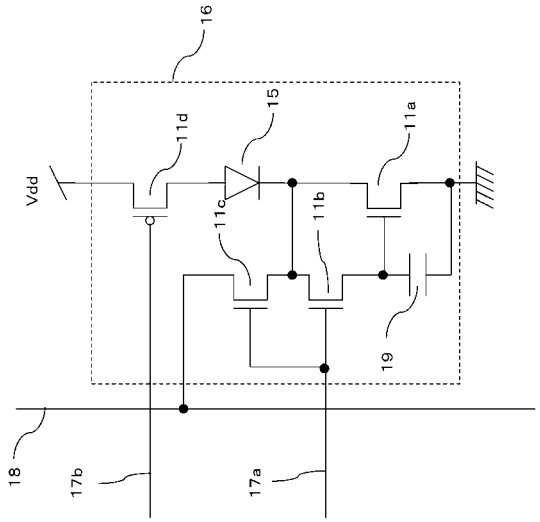
【図１１５】



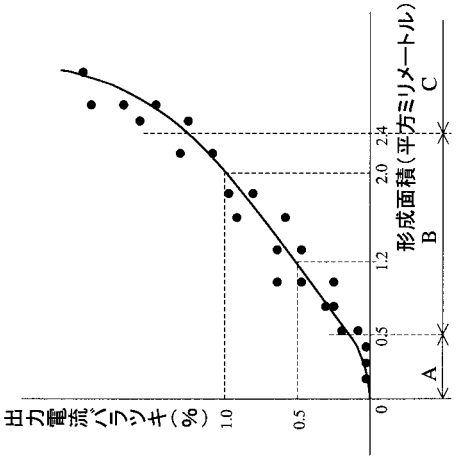
【図１１６】



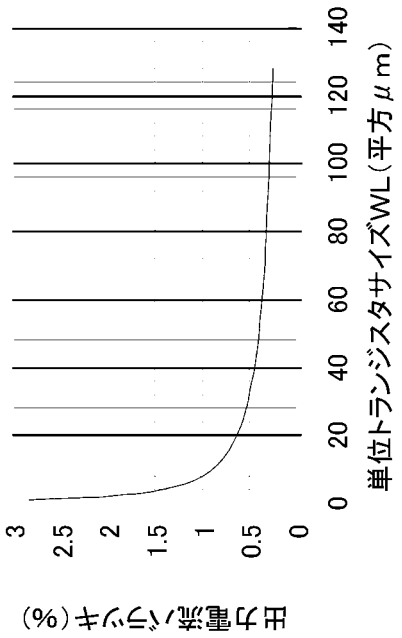
【図１１７】



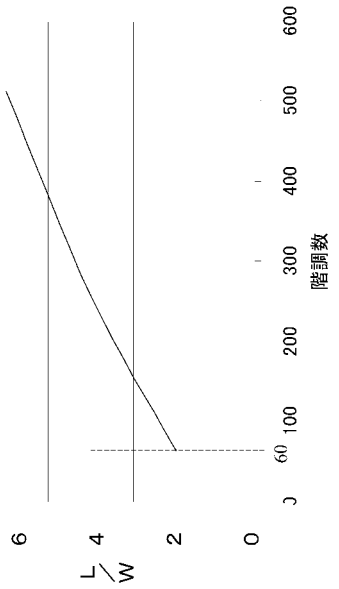
【図１１８】



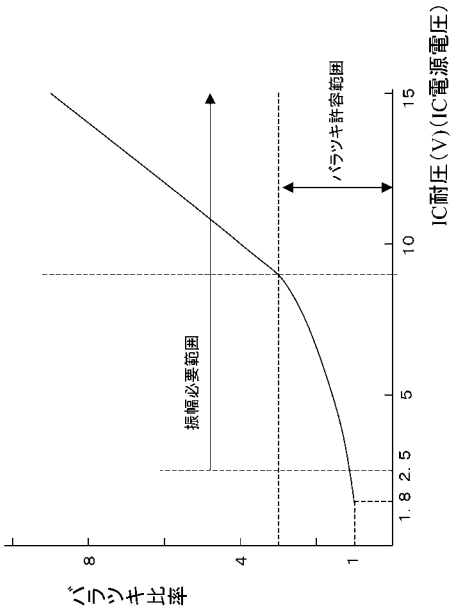
【図１１９】



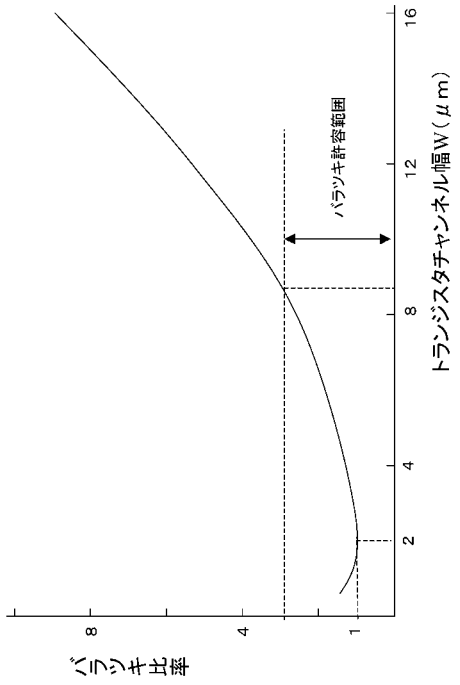
【図１２０】



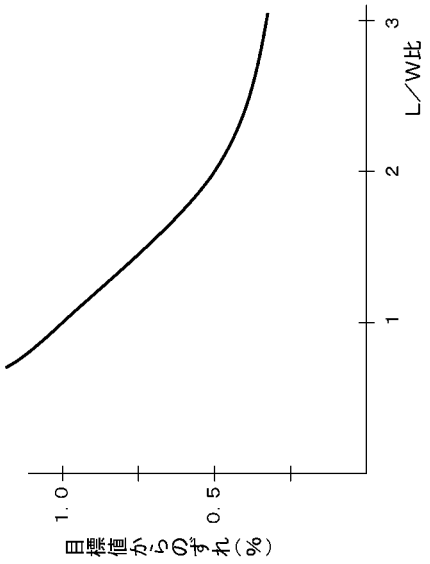
【図１２１】



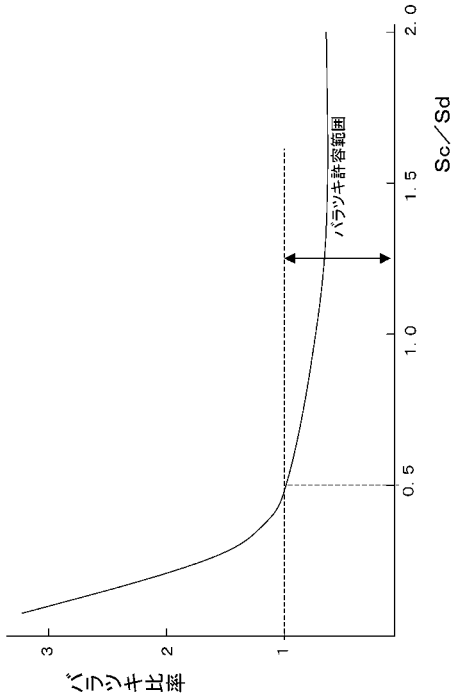
【図１２２】



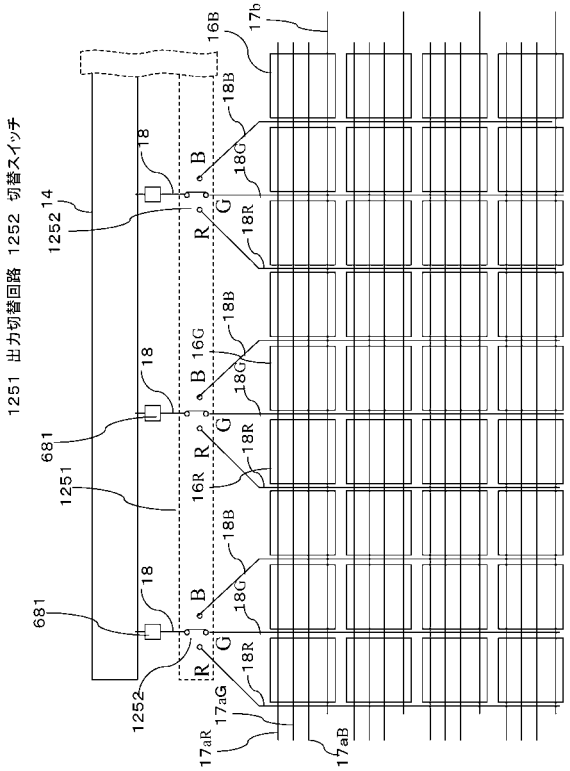
【図１２３】



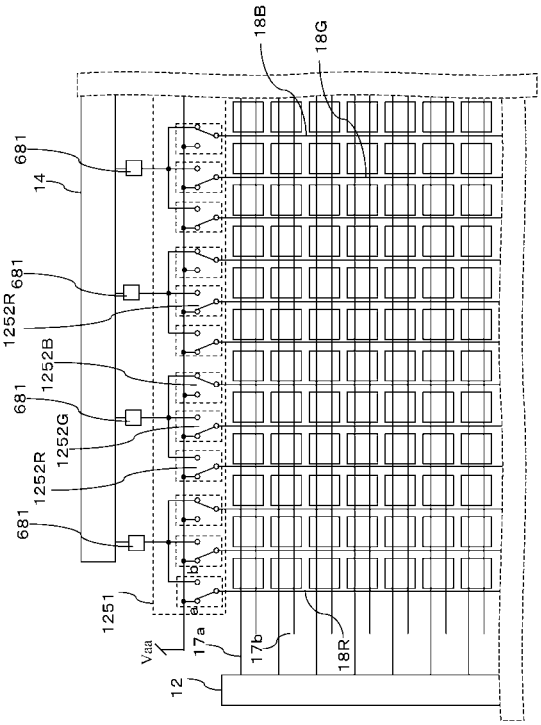
【図１２４】



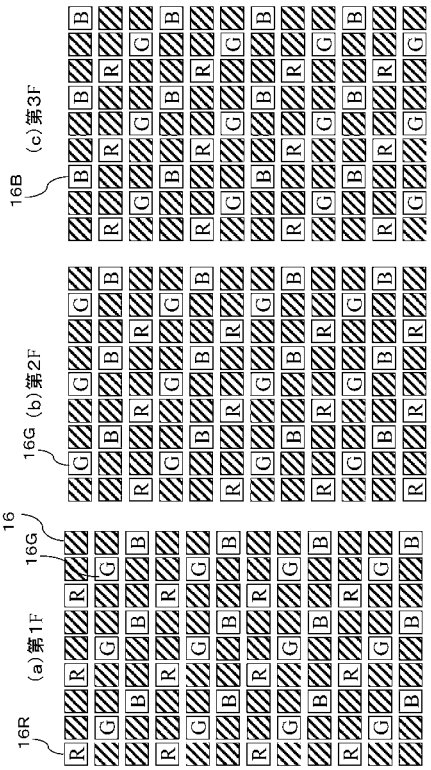
【図１２５】



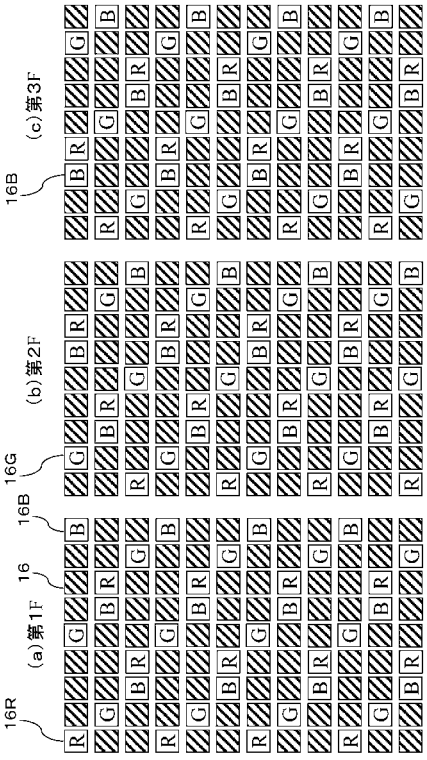
【図１２６】



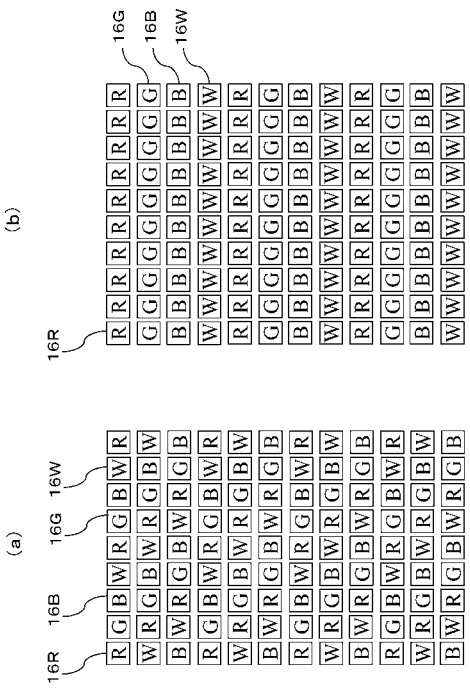
【図１２７】



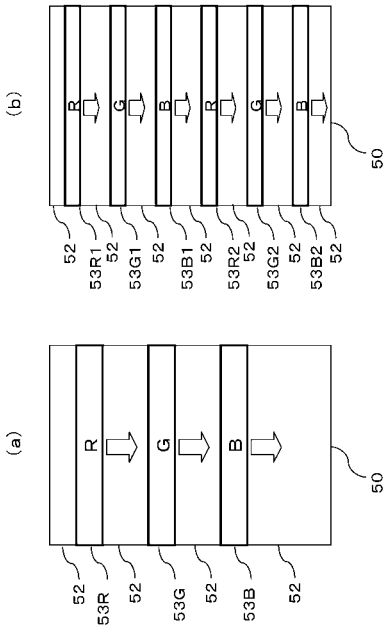
【図１２８】



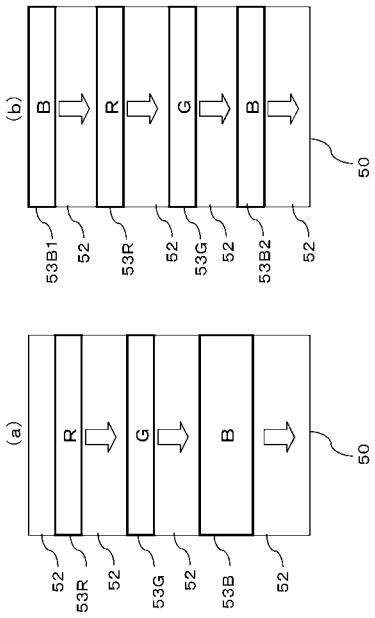
【図１２９】



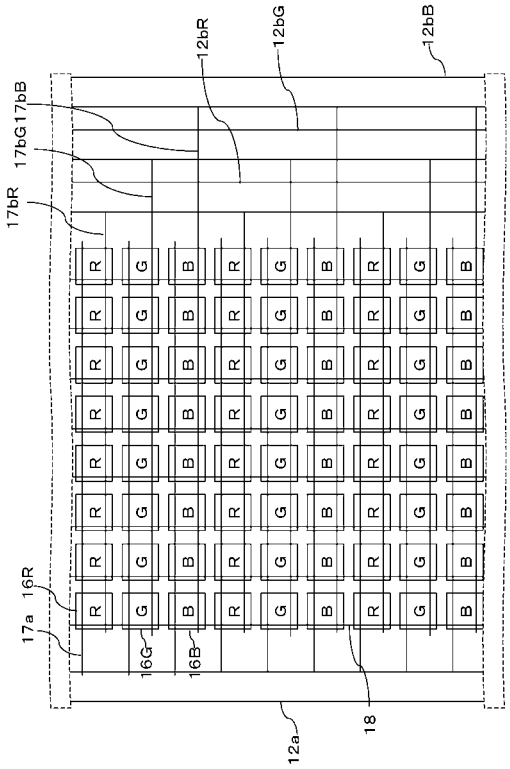
【図１３０】



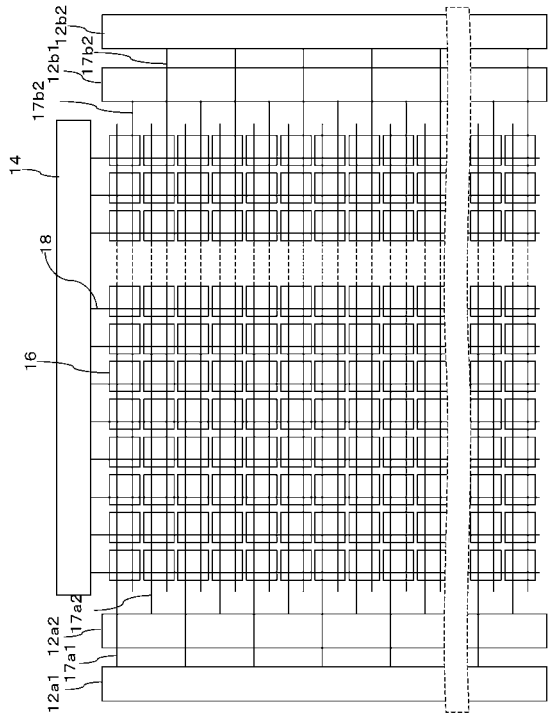
【図１３１】



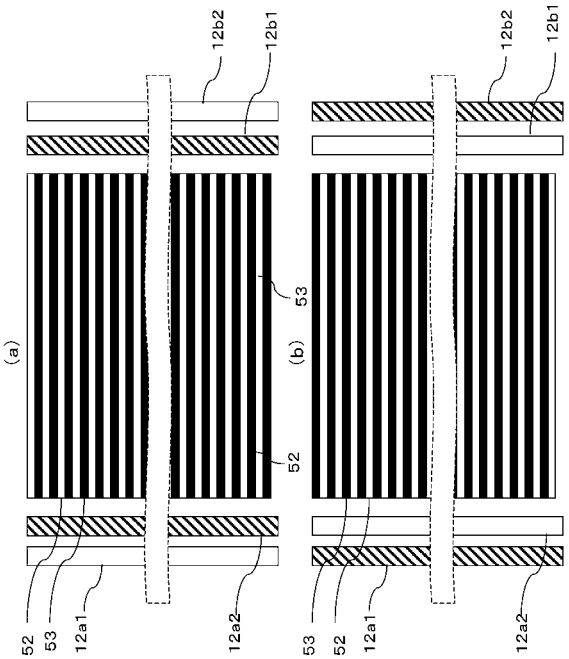
【図１３２】



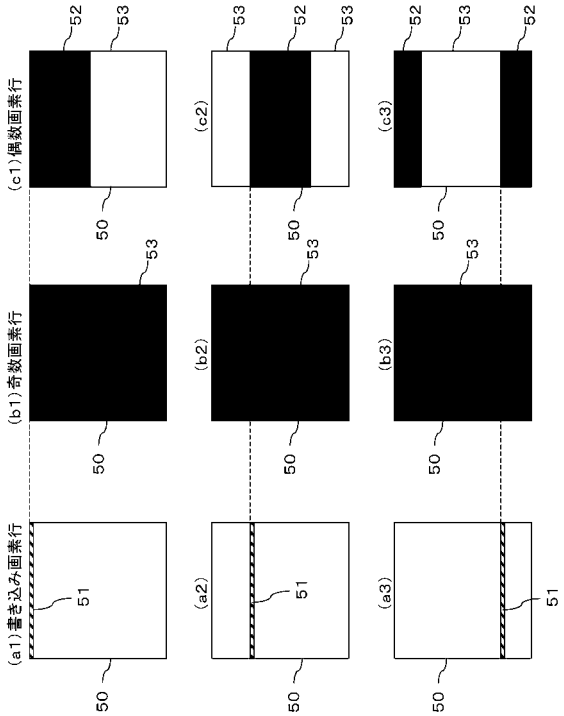
【図１３３】



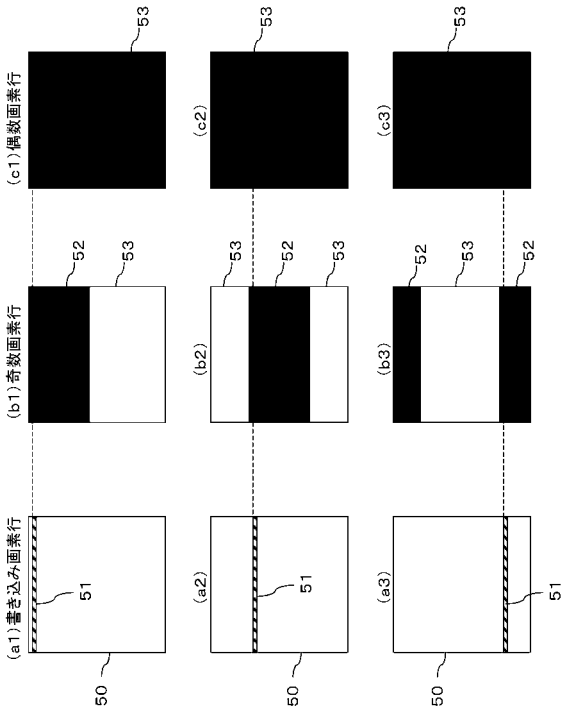
【図１３４】



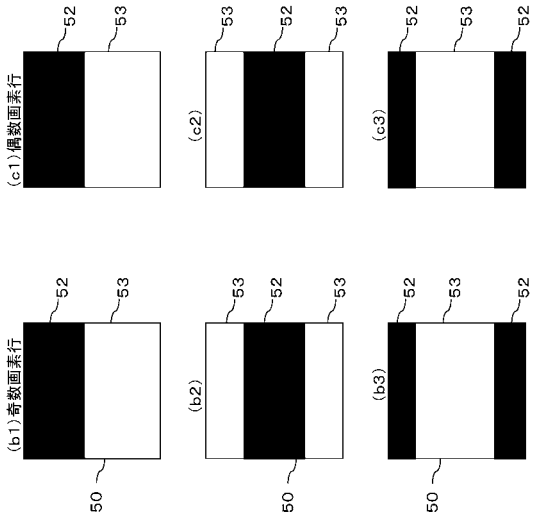
【図１３５】



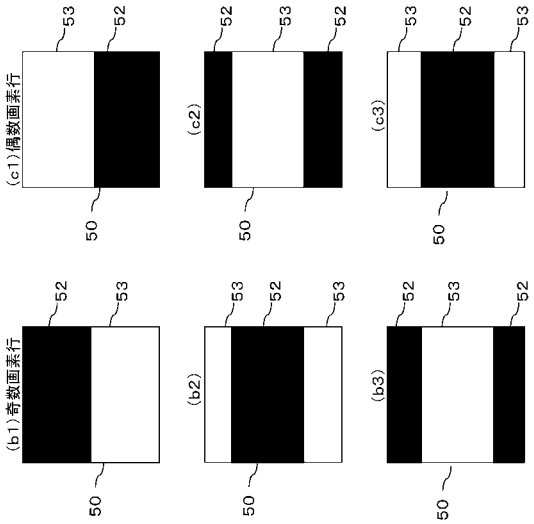
【図１３６】



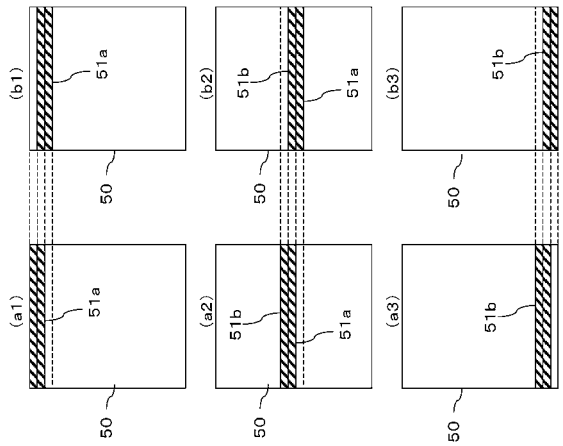
【図１３７】



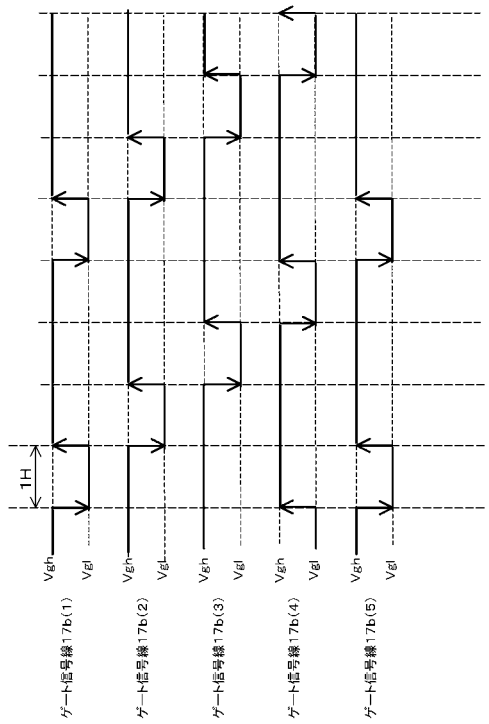
【図１３８】



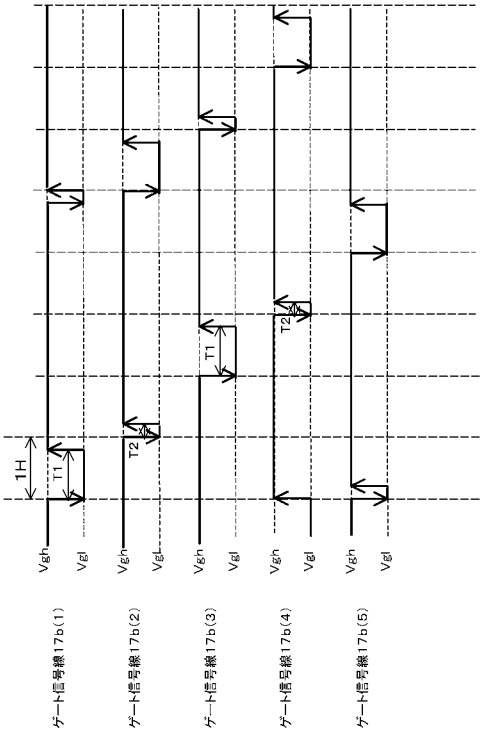
【図１３９】



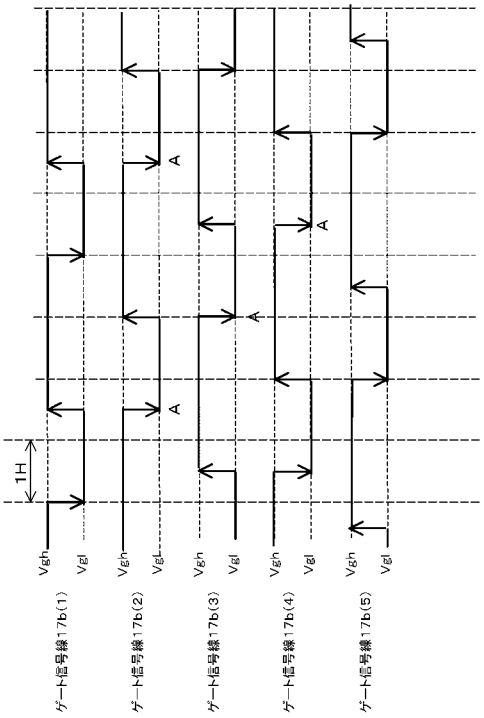
【図１４０】



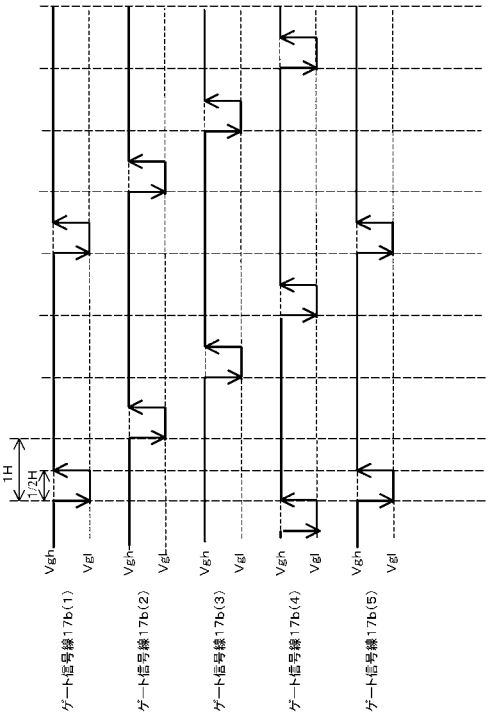
【図１４１】



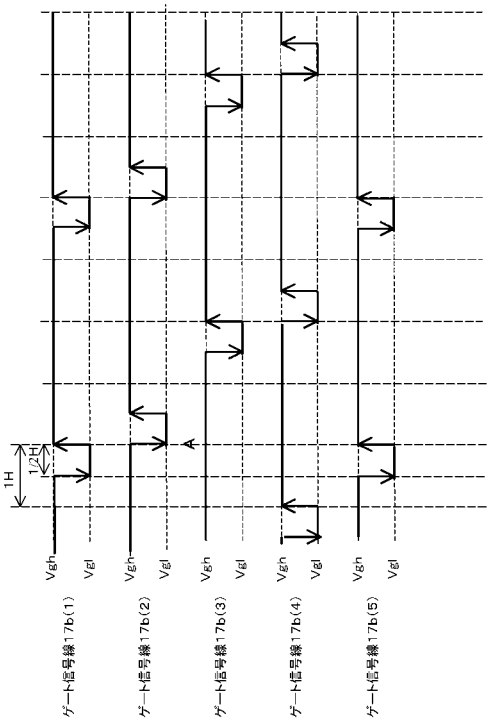
【図１４２】



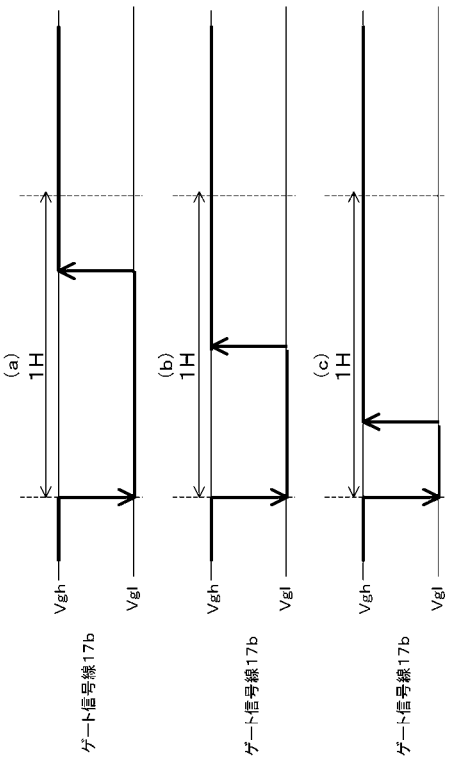
【図１４３】



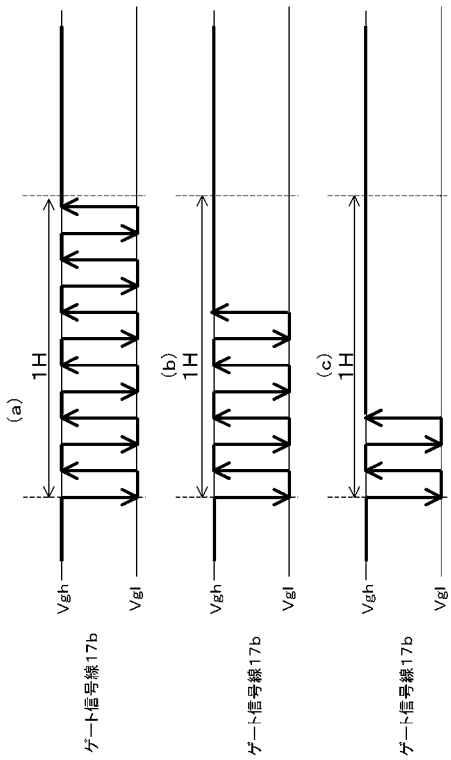
【図１４４】



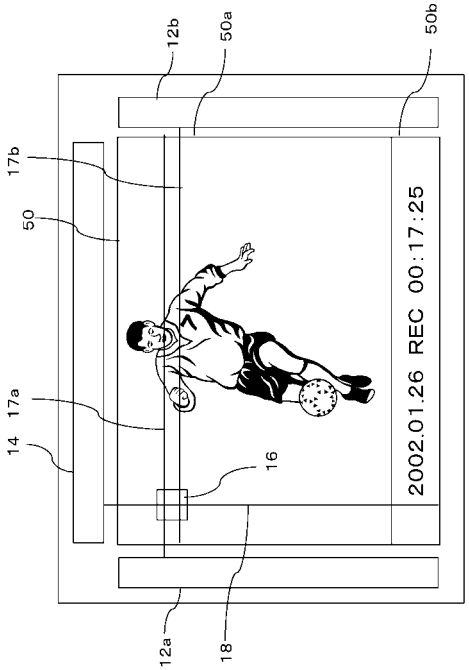
【図１４５】



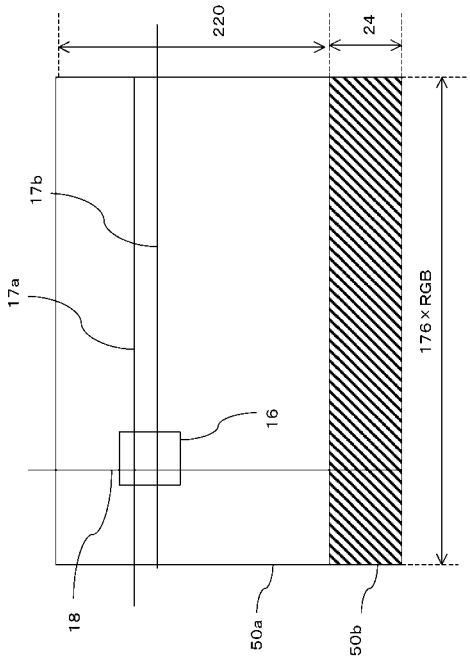
【図１４６】



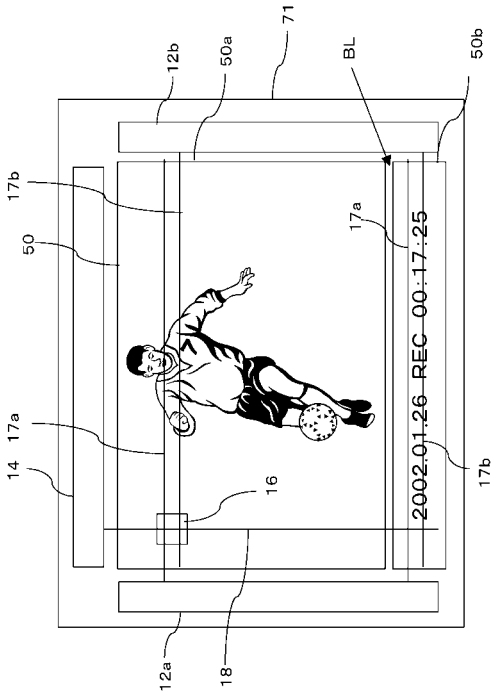
【図１４７】



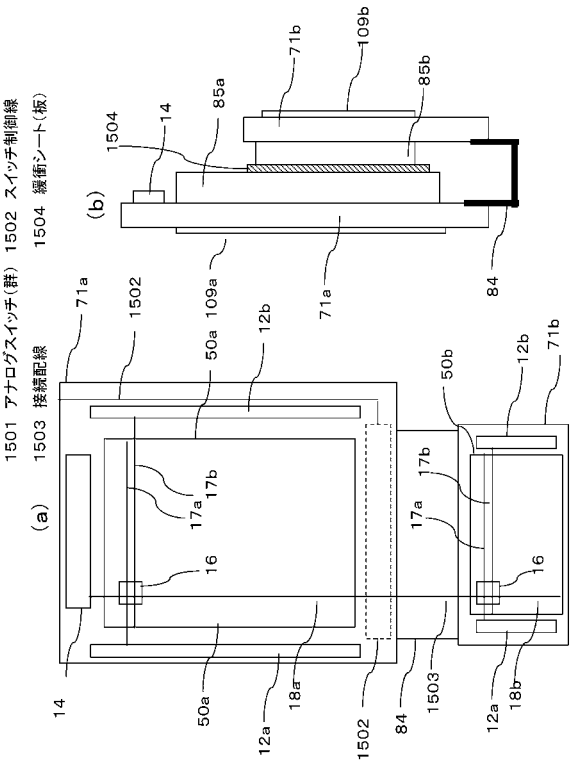
【図１４８】



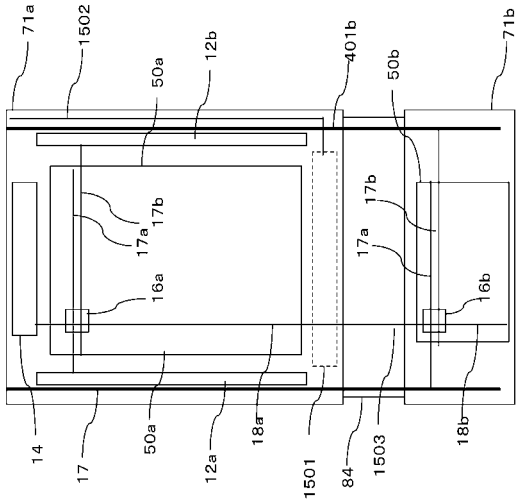
【図１４９】



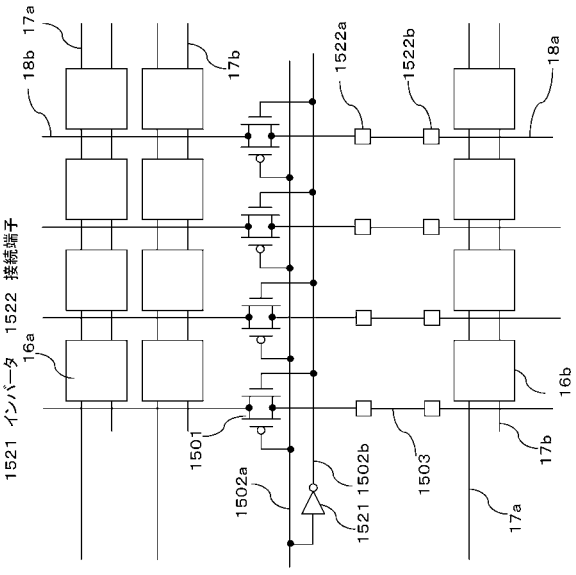
【図１５０】



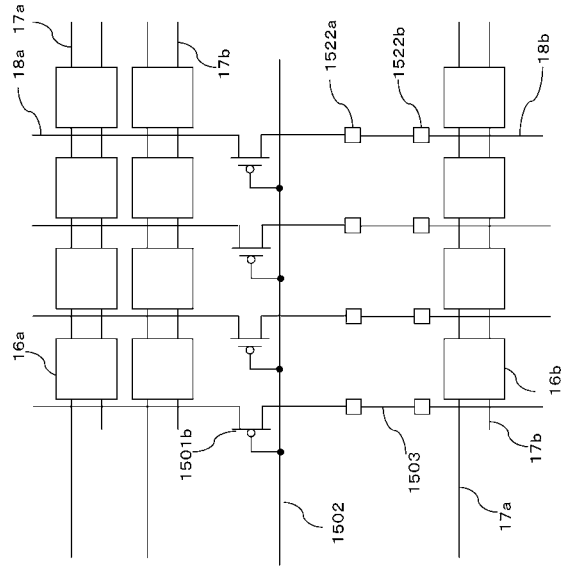
【図１５１】



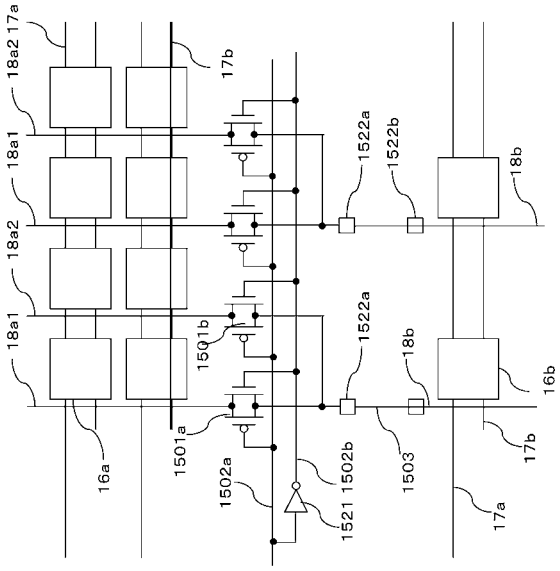
【図１５２】



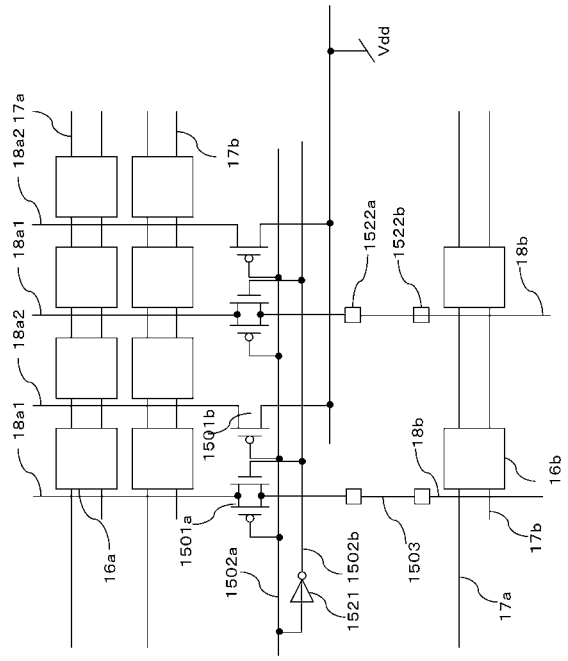
【図１５３】



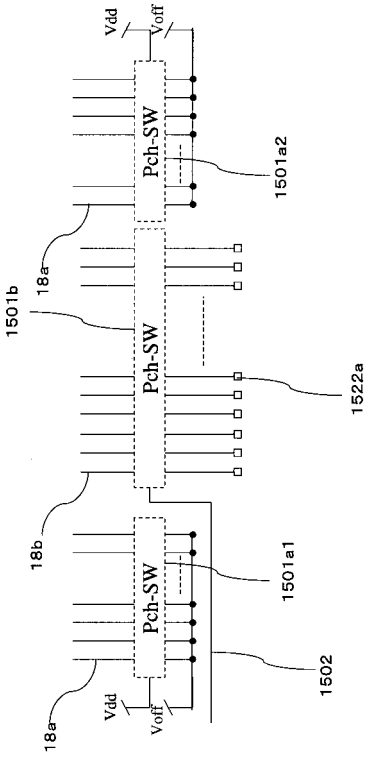
【図１５４】



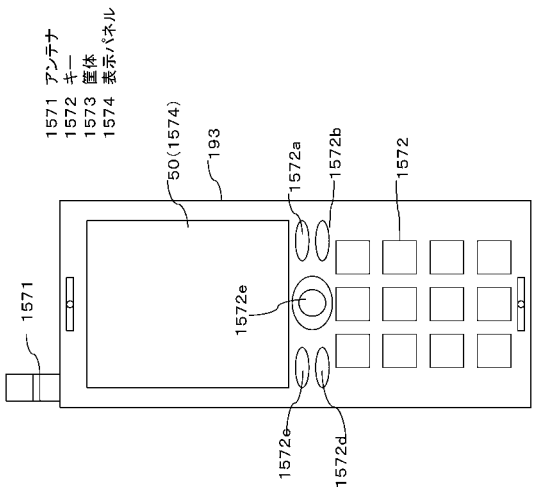
【図１５５】



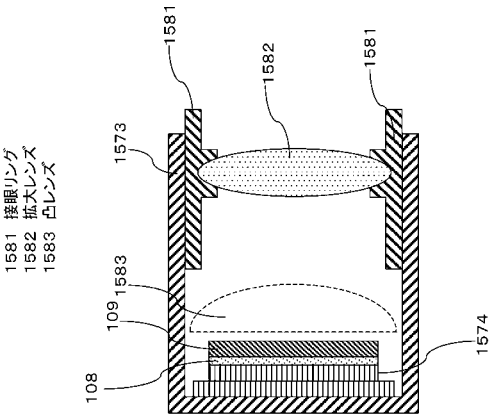
【図１５６】



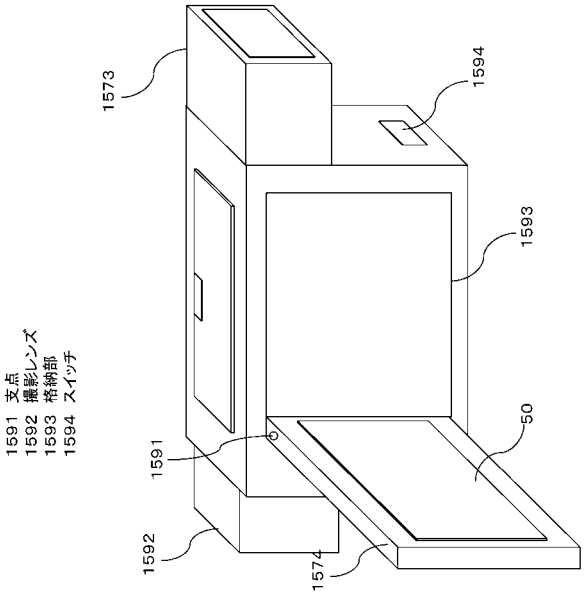
【図１５７】



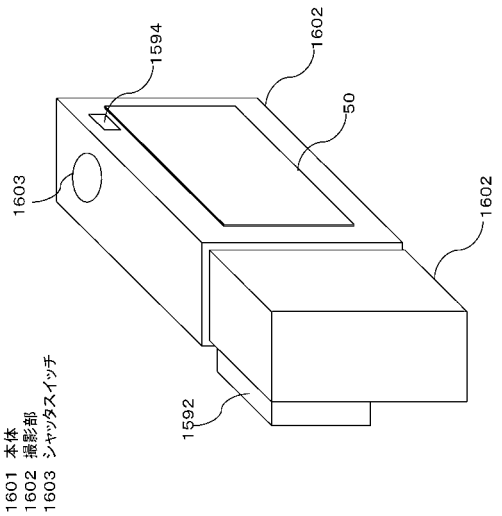
【図１５８】



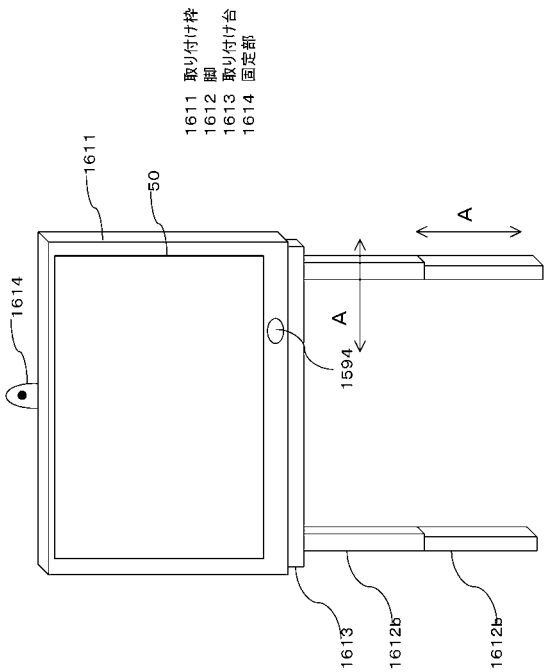
【図１５９】



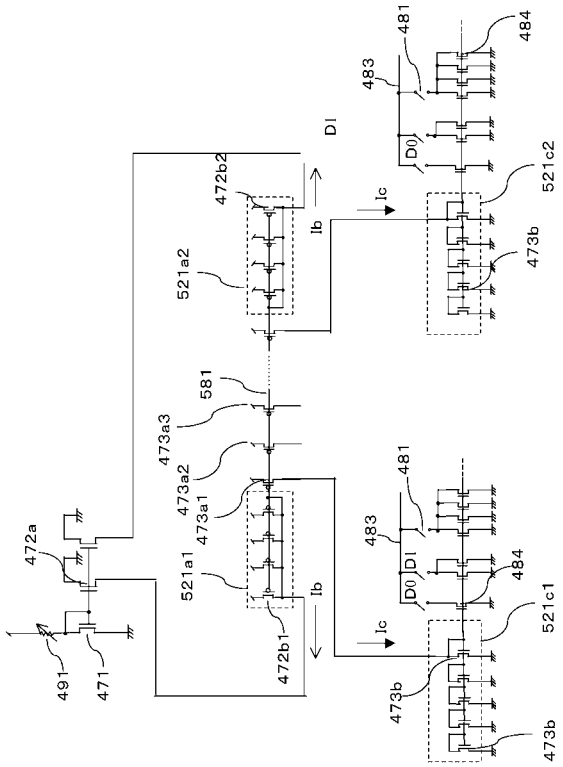
【図１６０】



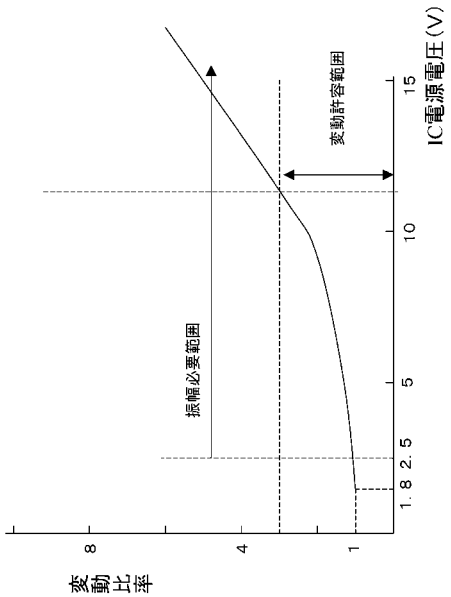
【図１６１】



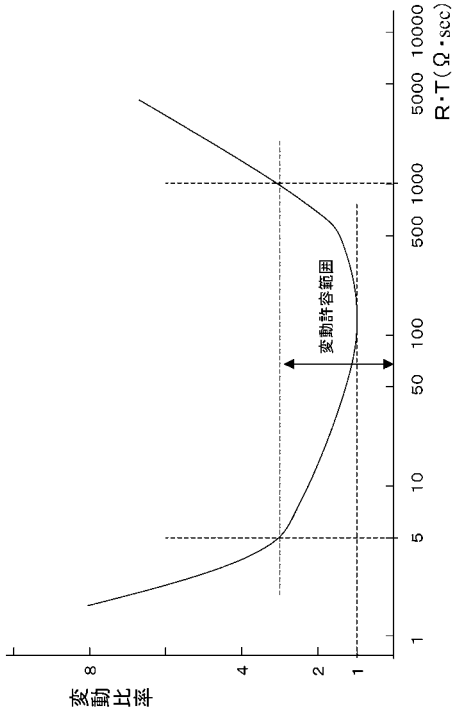
【図１６２】



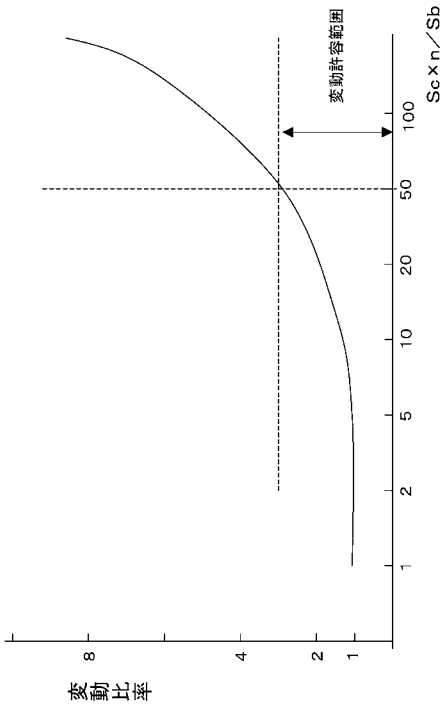
【図１６３】



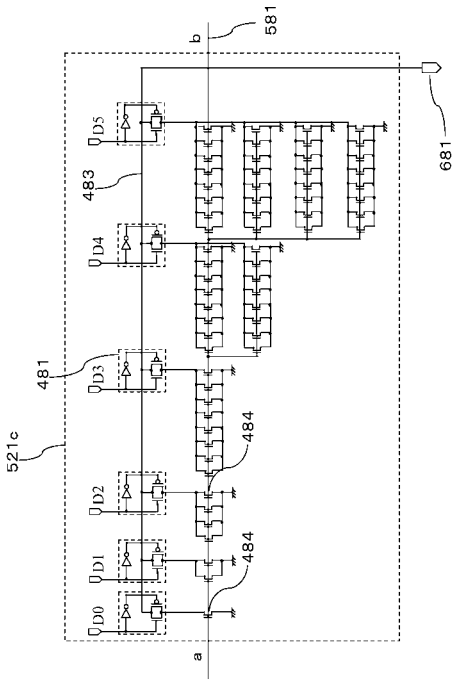
【図１６４】



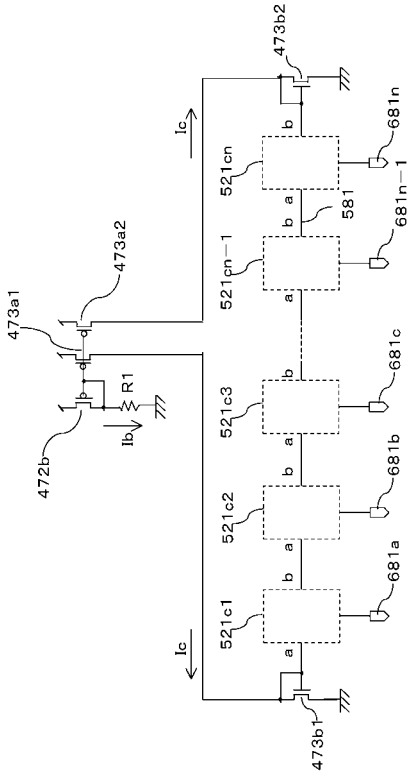
【図１６５】



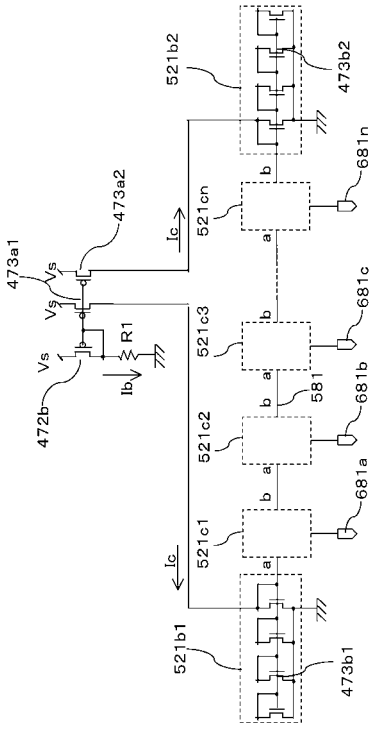
【図１６６】



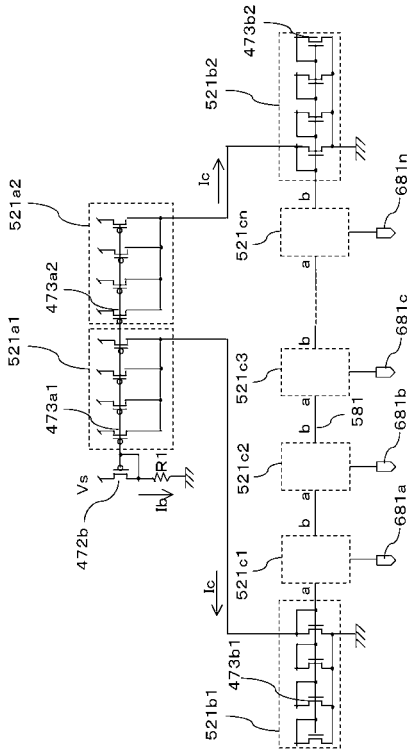
【図１６７】



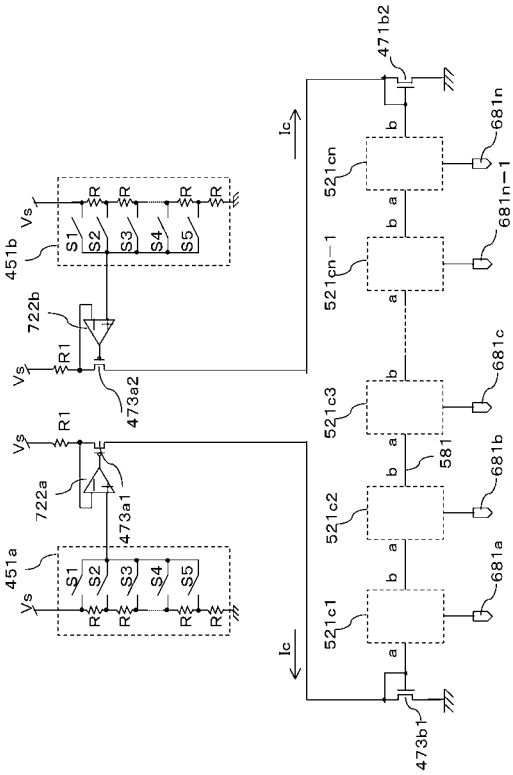
【図１６８】



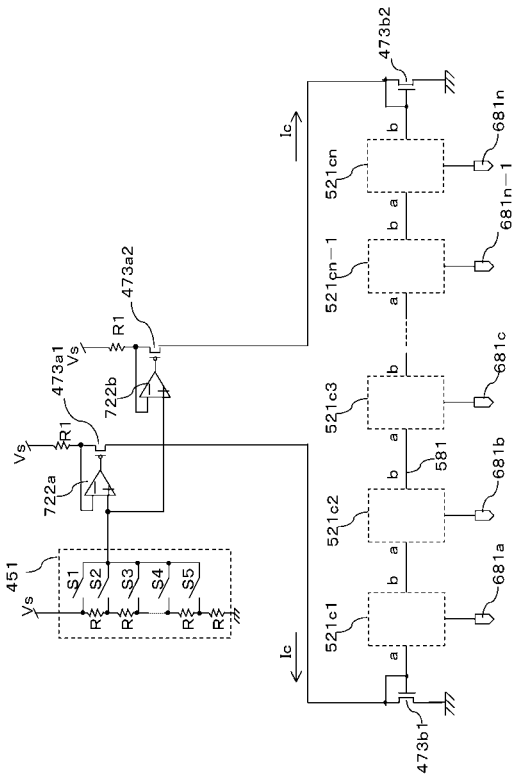
【図１６９】



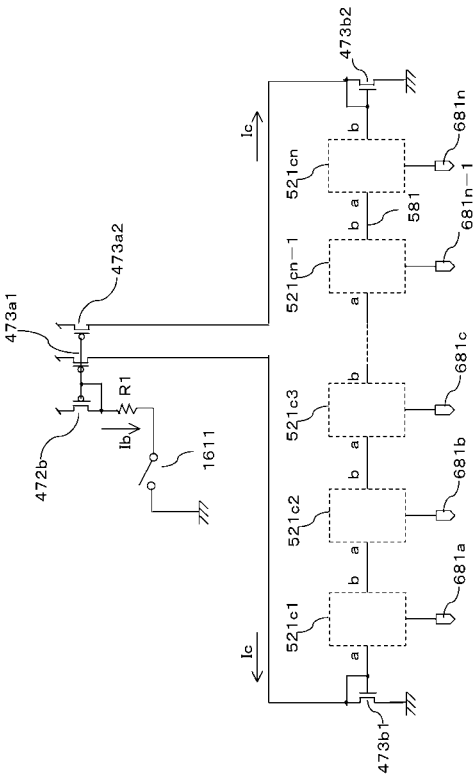
【図１７０】



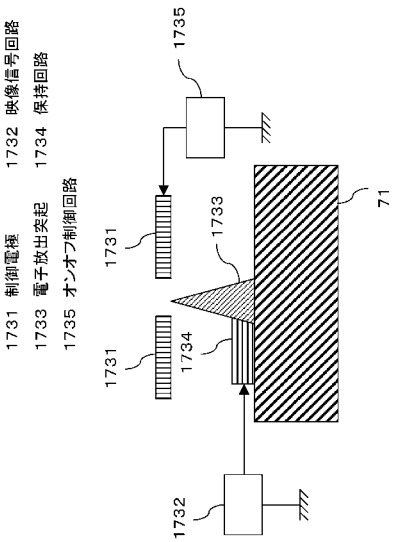
【図１７１】



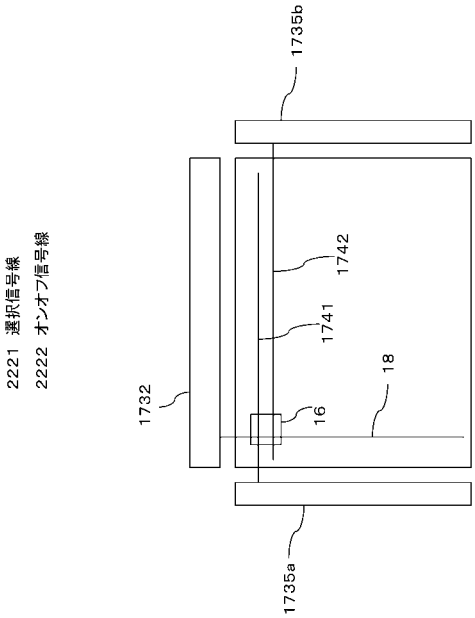
【図１７２】



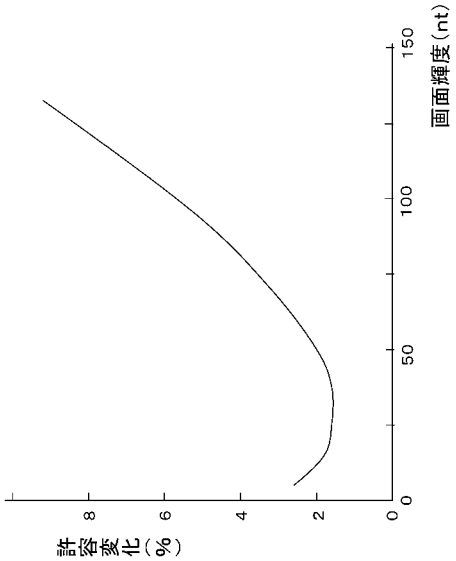
【図１７３】



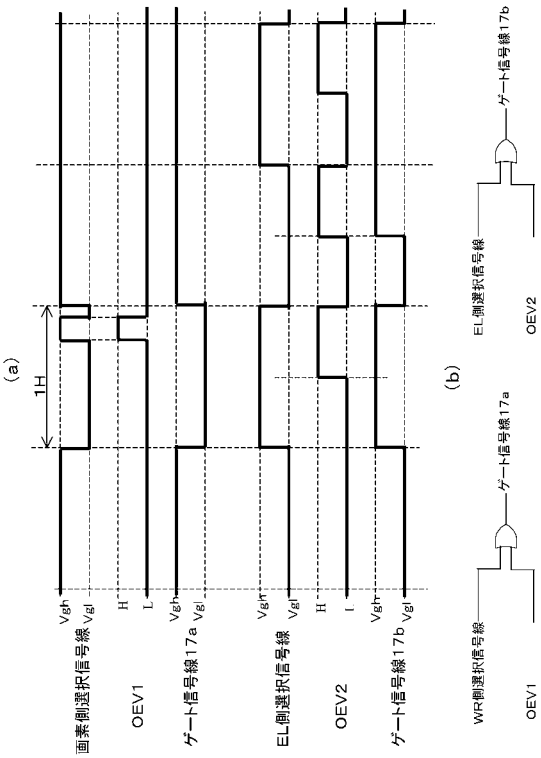
【図１７４】



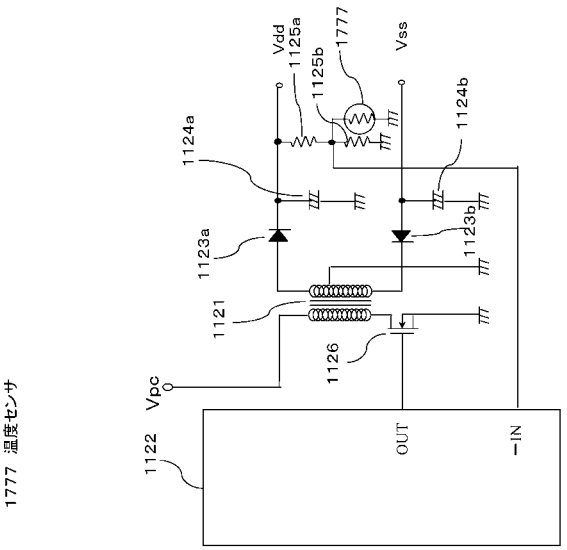
【図１７５】



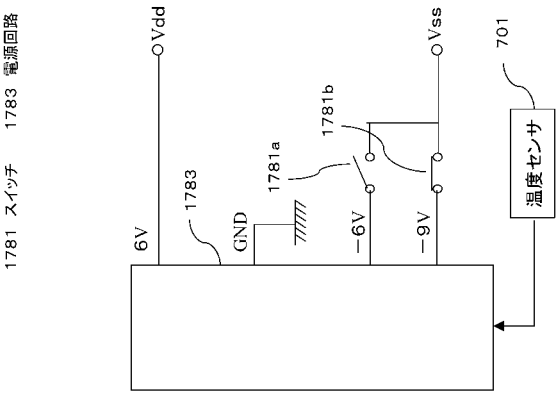
【図１７６】



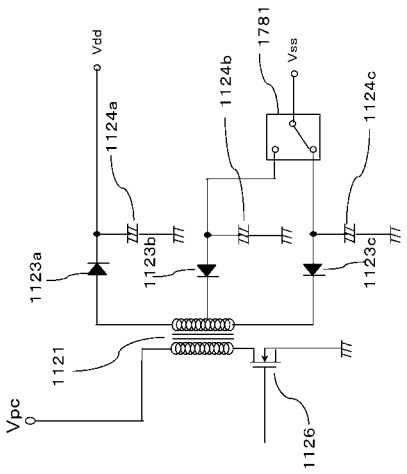
【図１７７】



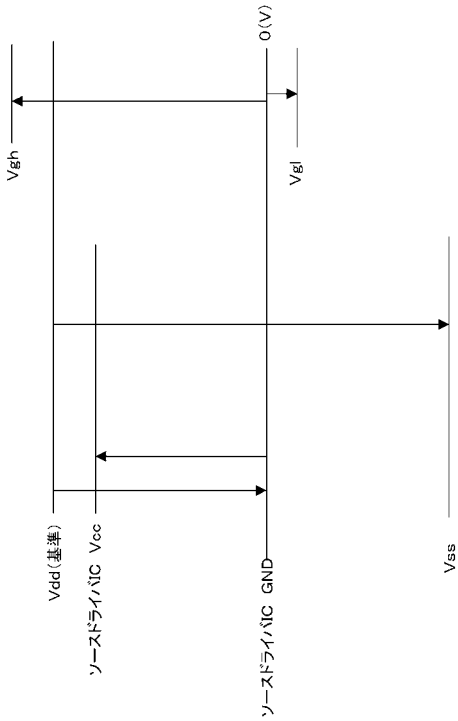
【図１７８】



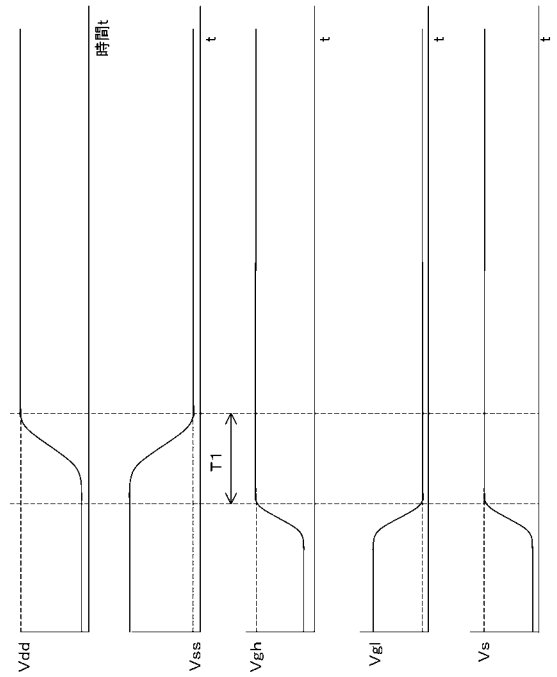
【図１７９】



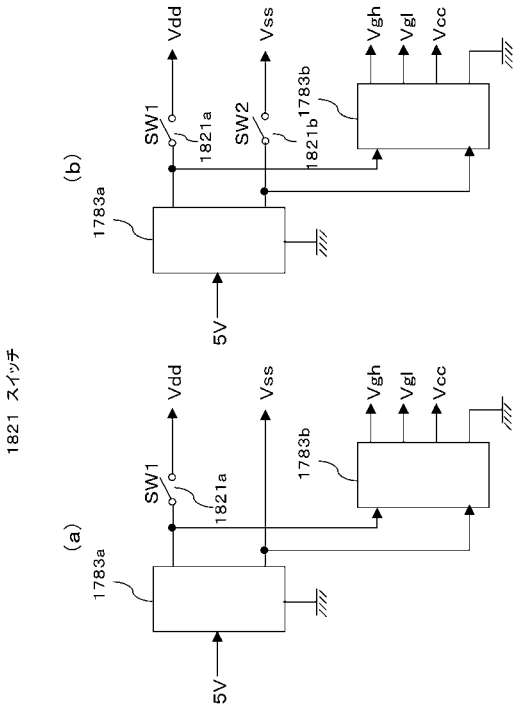
【図１８０】



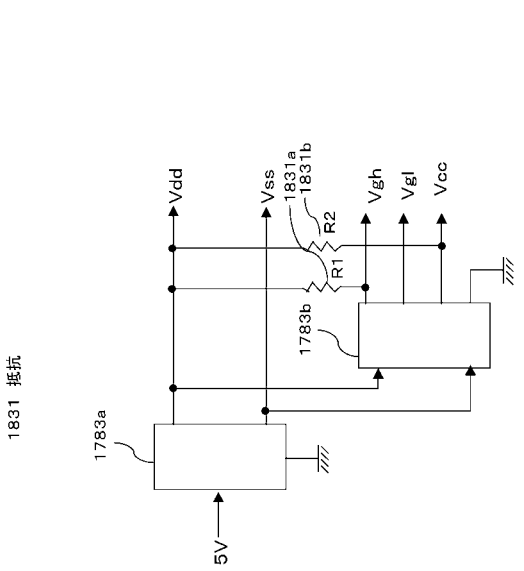
【図１８１】



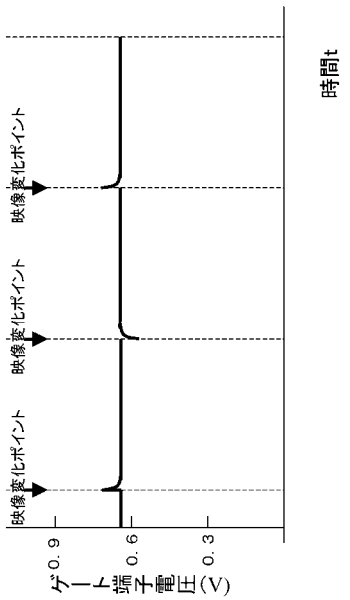
【図１８２】



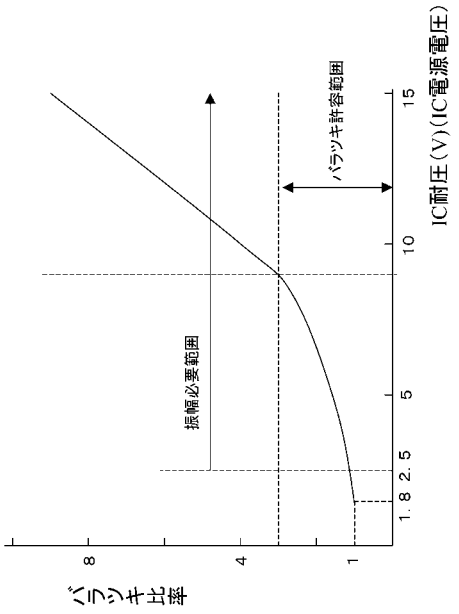
【図１８３】



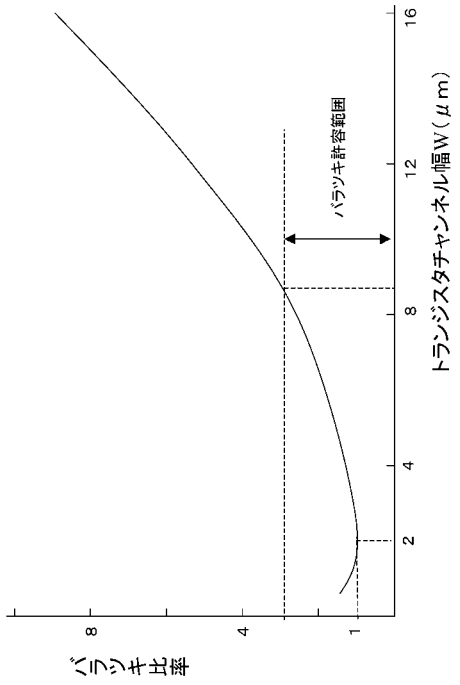
【図１８４】



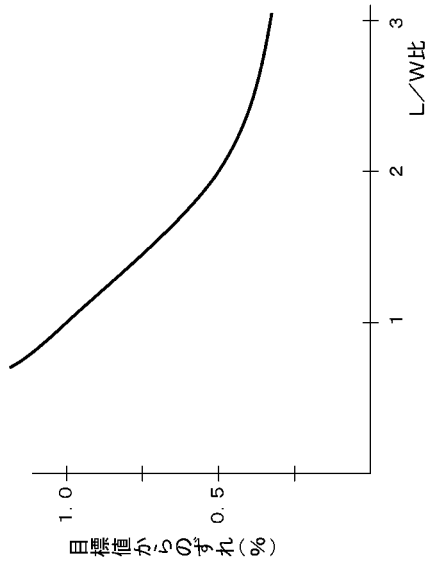
【図１８５】



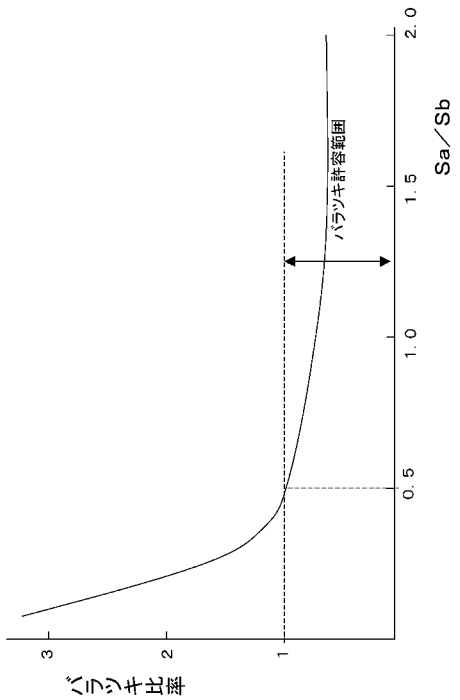
【図１８６】



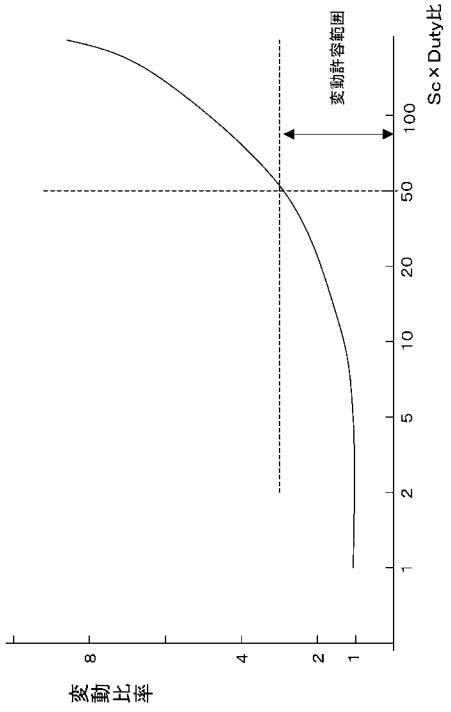
【図１８７】



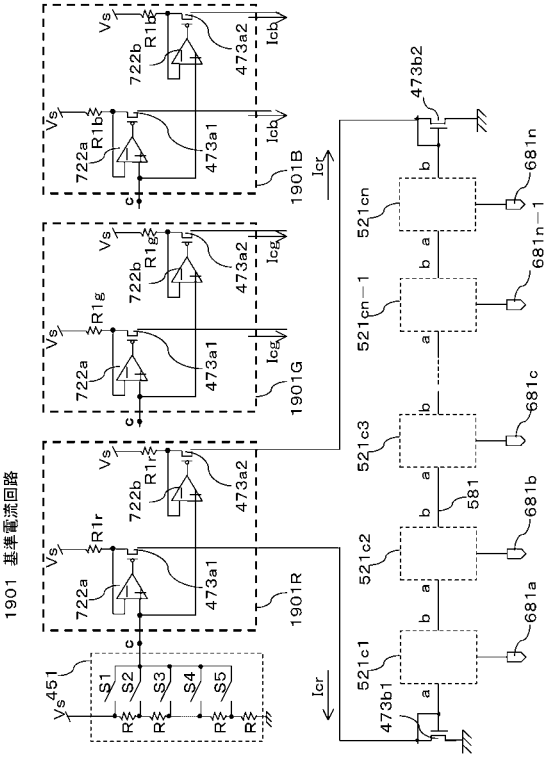
【図１８８】



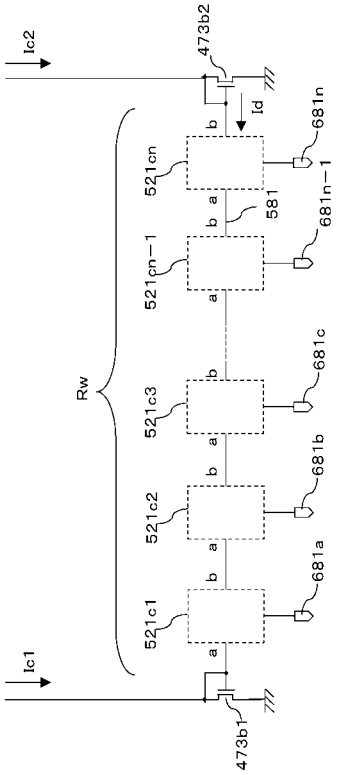
【図１８９】



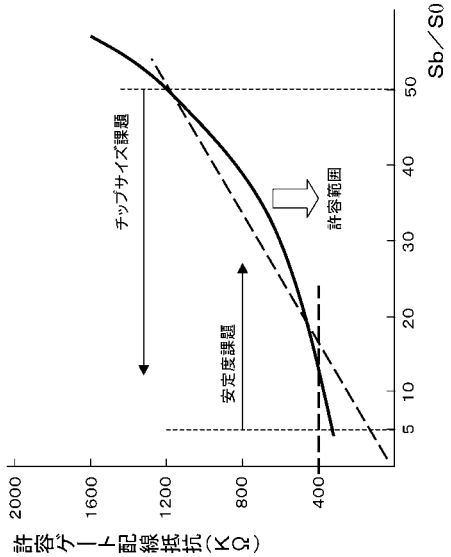
【図１９０】



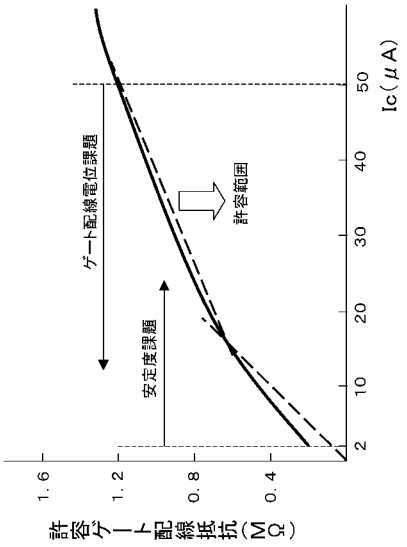
【図１９１】



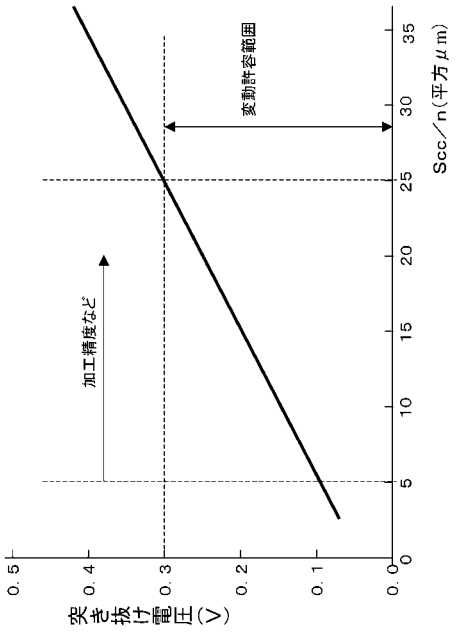
【図１９２】



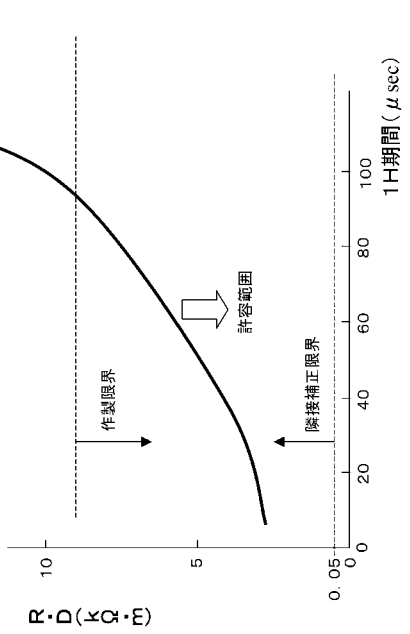
【図１９３】



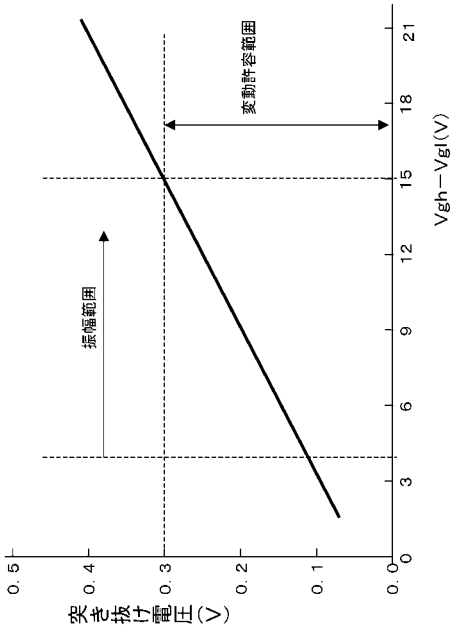
【図１９４】



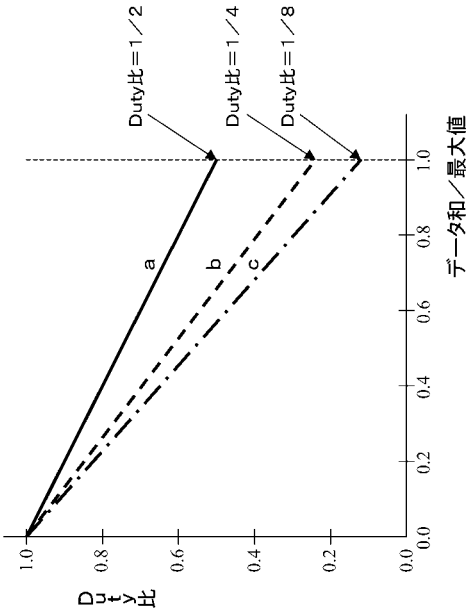
【図１９５】



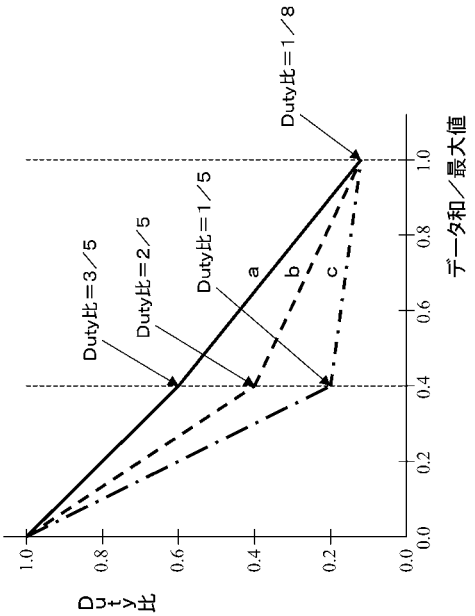
【図１９６】



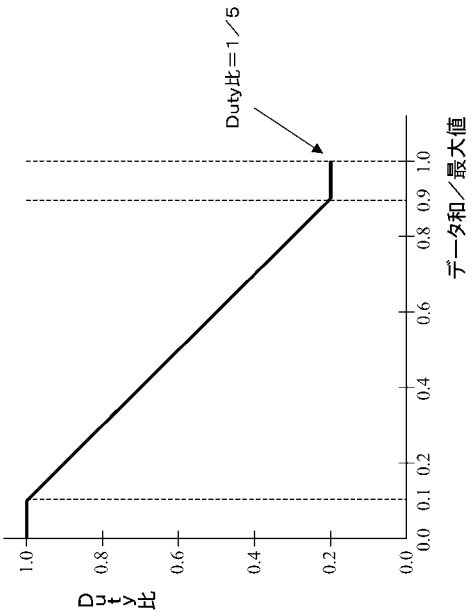
【図１９７】



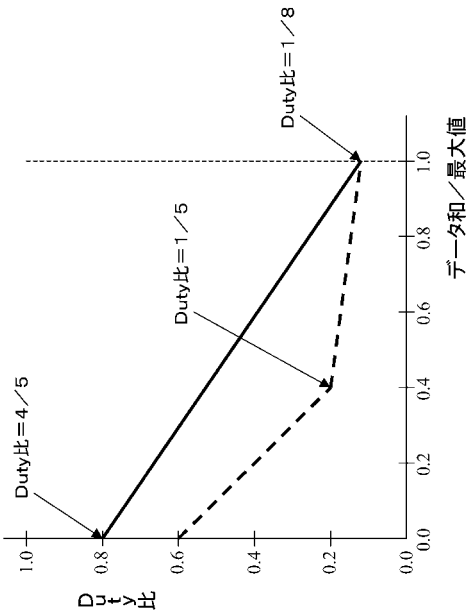
【図１９８】



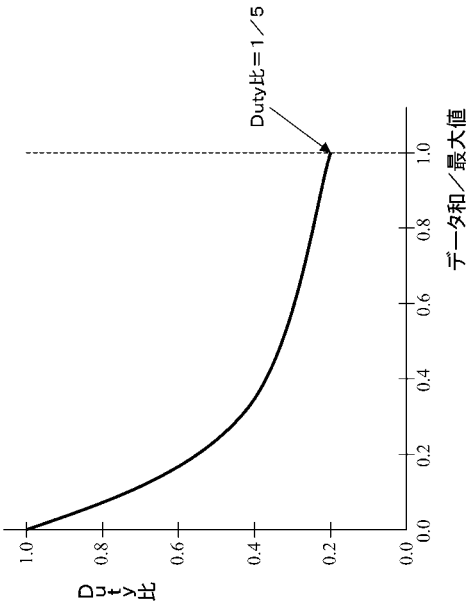
【図１９９】



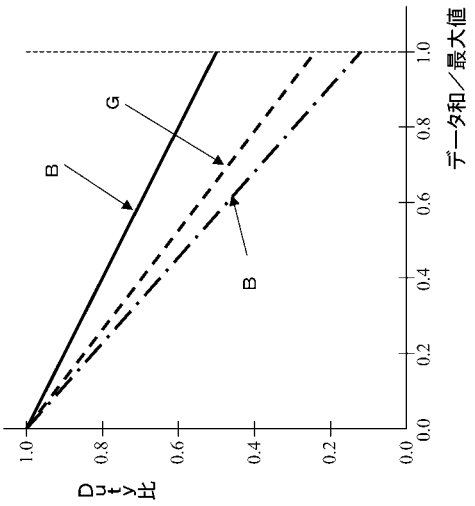
【図２００】



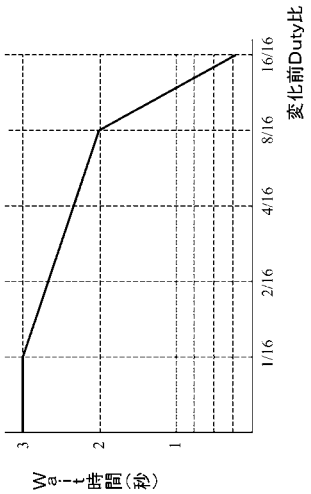
【図２０１】



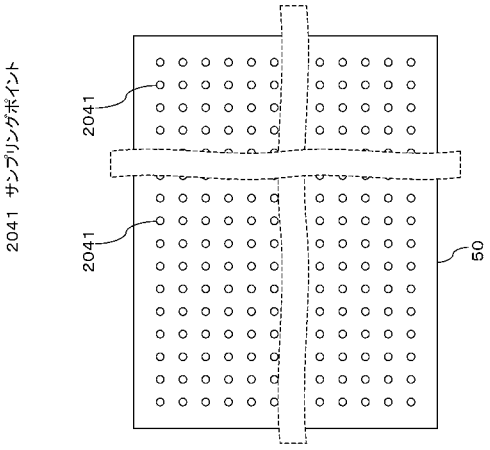
【図２０２】



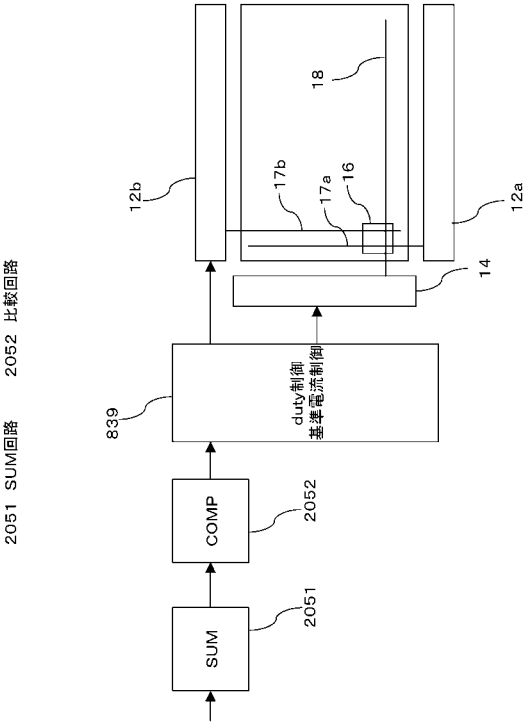
【図２０３】



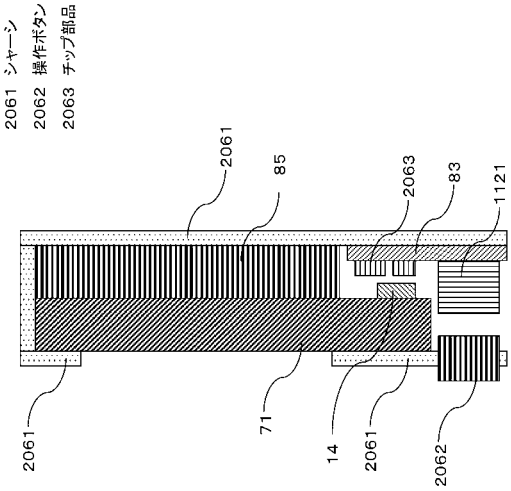
【図２０４】



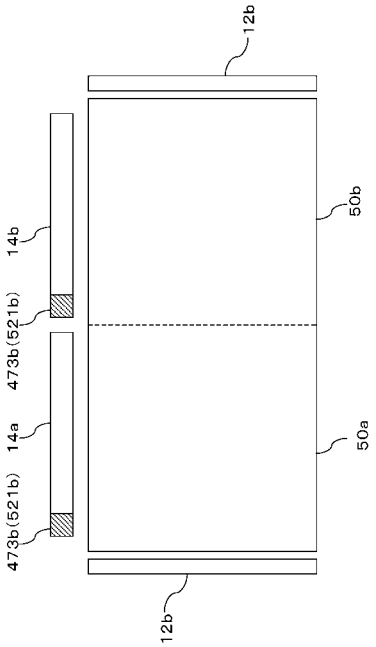
【図２０５】



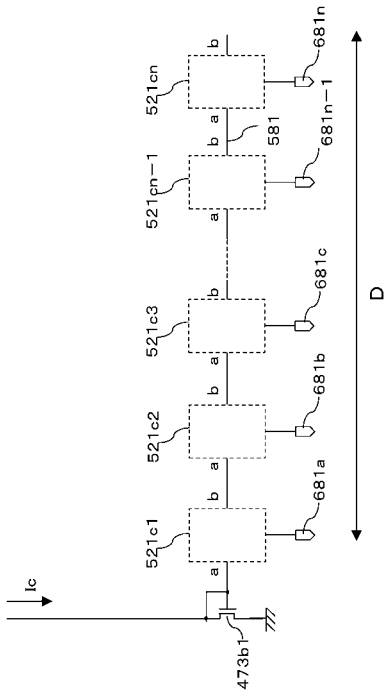
【図２０６】



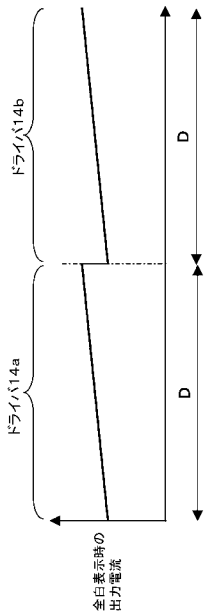
【図２０７】



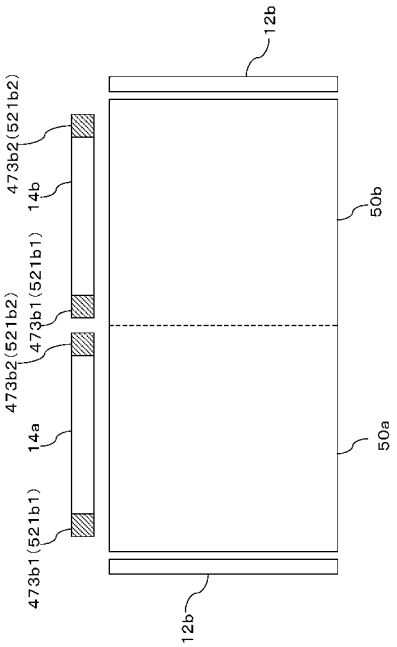
【図２０８】



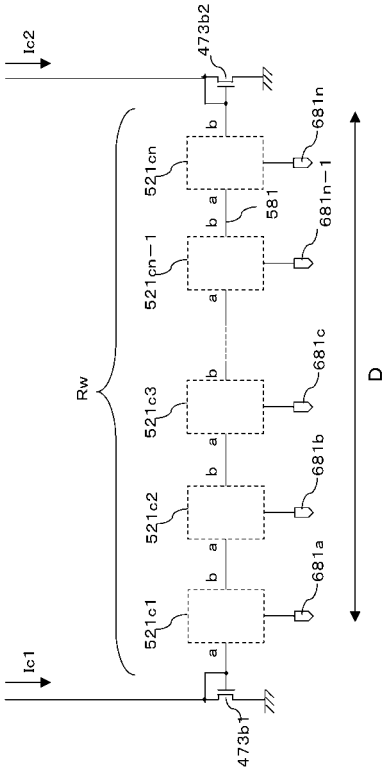
【図２０９】



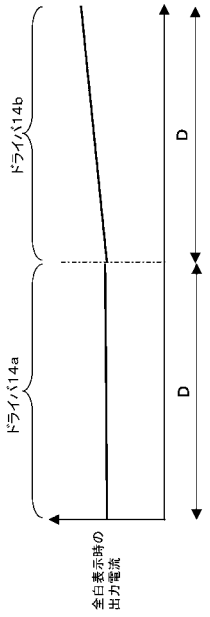
【図２１０】



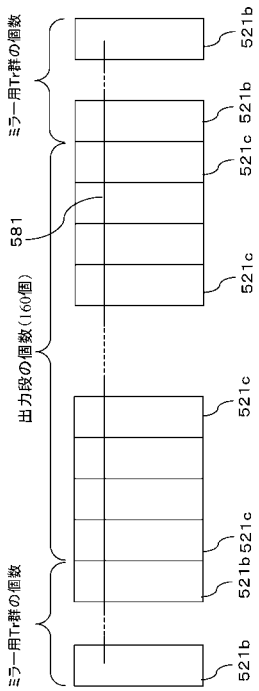
【図２１１】



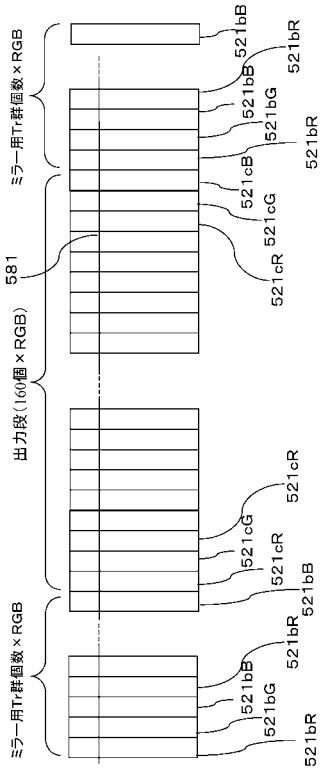
【図２１２】



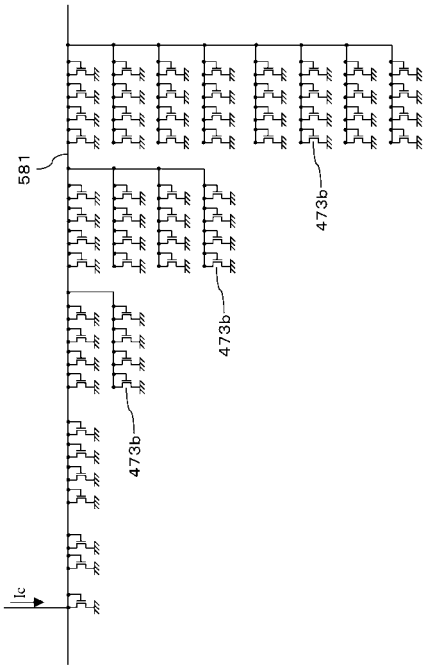
【図２１３】



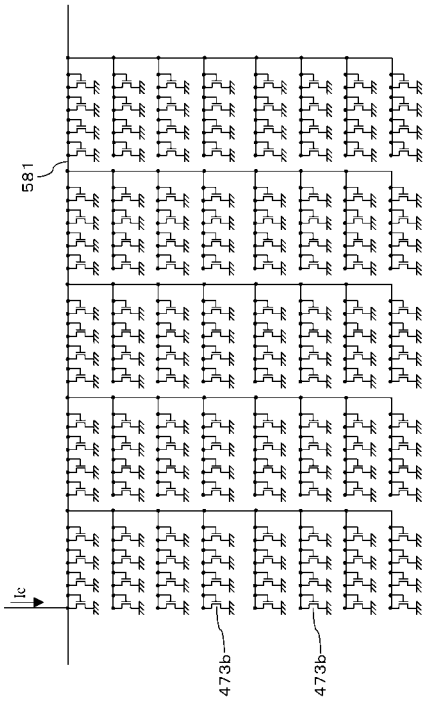
【図２１４】



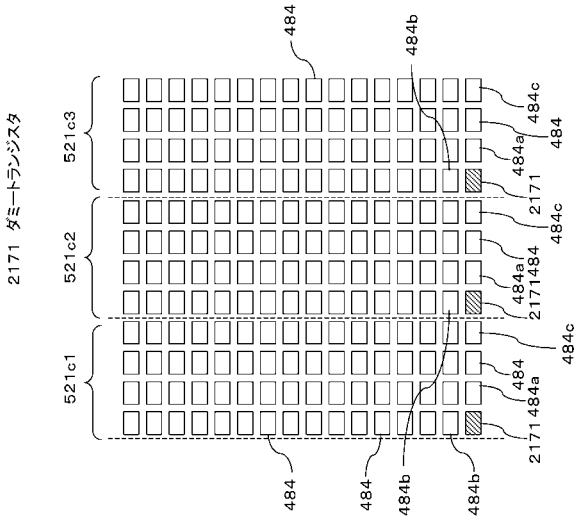
【図２１５】



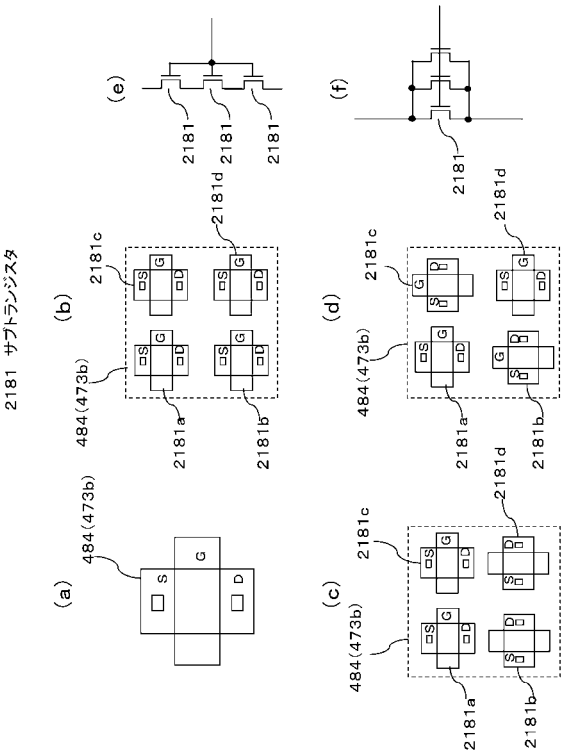
【図２１６】



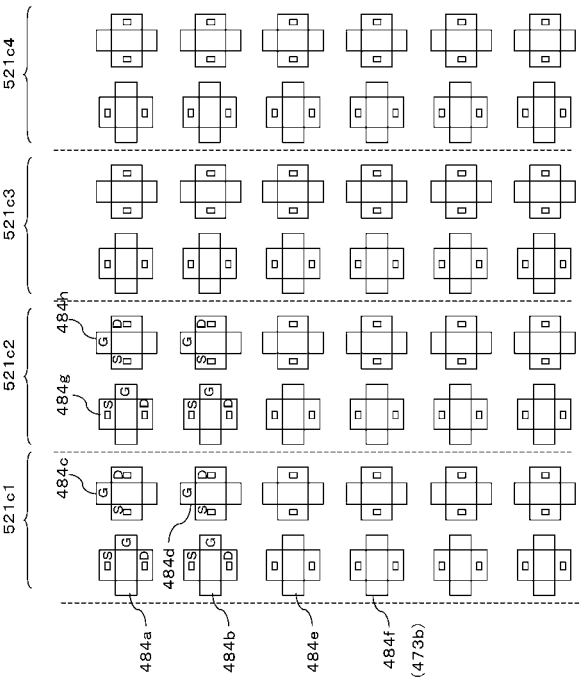
【図２１７】



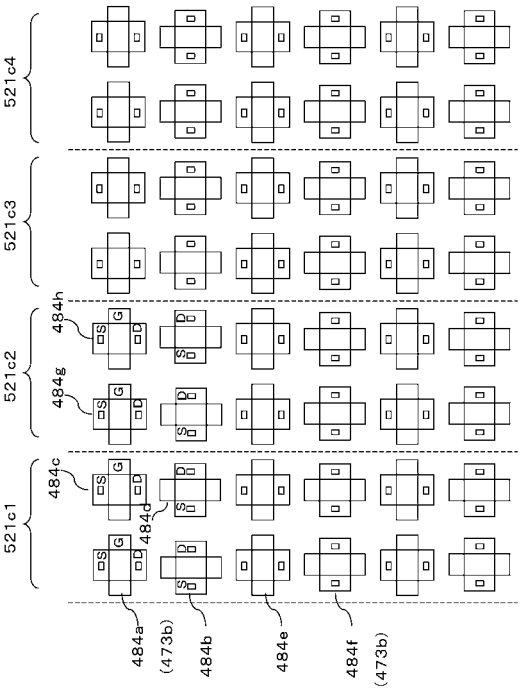
【図２１８】



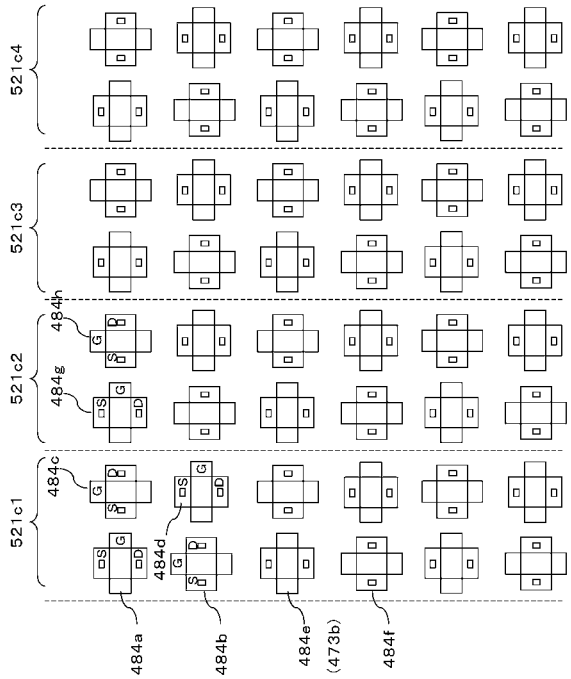
【図２１９】



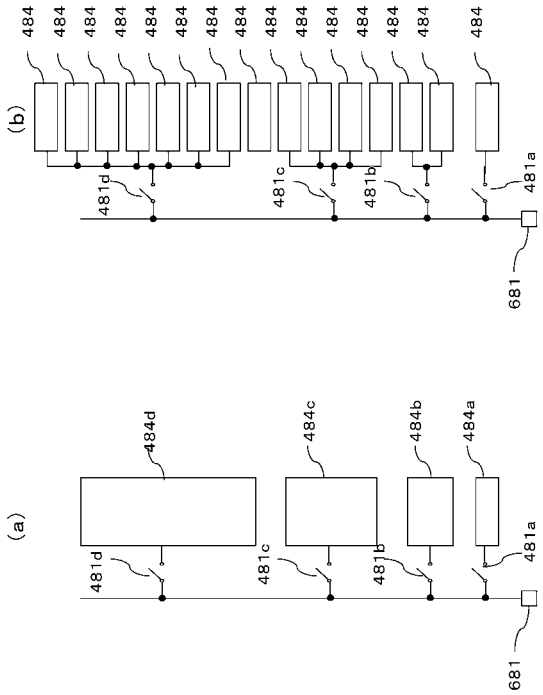
【図２２０】



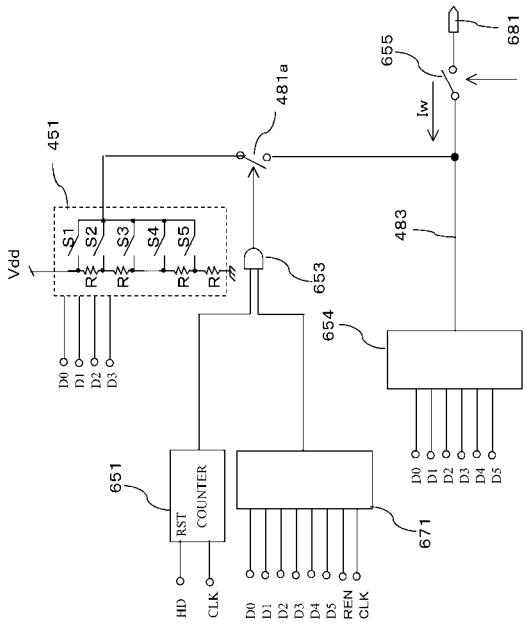
【図２２１】



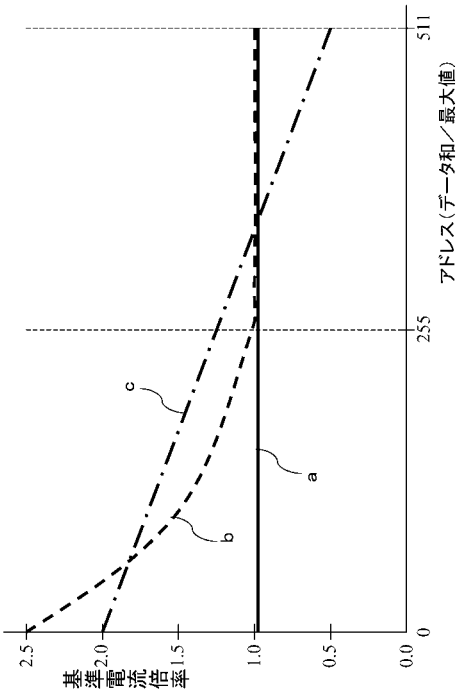
【図２２２】



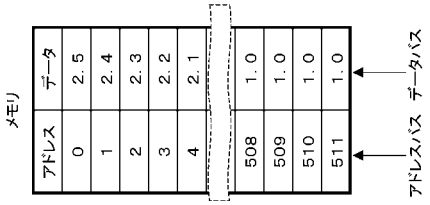
【図２２３】



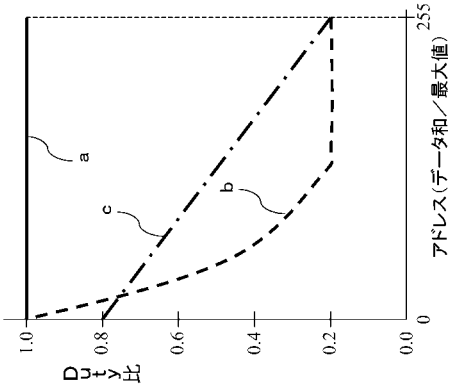
【図２２４】



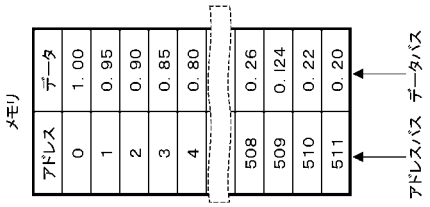
【図２２５】



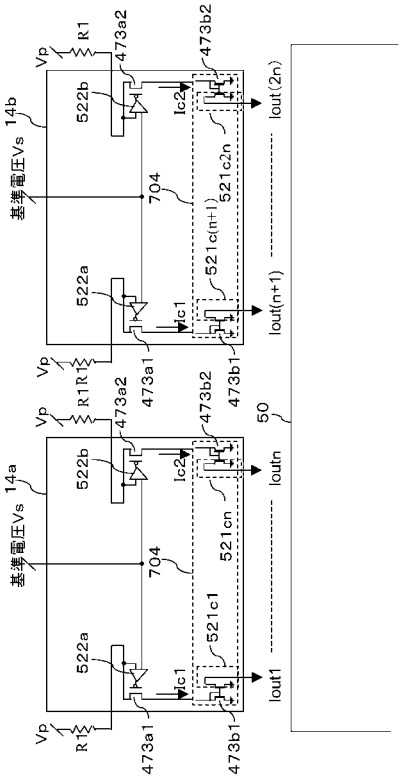
【図２２６】



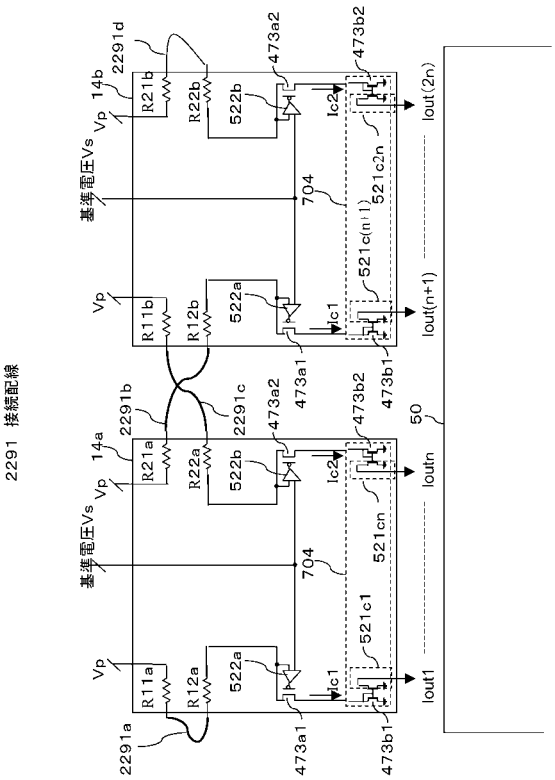
【図２２７】



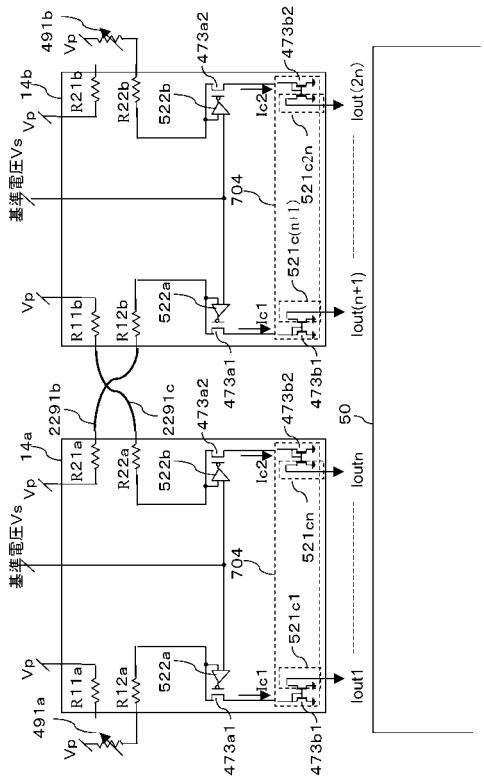
【図２２８】



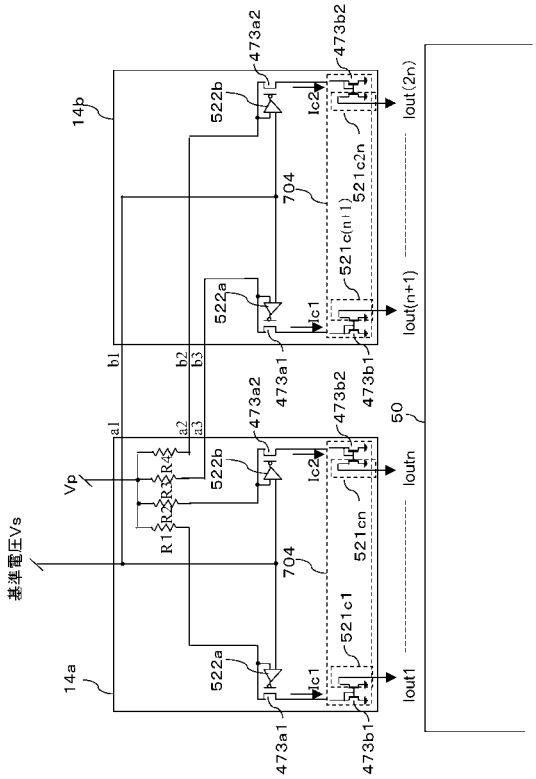
【図２２９】



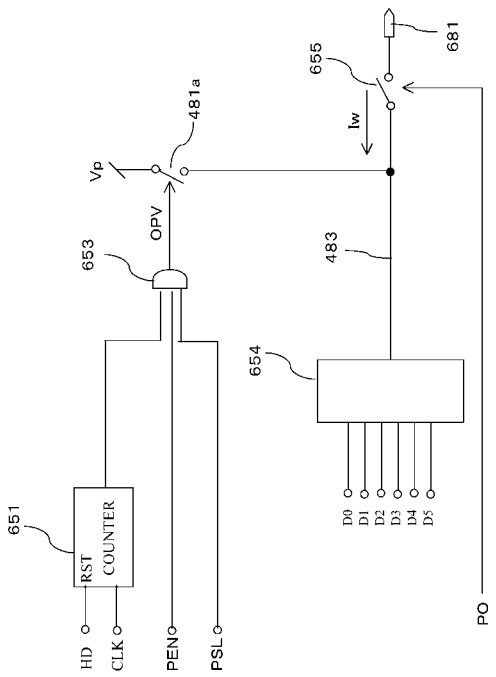
【図２３０】



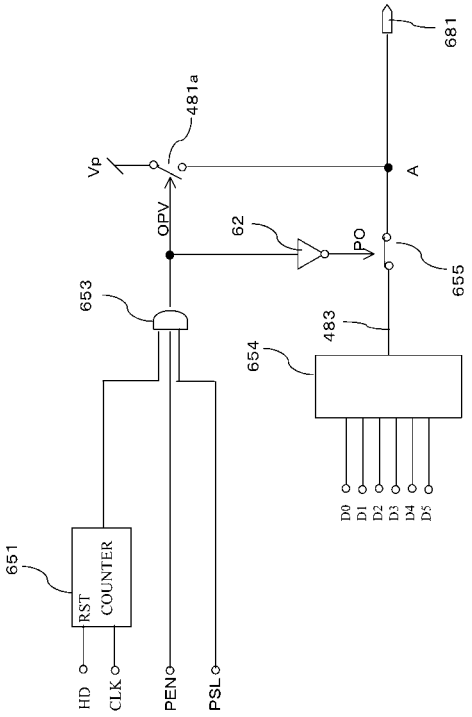
【図２３１】



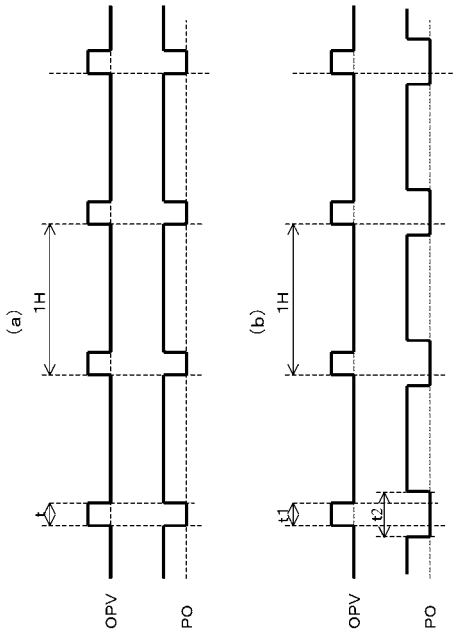
【図２３２】



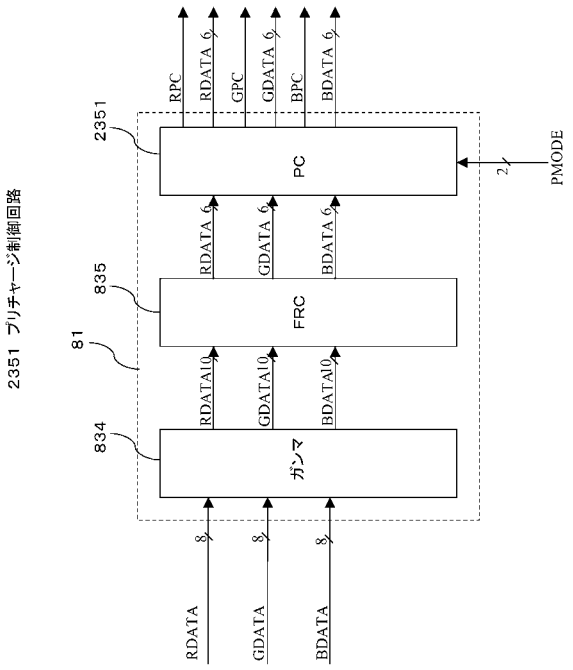
【図２３３】



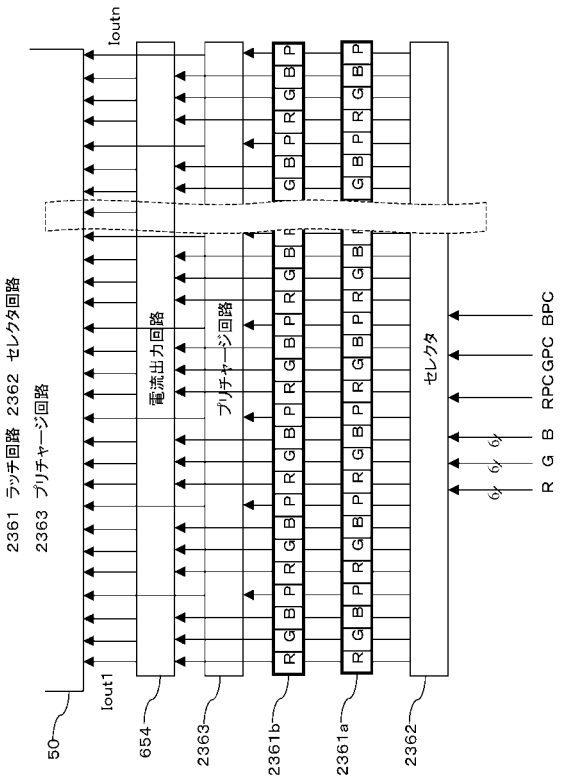
【図２３４】



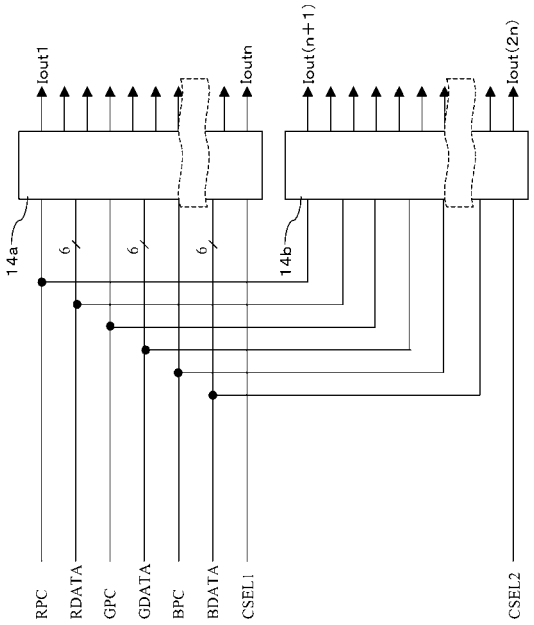
【図２３５】



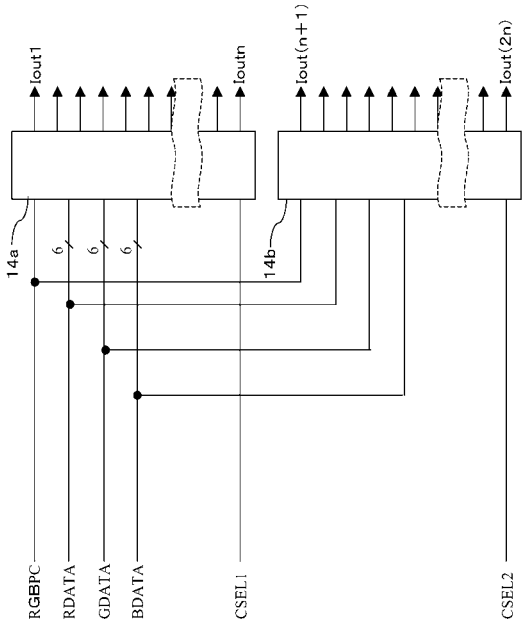
【図２３６】



【図２３７】



【図２３８】



【図２３９】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	L	L	L	H	L	L	L	L	L	L	L
P出力	×	×	○	×	×	×	×	○	×	×	×	×	×	×	×

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	L	L	L	H	L	L	L	L	L	L	L
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４０】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４１】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	○	○	×	○	○	×	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	×	×	×	○	○	×	○	×	×	○	○	○	×	○

【図２４２】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	×	○	×	×	○	○	○	×	×

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４３】

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
R画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	×
G画像データ	12	10	3	22	39	12	0	21	2	27	7	7	5	1	12
PEN	L	L	H	L	L	L	H	L	H	L	H	H	H	H	L
P出力	×	×	○	×	×	×	○	×	○	×	○	○	○	○	×
B画像データ	7	5	1	21	39	7	5	1	2	27	39	12	39	12	0
PEN	H	H	H	L	L	H	H	H	H	L	L	L	L	L	H
P出力	○	○	○	×	×	○	○	○	○	×	×	×	×	×	○

【図２４４】

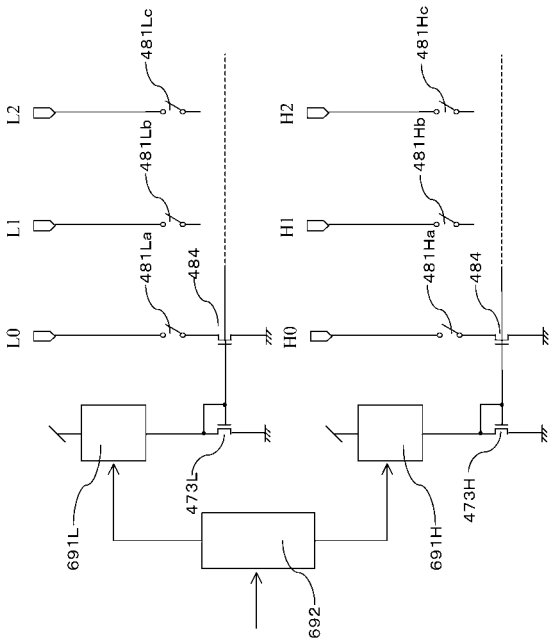
(a)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	3	4	0	1	0	0	1	2	0	0	0
P出力	×	×	×	×	○	○	×	×	×	×	×	×	×	×	×

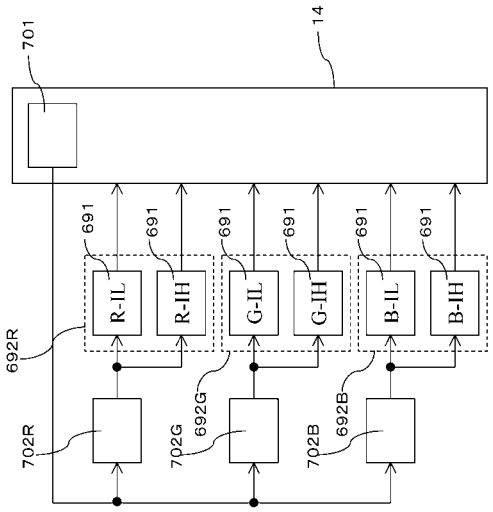
(b)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	L	H	H	H	H	H	H	L	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	2	3	0	1	0	0	1	1	0	0	0
P出力	×	×	×	×	×	○	×	×	×	×	×	×	×	×	×

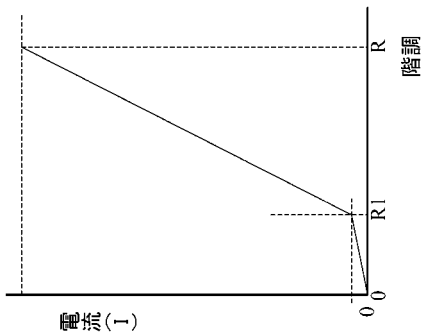
【図２４５】



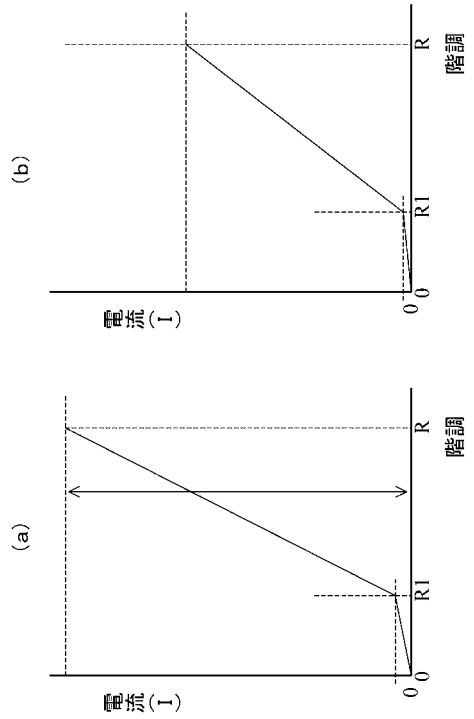
【図２４６】



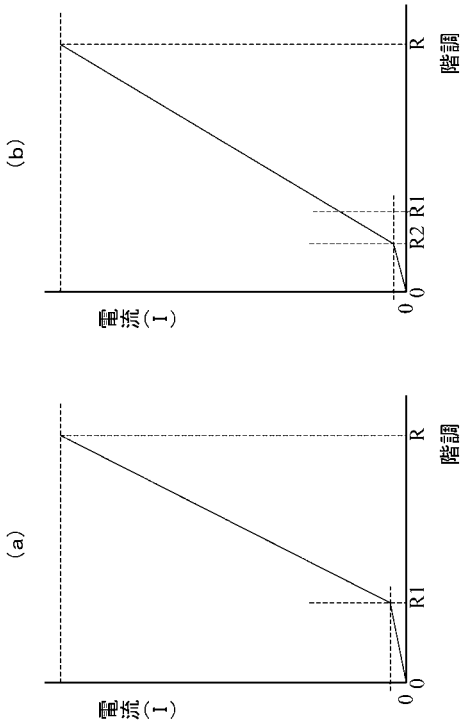
【図２４７】



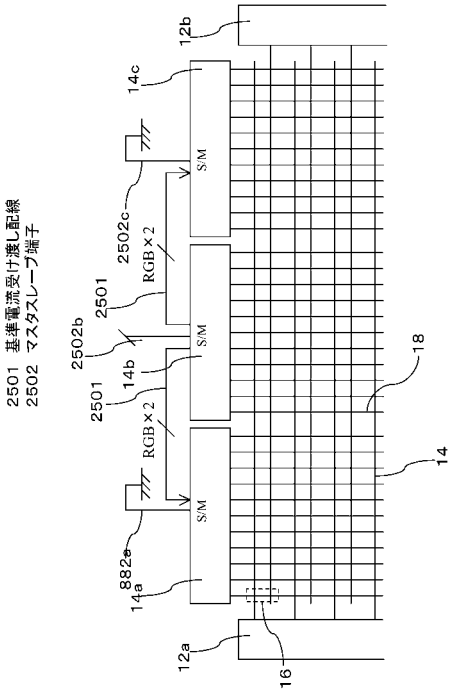
【図２４８】



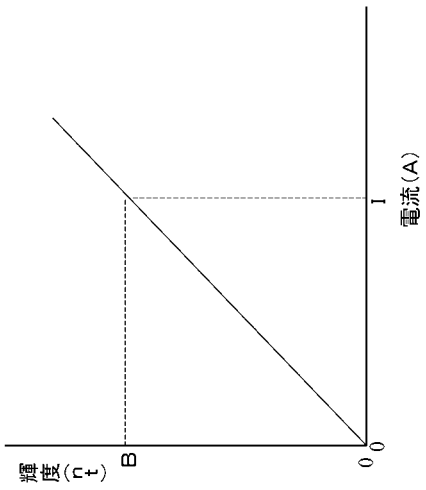
【図２４９】



【図２５０】



【図２５１】



【図２５２】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5	
0	0	0	0	0	0	0	0	0	0	0	0	
1	1	0	0	0	0	0	0	0	0	0	0	
2	0	1	0	0	0	0	0	0	0	0	0	
3	1	1	0	0	0	0	0	0	0	0	0	
4	1	1	0	0	1	0	0	0	0	0	0	
5	1	1	0	0	1	1	0	0	0	0	0	
6	1	1	0	0	1	0	1	0	0	0	0	
7	1	1	0	0	1	1	1	0	0	0	0	
8	1	1	0	0	1	0	0	1	0	0	0	
9	1	1	0	0	1	1	0	1	0	0	0	
10	1	1	0	0	1	0	1	1	0	0	0	
11	1	1	0	0	1	1	1	1	0	0	0	
12	1	1	0	0	1	0	0	0	1	0	0	
13	1	1	0	0	1	1	0	0	1	0	0	
14	1	1	0	0	1	0	1	0	1	0	0	
15	1	1	0	0	1	1	1	0	1	0	0	
16	1	1	0	0	1	0	0	0	0	1	0	
17	1	1	0	0	1	1	0	0	0	1	0	
18	1	1	0	0	1	0	1	0	0	1	0	

…

【図２５３】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	1	0	0	0	0	0
9	1	1	1	0	1	0	1	0	0	0	0
10	1	1	1	0	1	1	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0

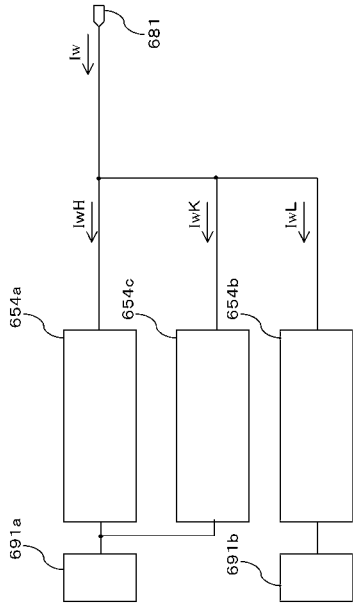
…

【図２５４】

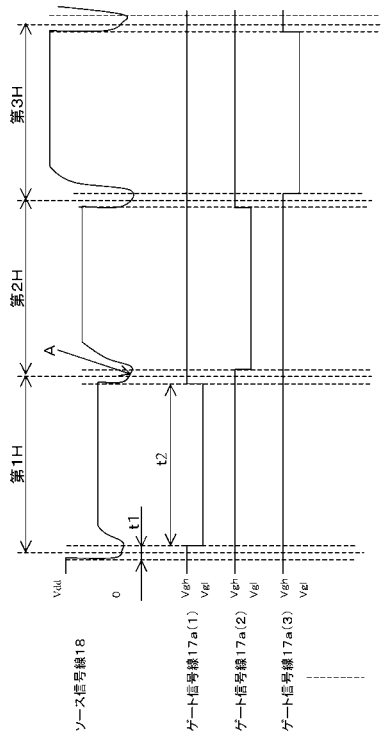
階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	0	1	1	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0

…

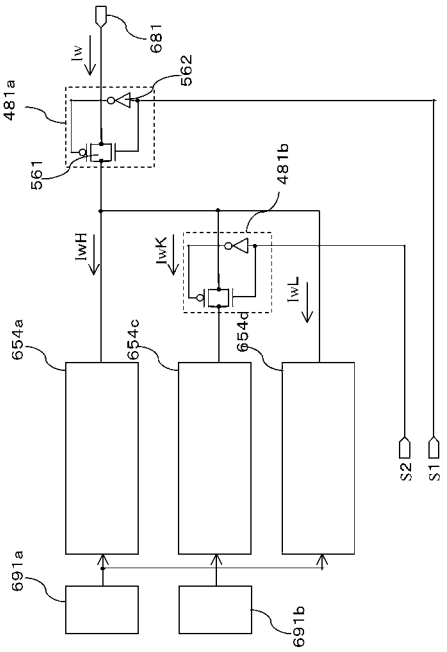
【図２５５】



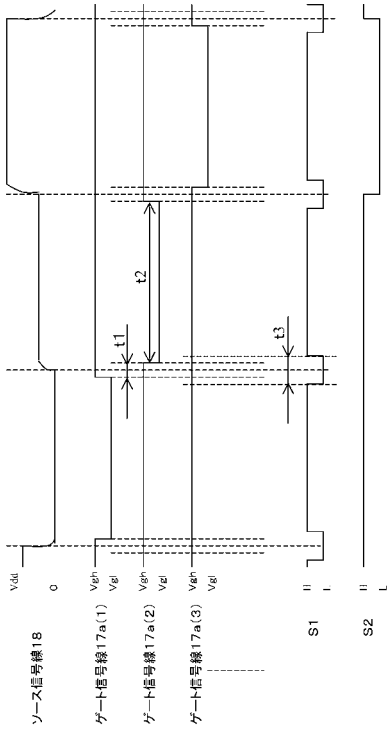
【図２５６】



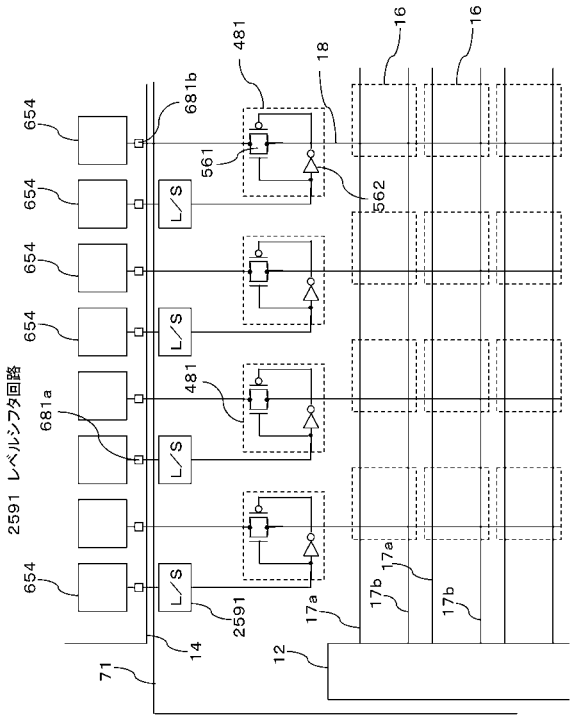
【図２５７】



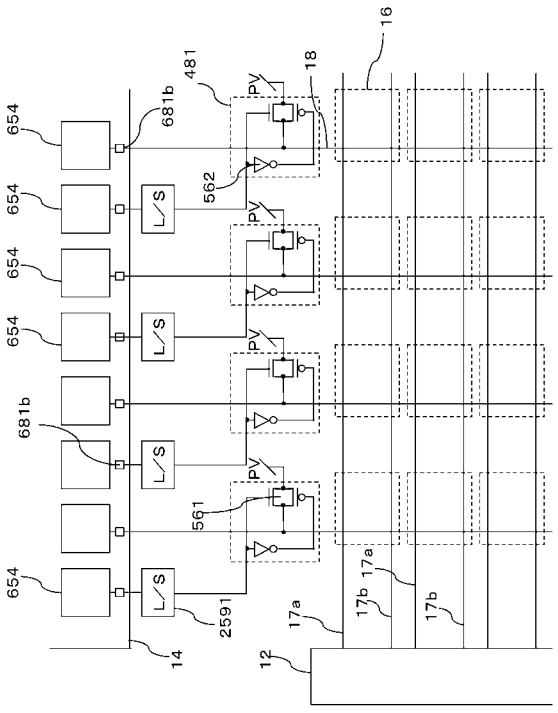
【図２５８】



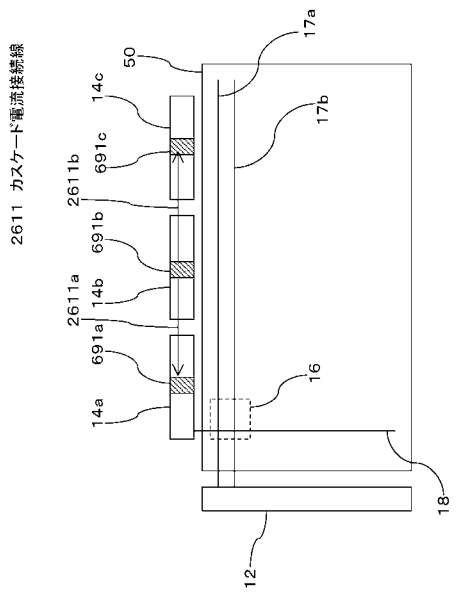
【図２５９】



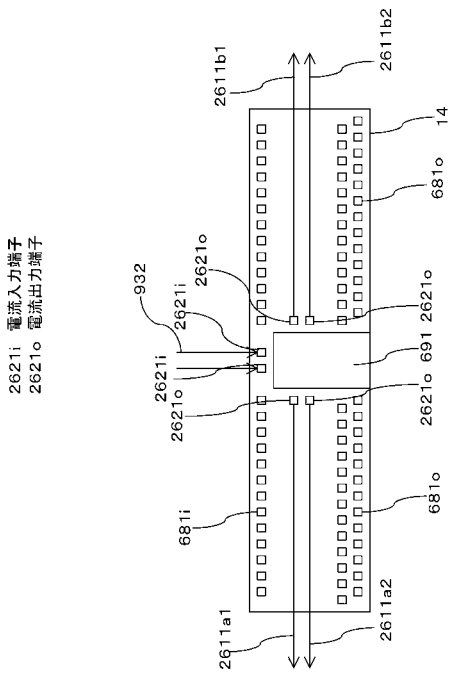
【図２６０】



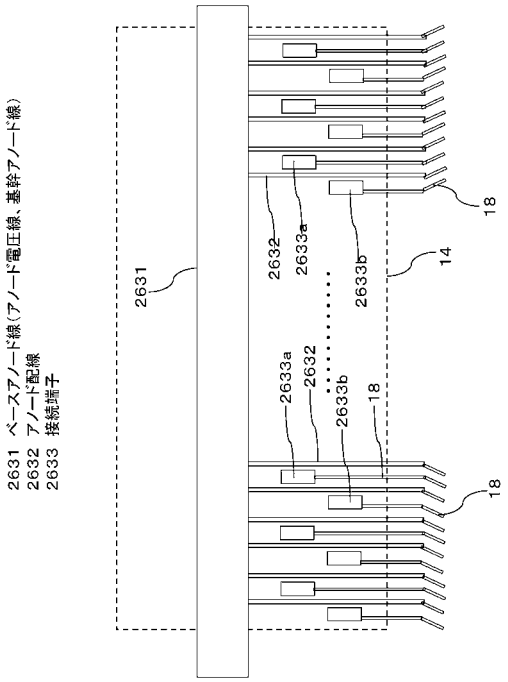
【図２６１】



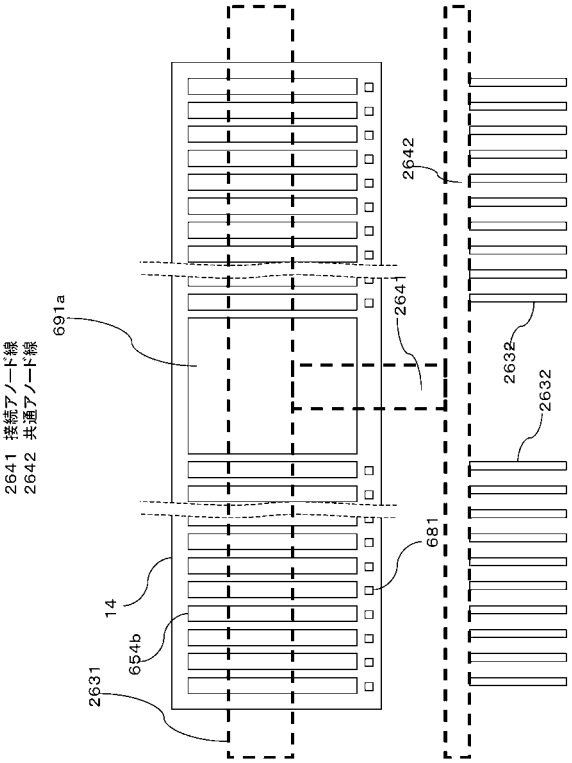
【図２６２】



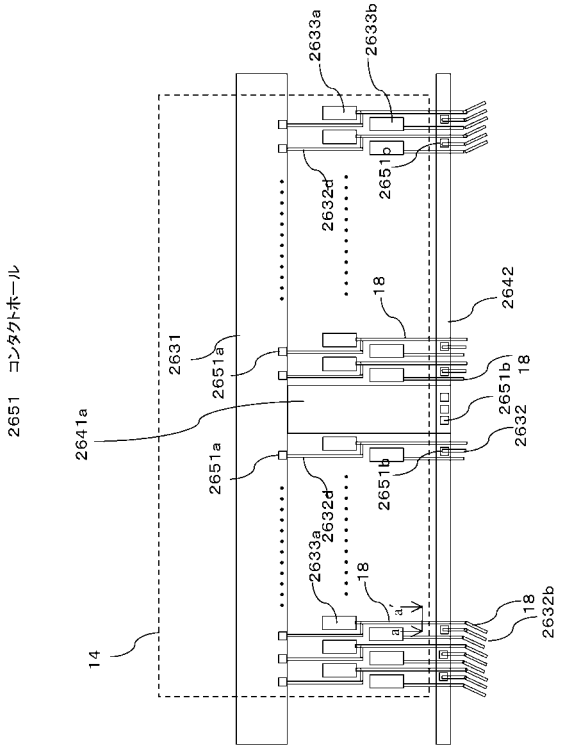
【図２６３】



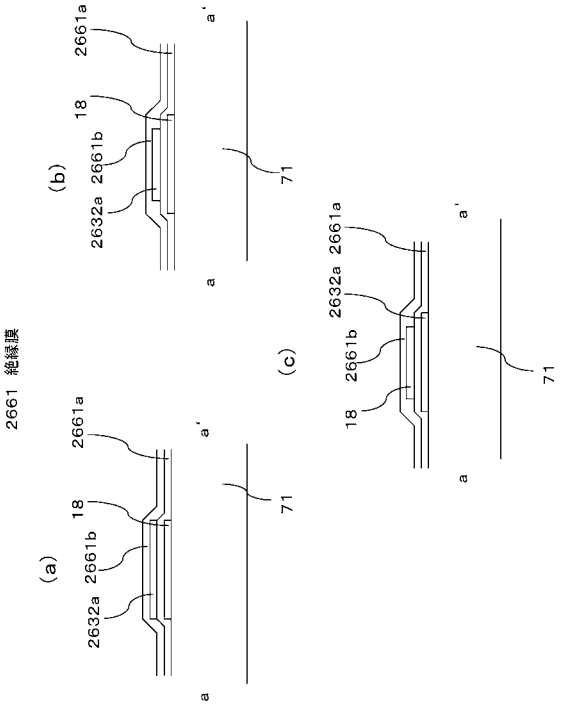
【図２６４】



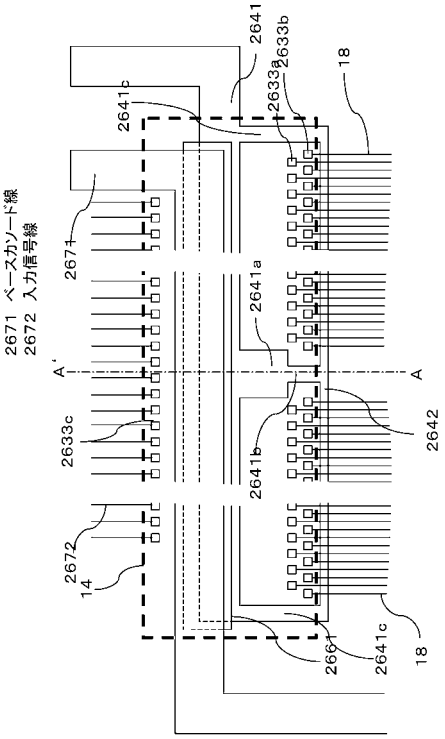
【図２６５】



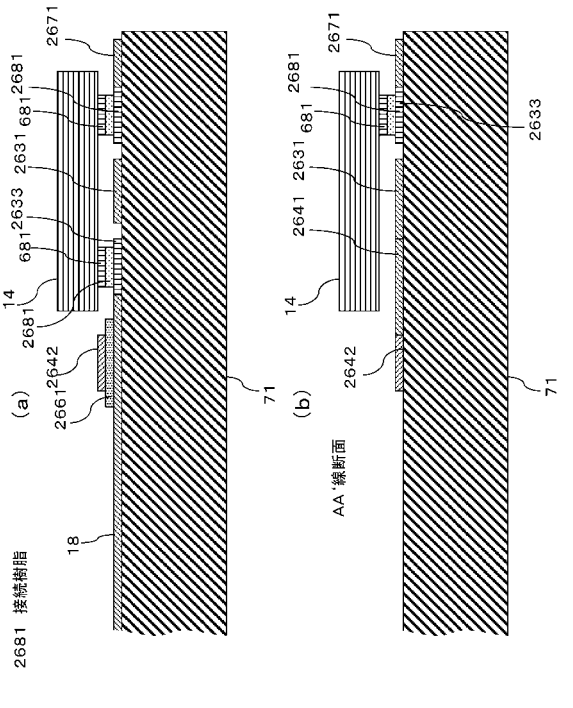
【図２６６】



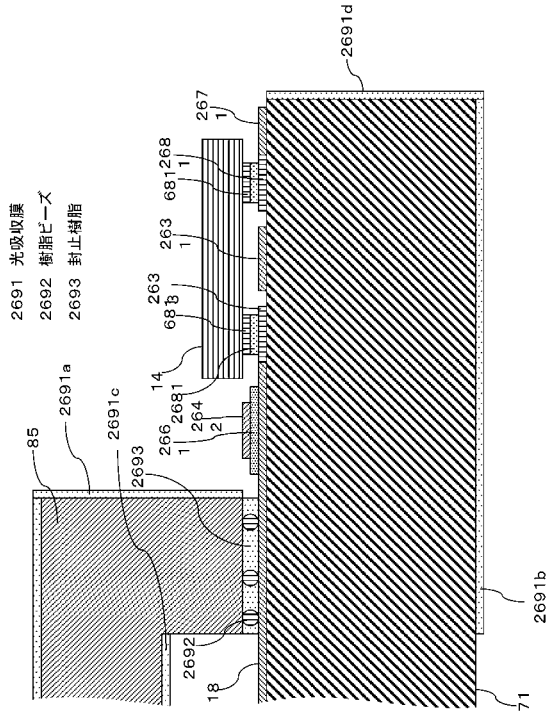
【図２６７】



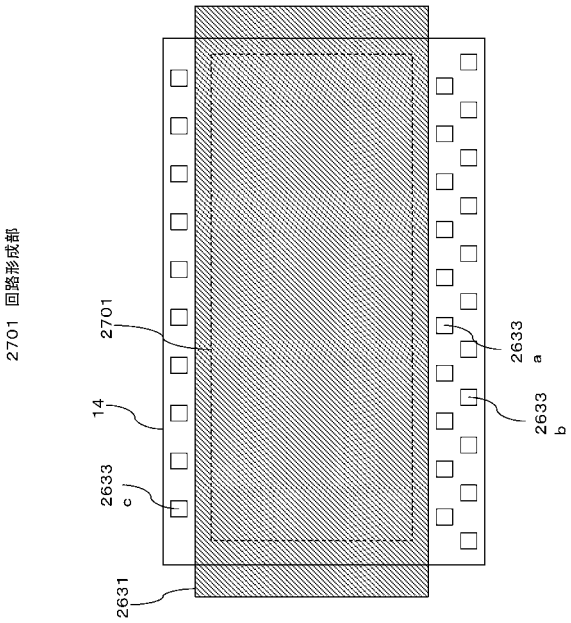
【図２６８】



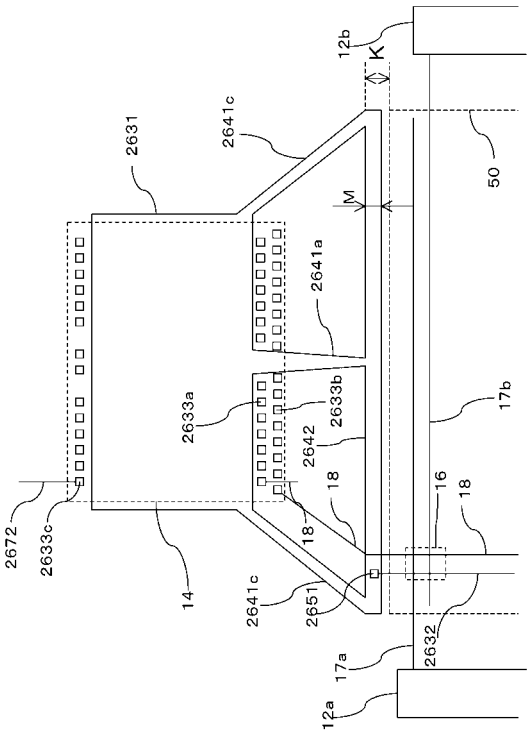
【図２６９】



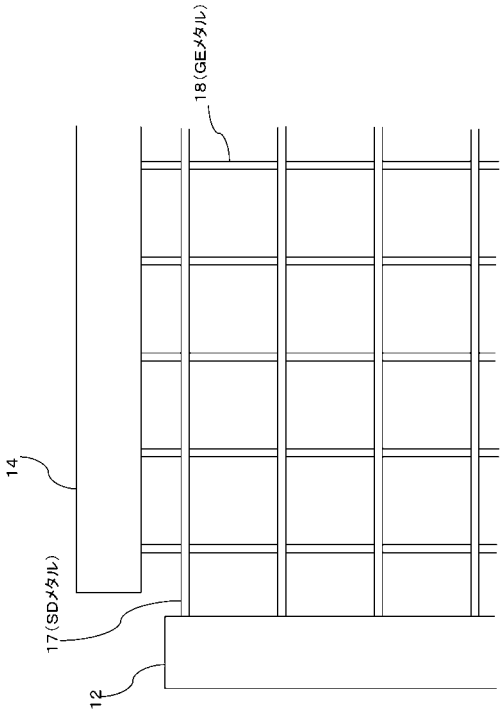
【図２７０】



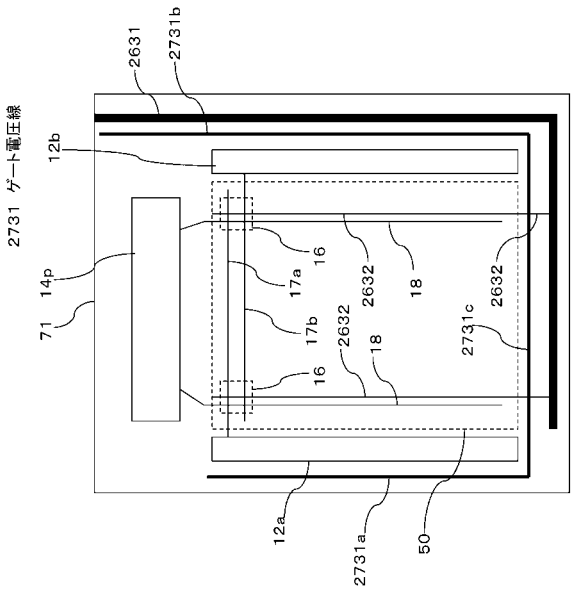
【図２７１】



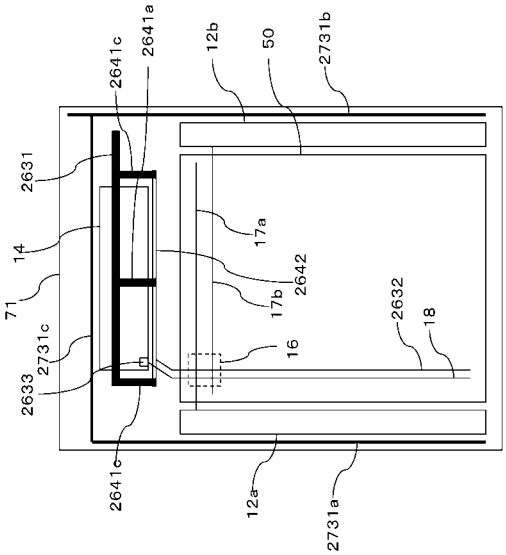
【図２７２】



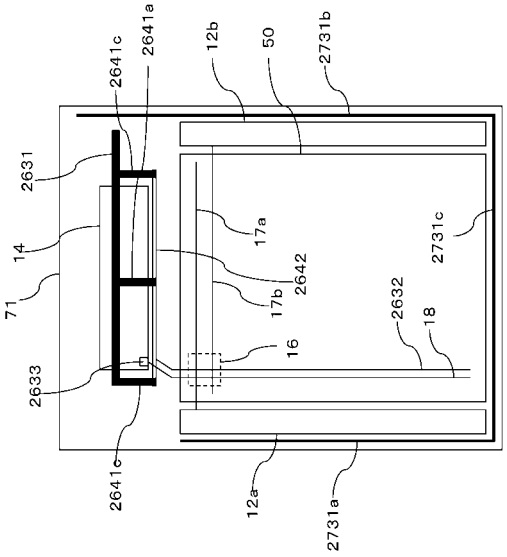
【図２７３】



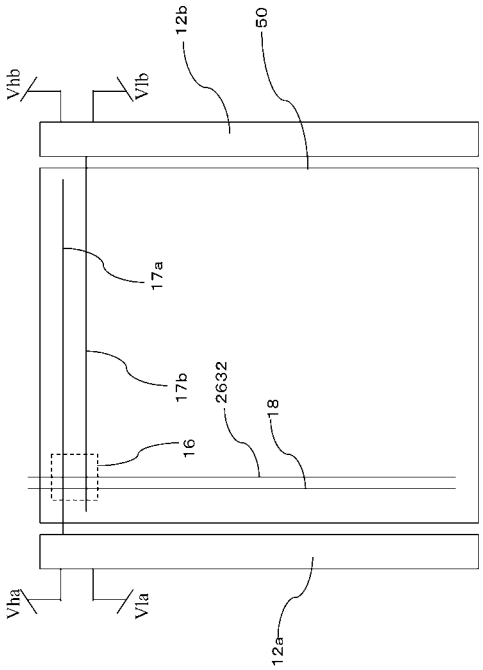
【図２７４】



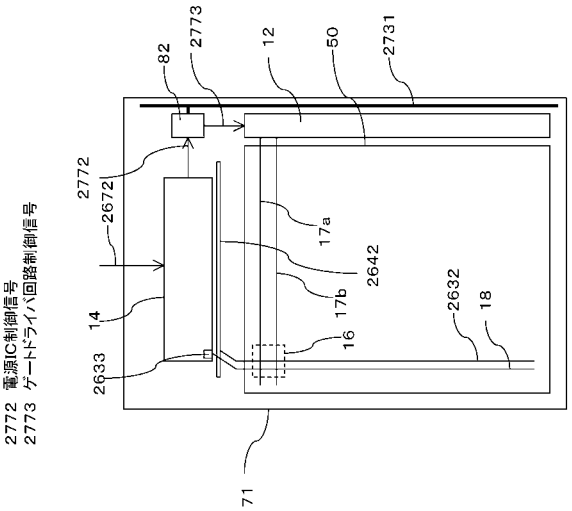
【図２７５】



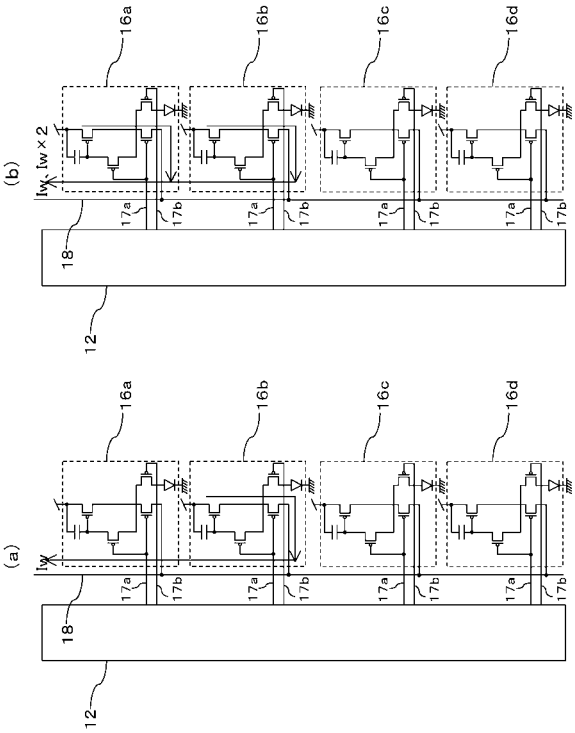
【図２７６】



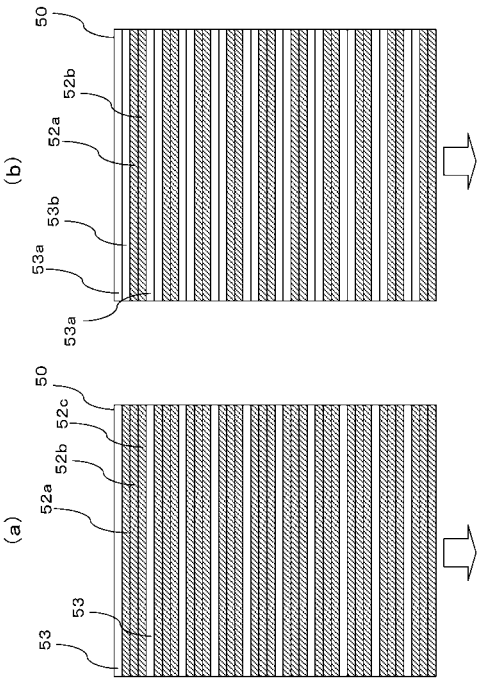
【図２７７】



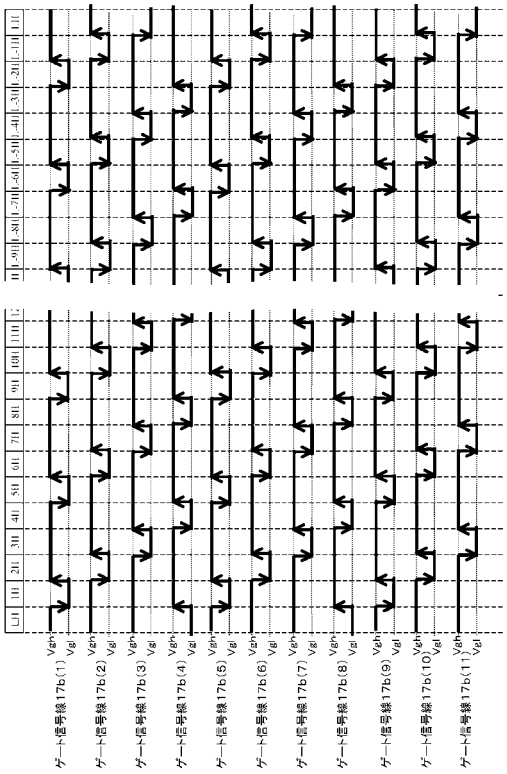
【図２７８】



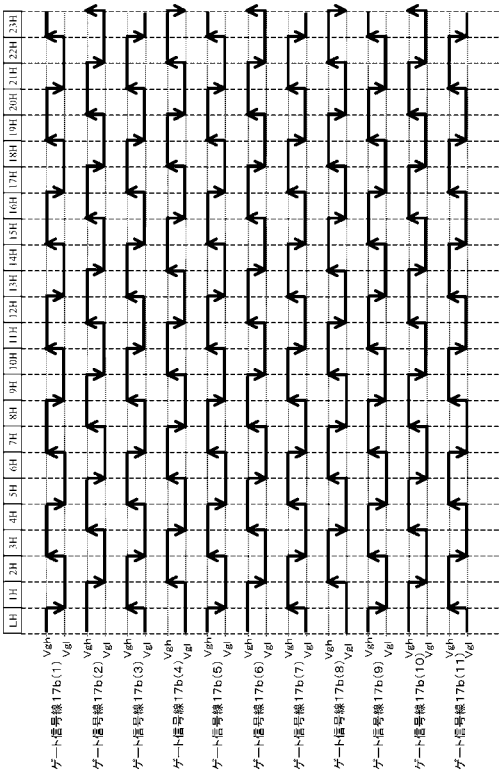
【図２７９】



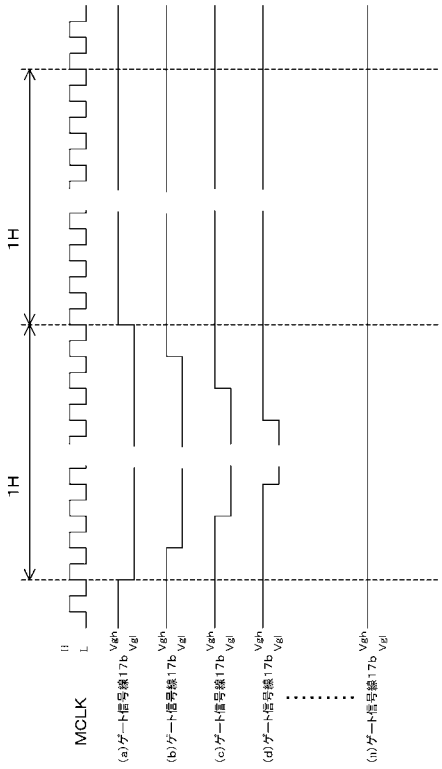
【図２８０】



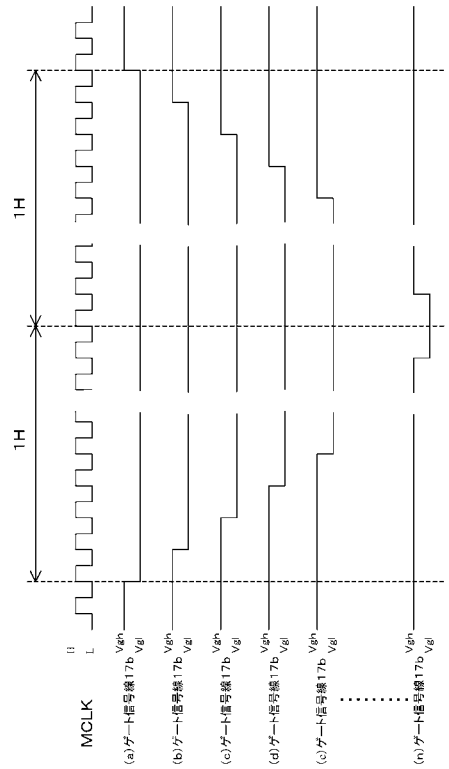
【図２８１】



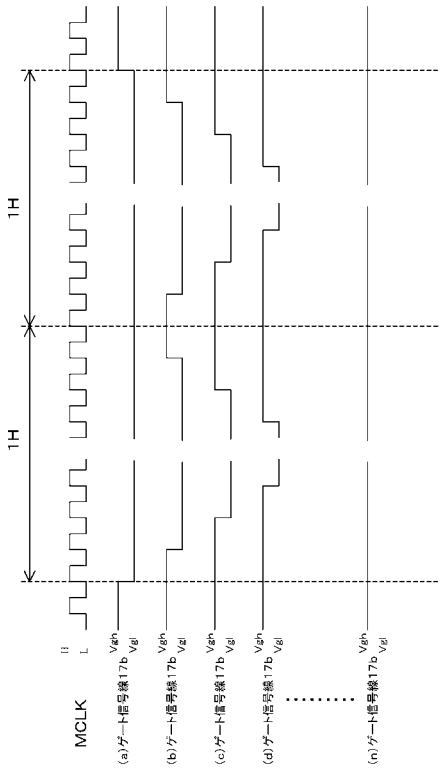
【図２８２】



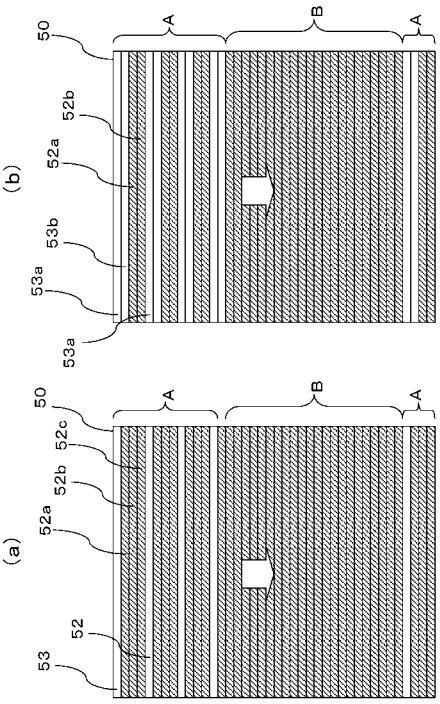
【図２８３】



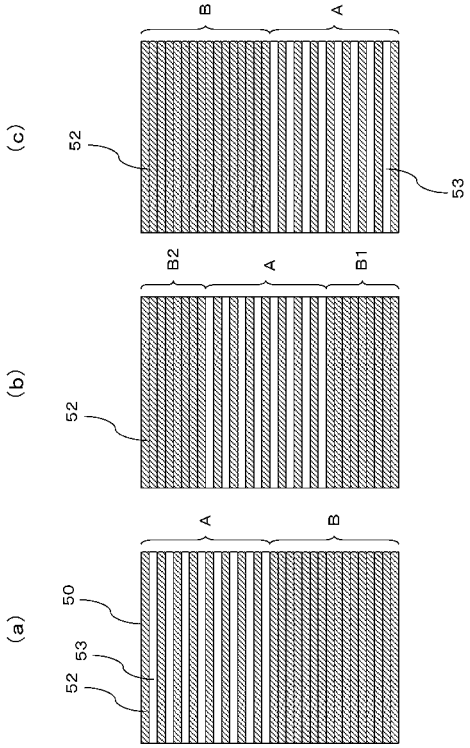
【図２８４】



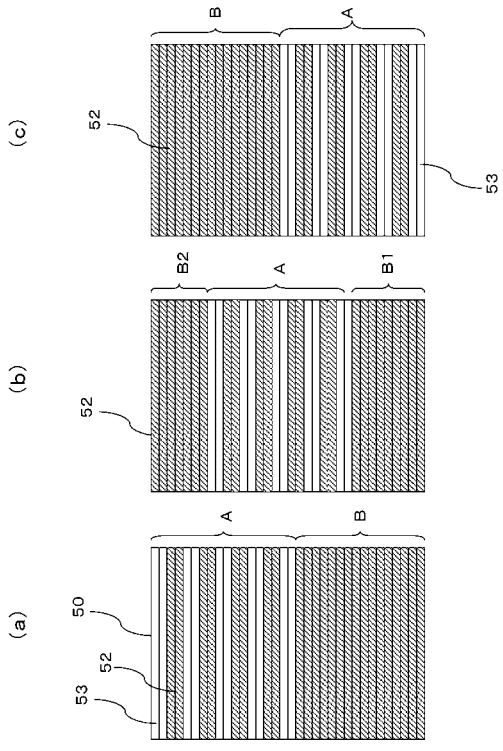
【図２８５】



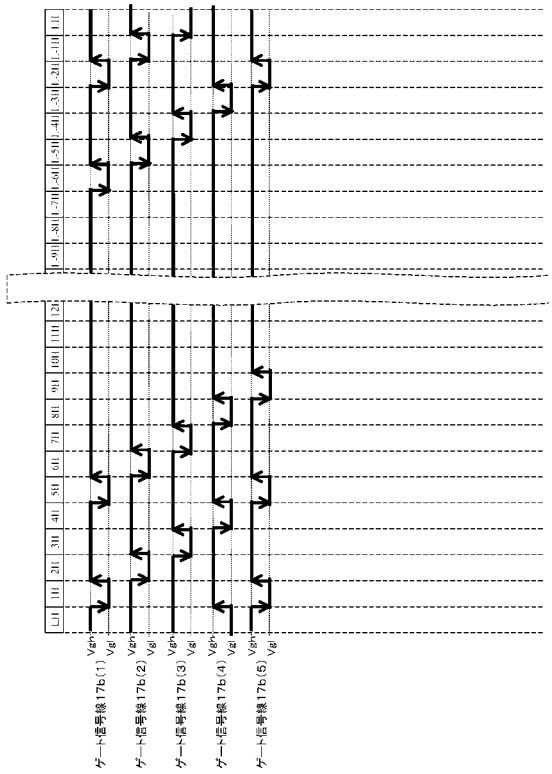
【図２８６】



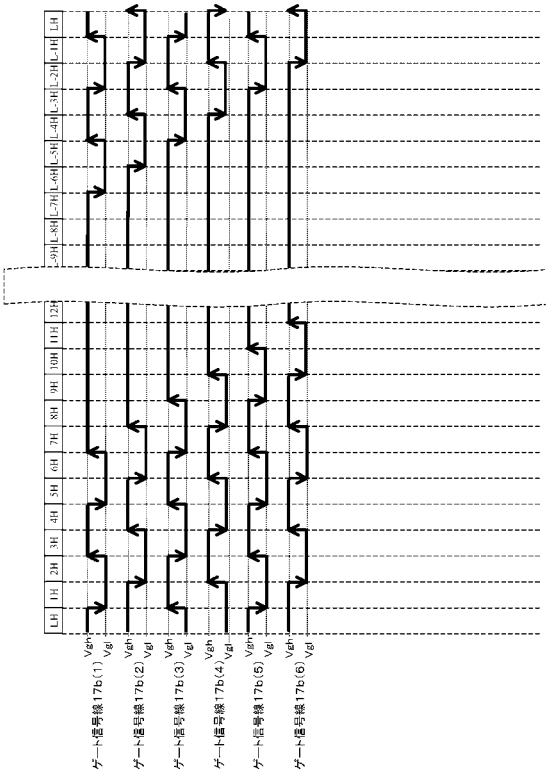
【図２８７】



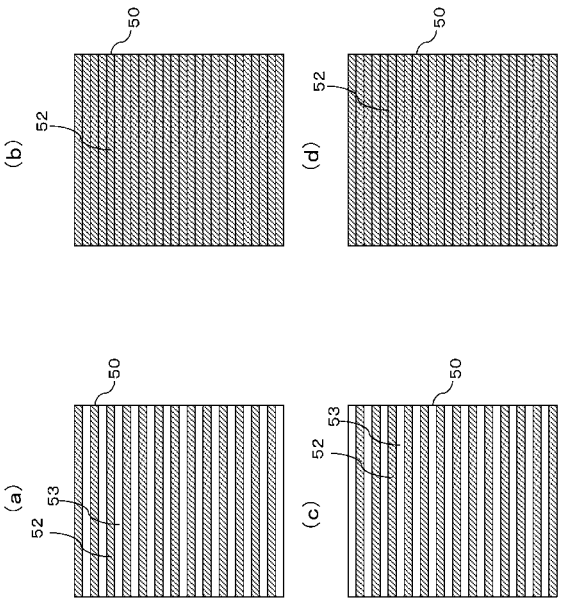
【図２８８】



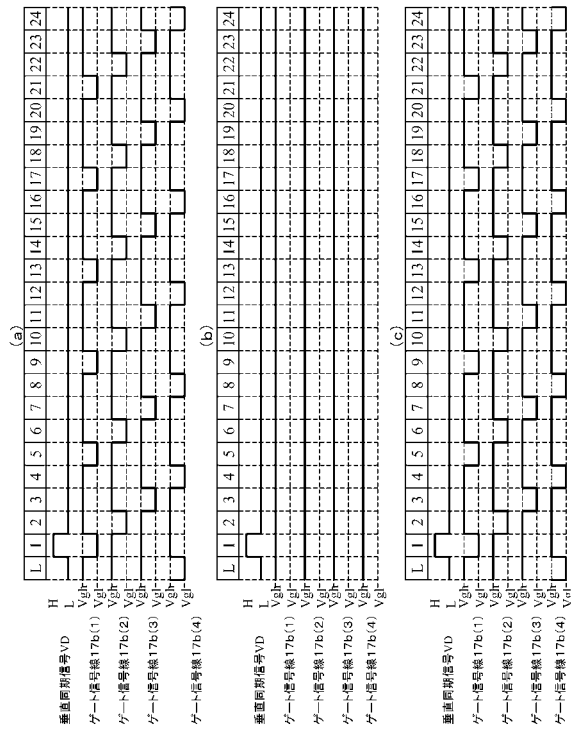
【図２８９】



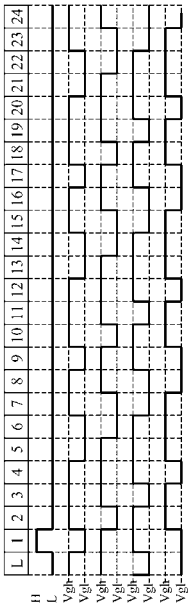
【図２９０】



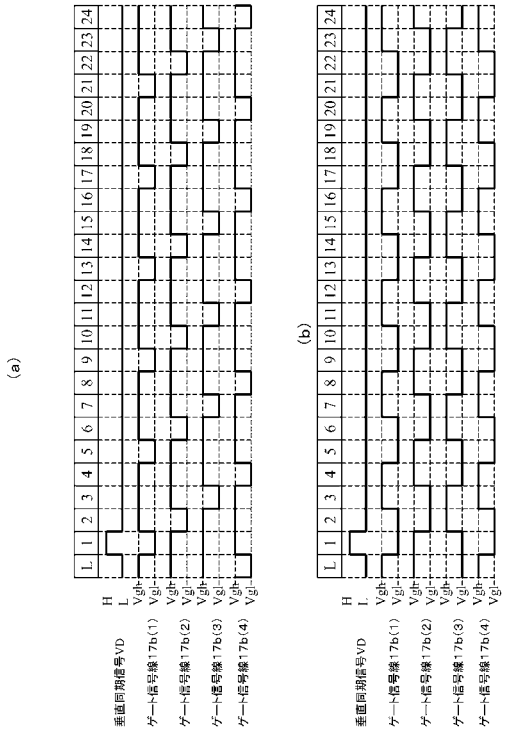
【図２９１】



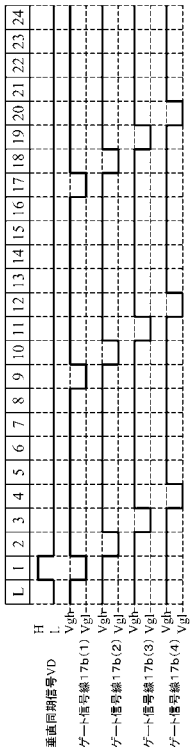
【図２９２】



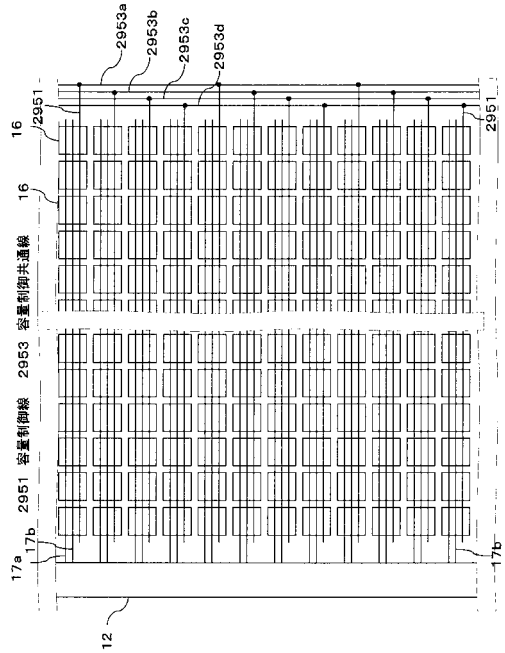
【図２９３】



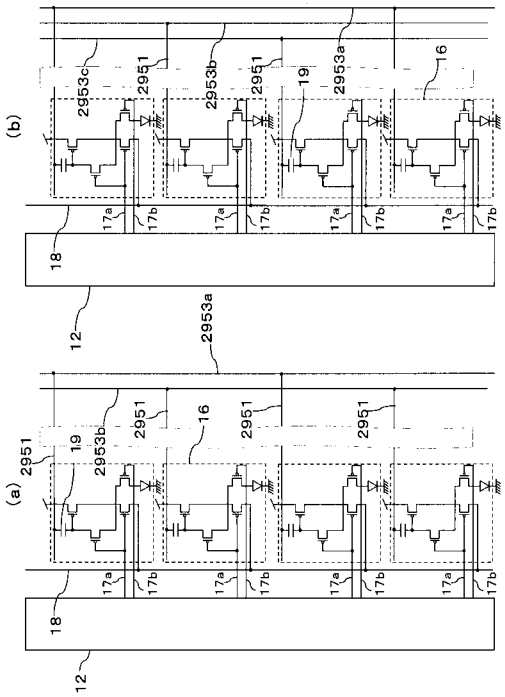
【図２９４】



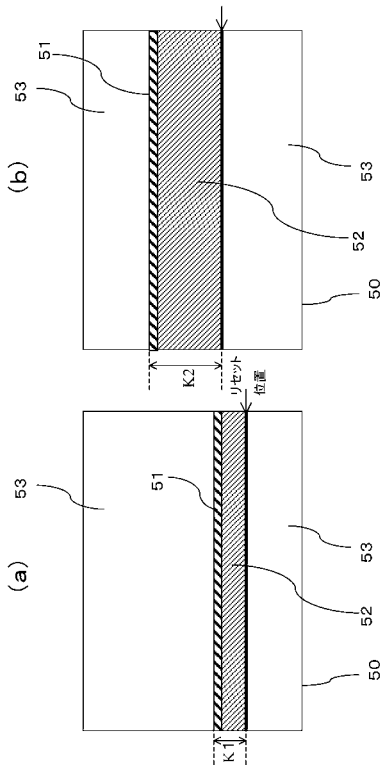
【図２９５】



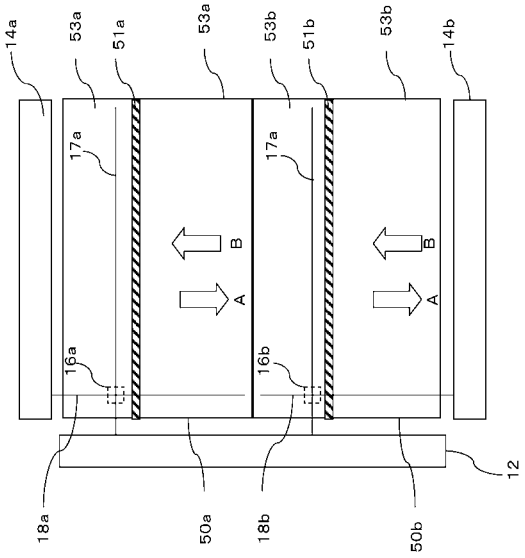
【図２９６】



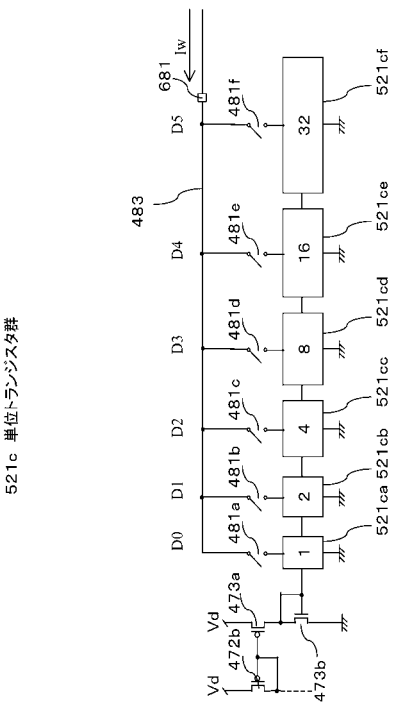
【図２９７】



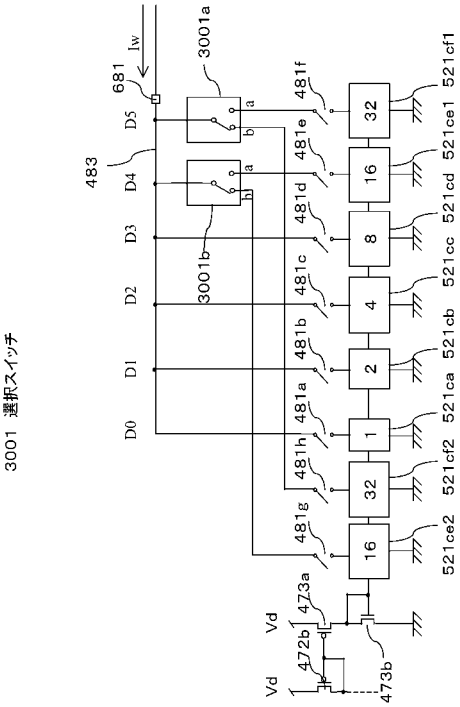
【図２９８】



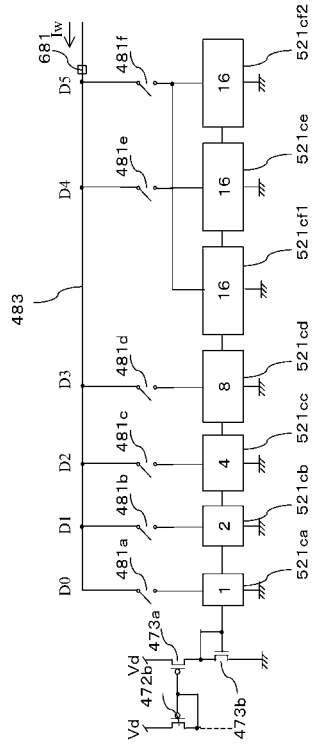
【図２９９】



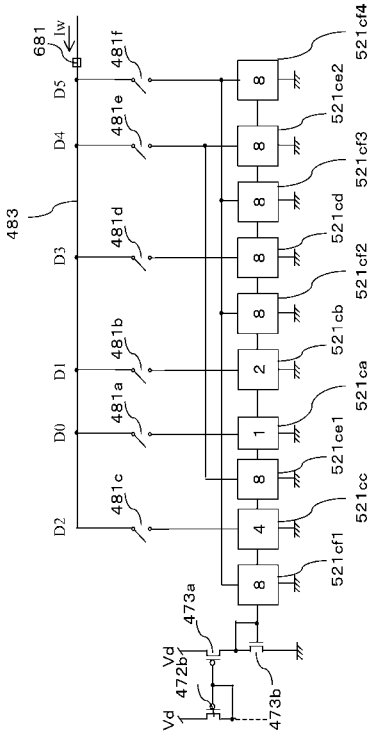
【図３００】



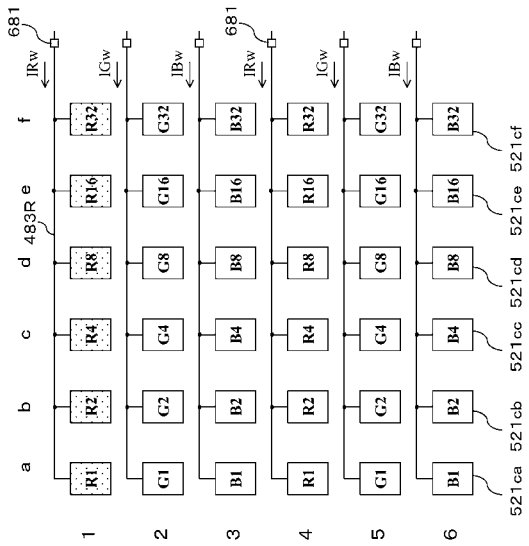
【図３０１】



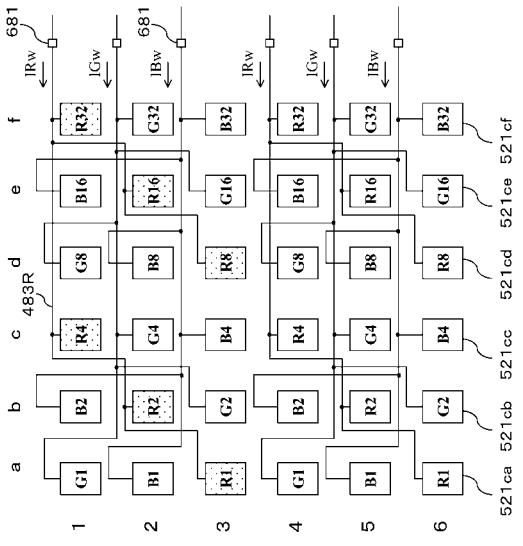
【図３０２】



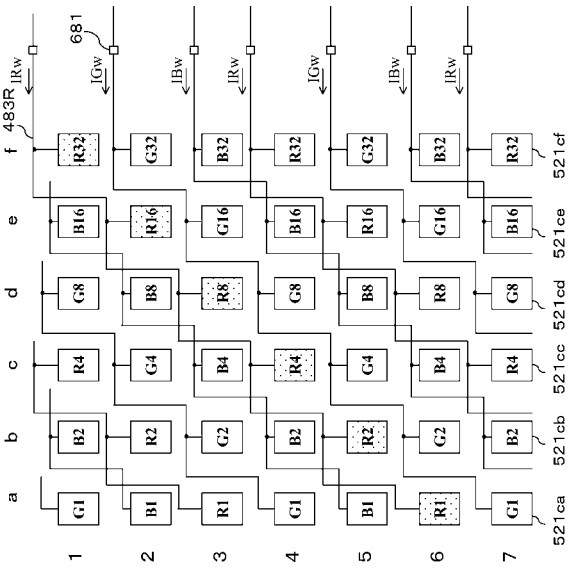
【図３０３】



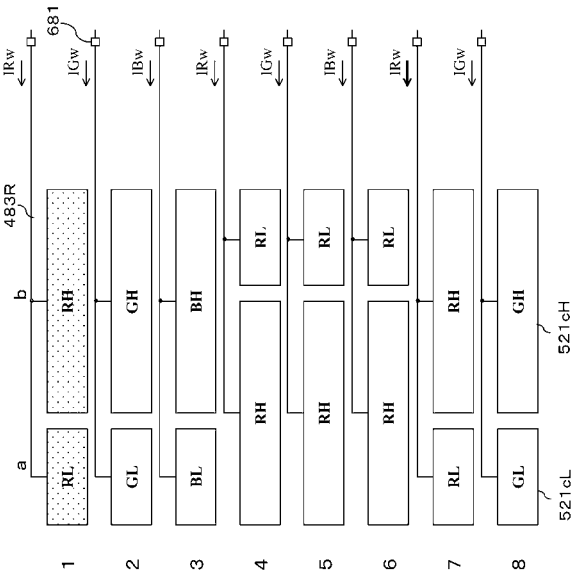
【図３０４】



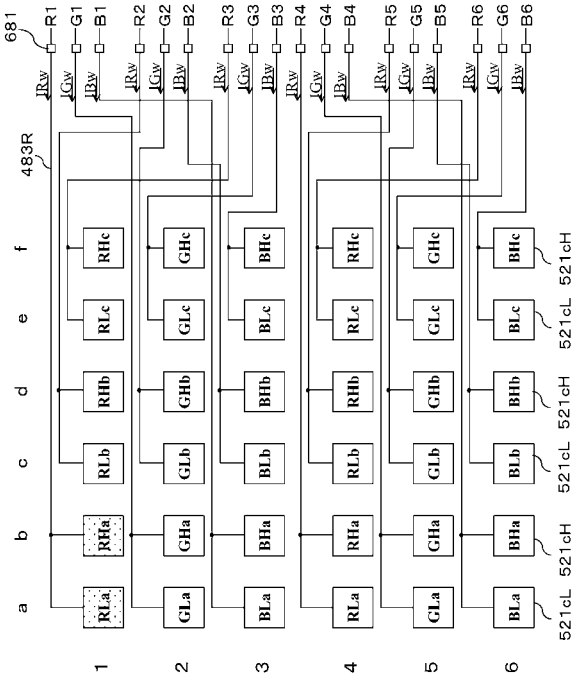
【図３０５】



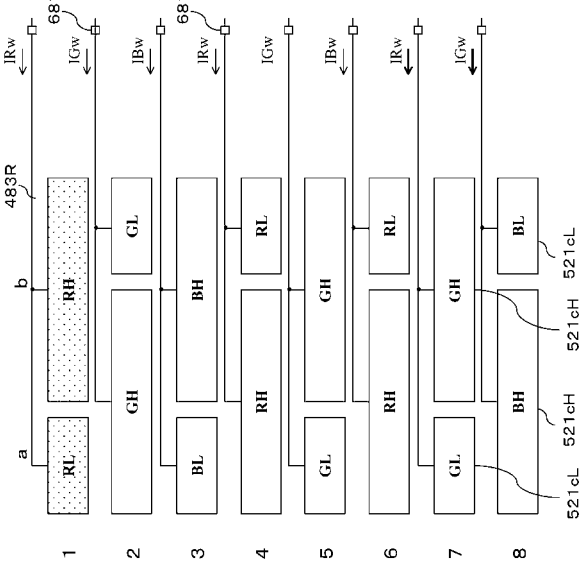
【図３０６】



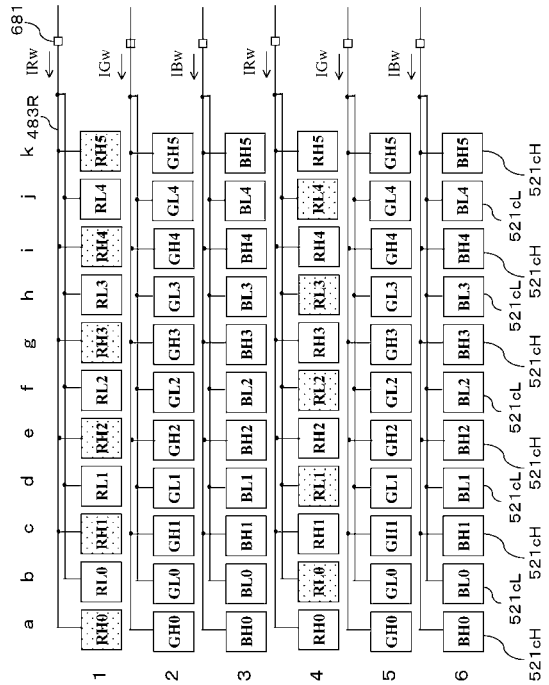
【図３０７】



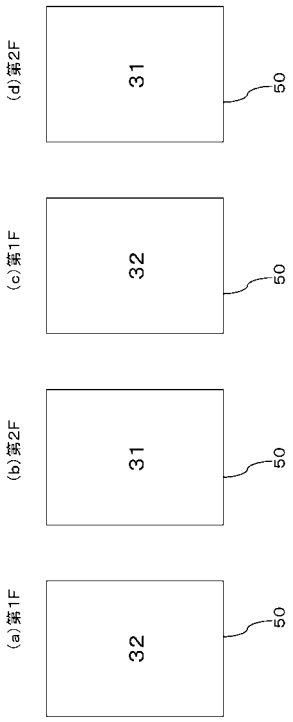
【図３０８】



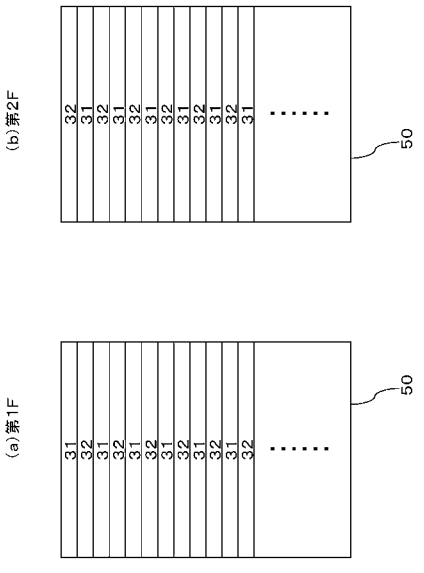
【図３０９】



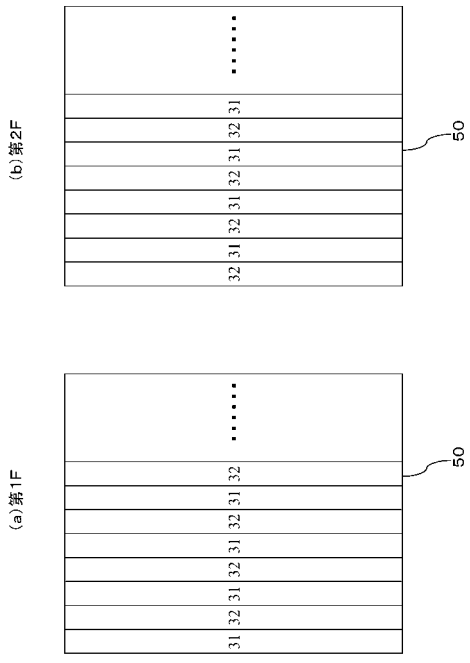
【図３１０】



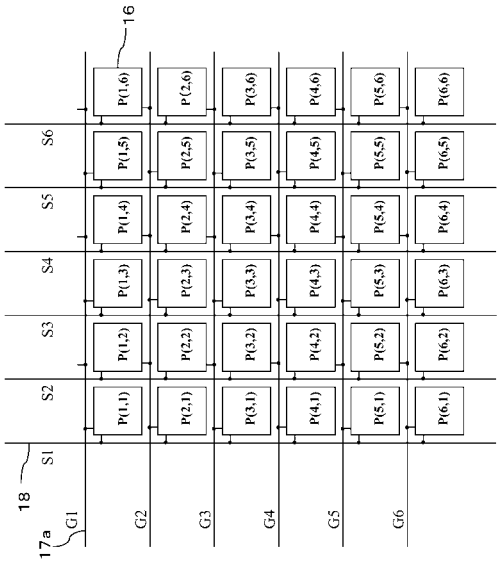
【図３１１】



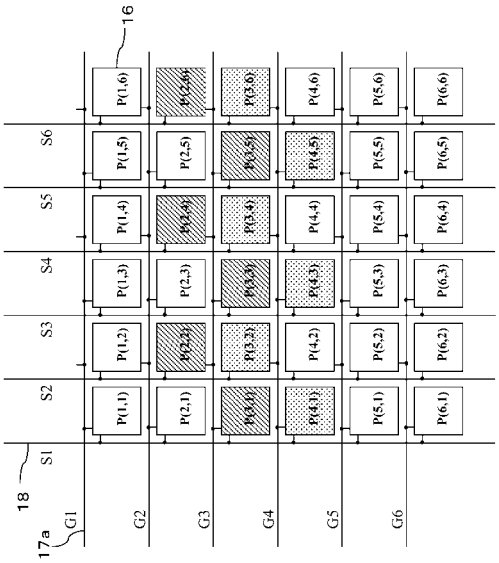
【図３１２】



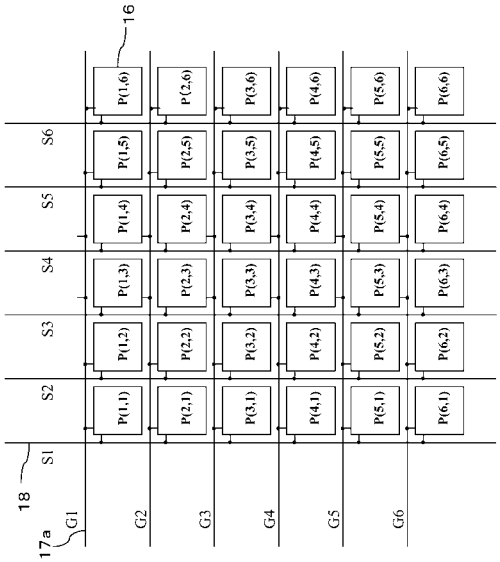
【図３１３】



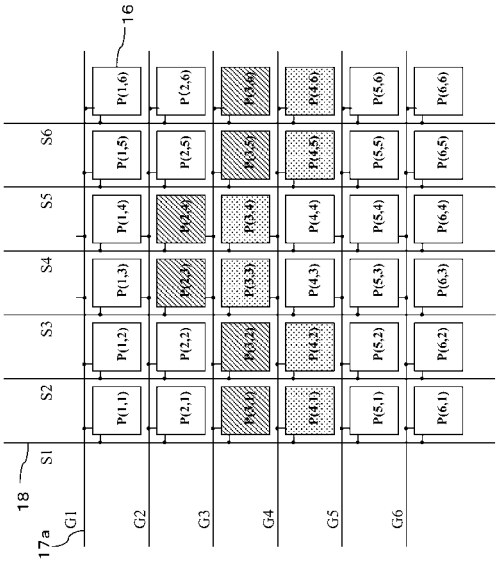
【図３１４】



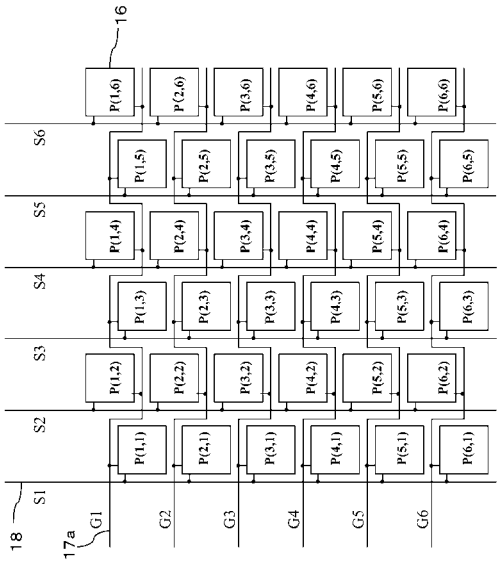
【図３１５】



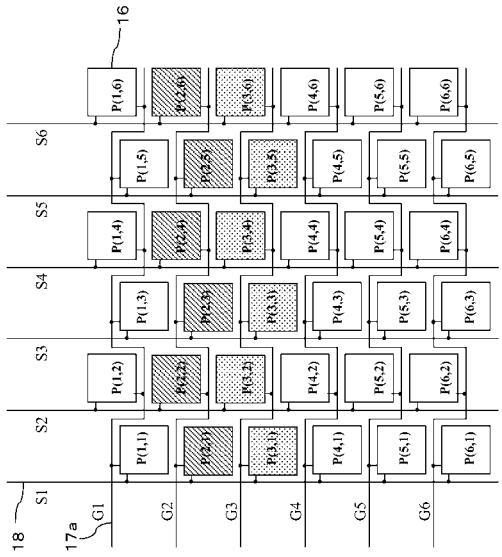
【図３１６】



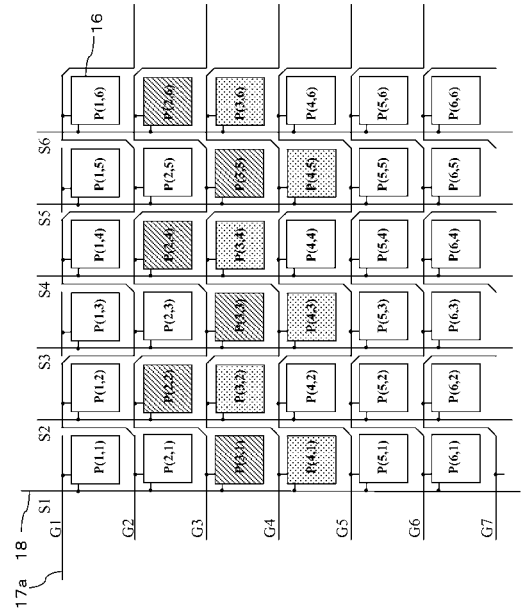
【図３１７】



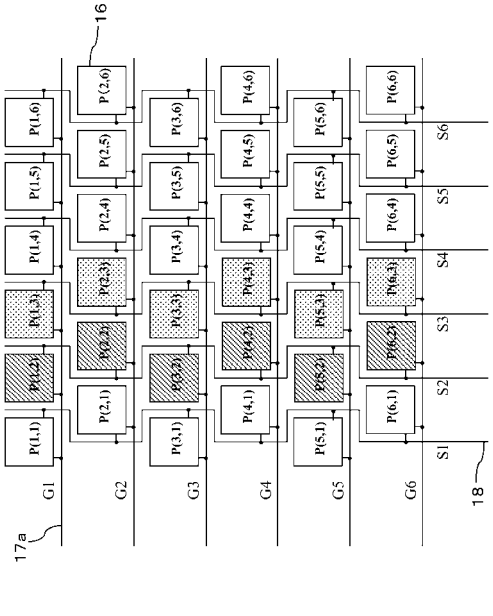
【図３１８】



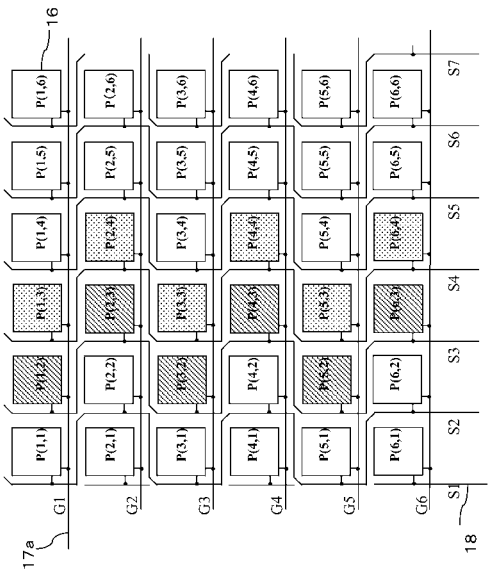
【図３１９】



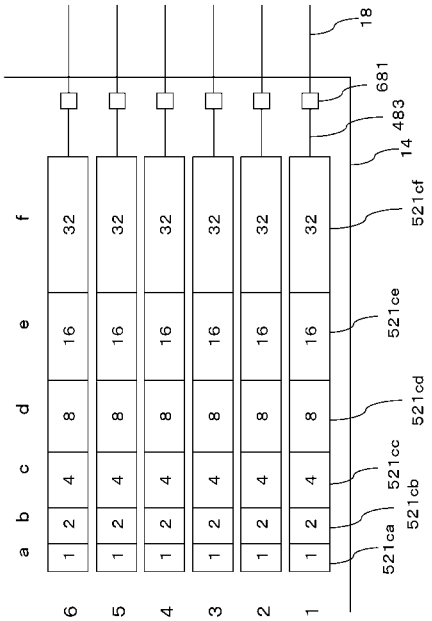
【図３２０】



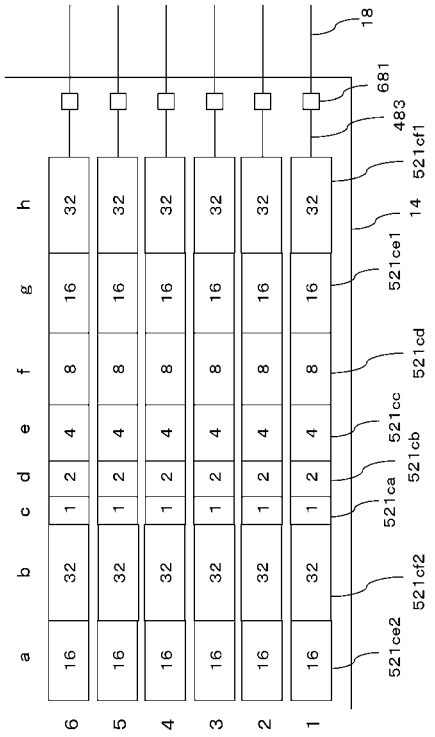
【図３２１】



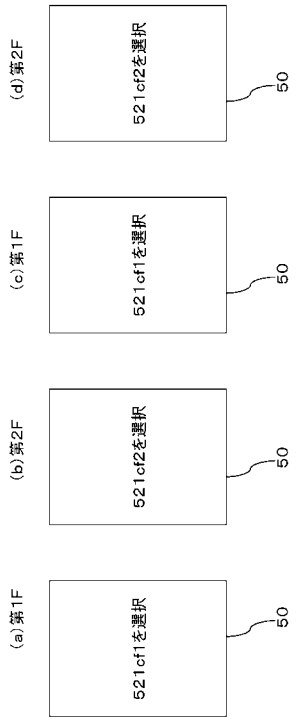
【図３２２】



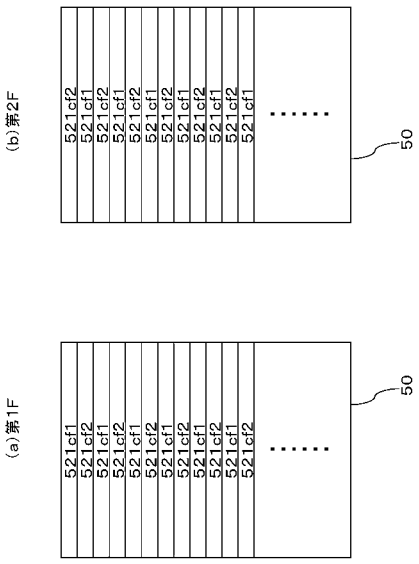
【図３２３】



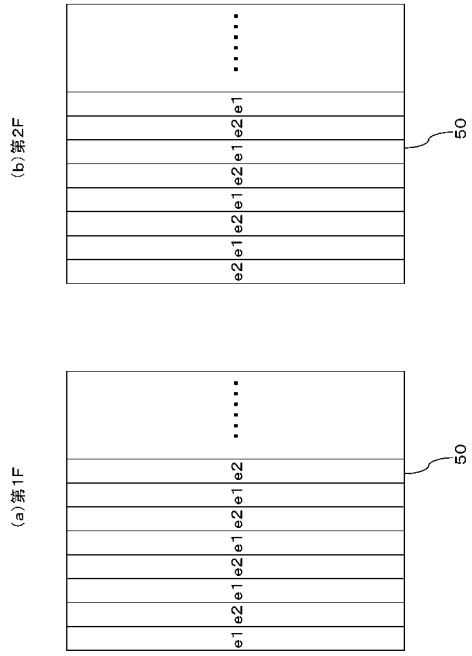
【図３２４】



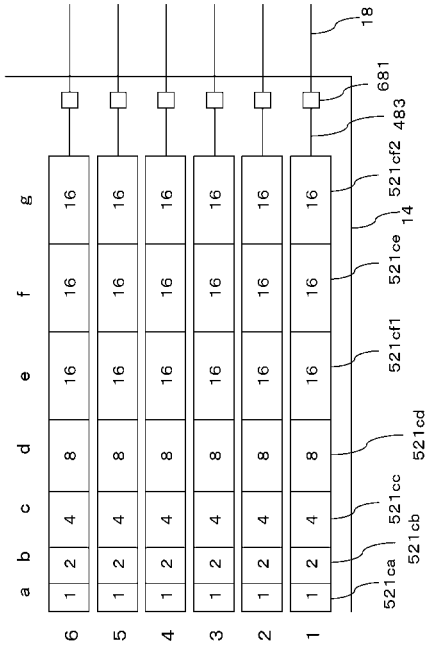
【図３２５】



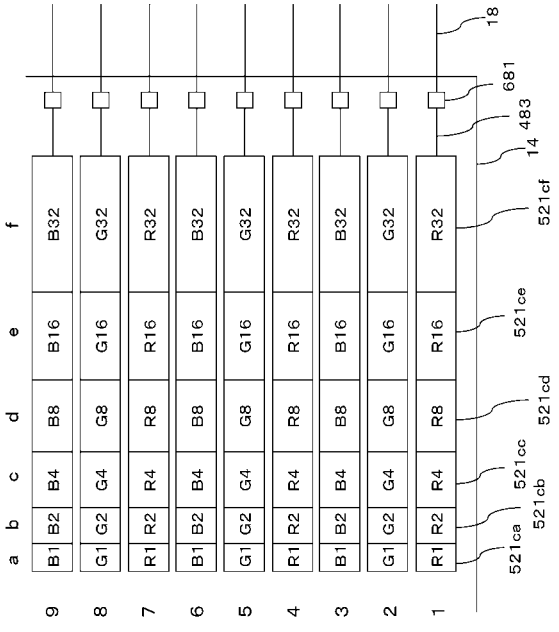
【図３２６】



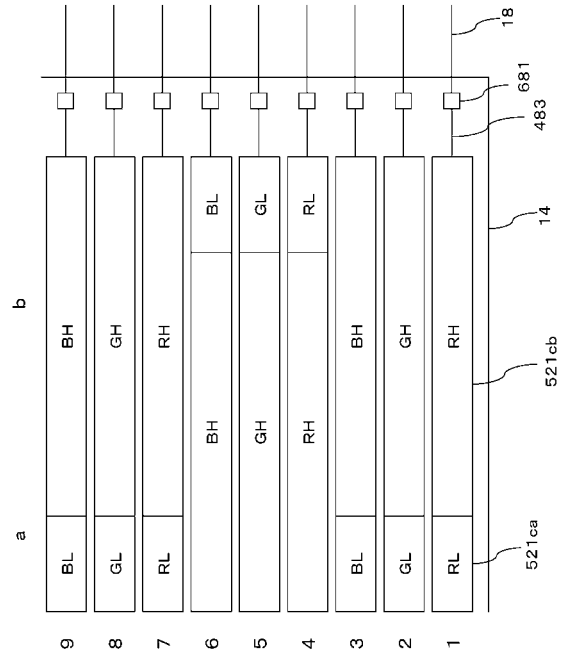
【図３２７】



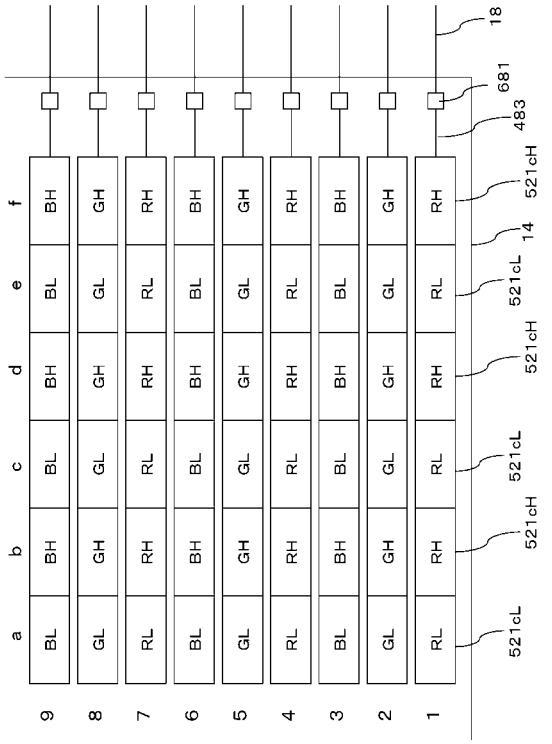
【図３２８】



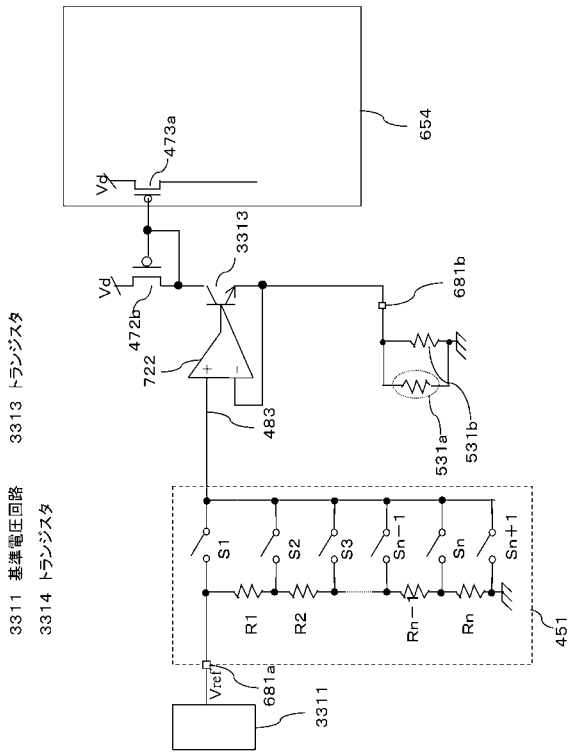
【図３２９】



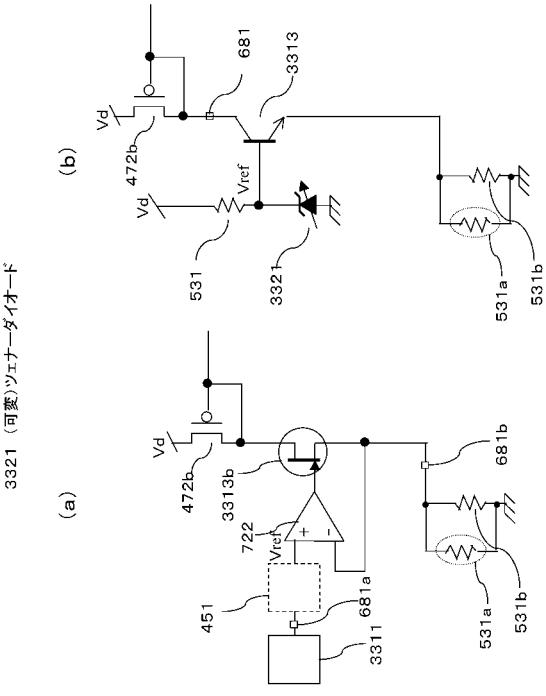
【図３３０】



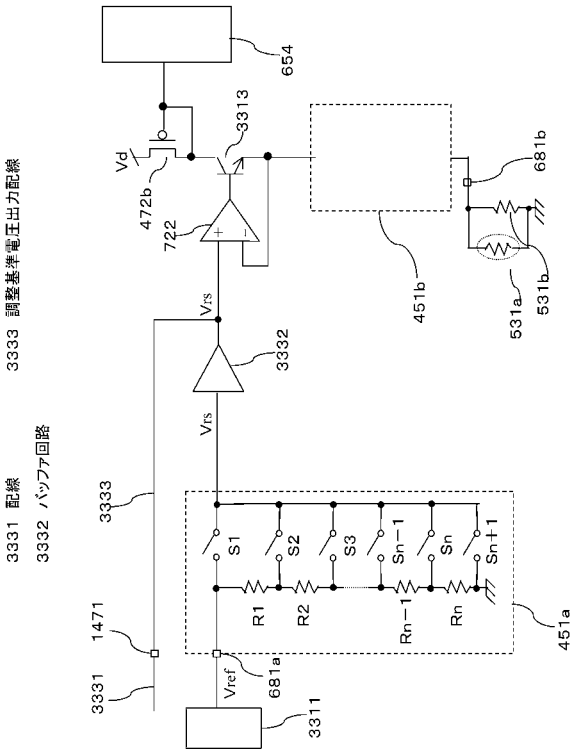
【図３３１】



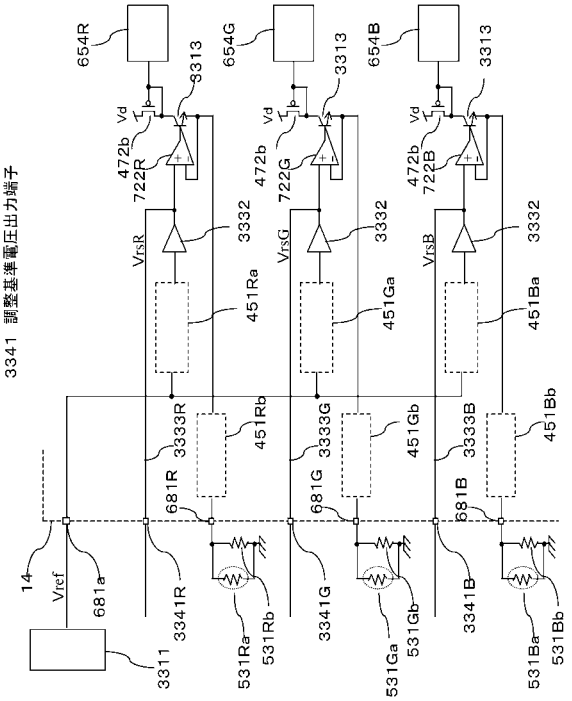
【図３３２】



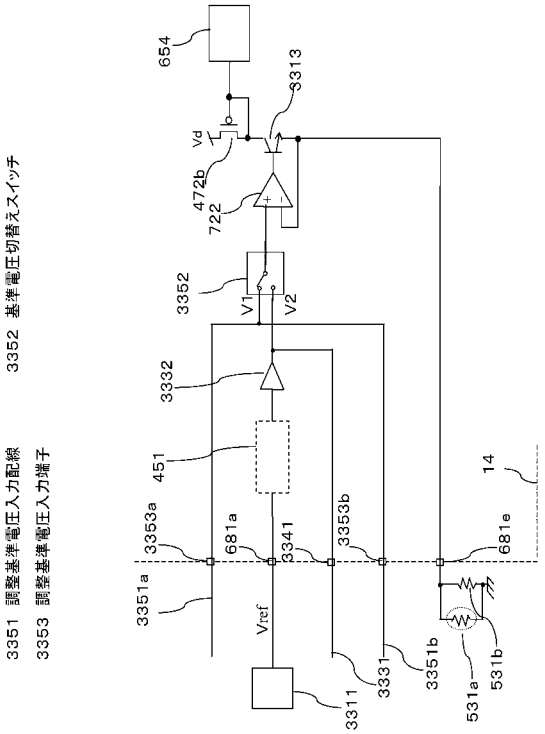
【図３３３】



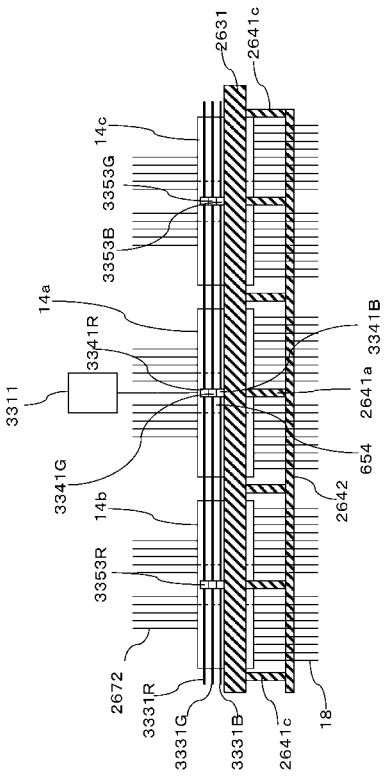
【図３３４】



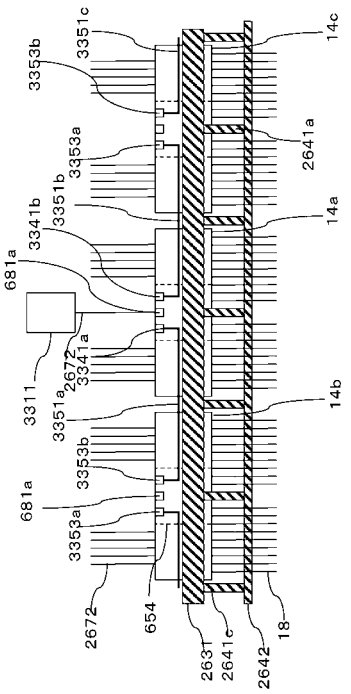
【図３３５】



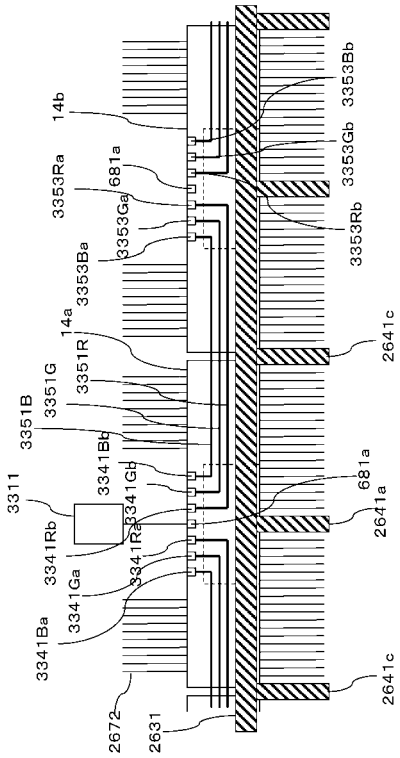
【図３３６】



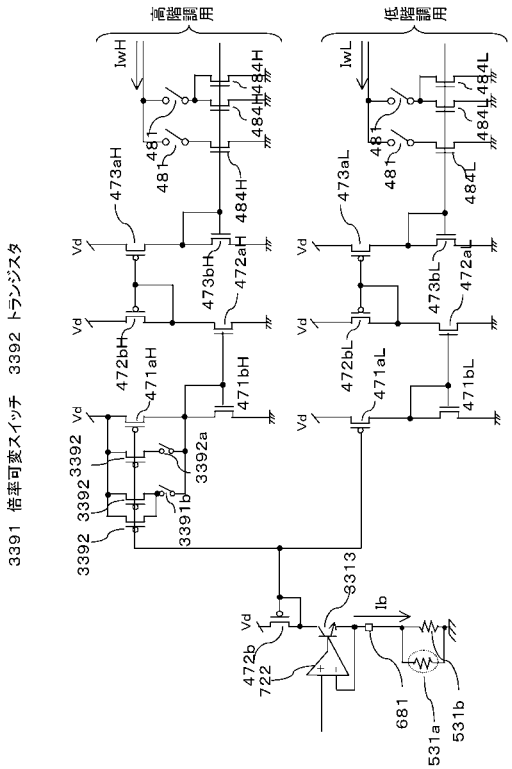
【図３３７】



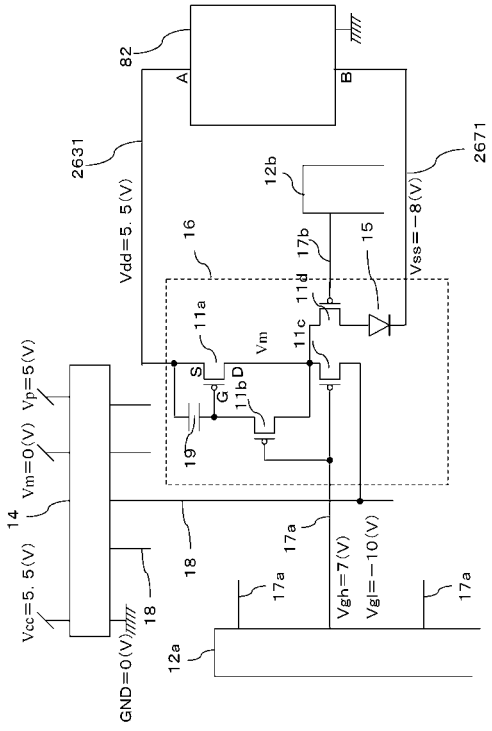
【図３３８】



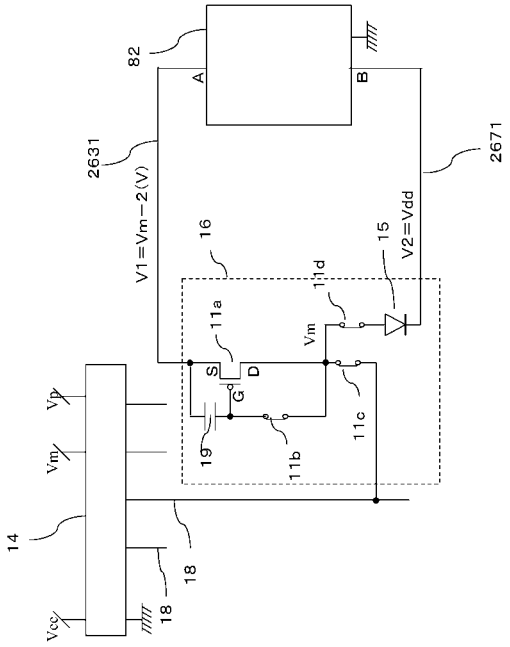
【図３３９】



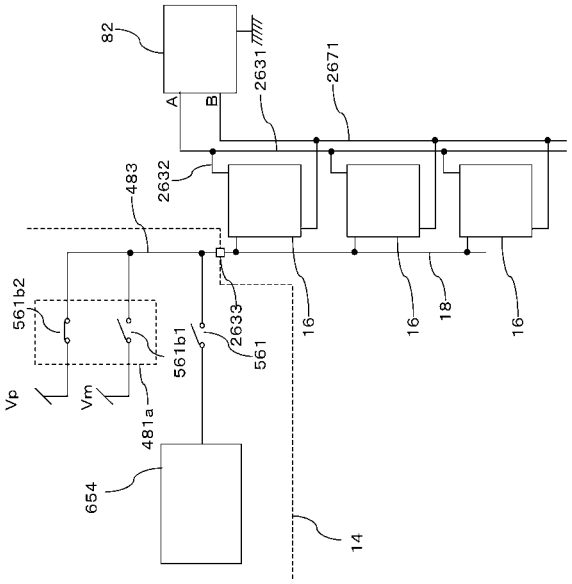
【図３４０】



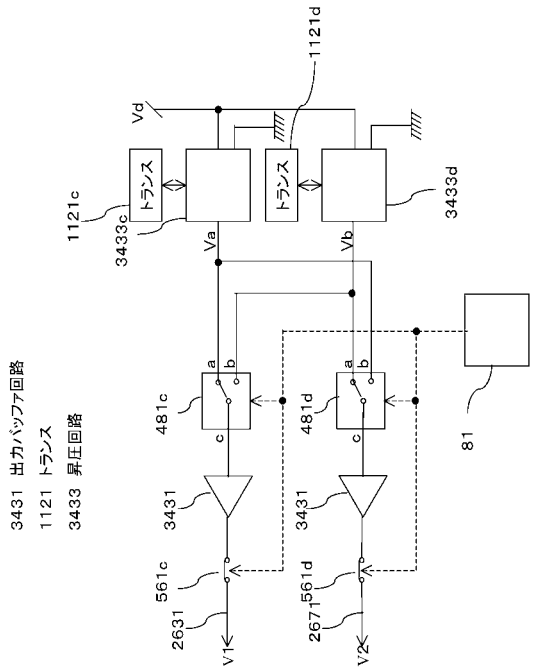
【図３４１】



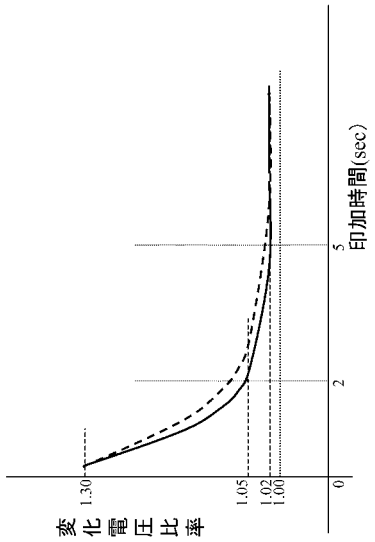
【図３４２】



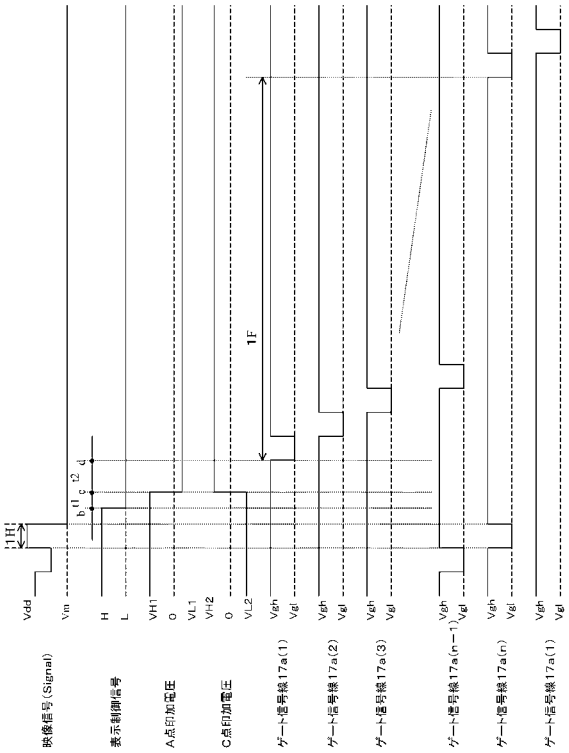
【図３４３】



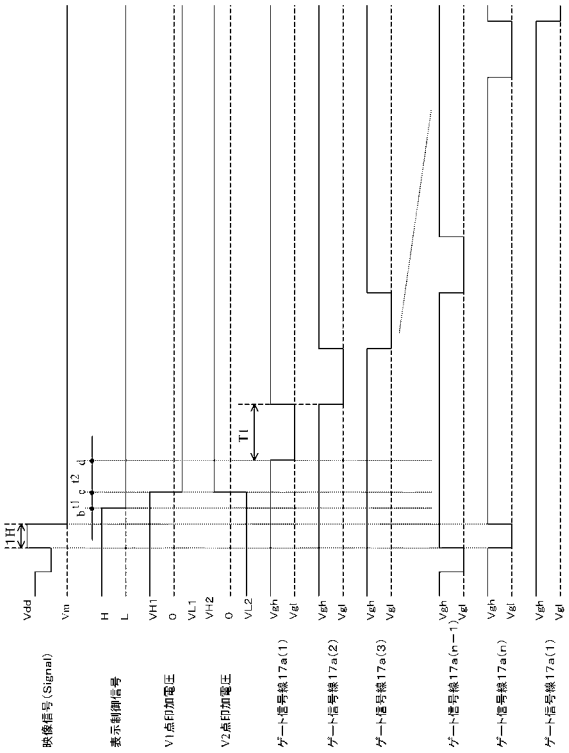
【図３４４】



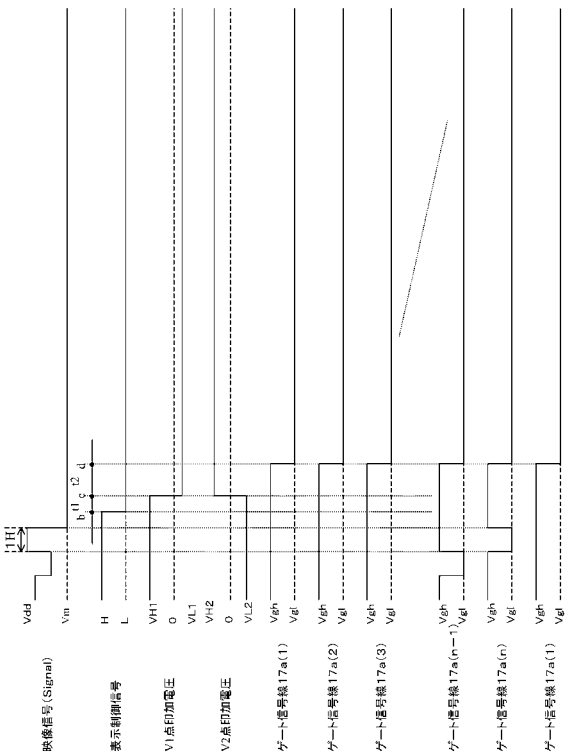
【図３４５】



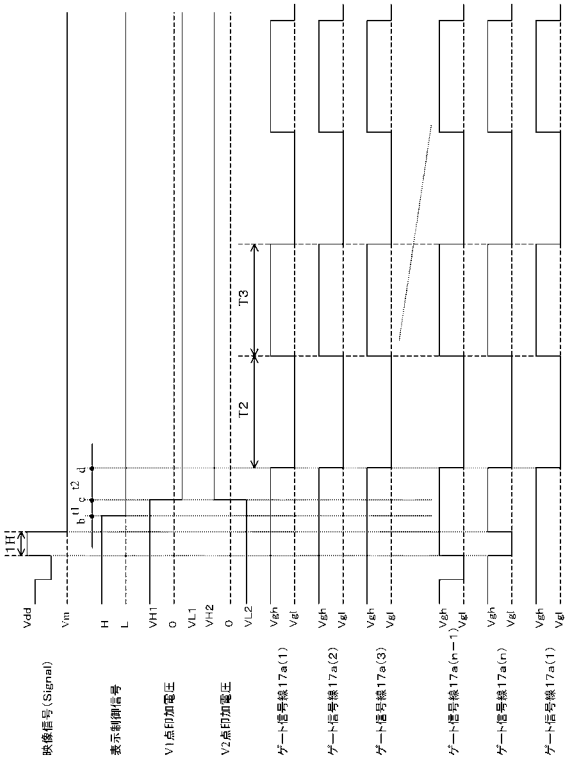
【図３４６】



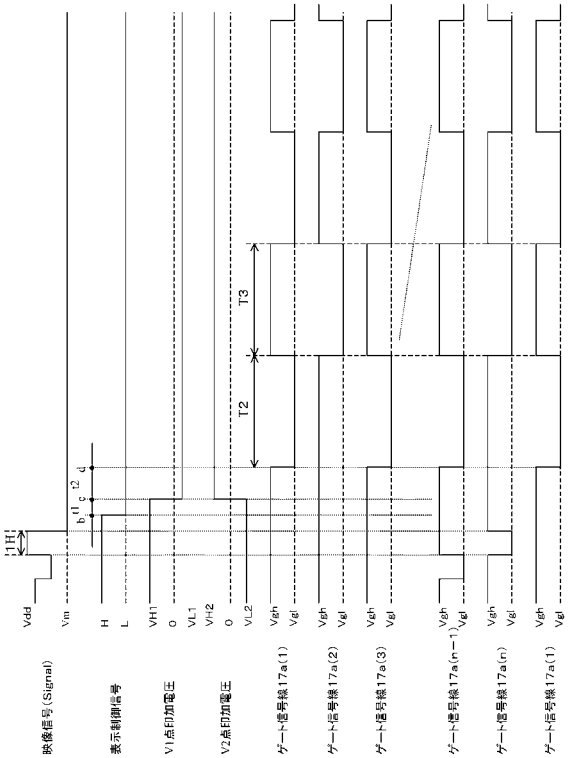
【図３４７】



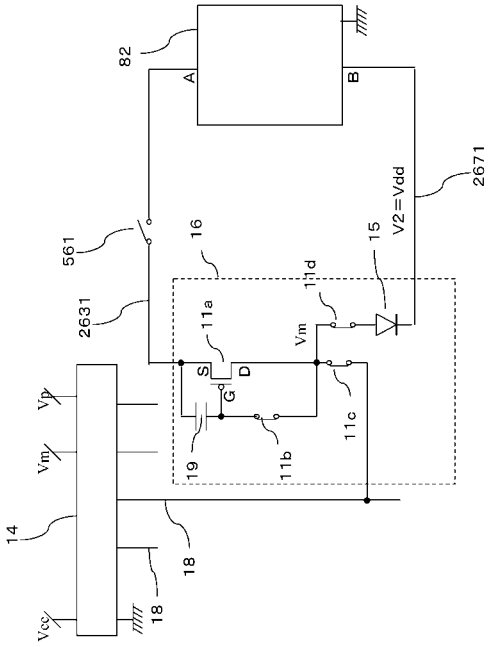
【図３４８】



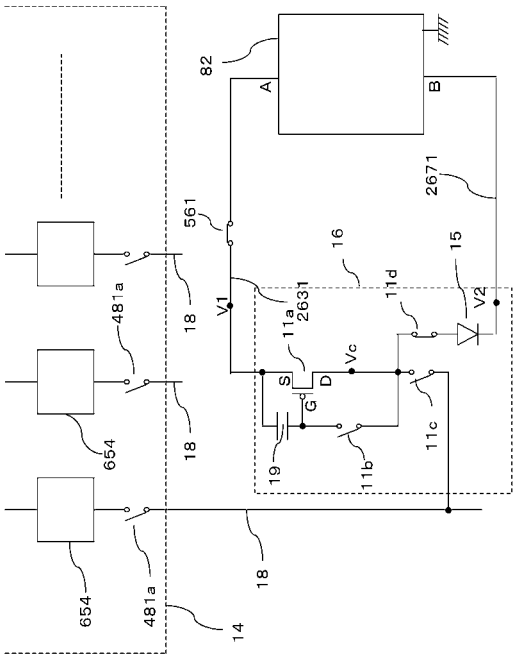
【図３４９】



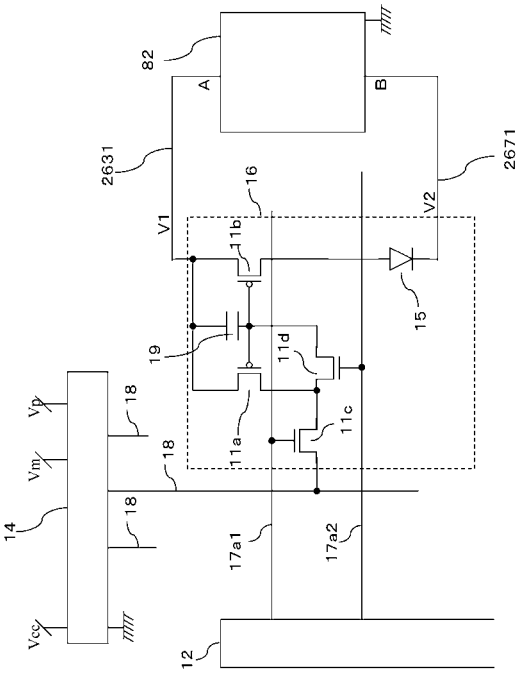
【図３５０】



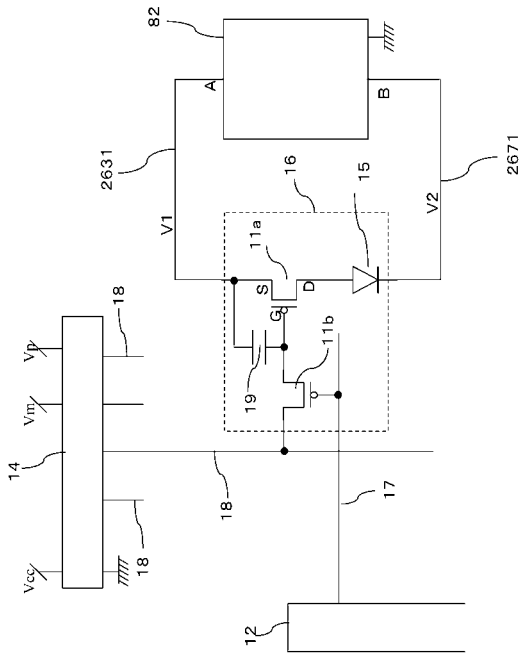
【図３５１】



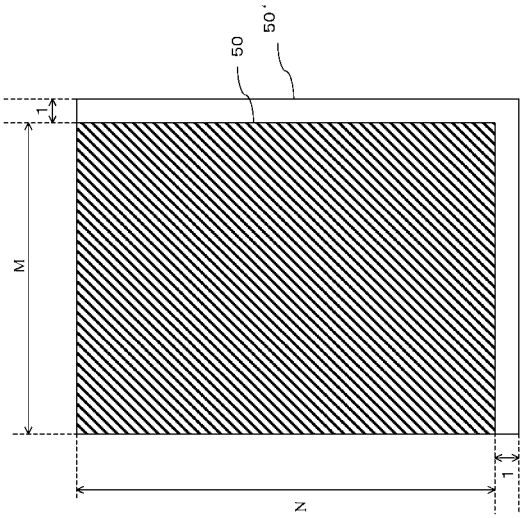
【図３５２】



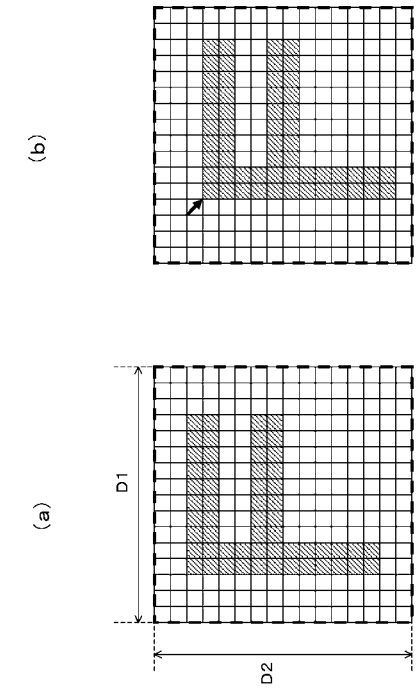
【図３５３】



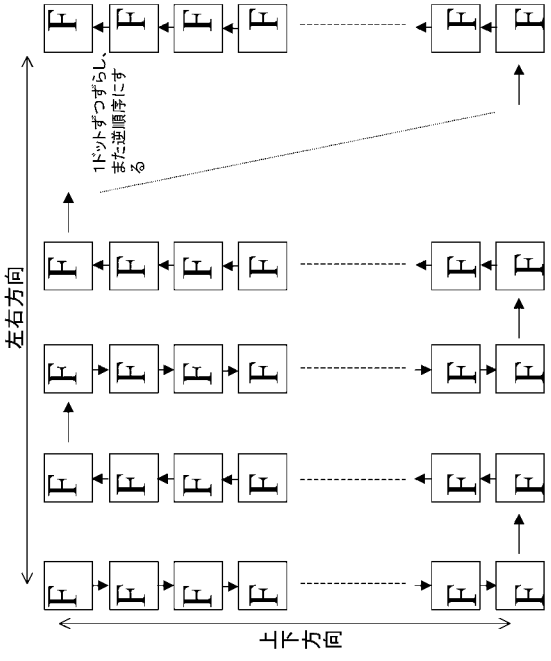
【図３５４】



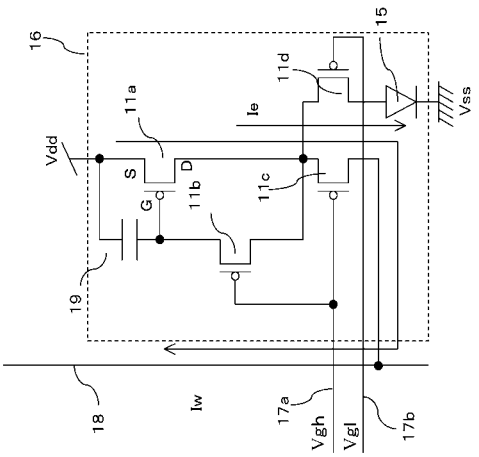
【図３５５】



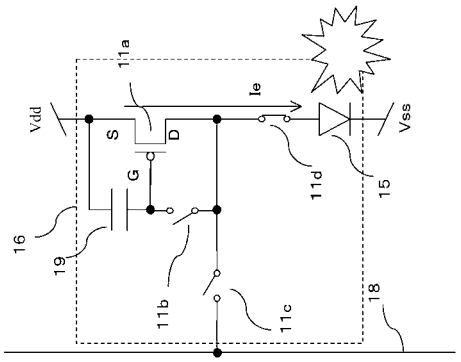
【図３５６】



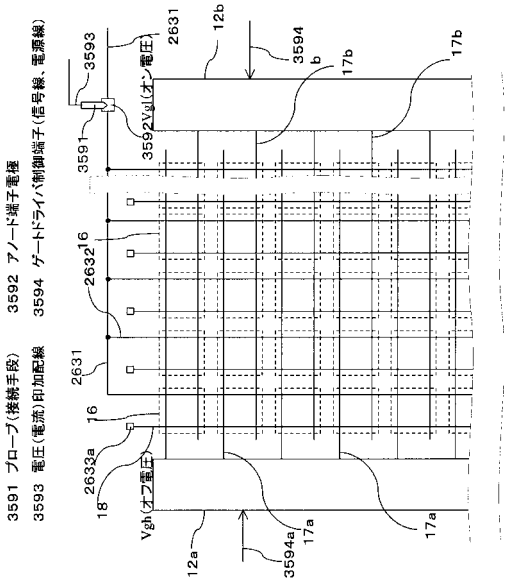
【図３５７】



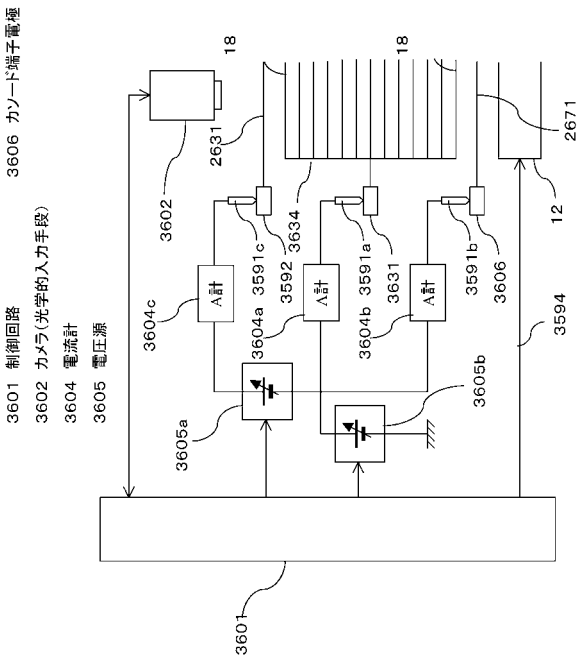
【図３５８】



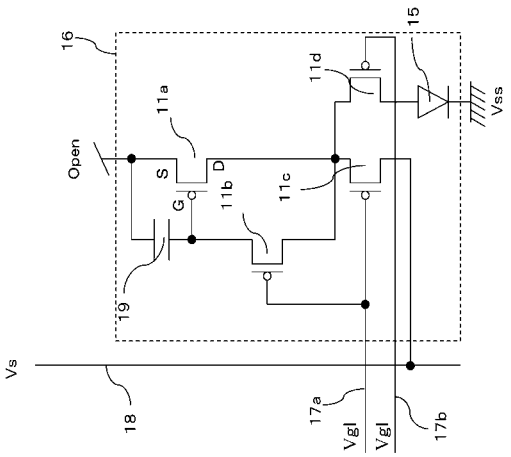
【図３５９】



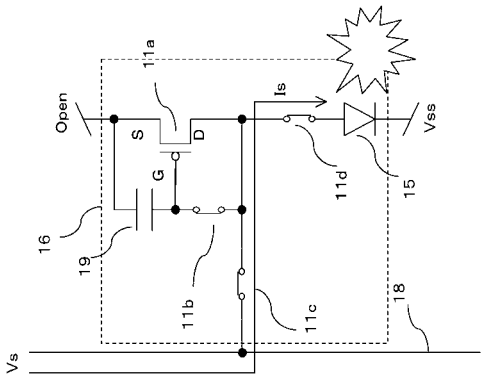
【図３６０】



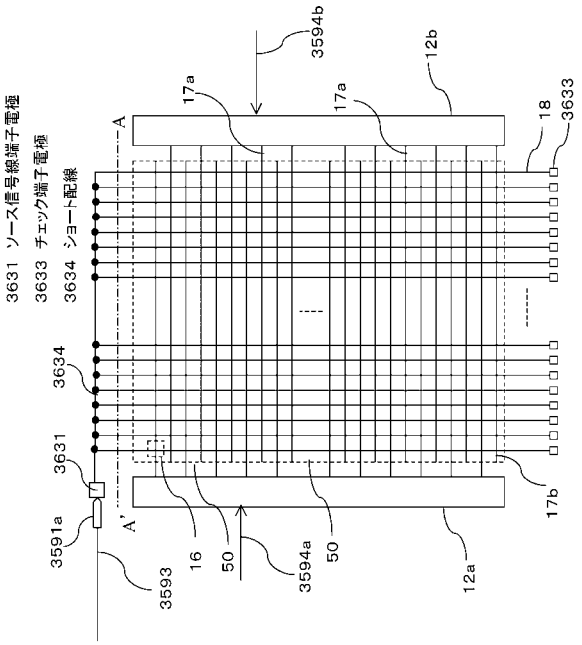
【図３６１】



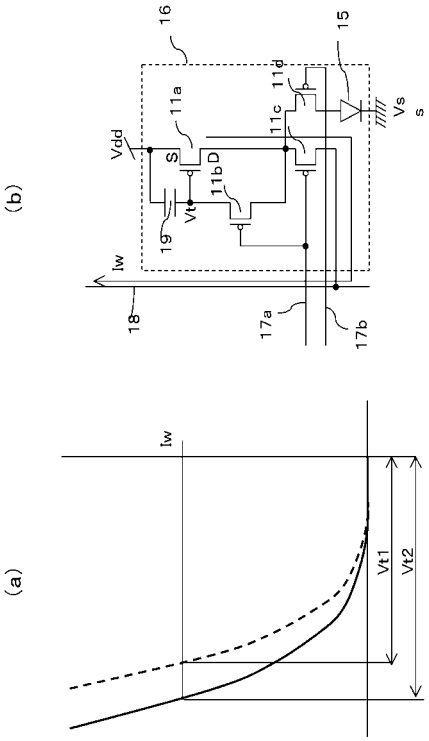
【図３６２】



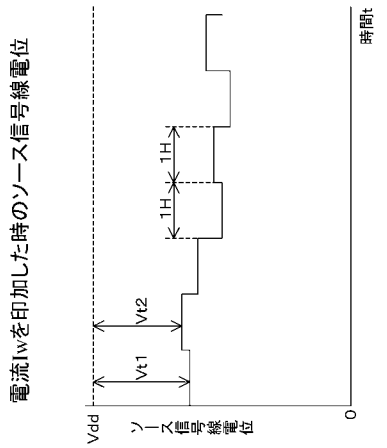
【図３６３】



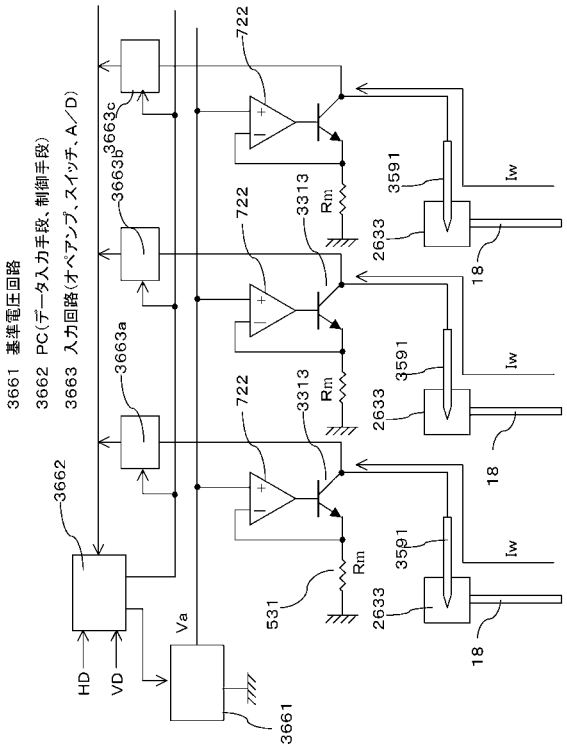
【図３６４】



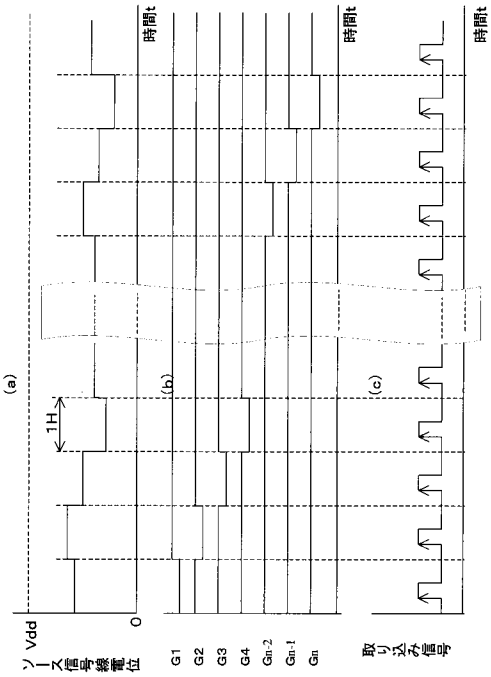
【図３６５】



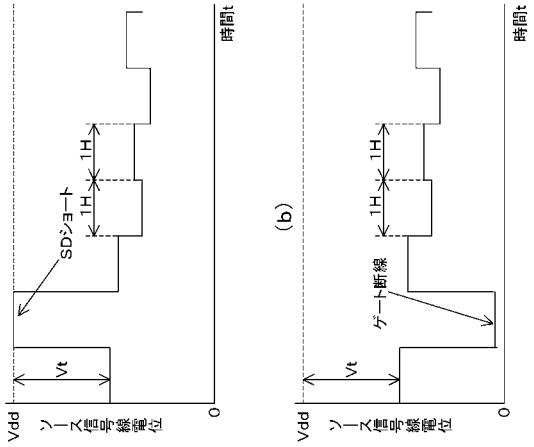
【図３６６】



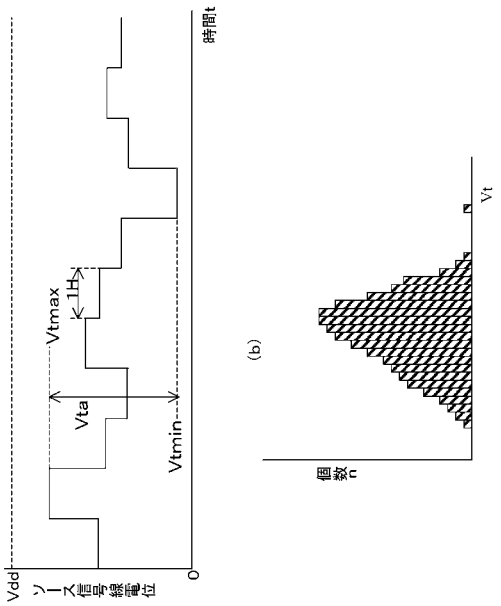
【図３６７】



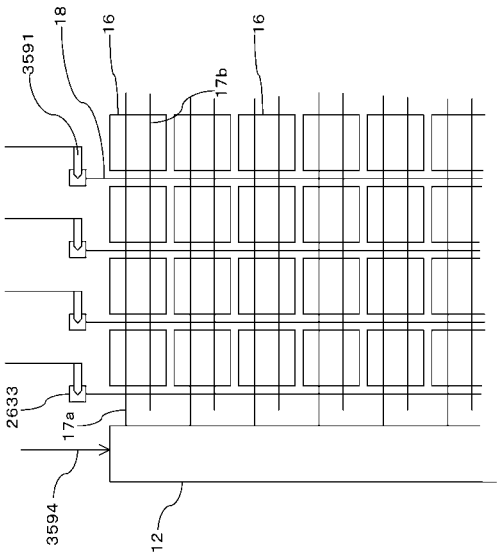
【図３６８】



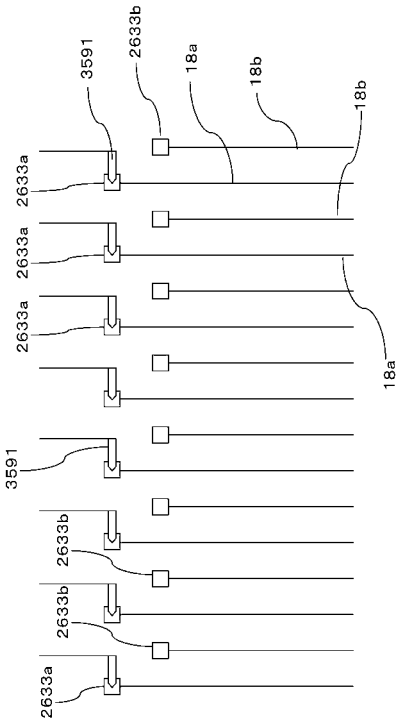
【図３６９】



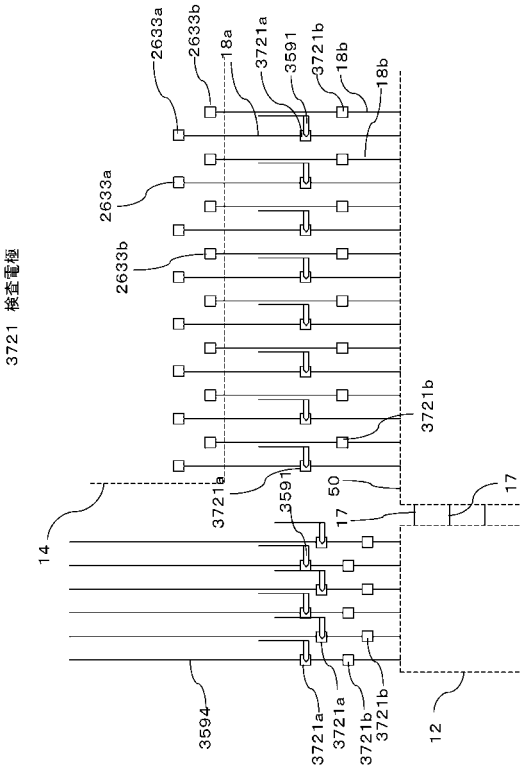
【図３７０】



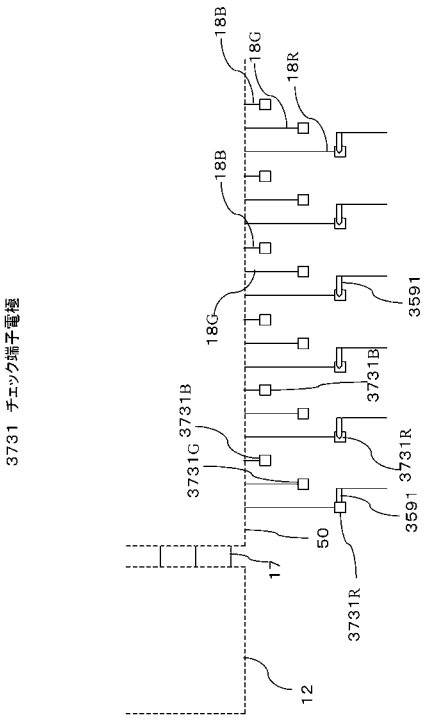
【図３７１】



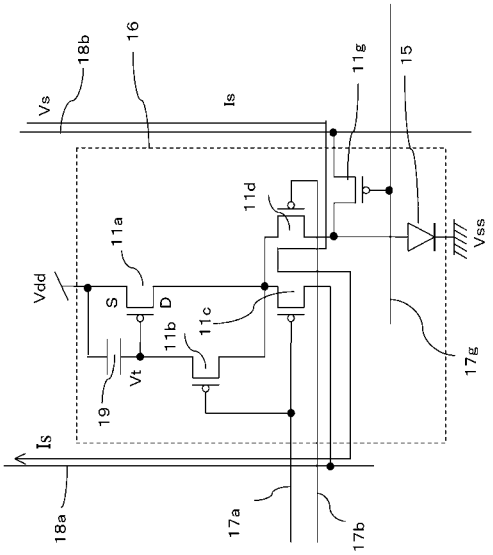
【図３７２】



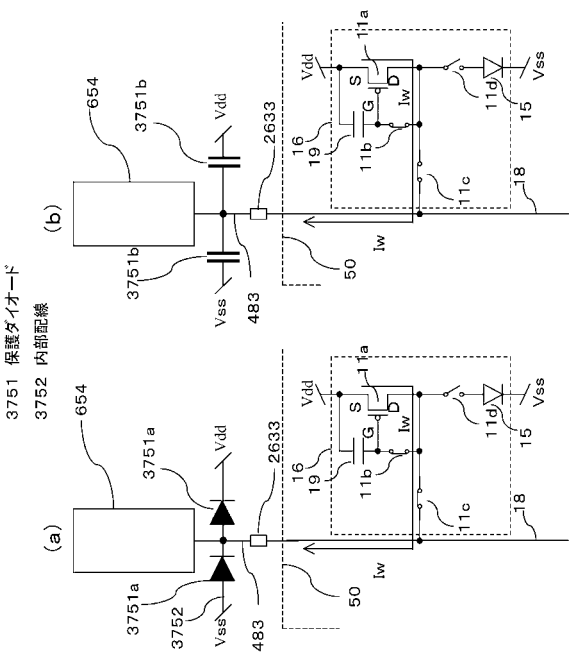
【図３７３】



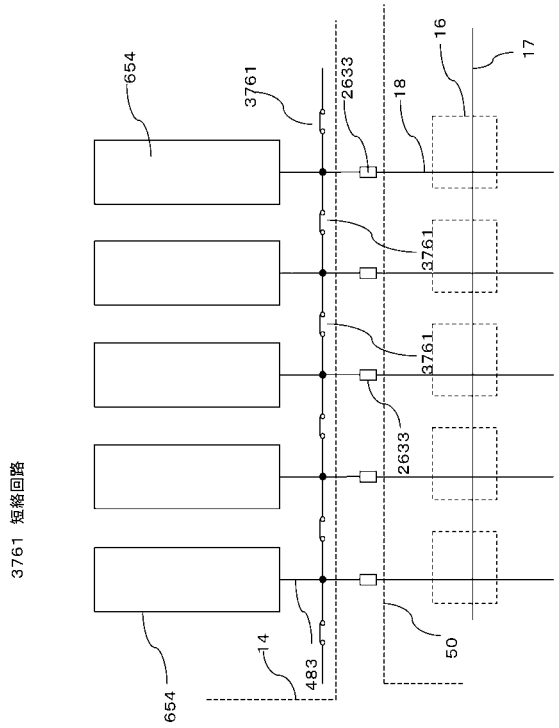
【図３７４】



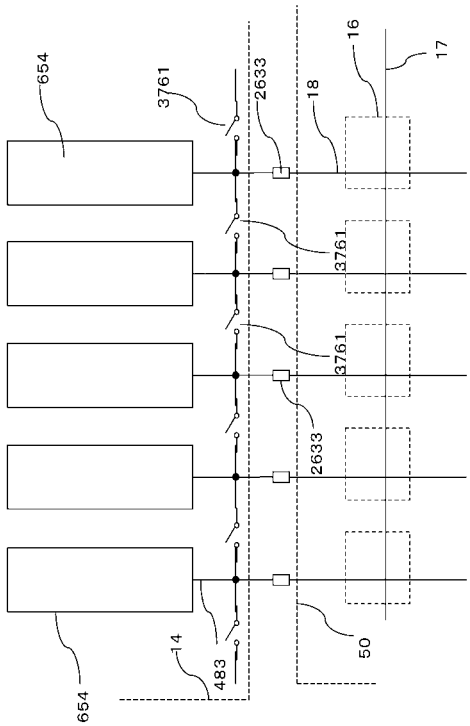
【図３７５】



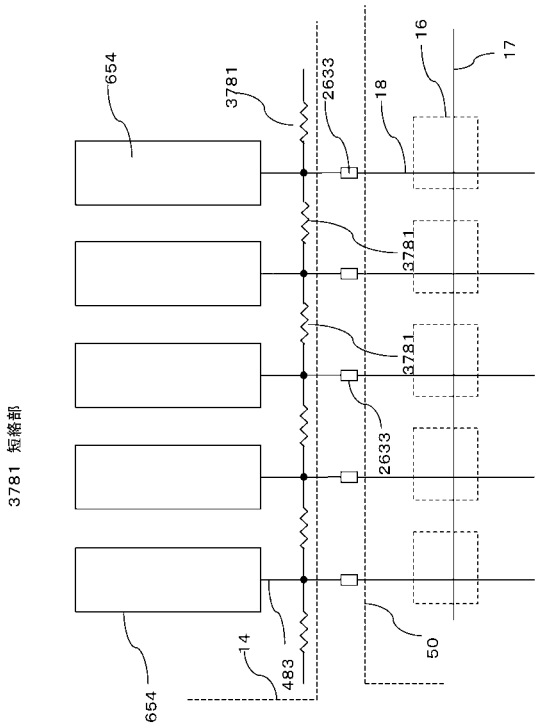
【図３７６】



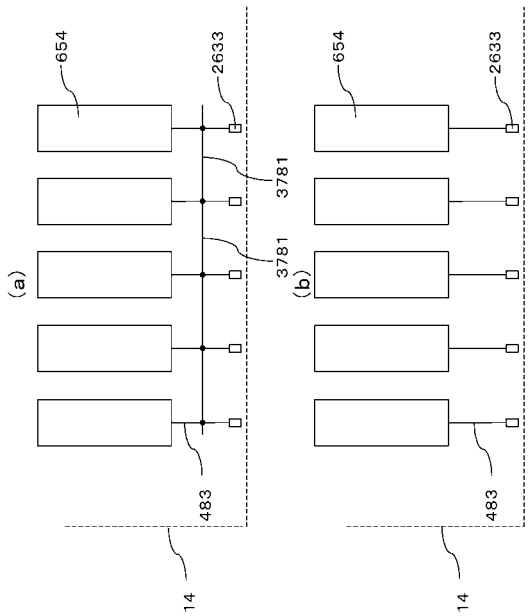
【図３７７】



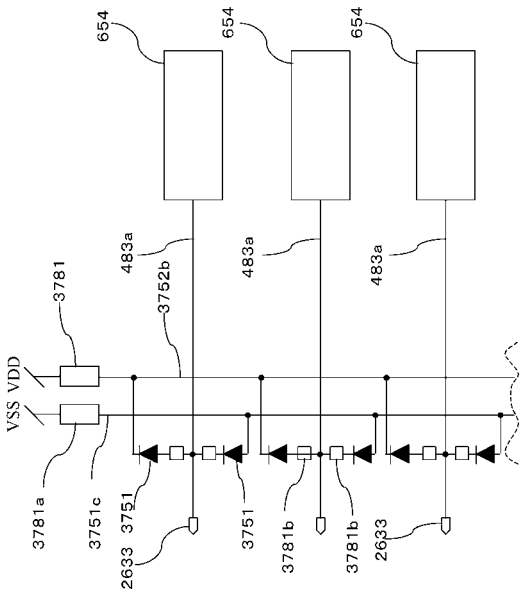
【図３７８】



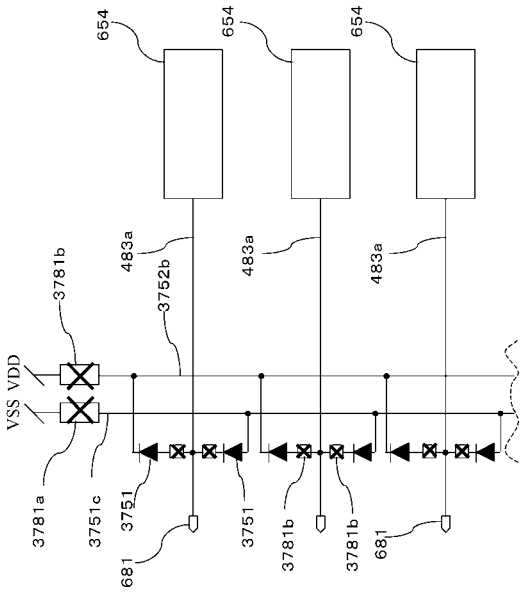
【図３７９】



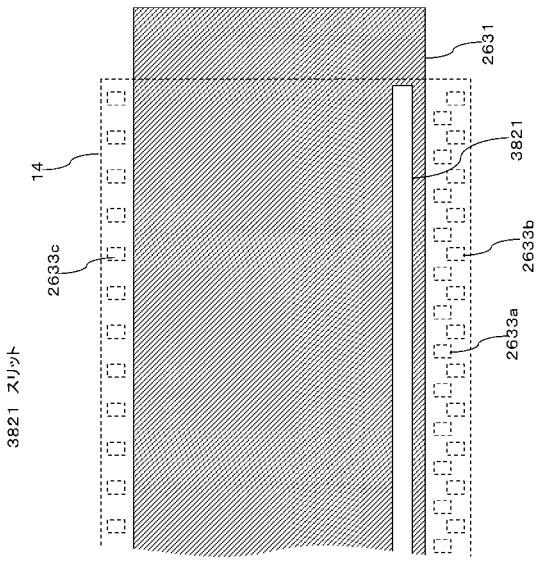
【図３８０】



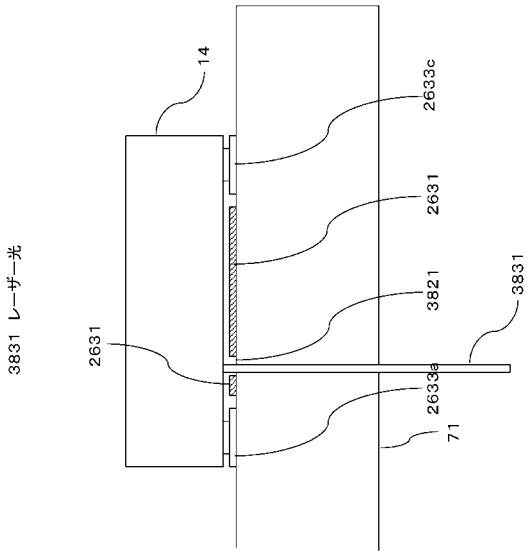
【図３８１】



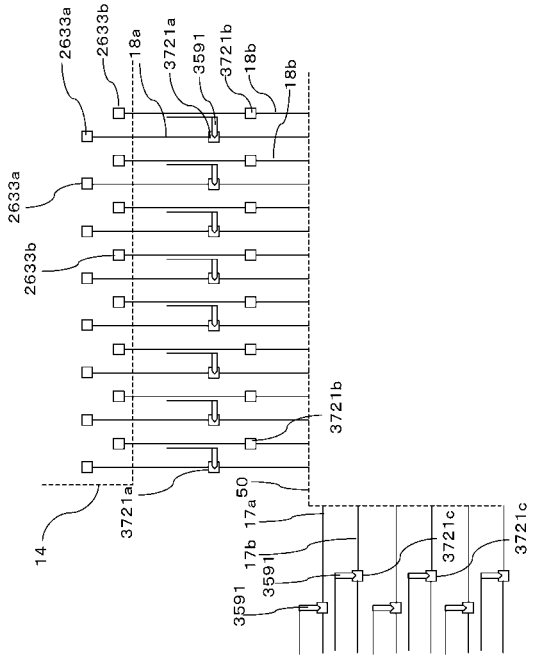
【図３８２】



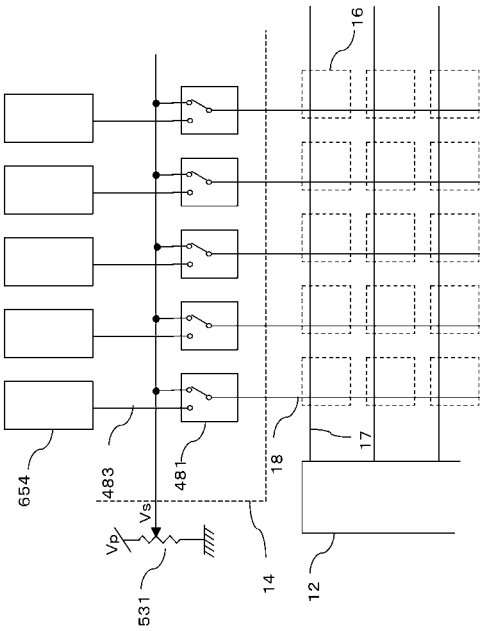
【図３８３】



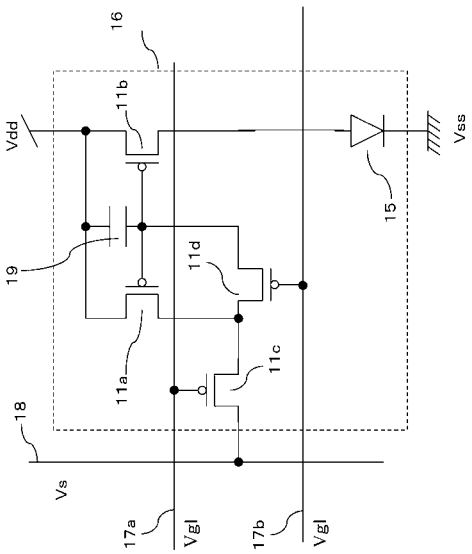
【図３８４】



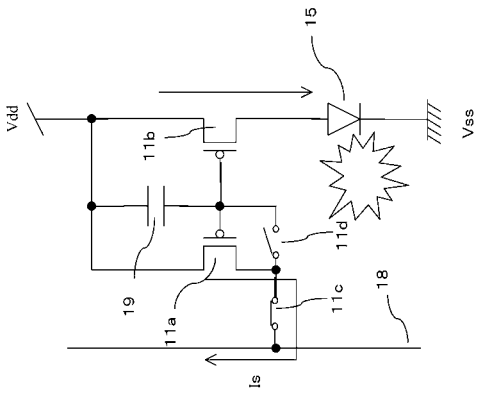
【図３８５】



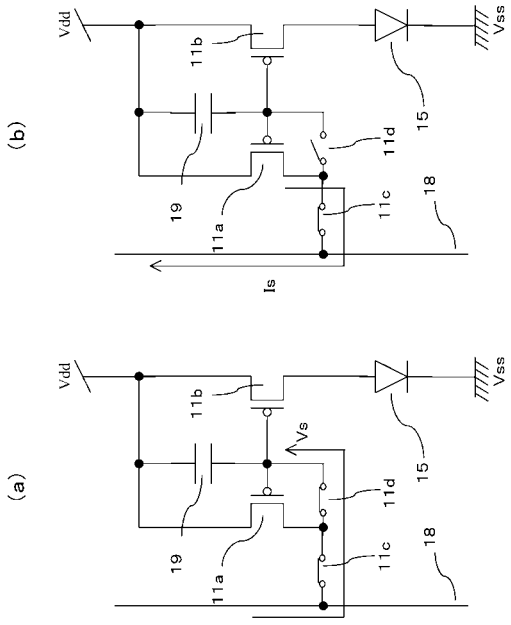
【図３８６】



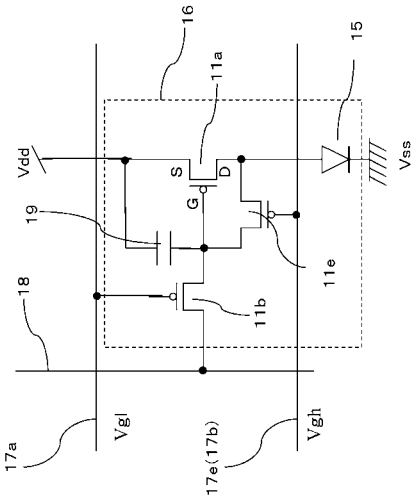
【図３８７】



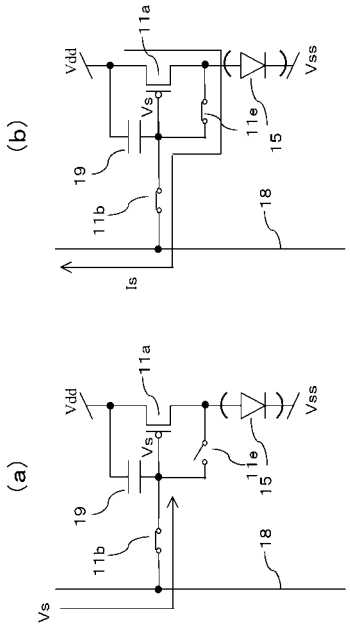
【図３８８】



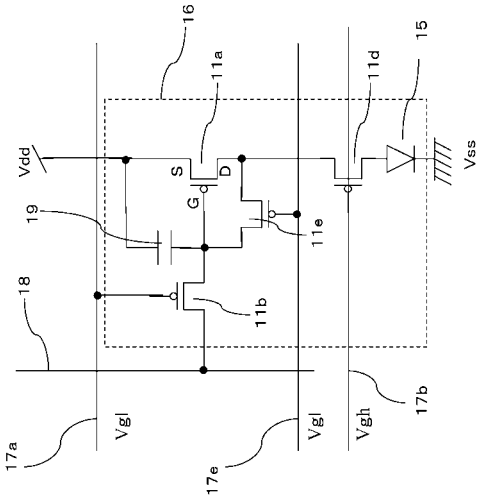
【図３８９】



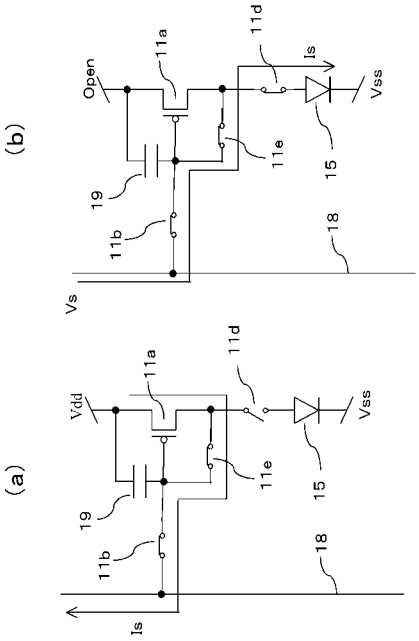
【図３９０】



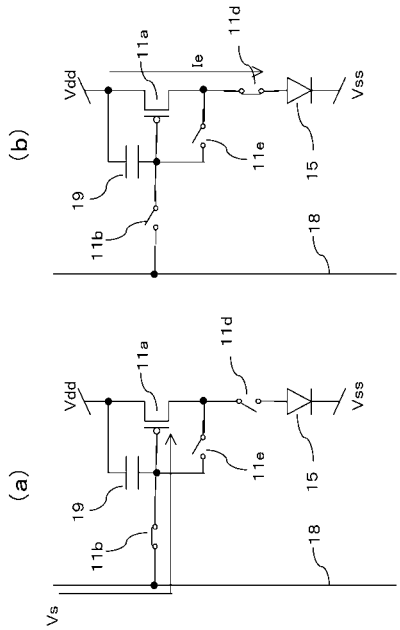
【図３９１】



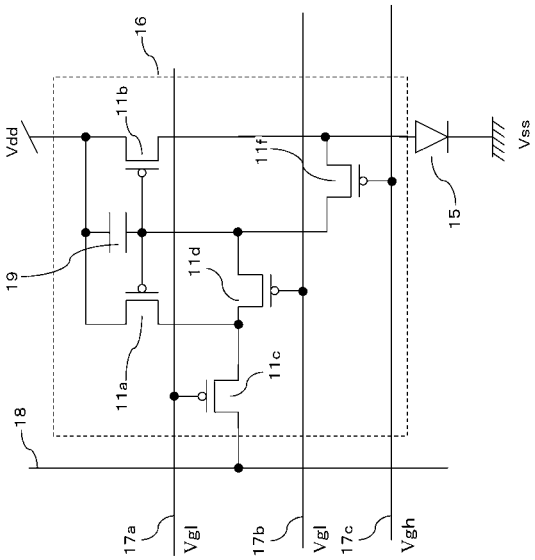
【図３９２】



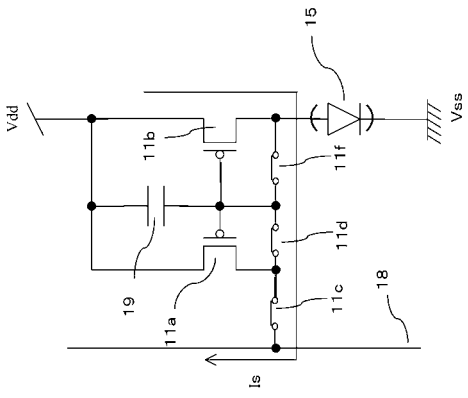
【図３９３】



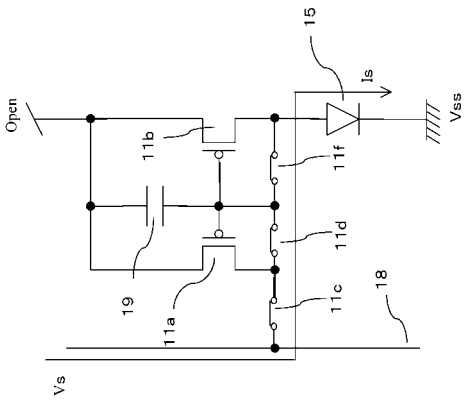
【図３９４】



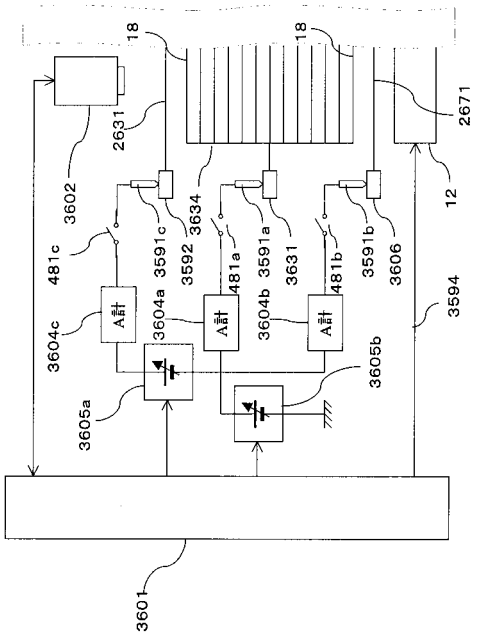
【図３９５】



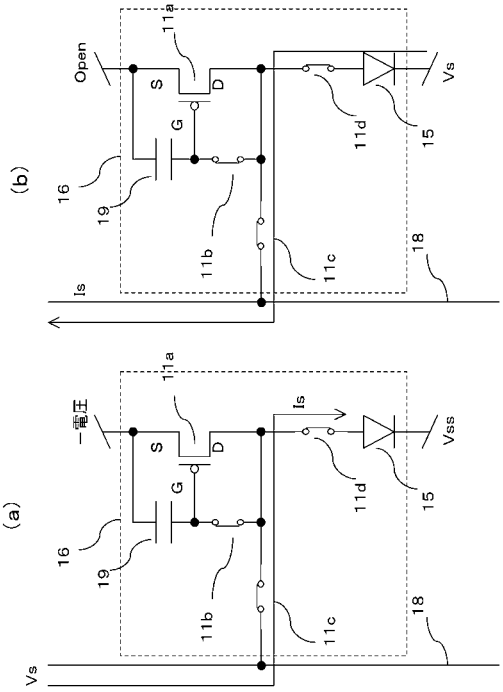
【図３９６】



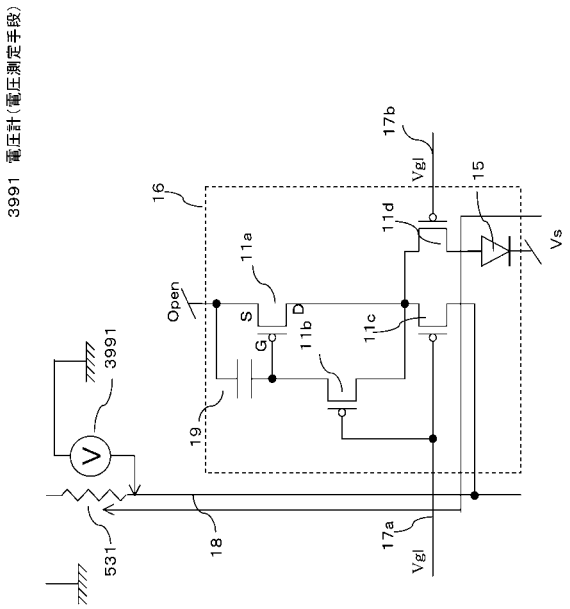
【図３９７】



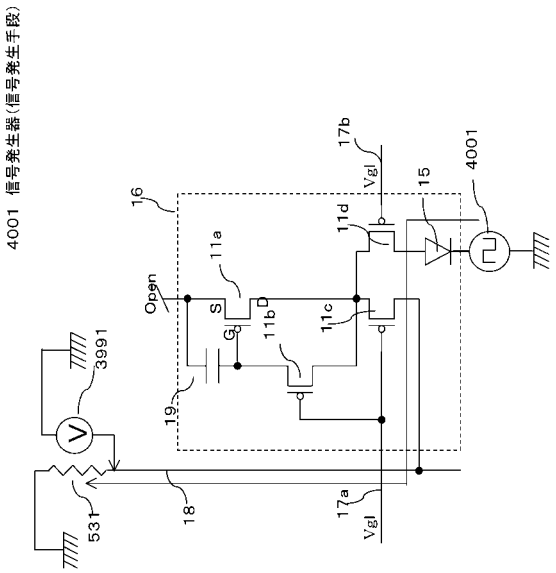
【図３９８】



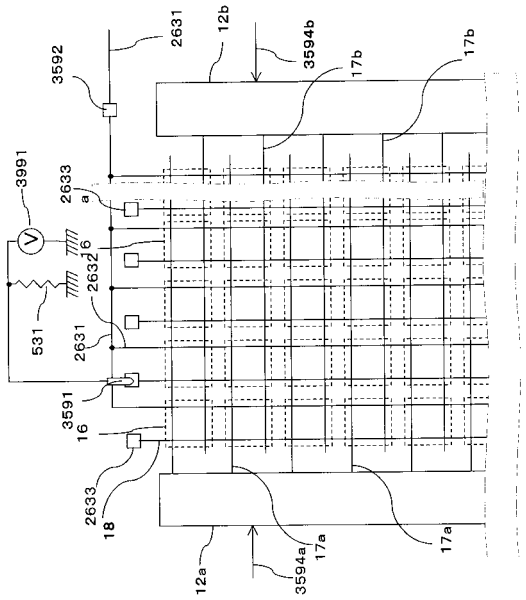
【図３９９】



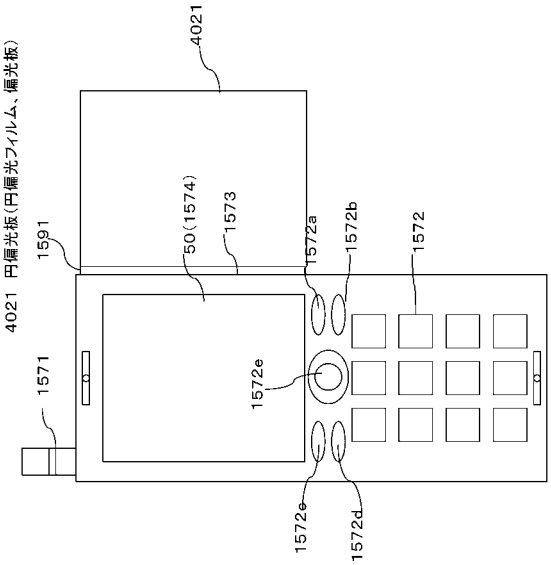
【図４００】



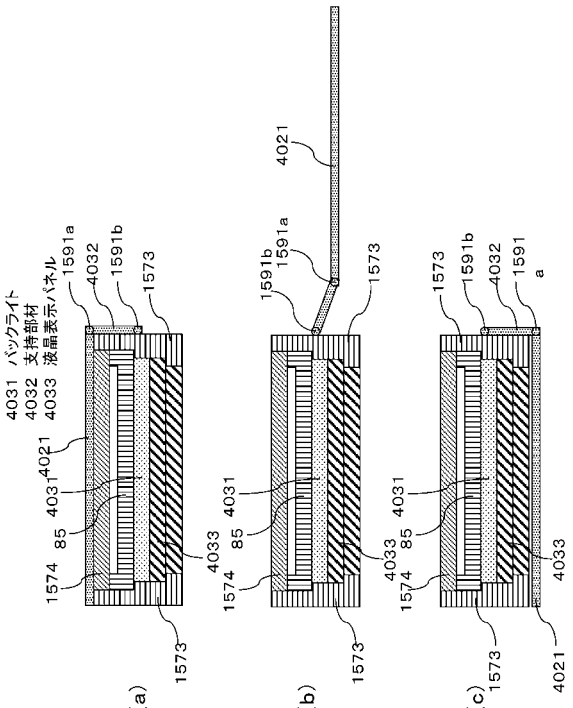
【図４０１】



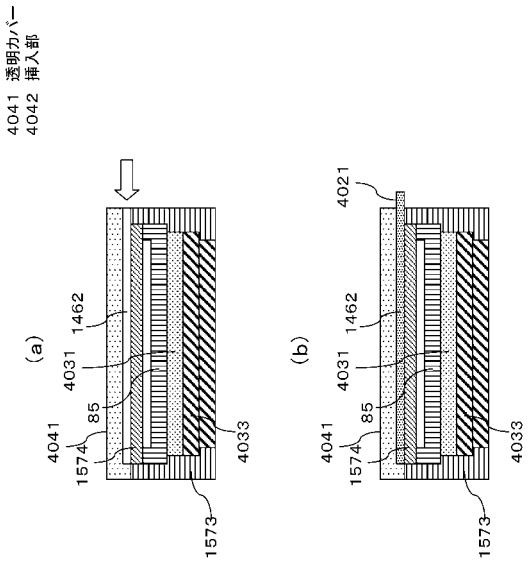
【図４０２】



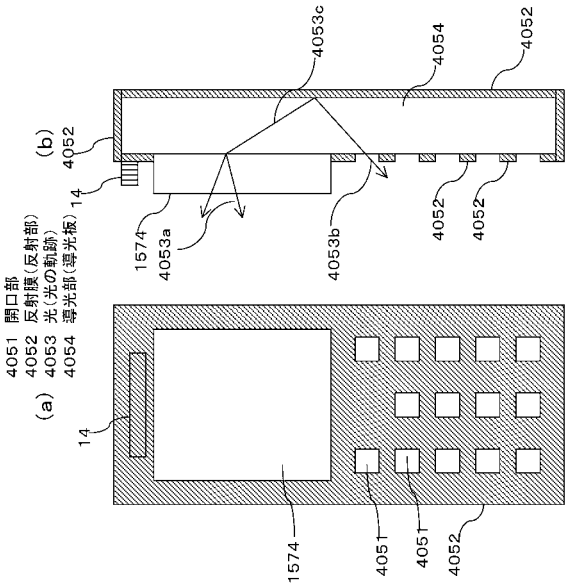
【図４０３】



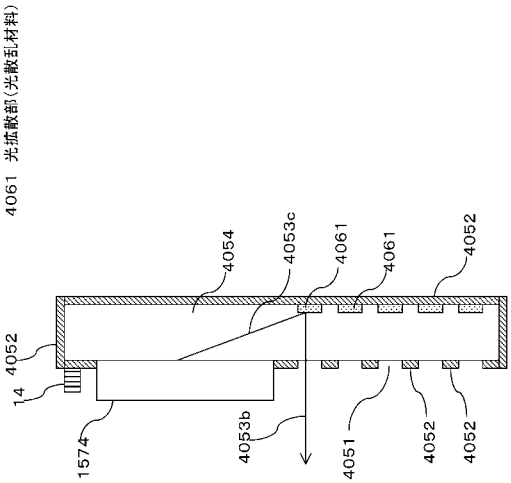
【図４０４】



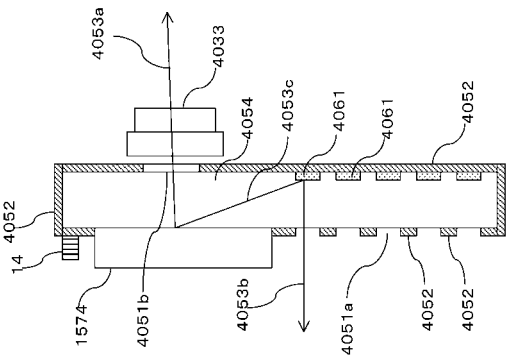
【図４０５】



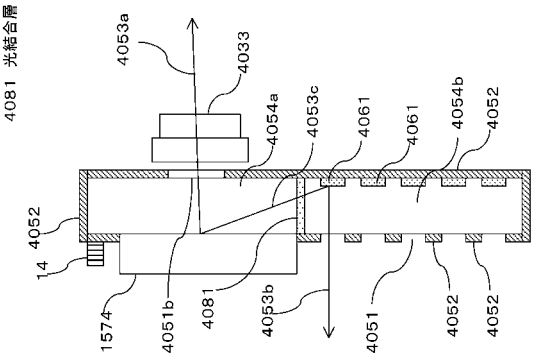
【図４０６】



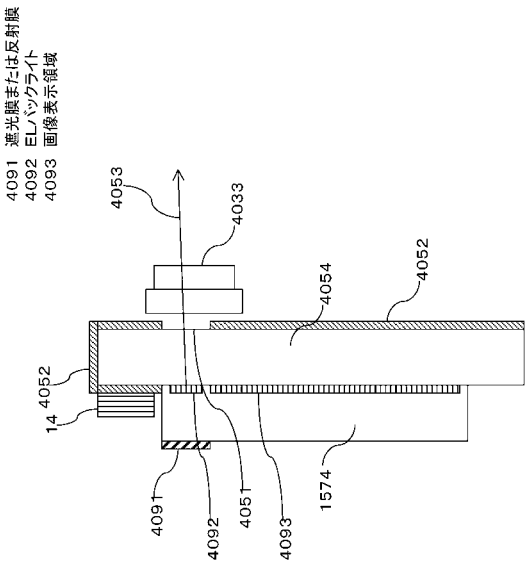
【図４０７】



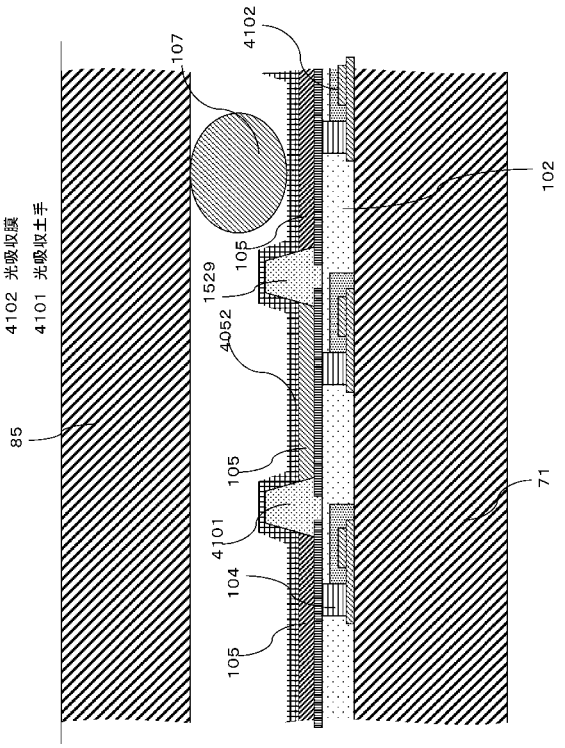
【図４０８】



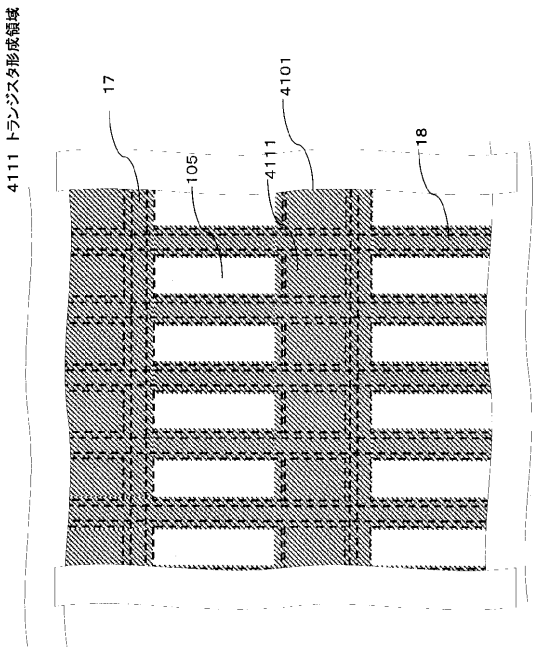
【図４０９】



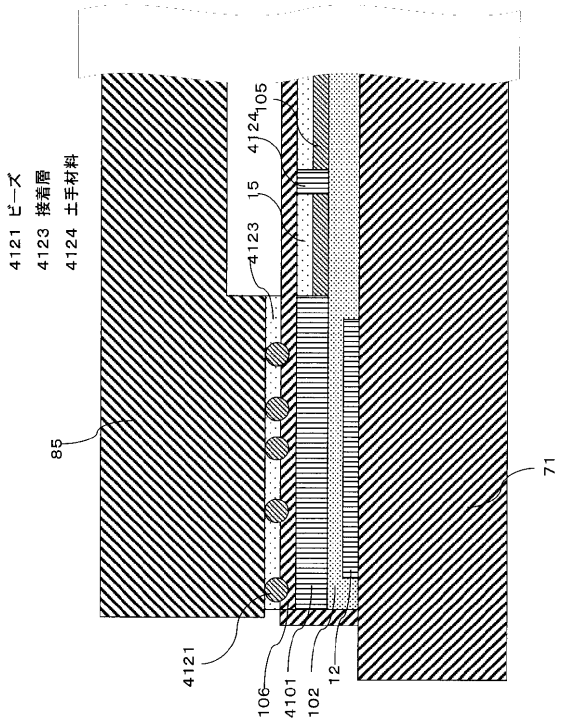
【図４１０】



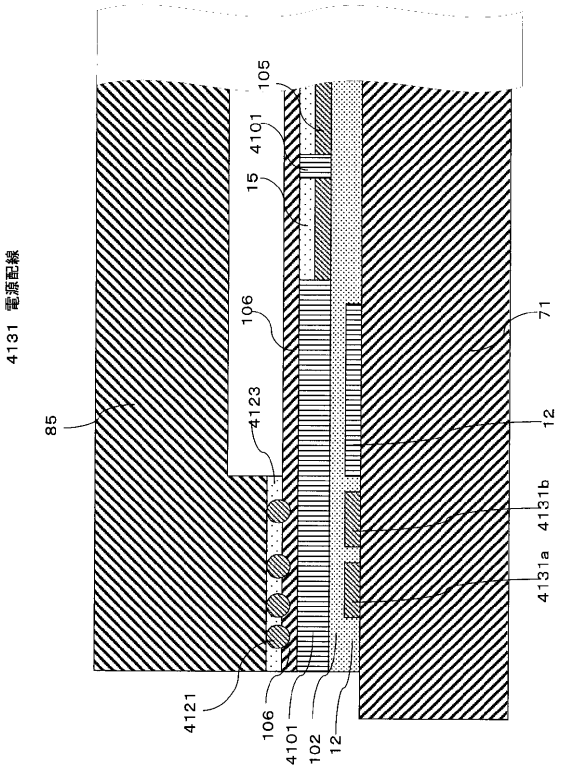
【図４１１】



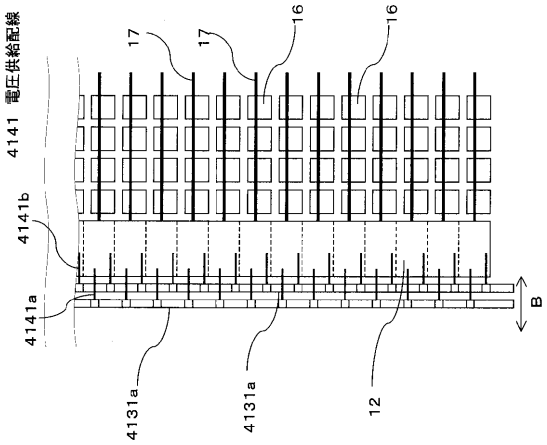
【図４１２】



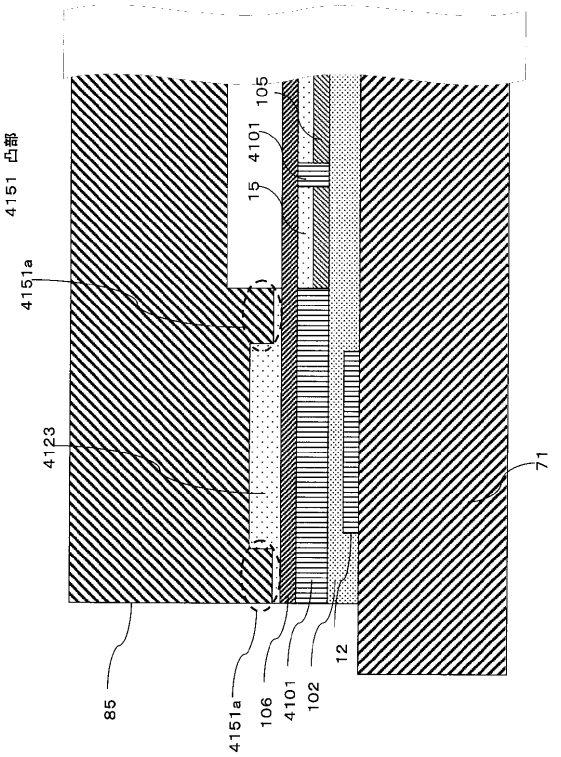
【図４１３】



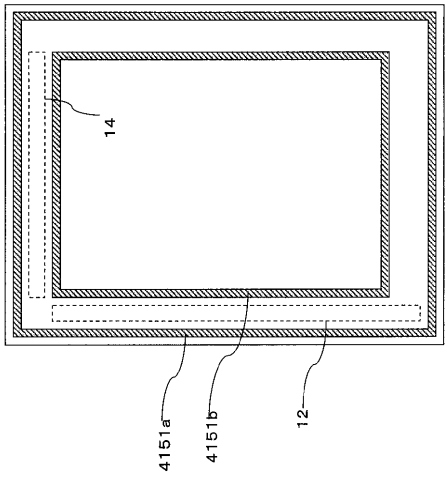
【図４１４】



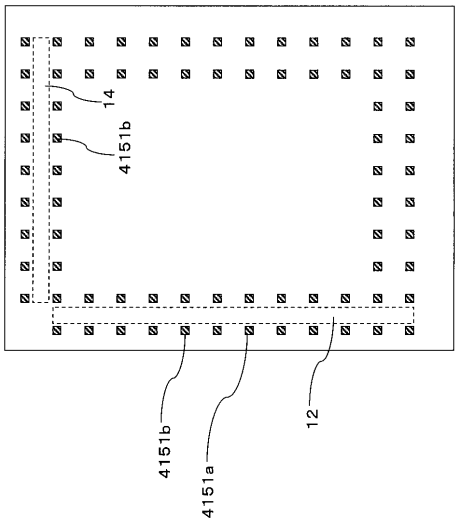
【図４１５】



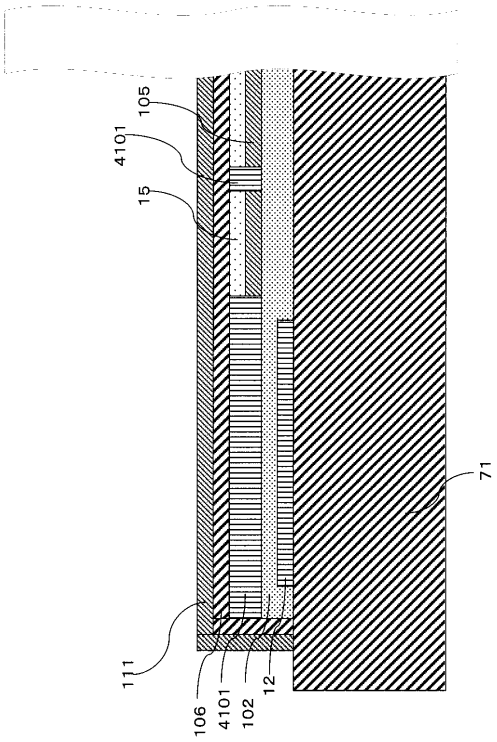
【図４１６】



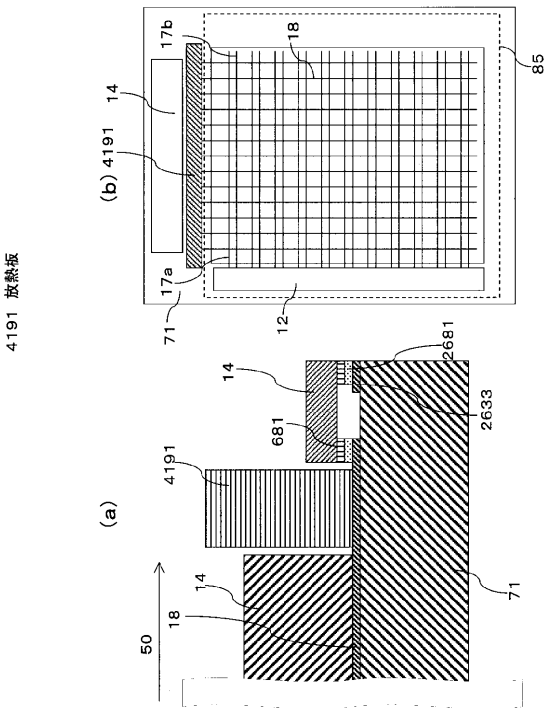
【図４１７】



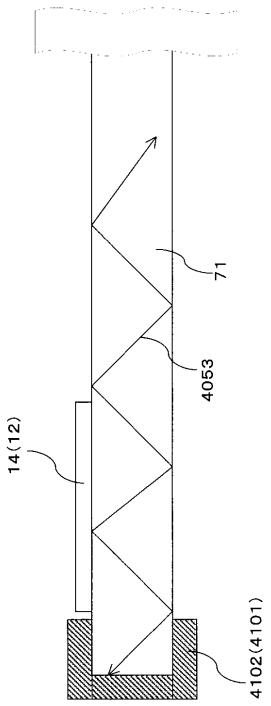
【図４１８】



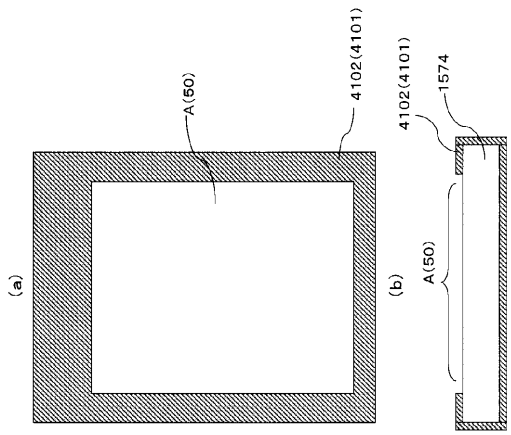
【図４１９】



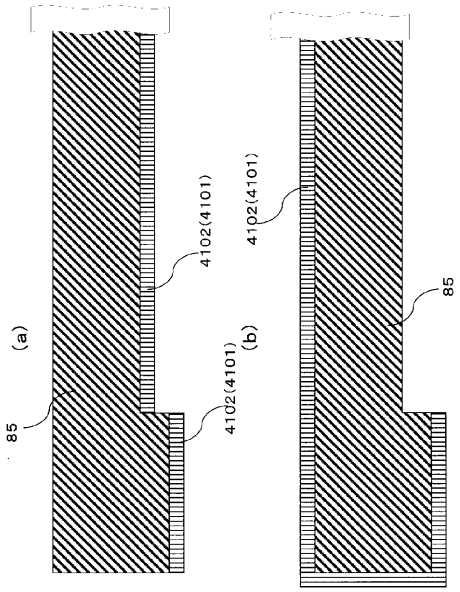
【図４２０】



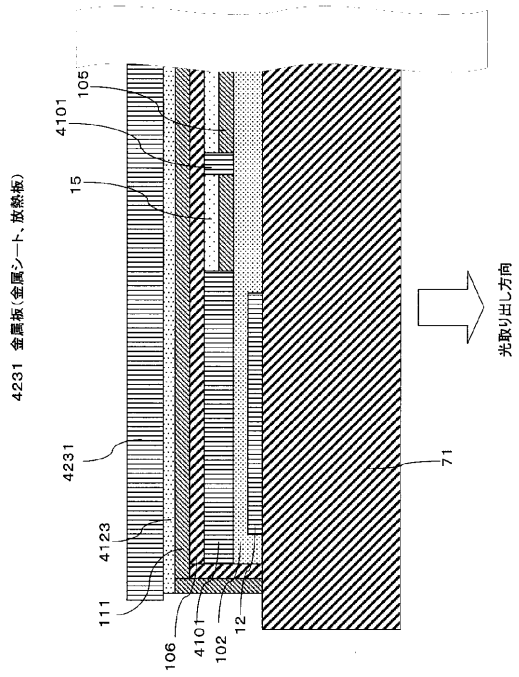
【図４２１】



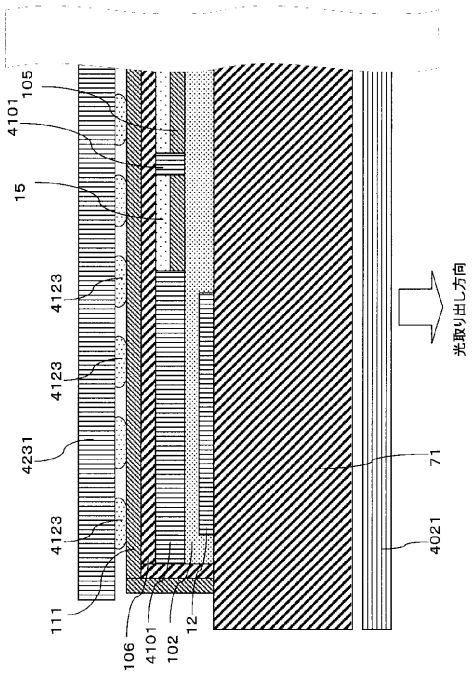
【図４２２】



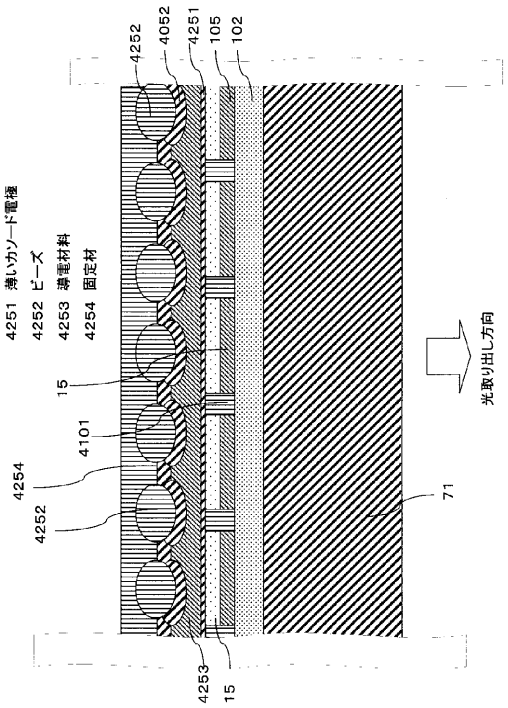
【図４２３】



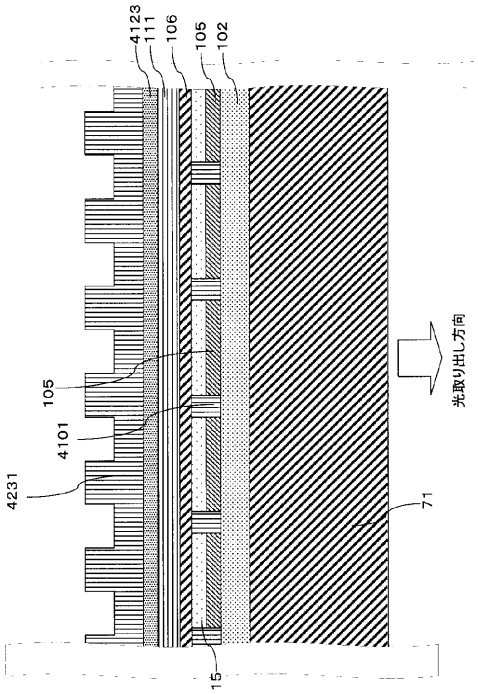
【図４２４】



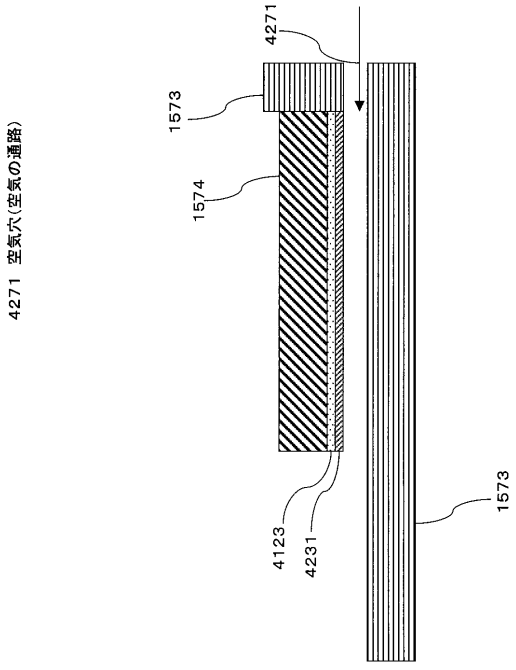
【図４２５】



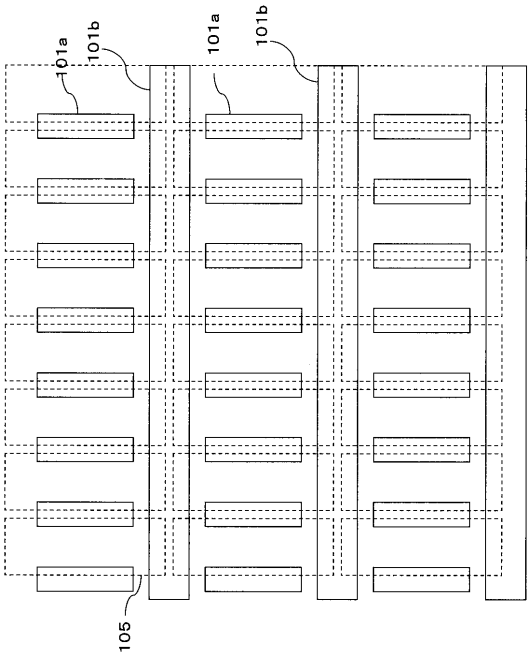
【図４２６】



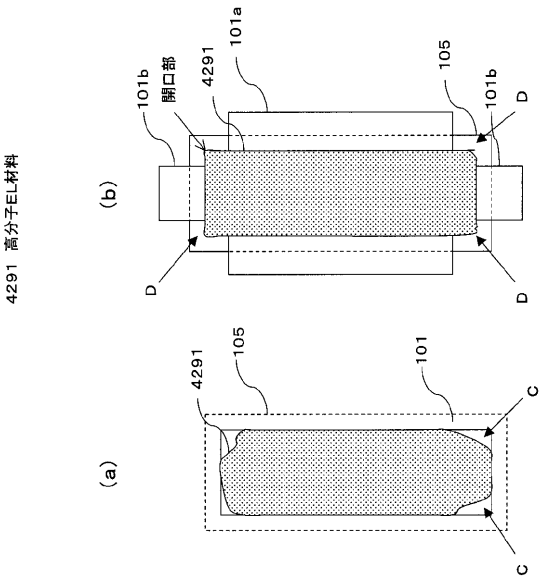
【図４２７】



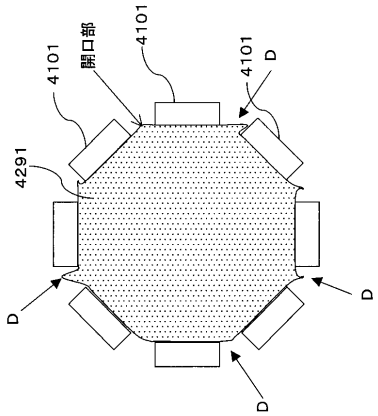
【図４２８】



【図４２９】


4291 高分子EL材料
(b)
101b
開口部
4291
101a
105
101b
D
D
D
(a)
4291
105
101
C
C

【図４３０】


4101
開口部
4101
4101
D
4291
D
D
D

フロントページの続き

(51)Int.Cl.	FI		
	G09G	3/20	611H
	G09G	3/20	622D
	G09G	3/20	624B
	G09G	3/20	641D
	G09G	3/20	641Q
	G09G	3/20	642A
	G09G	3/20	642E
	H05B	33/14	A

(31)優先権主張番号　特願2002-135841(P2002-135841)
(32)優先日　平成14年5月10日(2002.5.10)
(33)優先権主張国　日本国(JP)

(56)参考文献　国際公開第０１／００６４８４（WO，Ａ１）
特開２００１－０６００７６（ＪＰ，Ａ）
特開２００１－２１０１２２（ＪＰ，Ａ）
国際公開第０３／０２７９９８（WO，Ａ１）
特開２００３－１５０１１８（ＪＰ，Ａ）
特開平１１－２７２２３３（ＪＰ，Ａ）
特開２０００－２２１９４２（ＪＰ，Ａ）
特開２０００－３４７６２１（ＪＰ，Ａ）
特開２００１－０８３９２４（ＪＰ，Ａ）
特開２００３－１１４６４４（ＪＰ，Ａ）
特開２００３－０７６３２７（ＪＰ，Ａ）
特開２００３－０６６９０８（ＪＰ，Ａ）
特開２００３－２８３２６７（ＪＰ，Ａ）
特開２００２－２１５０９６（ＪＰ，Ａ）
特開２００３－１０８０６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G　3/30
G09F　9/30
G09G　3/20
H01L　27/32
H01L　51/50

专利名称(译)	用于驱动EL显示器件和EL显示器件的方法		
公开(公告)号	JP4490650B2	公开(公告)日	2010-06-30
申请号	JP2003121475	申请日	2003-04-25
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50 H05B33/14		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.612.U G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.622.D G09G3/20.624.B G09G3/20.641.D G09G3/20.641.Q G09G3/20.642.A G09G3/20.642.E H05B33/14.A G09F9/30.365 G09G3/3216 G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 G11C19/28.230 H01L27/32		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA04 5C094/AA07 5C094/AA13 5C094/AA22 5C094/AA44 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/ED14 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5C380/AA01 5C380/AB05 5C380/AB07 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB33 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB39 5C380/AB41 5C380/AB43 5C380/AB47 5C380/AC02 5C380/AC08 5C380/AC10 5C380/AC11 5C380/AC16 5C380/AC18 5C380/BA03 5C380/BA05 5C380/BA06 5C380/BA08 5C380/BA10 5C380/BA12 5C380/BA15 5C380/BA17 5C380/BA19 5C380/BA23 5C380/BA24 5C380/BA25 5C380/BA29 5C380/BA34 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB05 5C380/BB08 5C380/BB15 5C380/BB17 5C380/BB22 5C380/BB23 5C380/BB25 5C380/BC02 5C380/BC07 5C380/BC13 5C380/BD08 5C380/BD09 5C380/BE05 5C380/BE11 5C380/CA04 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA47 5C380/CA57 5C380/CB02 5C380/CB05 5C380/CB06 5C380/CB12 5C380/CB14 5C380/CB18 5C380/CB26 5C380/CB27 5C380/CB30 5C380/CC03 5C380/CC14 5C380/CC18 5C380/CC27 5C380/CC52 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CE06 5C380/CE08 5C380/CE19 5C380/CE21 5C380/CF03 5C380/CF05 5C380/CF08 5C380/CF09 5C380/CF15 5C380/CF18 5C380/CF20 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF32 5C380/CF33 5C380/CF36 5C380/CF42 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF53 5C380/CF54 5C380/CF56 5C380/CF62 5C380/CF67 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA10 5C380/DA13 5C380/DA19 5C380/DA32 5C380/DA34 5C380/DA35 5C380/DA39 5C380/DA40 5C380/DA41 5C380/DA43 5C380/DA47 5C380/DA49 5C380/DA50 5C380/DA57 5C380/DA58 5C380/EA03 5C380/EA05 5C380/EA11 5C380/EA12 5C380/EA14 5C380/FA02 5C380/FA03 5C380/FA04 5C380/FA06 5C380/FA10 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA16 5C380/FA21 5C380/FA24 5C380/FA25 5C380/FA26 5C380/GA03 5C380/GA05 5C380/GA18 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA06 5C380/HA07 5C380/HA08 5C380/HA11 5C380/HA13 5C380/HA16 5C380/HA17		
代理人(译)	松田 正道		
	Naoaki桥本		

审查员(译)	
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002135744 2002-05-10 JP 2002135841 2002-05-10 JP
其他公开文献	JP2004029755A JP2004029755A5
外部链接	Espacenet

摘要(译)

要解决的问题：提供一种即使在像素晶体管的特性存在偏差并且能够消除运动图像中的模糊时也能够实现均匀显示的EL显示装置。解决方案：为了充分地充电/放电源信号线的寄生电容并在每个像素晶体管上编程规定的电流值，必须从源极驱动电路输出相对大的电流以输出电流。当允许大电流流入源信号线时，大电流值以像素编程，并且大于所需电流的电流流入每个EL元件15.当编程N = 10倍的电流时，例如10次的电流流入EL元件15，EL元件15以10倍的亮度发光。为了获得规定的发光亮度，进入EL元件15的电流流动时间缩短到一帧（1F）的1/10。通过这种类型的驱动，源信号线的寄生电容可以充分地充电/放电，并且可以获得规定的发光亮度。 Ž