

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4223363号
(P4223363)

(45) 発行日 平成21年2月12日 (2009. 2. 12)

(24) 登録日 平成20年11月28日 (2008. 11. 28)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 3 D

G 0 9 G 3 / 2 0 6 2 3 R

G 0 9 G 3 / 2 0 6 2 3 V

請求項の数 8 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2003-335583 (P2003-335583)
 (22) 出願日 平成15年9月26日 (2003. 9. 26)
 (65) 公開番号 特開2005-99621 (P2005-99621A)
 (43) 公開日 平成17年4月14日 (2005. 4. 14)
 審査請求日 平成17年8月10日 (2005. 8. 10)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 沼尾 孝次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 発光表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の第1配線と、上記第1配線に対し交差するように配置された複数の第2配線と、上記第1配線及び上記第2配線が交差する領域に対応してマトリックス状に配置され、
上記第1配線から印加される電流値に応じて発光する電気光学素子と、上記第1配線に接続され、制御端子の電位値に基づき上記電気光学素子に対する電流値
を制御して印加するため、上記電気光学素子に対応して配置されたアクティブ素子と、上記アクティブ素子の制御端子の電位値を保持するための電位保持手段と、上記第1配線を通し上記電気光学素子に電流を供給して上記アクティブ素子の制御端子
の電位を設定するための電流供給手段と、上記第1配線及び上記アクティブ素子を介して上記電気光学素子に電流を印加するため
の電圧供給手段と、第1の期間においては、上記電流供給手段を上記第1配線に接続して上記アクティブ素
子の出力電流値を上記電位保持手段に設定し、第1の期間と異なる第2の期間では、上記
電圧供給手段を上記第1配線に接続し、上記電気光学素子に対して電流を印加するように
、上記第2配線からの信号に応じて切り替える切替手段とを有することを特徴とする発光
表示装置。

【請求項2】

請求項1記載の発光表示装置であって、

10

20

上記アクティブ素子の制御端子の電位値を保持するための電位保持手段の一方の端子が上記アクティブ素子の制御端子に接続され、

さらに、上記電位保持手段の他方端子に接続された制御配線を有することを特徴とする発光表示装置。

【請求項 3】

請求項 1 記載の発光表示装置であって、

上記アクティブ素子の制御端子の電位値を保持するための電位保持手段の一方の端子が上記アクティブ素子の制御端子に接続され、

上記電位保持手段の他方端子が上記アクティブ素子の電流入力端子に接続され、上記アクティブ素子の電流入力端子と上記第 1 配線との間にスイッチング素子が配置されたこと
を特徴とする発光表示装置。

10

【請求項 4】

請求項 1 記載の発光表示装置であって、

さらに、上記アクティブ素子の制御端子に、一方端子が接続された第 2 の電位保持手段と、

上記アクティブ素子の制御端子および入力側端子を互いに接続する第 1 スイッチ手段と、

上記第 2 の電位保持手段の他方端子を所定電位線または上記アクティブ素子の入力側端子と接続する第 2 スイッチ手段とを有することを特徴とする発光表示装置。

【請求項 5】

20

請求項 1 ないし 4 の何れか 1 項に記載の発光表示装置であって、

1 フレーム期間に、上記アクティブ素子の出力電流値を複数回上記第 1 の期間に設定して階調表示を行うための階調制御手段を有することを特徴とする発光表示装置。

【請求項 6】

請求項 5 記載の発光表示装置であって、

1 フレーム期間を N 個の単位期間に分割し、更に各単位時間を A 個の選択期間に分割し (N も A も正の整数)、

上記各単位期間を構成する A 個の選択期間を各々第 1 占有期間から第 A 占有期間とし、

上記アクティブ素子へ設定する出力電流値に関する A 個のデータを各々第 1 データから第 A データとするとき、

30

上記各占有期間に上記アクティブ素子へ設定される出力電流値が、上記第 1 データから第 A データのうち何れか 1 つに固定されるように設定する設定手段を有することを特徴とする発光表示装置。

【請求項 7】

請求項 6 に記載の発光表示装置であって、

上記設定手段は、上記アクティブ素子へ設定される A 個のデータの内、1 つのデータが常に上記電気光学素子を非表示状態とするように設定されていることを特徴とする発光表示装置。

【請求項 8】

請求項 1 ないし 7 の何れか 1 項に記載の発光表示装置であって、

40

複数本の上記第 1 配線を複数のグループに分け、

第 1 のグループが上記アクティブ素子の出力電流値を設定している、上記第 1 の期間の間、第 2 のグループが上記第 2 の期間として第 1 配線を電圧供給手段へ接続するようになっていることを特徴とする発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electro Luminescence) ディスプレイや、FED (Field Emission Display) ディスプレイ等の電流駆動素子を用いた発光表示装置に関するものである。

【背景技術】

50

【0002】

近年、有機ELディスプレイやFEDディスプレイ等の電流駆動発光素子の研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA(Personal Digital Assistants)などの携帯機器用として注目されている。

【0003】

この有機ELディスプレイは供給した電流値に対応して発光するので、その画素回路構成として電流駆動回路を用いる例が、非特許文献1に記載の“Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs”等にて示されている。図17に示すのはこの回路構成である。

10

【0004】

図17の回路構成では、駆動用薄膜トランジスタ（以下、薄膜トランジスタをTFTと記す）101と有機EL103を電源配線である所定電圧線Vsと共通配線Vcomの間に直列に接続し、その間にスイッチ用TFT102を配置している。所定電圧線Vsと駆動用TFT101のゲート端子の間にはコンデンサ104が配置され、その駆動用TFT101のゲート端子とドレイン端子の間にスイッチ用TFT105が配置されている。また、駆動用TFT101のドレイン端子とソース配線Sjの間に選択用TFT106が配置されている。これらスイッチ用TFT102、105と選択用TFT106のゲート端子にはゲート配線Giが接続されている。

【0005】

20

この構成で駆動用TFT101の出力電流を設定するには、ゲート配線Giをロー状態として、スイッチ用TFT102をOFF状態とし、スイッチ用TFT105と選択用TFT106をON状態とする。このことで、ソース配線Sjに繋がる図示しないソースドライバ回路へ向け所定電圧線Vsより電流を流すことができる。このときソースドライバ回路で設定された電流値を駆動用TFT101が流すよう、駆動用TFT101のゲート端子電位が設定される。

【0006】

また、この駆動用TFT101のゲート電位を保持するために、ゲート配線Giをハイ状態として、選択用TFT106とスイッチ用TFT105をOFF状態として、スイッチ用TFT102をON状態とする。このことで、駆動用TFT101のゲート端子に繋がる配線を遮断しゲート端子電位をコンデンサ104で保持させ、先に設定した駆動用TFT101の出力電流を有機EL103へ流し続けるよう制御する。

30

【0007】

また、似たような電流駆動画素回路構成として、非特許文献2に記載の"Active Matrix PolyLED Displays"で示された回路構成を図18に示す。図18の回路構成では、所定電圧線Vsの電位と共通配線Vcomの間に駆動用TFT108と有機EL109を直列に接続している。また、所定電圧線Vsと駆動用TFT108の間にスイッチ用TFT107が配置されている。駆動用TFT108のソース端子とゲート端子の間にはコンデンサ111が配置され、その駆動用TFT108のゲート端子とドレイン端子の間にスイッチ用TFT112を配置している。そして、駆動用TFT108のソース端子とソース配線Sjとの間に選択用TFT110が配置されている。これら選択用TFT110および各スイッチ用TFT107、112のゲート端子には各々各制御配線Wi、Ri、Giが接続されている。

40

【0008】

この構成で駆動用TFT108の出力電流を設定するには、制御配線Riをハイ状態としてスイッチ用TFT107をOFF状態として、制御配線Wiをロー状態として選択用TFT110をON状態として、ゲート配線Giをハイ状態としてスイッチ用TFT112をON状態とする。このことで、ソース配線Sjに繋がる図示しないソースドライバ回路から有機EL109へ向け電流を流すことができる。このときソースドライバ回路で設定された電流値を駆動用TFT108が流すよう、駆動用TFT108のゲート端子電位

50

が設定される。

【0009】

また、この駆動用TFT108のゲート電位を保持するために、ゲート配線Giをロー状態としてスイッチ用TFT112をOFF状態として、駆動用TFT108のゲート端子に繋がる配線を遮断し、そのゲート端子の電位をコンデンサ111で保持させる。また、制御配線Wiをハイ状態として選択用TFT110をOFF状態として、制御配線Riをロー状態としてスイッチ用TFT107をON状態とし、先に設定した駆動用TFT108の出力電流値を有機EL109へ流し続けるよう制御する。

【非特許文献1】AM-LCD 2000 pp.249-252（発行日：2000年）

【非特許文献2】IDW '00 pp.235-238（発行日：2000年）

10

【発明の開示】

【発明が解決しようとする課題】

【0010】

上記非特許文献1や非特許文献2に記載の電流駆動回路構成では、選択用TFTをON状態とした期間において、ソースドライバ回路で設定された電流値を駆動用TFTが供給するよう設定されるので、有機ELを流れる電流値がその設定された電流値となる。このことにより、有機ELの印加電圧－電流特性が温度等の影響で変化しても、有機ELを流れる電流値が変化せず、その発光輝度が変化し難い画素回路構成となる。

【0011】

しかし、上記非特許文献1および非特許文献2の電流駆動画素回路構成では、画素当たり4個のTFTと1個のコンデンサおよびソース配線とゲート配線と電源配線とが必要である。

20

【0012】

その為、これら画素回路構成では、コンデンサや配線やTFTが必要とする場所を確保するため、画素サイズが限定され、200ppiを越えるような高精細表示が困難となる課題がある。また、ボトムエミッション構成（TFTを形成したガラス側から光を取り出す構成）では、これらコンデンサや配線やTFTに場所を取られてしまい、有機ELを形成する為の電極面積（ITO等透明電極面積）が小さくなるという課題がある。

【0013】

また、各駆動用TFT101、108の閾値がばらつくと、各有機EL素子103、109に印加される電流値もばらつき、発光量がばらついて表示品質が低下するという問題も生じている。

30

【0014】

そこで、上記配線やTFT等の素子数を減らし、有機ELを形成する為の電極面積を大きくできて発光量を増大化でき、また、各駆動用TFT101、108の閾値がばらついても、有機ELを流れる電流値の変化を防止して表示品質の低下を回避できる電流駆動画素回路構成が求められる。

【0015】

本発明は、上記のような、発光表示のための画素回路構成において、配線数や素子数を低減でき、または、安定な多階調階調表示を実現できる発光表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0016】

本発明の発光表示装置は、上記課題を解決するために、第1配線と、第1配線に対し交差するように配置された第2配線と、第1配線および第2配線が交差する領域に配置され、第1配線から印加される電流値に応じて発光する電気光学素子と、第1配線に接続され、制御端子の電位値に基づき電気光学素子に対する電流値を制御して印加するためのアクティブ素子と、制御端子への電位値を保持するための電位保持手段と、電気光学素子に電流を供給してアクティブ素子の制御端子の電位を設定するための電流供給手段と、アクティブ素子を介して電気光学素子に電流を印加するための電圧供給手段と、第1の期間にお

50

いては、電流供給手段を第1配線に接続してアクティブ素子の出力電流値を電位保持手段に設定し、第1の期間と異なる第2の期間では、電圧供給手段を第1配線に接続し、上記電気光学素子に対して電流を印加するように、第2配線からの信号に応じて切り替える切替手段とを有することを特徴としている。

【0017】

上記構成によれば、1フレーム期間を複数の選択期間に分割し、選択期間に2つの期間を設け、第1の期間では第1配線をソース配線として用い、選択した画素回路のアクティブ素子へ第1配線より所望の電流を流す。

【0018】

このことにより、上記構成においては、選択された画素のアクティブ素子の出力電流値を規定でき、第2の期間では第1配線を電源配線として用い、総ての画素回路のアクティブ素子へ第1配線より所定の電圧を印加できる。

10

【0019】

このことによって、総ての画素のアクティブ素子は先に選択されら際に設定された所望の電流を電気光学素子へ流せる。

【0020】

このことにより、アクティブ素子へ所望の電流を供給するか所定の電圧を供給するか切り替える回路を、画素毎に配置する必要がなくなり、画素当たり配置する素子数を減らせる。その結果、画素サイズを小さくできる。また、ボトムエミッション構成（TF Tを形成したガラス側から光を取り出す構成）において、電気光学素子を配置するための電極面積を増やせる。

20

【0021】

このような表示装置では、第1配線と繋がるソースドライバ回路を上記アクティブ素子と同じ素子で形成する場合と、IC等で形成し接続する場合が考えられる。

【0022】

ソースドライバ回路の出力電流値を256階調や64階調に対応させるためには、1つの第1配線当たり多くのアクティブ素子を必要とするので、前者の場合、そのドライバ面積が増え、歩留まりが下がることになる。

【0023】

そこで、ソースドライバ回路の出力電流値の階調数を減らし、1つの第1配線当たりのアクティブ素子数を減らすことが好ましい。

30

【0024】

このようなソースドライバ回路を用いて多階調表示を行う場合、時間分割階調表示方法を用いることが好ましい。

【0025】

上記発光表示装置では、さらに、上記電位保持手段の他方端子に接続された制御配線を有してもよい。

【0026】

本発明の発光表示装置では、第1の期間で選択した画素に配置されたアクティブ素子にのみ、第1配線から電流を流す必要がある。この場合、選択していない画素のアクティブ素子には電流が流れないように、各画素にスイッチ素子などを配置して制御することが考えられる。

40

【0027】

この場合、画素にスイッチ用素子を新たに1個追加することが考えられる。しかし、それでは画素当たり配置する素子数が増えるので好ましくない。

【0028】

そこで、第1の期間に上記アクティブ素子を上記スイッチ素子として動作させれば、画素当たり配置する素子数を増やすことなく、上記制御を行える。

【0029】

これは、選択していない上記アクティブ素子がOFF状態となるよう、アクティブ素子

50

の制御（ゲート）端子に繋がる電位保持手段の電位を制御することで可能となる。

【0030】

この場合、上記電位保持手段の他方端子（一方端子はアクティブ素子のゲート端子に繋がる）の電位を制御するための制御配線が必要になるだけなので、上記画素にスイッチ用素子を1個追加する場合の比べて、場所を取らず、画素に配置する電極面積（ITO等透明電極面積）を広く取れるという効果がある。

【0031】

上記発光表示装置においては、さらに、アクティブ素子の制御端子に、一方端子が接続された第2の電位保持手段と、アクティブ素子の制御端子および入力側端子を互いに接続する第1スイッチ手段と、第2の電位保持手段の他方端子を所定電位線またはアクティブ素子の入力側端子と接続する第2スイッチ手段とを有していてもよい。

10

【0032】

上記構成において、初めにアクティブ素子の制御（ゲート）端子と入力側（ソース）端子を接続して、その出力電流値を設定する。このとき、第2の電位保持手段の他方端子を所定電位線に接続する。

【0033】

そして、この後、アクティブ素子の制御端子と入力側端子を第2の電位保持手段を通して接続し、その出力電流値を再設定する。このとき、アクティブ素子の閾値電位に対応した電荷が第2の電位保持手段へ溜められている。従って、第2の電位保持手段の他方端子が所定電位線の電位のとき、アクティブ素子の制御端子電位は先の電流値を与える電位となる。

20

【0034】

このように、この第2の電位保持手段を通してアクティブ素子の制御（ゲート）端子と入力側（ソース）端子を接続することで、上記の入力側端子電位が先の所定電位線の電位となり、アクティブ素子の閾値電位のばらつきによらず、一定のアクティブ素子の入力側端子と出力側端子との間の電位を用いてアクティブ素子の電流値を設定できる。

【0035】

このことにより、上記第2の期間でアクティブ素子の入力側端子へ所定電位を印加したとき、その入力側端子の電位の変化がアクティブ素子の閾値電位のばらつきに依らず一定となるので、その第2の期間に各画素のアクティブ素子（駆動用TFT）から電気光学素子へ与えられる電流値のばらつきを抑えることができて好ましい。

30

【0036】

上記発光表示装置では、1フレーム期間に、上記アクティブ素子の出力電流値を複数回上記第1の期間に設定して階調表示を行うための階調制御手段を有することが好ましい。

【0037】

上記構成では、1フレーム期間を複数のサブフレーム期間に分け、上記アクティブ素子の出力電流値を各々の期間で所望の電流値とする。このことで、上記ソースドライバ回路の出力電流の階調数より多くの階調数を表示することができて好ましい。

【0038】

上記発光表示装置においては、1フレーム期間をN個の単位期間に分割し、更に各単位時間をA個の選択期間に分割し（NもAも正の整数）、上記各単位期間を構成するA個の選択期間を各々第1占有期間から第A占有期間とし、上記アクティブ素子へ設定する出力電流値に関するA個のデータを各々第1データから第Aデータとするとき、上記各占有期間に上記アクティブ素子へ設定される出力電流値が、上記第1データから第Aデータのうち何れか1つに固定されるように設定する設定手段を有することが望ましい。

40

【0039】

上記構成では、1フレーム期間をA個のサブフレーム期間に分け、各々の期間に上記アクティブ素子へ設定するデータを各々第1データから第Aデータとする。また、1フレーム期間をN個の単位期間に分け、各々の単位期間をA個の選択期間に分け、各々第1占有期間から第A占有期間とする。そして、上記第1データから第Aデータまでと上記第1占

50

有期間から第A占有期間までを1対1対応させる。

【0040】

そして、上記A個のデータの重み比率と各サブフレーム期間の長さ比率が概ね一致するように、任意の第2配線（ゲート配線）に対応するA個のデータの設定タイミングを決める。

【0041】

次に、次の第2配線（ゲート配線）に対応するA個のデータの設定タイミングを1単位期間ずらして設定していけば、各第2配線（ゲート配線）に対応するA個のデータの設定タイミングが互いに重なり合わないよう設定できる。なお、上記整数Nは表示装置の第2配線（ゲート配線）の数以上の整数である。

10

【0042】

そして、各選択期間に上記第1の期間と第2の期間を設けることで、第2の期間において、総ての電気光学素子へ上記各サブフレーム期間で設定され電流値が流れる。

【0043】

このことにより、上記ソースドライバ回路の出力電流値より多くの階調数を表示することができて好ましい。

【0044】

上記発光表示装置では、上記設定手段は、アクティブ素子へ設定されるA個のデータの内、1つのデータが常に電気光学素子を非表示状態とするように設定されていることが好ましい。

20

【0045】

上記構成においては、上記アクティブ素子へ出力電流値を設定する為にある程度の時間が必要である。そこで、その時間を確保するために各選択期間の長さの下限が決まる。

【0046】

一方、1フレーム期間は $N \times A$ 選択期間となるので、上記選択期間の長さは表示データ数Aと第2配線（ゲート配線）の数以上の整数Nで決まる。

【0047】

一方、表示したい階調数がSのとき1フレーム期間 $N \times A$ は $(S - 1)$ の倍数となる必要がある。

【0048】

30

しかし、上記 $N \times A$ を $(S - 1)$ の倍数とするためには、Nを上記第2配線（ゲート配線）の数と同じにはできず、大幅に増やす必要が生じる場合がある。

【0049】

このような時には、上記A個のデータのうち1つを非表示データとして、上記 $N \times A$ と $(S - 1)$ の倍数との差を上記非表示データで埋める。

【0050】

このことにより、上記Nを上記第2配線（ゲート配線）の数と同じにできるので、上記選択期間の長さを確保できて好ましい。

【0051】

上記発光表示装置においては、複数本の第1配線を複数のグループに分け、第1のグループが上記アクティブ素子の出力電流値を設定している、上記第1の期間の間、第2のグループが上記第2の期間として第1配線を電圧供給手段へ接続するようになっていてもよい。

40

【0052】

本発明の表示装置では、上記第1の期間と第2の期間が繰り返えられる。そこで、表示装置を構成するM本の第1配線を複数（2以上の整数）のグループに分け、各グループの第1の期間が順番に出現するよう制御する。

【0053】

このようにすれば、ソースドライバ回路の各電流出力回路の出力を順番に設定しながら、設定の済んだ電流出力回路から第1の期間として、設定された電流値を第1配線へ出力

50

することができる。

【0054】

この結果、ソースドライバ回路構成が簡素になるので、歩留まり向上等期待できて好ましい。

【発明の効果】

【0055】

本発明の発光表示装置は、第1の期間においては、電流供給手段を第1配線に接続してアクティブ素子の出力電流値を電位保持手段に設定し、第1の期間と異なる第2の期間では、電圧供給手段を第1配線に接続し、上記電気光学素子に対して電流を印加するように、第2配線からの信号に応じて切り替える切替手段とを有する構成である。

10

【0056】

上記構成によれば、第1の期間で第1配線を電流供給手段へ接続し、そのアクティブ素子の出力電流値を設定し、第2の期間では第1配線を電圧供給手段へ接続し上記電気光学素子へ電流を供給する。このことにより、画素当たりに必要な配線数と素子数が減らせ、画素サイズを小さくし、画素の高精細化に対応できるという効果を奏する。

【0057】

また、上記構成では、ボトムエミッション構成（TFTを形成したガラス側から光を取り出す構成）において、電気光学素子を配置するための電極面積を増やすこともできるという効果も奏する。

【0058】

20

また、上記発光表示装置では1フレーム期間に複数回、各画素を構成するアクティブ素子の出力電流値を設定することで、ソースドライバ回路の出力階調数より多くの階調表示ができるようになる。

【0059】

特に、1フレーム期間をN個の単位期間に分割し、更に各単位時間をA個の占有期間に分割し、アクティブ素子へ設定する複数個（A個）のデータと各占有期間を1対1で対応させることで、各ゲート配線Giに対する選択タイミングをお互いに重なり合わないよう決めることができる。このため、自由にタイミングを設定できるのでその効果は明らかである。

【0060】

30

また、上記A個のデータのうち1つを非表示データとすることで、1フレーム期間と表示期間の差を埋め、実際に存在するゲート配線数のみを選択すれば良くなるという効果を奏する。

【0061】

特に、第1配線を複数のグループに分け、第1グループが第1の期間のとき、第2グループを第2の期間とすることで、表示データDAのラッチと、画素回路の電流設定が並行して行える。これにより、1本の第1配線当たりのラッチ数を減らし、ドライバ面積を小さくし、狭額縁化、歩留まり向上が期待できるのでその効果は明らかである。

【0062】

特に、制御配線を用いてアクティブ素子の制御端子に接続された電位保持手段の電位を調整することで、画素当たりに必要な配線数と素子数が減らせる。これにより、より小さな画素サイズまで対応でき、ボトムエミッション構成（TFTを形成したガラス側から光を取り出す構成）において、電気光学素子を配置するための電極面積を増やすこともできるので、その効果は明らかである。

40

【0063】

特に、アクティブ素子の制御端子に第2の電位保持手段（コンデンサ）の一方端子が接続され、アクティブ素子の制御端子と第1配線側端子を接続する第1スイッチ手段と、第2の電位保持手段の他方端子を所定電位線またはアクティブ素子の第1配線側端子と接続する第2スイッチ手段を有する構成では、従来技術で示した図17や図18と同程度の配線数や素子数で、上記アクティブ素子としての駆動用TFTの閾値ばらつきによらず、一

50

定の電流を電気光学素子へ印加できるので、その効果は明らかである。

【発明を実施するための最良の形態】

【0064】

以下、本発明の発光表示装置について実施の各形態に基づき詳細に説明する。

【0065】

本発明に用いられるスイッチング素子は低温ポリシリコンTFTやCGシリコンTFTなどで構成できるが、本実施の各形態ではCGシリコンTFTを用いることとする。

【0066】

なお、このCGシリコンTFTの構成に関しては、半導体エネルギー研究所より、SID '00 Digest pp.924-927の "4.0-in. TFT-OLED Displays and a Novel Digital Driving Method" 等で発表されているので、ここではその詳細な説明は省略する。

10

【0067】

また、CGシリコンTFTプロセスに関しては、同じく半導体エネルギー研究所より、AM-LCD 2000 pp.25-28の "Continuous Grain Silicon Technology and Its Applications for Active Matrix Display" 等で発表されているので、ここではその詳細な説明は省略する。

【0068】

また、本実施の各形態で用いる電気光学素子である有機EL素子の構成についても、AM-LCD '01 pp.211-214の "Polymer Light-Emitting Diodes for use in Flat panel Display" 等で発表されているので、ここではその詳細な説明は省略する。

20

〔実施の第一形態〕

本発明に係る発光表示装置およびその駆動方法における実施の第一形態について説明する。本実施の形態の発光表示装置1においては、図1に示すように、複数の第1配線であるソース配線兼電源配線S1～S4 (Sj)と複数の第2配線であるゲート配線G1～G3 (Gi)とが交差する領域に各画素A11～A34 (Aij)がそれぞれマトリクス状となるように配置されている。なお、図1では、ソース配線兼電源配線Sjを4本、ゲート配線Giを3本として例を挙げたが、それらの本数は、図示のために少なく示しており、実際は、上記より多いものである。

【0069】

この発光表示装置の画素回路Aij構成は図1や図2に示すように、ソース配線兼電源配線Sjと共通電極Vcの間にアクティブ素子としての駆動用TFTQ1と電気光学素子である有機EL素子EL1が互いに直列に接続され、駆動用TFTQ1とソース配線兼電源配線Sjの間に、上記両者間を断接するためのスイッチ素子としてのスイッチ用TFT(切替手段)Q3が配置されている。駆動用TFTQ1のゲート端子は、駆動用TFTQ1のソース・ドレイン間を流れる電流を制御端子の電位値(閾値)によって断接し、また、制御端子の電位値(閾値を越える)により出力電流量の大小を制御するための制御端子である。

30

【0070】

また、駆動用TFTQ1のゲート・ドレイン間には、上記両者間を断接するためのスイッチ素子である選択用TFT(切替手段、第1スイッチ手段)Q2が配置され、駆動用TFTQ1のソース・ゲート間には、コンデンサ(第1電位保持手段)C1が配置されている。これら、スイッチ用TFTQ3のゲート端子には、制御配線Eiが接続されている。選択用TFTQ2のゲート端子に対しては、ゲート配線Giが接続されている。

40

【0071】

この発光表示装置のソース配線兼電源配線Sjには、図1に示すようにソースドライバ回路2が接続され、ゲート配線Giにはゲートドライバ回路3が接続されている。ゲートドライバ回路3は図示しないデコーダやラッチやレベルシフタを備えている。ソースドライバ回路2は図に示すシフトレジスタ5とラッチ回路6と電流供給回路7と各スイッチ回路8、9を有している。

【0072】

50

スイッチ回路（切替手段）９はソース配線兼電源配線 S_j をスイッチ回路８へ繋ぐか、電圧供給手段としての所定電圧源４へ繋ぐか択一的に切り替える回路である。スイッチ回路８はスイッチ回路９に対して、電流供給手段としての電流供給回路７の電流を供給するか、所定電圧源４から OFF 電位を供給するか択一的に切り替える回路である。

【００７３】

このスイッチ回路８へ入力される信号は、ラッチ回路６により保持された表示データ DA である。上記シフトレジスタ５には図３の３）に示すスタートパルス SP が入力される。そのスタートパルス SP は図示しないクロックと同期して互いに隣り合う各シフトレジスタ５間を順次転送される。

【００７４】

また、ラッチ回路６には図３の２）に示す表示データ DA と転送されたスタートパルス SP とが入力され、そのスタートパルス SP のタイミングで表示データ DA を捉えラッチ回路６に保持する。この保持された表示データ DA によりスイッチ回路８から電流供給回路７の電流を供給するか、所定電圧源４から OFF 電位を供給するか切り替わる。

【００７５】

また、ゲートドライバ回路３には図３の４）のアドレス信号 GAD が入力され、図示しないデコーダ回路でデコードされ、アドレス信号 GAD に対応するゲート配線 Gi や制御配線 Ei へ図３の６）～１１）に示す各タイミングでゲート配線 Gi 、制御配線 Ei からの各制御信号がそれぞれ出力される。

【００７６】

また、ソース配線兼電源配線 S_j へスイッチ回路８を接続するか、所定電圧源４を接続するか切り替える制御信号 SL が図３の５）に示すタイミングでゲートドライバ回路３からスイッチ回路９へ出力される。制御信号 SL は、ゲート配線 Gi や制御配線 Ei の各信号に対応したものである。

【００７７】

そして、図３の５）に示す制御信号 SL がハイ状態の時に第１の期間であり、スイッチ回路９によりソース配線兼電源配線 S_j とスイッチ回路８が接続される。スイッチ回路８にはラッチ回路６から表示データ DA が入力され、その表示データ DA がロー状態のとき、電流供給回路７よりソース配線兼電源配線 S_j へ所定電流が供給される。その表示データ DA がハイ状態のとき、所定電圧源４からソース配線兼電源配線 S_j へ OFF 電位が供給される。

【００７８】

この第１の期間では、選択した画素の制御配線 Ei だけがロー状態となり、その画素のスイッチ用 $TFTQ3$ が ON 状態となる。また、選択した画素のゲート配線 Gi がハイ状態をとり、その画素の選択用 $TFTQ2$ が ON 状態となる。

【００７９】

この結果、表示データ DA がロー状態となったラッチ回路６に対応したソース配線兼電源配線 S_j では、ソース配線兼電源配線 S_j から選択した画素のスイッチ用 $TFTQ3$ を通して駆動用 $TFTQ1$ へ向け所望の電流が流れる。

【００８０】

このとき、選択用 $TFTQ2$ が ON 状態なので、駆動用 $TFTQ1$ のゲート・ドレイン間が導通状態となり、駆動用 $TFTQ1$ のソース・ゲート間電位は、この駆動用 $TFTQ1$ がソース配線兼電源配線 S_j より供給された電流値を流すような電位に設定される。

【００８１】

そして、この後ゲート配線 Gi がロー状態となり、選択用 $TFTQ2$ が OFF 状態となり、この駆動用 $TFTQ1$ のソース・ゲート間電位がコンデンサ $C1$ に保持される。

【００８２】

また、表示データ DA がハイ状態となったラッチ回路６に対応したソース配線兼電源配線 S_j では、ソース配線兼電源配線 S_j から選択した画素のスイッチ用 $TFTQ3$ を通して駆動用 $TFTQ1$ のソース端子へ向け、 OFF 電位が供給される。

【0083】

このとき、選択用TFTQ2がON状態なので、駆動用TFTQ1のゲート・ドレイン間が導通状態となる。この供給されたOFF電位が共通電極電位Vcより低ければ、駆動用TFTQ1のゲート・ソース間電位はゲート側が高くなり、駆動用TFTQ1がOFF状態となる。

【0084】

また、駆動用TFTQ1がOFF状態となれば、有機EL素子EL1はコンデンサとして働き、共通電極電位Vcから駆動用TFTQ1のソース端子へ向け、2つのコンデンサが直列に繋がった構成となる。その後、ゲート配線Giがロー状態となり、選択用TFTQ2がOFF状態となり、この駆動用TFTQ1のソース・ゲート間電位がコンデンサC1に保持される。

10

【0085】

その後、第2の期間となり、制御信号SLがロー状態となり、ソース配線兼電源配線Sjへ所定電圧源4より所定電圧が供給される。また、総ての画素の制御配線Eiがロー状態となり、スイッチ用TFTQ3がON状態となり、ソース配線兼電源配線Sjより先に設定された出力電流値の電流が駆動用TFTQ1を通して有機EL素子EL1へ向け流れる。

【0086】

以下、図3の4)2)に示すようにアドレス信号GADと対応する表示データDAを変化させながら上記動作を繰り返す。

20

【0087】

このようにソース配線兼電源配線Sj(第1配線)を用いて、第1の期間で選択された画素に対応した有機EL素子EL1に対して所望の電流を供給して駆動用TFTQ1の電位を設定し、第2の期間で総ての画素の駆動用TFTQ1に所定の電圧を供給して上記電位に基づく出力電流値を有機EL素子EL1に流す。このように、ソース配線兼電源配線Sjを兼用することで、画素あたりに必要な配線数と素子数を減らすことができる。これは、図2の画素回路構成と従来技術で示した図17や図18の画素回路構成を比較すれば明らかである。

【0088】

このように画素あたりに必要な配線数と素子数を減らすことで、小さな画素サイズまで対応できる。また、ボトムエミッション構成(TFTを形成したガラス側から光を取り出す構成)において、電気光学素子としての有機EL素子EL1を配置するための電極面積を増やして発光量を増大化できる効果もある。

30

【0089】

そこで、上記第1の期間で電流供給回路7より出力される電流値が表示階調数に合わせて制御できれば、1フレーム期間に1回各画素の駆動用TFTQ1の出力電流値を設定すれば済む。

【0090】

しかし、このソースドライバ回路2をCGシリコンTFTで形成する場合、出力電流値を表示階調数に合わせるためには、1つの第1配線当たり多くのアクティブ素子を必要とする。このため、ドライバ回路面積が増えたり、歩留まりが下がったりする等の問題がある。

40

【0091】

そこで、図1の発光表示装置では電流供給回路7の出力電流値を1つの状態として、ドライバ回路面積を抑えている。その代わり、図3に示すように1フレーム期間に複数回各画素の駆動用TFTQ1への出力電流値を設定している。

【0092】

このように1フレーム期間を複数のサブフレーム期間に分け、アクティブ素子としての上記駆動用TFTQ1の出力電流値を各々の期間で所望の電流値とすることで、上記ソースドライバ回路2の出力電流値の階調数より多くの階調数を表示することができる。

50

【0093】

そこで、このような時分割階調駆動方法の好ましい例を図4に示す。図4は図3のアドレス信号GADと表示データDAの重みの関係を簡略化して示したものである。図3や図4では、1フレーム期間に各画素を4回選択して階調表示をしている。この4回のデータの重みは図4に示すように、1:2:3:6となっている。また、図1の発光表示装置で1ゲート配線Gi数は3なので、1フレーム期間を $3 \times 4 = 12$ 選択期間とする。

【0094】

この1フレーム期間は、図4に示すように、3単位時間に分割され、各単位時間が4個の選択期間に分割されている。図4では、これら各単位時間を構成する4個の選択期間を順番に第1占有期間から第4占有期間として示している。また、上記各画素へ表示させる4個のデータを順番に第1データから第4データまでとしている。

10

【0095】

この第1データから第4データまでのデータの重み比率が図4に示す通り1:2:3:6なので、図4の4)に示すとおり、ゲート配線G1に対応する画素には第1選択期間で第1データが表示され、第2選択期間で第2データが表示され、第4選択期間で第3データが表示され、第7選択期間で第4データが表示される。

【0096】

このゲート配線G1に対応する選択タイミングが1単位時間ずれて、図4の5)に示すとおり、ゲート配線G2に対応する選択タイミングとなる。さらに、1単位時間ずれて、図4の6)に示す通り、ゲート配線G3に対応する選択タイミングとなる。この図4から判るとおり、第1占有期間には必ず第1データが表示され、第2占有期間には必ず第2データが表示され、第3占有期間には必ず第4データが表示され、第4占有期間には必ず第3データが表示される。

20

【0097】

このように、各占有期間に特定のデータに対応する各データの重みやタイミングを調整することで、1つのゲート配線Giに対応する選択タイミングさえ決めれば、他のゲート配線Gkに対する選択タイミングをお互いに重なり合わないよう決めることができる。

【0098】

この走査タイミングの決め方は、最初にゲート配線Gi数以上の、ある整数N（仮想ゲート配線数）と、各画素を選択する回数Aを決める。このとき、各画素へ表示する階調数をSとすると、

30

1フレーム期間 = $N \times A$ 選択期間 = $(S - 1) \times$ 最小階調表示期間 $\cdots (1)$
となる。

【0099】

上記画素を選択する回数Aはその画素に表示するデータ数となる。そこで、このA個のデータの重みと順番を調整し、図5に示すように、1つの占有期間に1つのデータに対応するようにする。具体的には、 $N = 3$ 、 $A = 4$ としてSを(1)式より13として、最小階調表示期間を1選択期間とする。

【0100】

そして、第1データを第1占有期間におき、その表示期間である1選択期間において第2データを第2占有期間におく。第2占有期間の表示期間は2選択期間として、第3データを第4占有期間におく。第4データは残された第3占有期間におく必要があるので、第3データの表示期間は3選択期間とする。また、第4データの表示期間は1フレーム期間の残り総てとして6選択期間となる。

40

【0101】

この各データの表示期間の長さ、対応する占有期間の関係を示すために、図5に示す表を用いる。図5でbit番号と記載された項目が、上記第1データから第4データまでのどれに当たるかであり、bit重みと記載された項目が、各データの表示期間の比である。これら各データがどの占有期間に該当するかは、横に「●」がある枠の上の占有期間の番号を見ればよい。なお、図3や図4の走査タイミングでは、第1の期間が選択された

50

画素の第1の期間での発光量は重み計算に含まれていない。

【0102】

このように、ゲート配線数と表示階調数を基に、仮想ゲート配線数Nとサブフレーム数Aを決め、これらA個のデータの重みを決めることで、互いに重なり合わない走査タイミングを決めることができるので、好ましい。

〔実施の第二形態〕

本実施の形態では、本発明の発光表示装置およびその駆動方法の別の例について説明する。図6に示すのが、本発明の発光表示装置の第2の構成例である。図6に示すように、本実施の形態の発光表示装置10では第2配線を2つのグループに分け、第1のグループ（ソース配線兼電源配線S1～S2）が、前記の第1の期間のときの動作を実行すると共に、第2のグループが（ソース配線兼電源配線S3～S4）、前述の第2の期間のときの動作を実行するようになっている。そのために、制御信号SLの制御配線をSLAとSLBの2つに分け、ゲート配線GiもGiAとGiBの2つに分ける。

10

【0103】

画素回路構成も、図7に示すように、本発明のより好ましい画素回路構成とするために、アクティブ素子としての駆動用TF T Q 10のゲート端子に繋がる電位保持手段であるコンデンサC2の他方端子を制御配線Wiへ接続する。即ち、ソース配線兼電源配線Sjと共通電極Vcの間にアクティブ素子としての駆動用TF T Q 10と電気光学素子である有機EL素子EL2を直列に接続する。

【0104】

20

また、駆動用TF T Q 10のソース・ゲート間には、スイッチ素子としての選択用TF T Q 11を配置し、駆動用TF T Q 10のゲート端子と制御配線Wiとの間にはコンデンサC2を配置する。このスイッチ用TF T Q 11のゲート端子にゲート配線Giを接続する。

【0105】

この発光表示装置の画素のうち、ソース配線兼電源配線S1～S2に対応した画素Ai1～Ai2にゲート配線GiAと制御配線WiAが接続されている。また、ソース配線兼電源配線S3～S4に対応した画素Ai3～Ai4にゲート配線GiBと制御配線WiBが接続されている。

【0106】

30

この発光表示装置のソース配線兼電源配線Sjには、図6に示すようにソースドライバ回路11が接続され、ゲート配線Giにはゲートドライバ回路12が接続されている。ゲートドライバ回路12は図示しないデコーダやラッチやレベルシフタを有している。ソースドライバ回路11は図に示すシフトレジスタ5とラッチ回路6と電流供給回路7と各スイッチ回路8、13を備えている。

【0107】

スイッチ回路13はソース配線兼電源配線Sjをスイッチ回路8へ繋ぐか、所定電圧源4へ繋ぐか択一的に切り替える回路である。スイッチ回路8はスイッチ回路13へ電流供給回路7の電流を供給するか、所定電圧源4からOFF電位を供給するか択一的に切り替える回路である。

40

【0108】

このスイッチ回路13のソース配線兼電源配線S1～S2に対応したスイッチ回路は制御信号SLAにより制御され、ソース配線兼電源配線S3～S4に対応してスイッチ回路は制御信号SLBにより制御される。

【0109】

また、スイッチ回路8へ入力される信号は、ラッチ回路6により保持された表示データDAであるが、このシフトレジスタ5、ラッチ回路6、電流供給回路7の動作は実施の第一形態で示した図1の発光表示装置と同様なので、ここではその説明は省略する。

【0110】

また、ゲートドライバ回路12には図8の6)のアドレス信号GADが入力され、図示

50

しないデコーダ回路でデコードされ、アドレス信号GADに対応するゲート配線Giや制御配線Wiへ図8の9)～20)に示す各タイミングで各信号GiA、GiB、WiA、WiBが出力される。

【0111】

また、ソース配線兼電源配線Sjへスイッチ回路8を接続するか、所定電圧源4を接続するか切り替える各制御信号SLA、SLBが図8の7)8)に示すタイミングでゲートドライバ回路12からスイッチ回路13へ出力される。

【0112】

そして、図8の7)に示す制御信号SLAがハイ状態の時に第1のグループ(ソース配線兼電源配線S1～S2)の第1の期間であり、スイッチ回路13によりソース配線兼電源配線S1～S2とスイッチ回路8が接続される。このとき、図8の8)に示す制御信号SLBはロー状態であり第2のグループ(ソース配線兼電源配線S3～S4)は第2の期間となり、スイッチ回路13によりソース配線兼電源配線S3～S4と所定電圧源4が接続されている。

10

【0113】

そして、第1のグループに対応したスイッチ回路8にはラッチ回路6から表示データDAが入力され、その表示データDAがロー状態のとき、電流供給回路7よりソース配線兼電源配線Sjへ所定電流が供給される。その表示データDAがハイ状態のとき、所定電圧源4からソース配線兼電源配線SjへOFF電位が供給される。そして、この間、第2のグループに対応したラッチ回路6では表示データDAの取り込みと、電流供給回路7の出力電流値の更新が行われている。

20

【0114】

一方、図8の7)に示す制御信号SLAがロー状態の時に第1のグループ(ソース配線兼電源配線S1～S2)の第2の期間であり、第1のグループに対応したラッチ回路6では表示データDAの取り込みと、電流供給回路7の出力電流値の更新が行われている。

【0115】

また、第2のグループ(ソース配線兼電源配線S3～S4)は第1の期間となり、スイッチ回路13によりソース配線兼電源配線S3～S4とスイッチ回路8が接続される。そして、第2のグループに対応したスイッチ回路8にはラッチ回路6から表示データDAが入力され、その表示データDAがロー状態のとき、電流供給回路7よりソース配線兼電源配線Sjへ所定電流が供給される。その表示データDAがハイ状態のとき、所定電圧源4からソース配線兼電源配線SjへOFF電位が供給される。

30

【0116】

各グループの第1の期間では、選択した画素のゲート配線Gix(xはAかBに対応)がハイ状態となり、その画素の選択用TF T Q 1 1がON状態となる。この結果、表示データDAがロー状態となったラッチ回路6に対応したソース配線兼電源配線Sjにおいては、ソース配線兼電源配線Sjから選択した画素の駆動用TF T Q 1 0へ向け所望の電流が流れる。

【0117】

このとき、選択用TF T Q 1 1がON状態なので、駆動用TF T Q 1 0のソース・ゲート間が導通状態となり、駆動用TF T Q 1 0のゲート・ドレイン間電位は、この駆動用TF T Q 1 0がソース配線兼電源配線Sjより供給された電流値を流すような電位に設定される。なお、このとき、この画素のコンデンサC2の他方端子に繋がる制御配線Wixだけハイ状態としておく。

40

【0118】

そして、他の画素の駆動用TF T Q 1 0の電流状態を設定しているとき、この画素のコンデンサC2の他方端子に繋がる制御配線Wixをロー状態とする。このことにより、この画素の駆動用TF T Q 1 0のゲート電圧が低下し、本来電流を流す状態となっている画素の駆動用TF T Q 1 0でもOFF状態にできる。

【0119】

50

このため、この第1の期間において、ソース配線兼電源配線S_jから電流の供給を受けるのは、制御配線W_ixがハイ状態となっている、選択された画素の駆動用TFT10だけとなり、ソースドライバ回路11から所望の電流を流すことができる。

【0120】

また、表示データDAがハイ状態となったラッチ回路6に対応したソース配線兼電源配線S_jでは、ソース配線兼電源配線S_jから選択した画素の駆動用TFTQ10のソース端子へ向け、OFF電位が供給される。このとき、選択用TFTQ11がON状態なので、駆動用TFTQ1のソース・ゲート間が導通状態となり、ゲート端子に対し、上記OFF電位が印加される。この供給されるOFF電位は共通電極V_c電位より低いので、駆動用TFTQ10はOFF状態となる。

10

【0121】

そして、この後、ゲート配線G_iがロー状態となり、選択用TFTQ11がOFF状態となり、この駆動用TFTQ10のゲート・ドレイン間電位がコンデンサC2に保持される。

【0122】

その後、第2の期間となり、制御信号SL_xがロー状態となり、ソース配線兼電源配線S_jへ所定電圧源4より所定電圧が供給される。また、このグループに属する総ての画素の制御配線W_ixをハイ状態として、ソース配線兼電源配線S_jより先に設定された電流が駆動用TFTQ10を通して有機EL素子EL2へ向け流れるようにする。

【0123】

20

そして、図8に示すように、アドレス信号GADと対応する表示データDAを変化させながら、第1のグループが第1の期間となり第2のグループが第2の期間となる動作と、第1のグループが第2の期間となり第2のグループが第1の期間となる動作を交互に繰り返す。

【0124】

このように発光表示装置の第1配線を複数のグループに分け、第1のグループが（上記第1の期間となり）選択された画素の駆動用TFTQ10の出力電流値を設定している間、第2のグループが（上記第2の期間となり）第1配線を電圧供給手段としての所定電圧源4へ接続し、総ての画素の駆動用TFTQ10より設定された出力電流値を有機EL素子EL2へ流す動作を繰り返すことで、電流供給回路7から画素回路の駆動用TFTQ10の出力電流値を設定する動作と、表示データDAをラッチ回路6に取り込む動作を並行して行える。

30

【0125】

この結果、図6のように1本の第1配線としてのソース配線兼電源配線S_j当たりのラッチ回路6の数を1つに済ませられ、ソースドライバ回路11の構成を簡略化でき、ドライバ面積を小さくし、歩留まり向上が期待できる。また、図7の画素回路構成では、画素当たりの素子数が低減できるので、有機EL素子EL2を配置するための電極面積を増やせて好ましい。

【0126】

ところで、図8のタイミングを簡略化して示すと図9のようになる。図8や図9では、1フレーム期間に各画素を4回選択して階調表示をしている。また、各選択期間も発光期間となるので、4つのサブフレーム期間の発光期間比率は、図9に示すように2:7:4:3となっている。

40

【0127】

しかし、本実施の形態ではこれら4回の表示データの重みを図10に示すように2:8:4:0としている。なお、図10は図5と同様、図9の走査タイミングを表すものである。この占有期間3に配置する重み0のデータとは、第4データを常に非発光データ（図6のラッチ回路6の出力が常にハイ状態となるデータ）とすることを意味する。

【0128】

このように、各選択期間も発光期間とする場合、1つの表示データを常に非発光データ

50

とするのは、仮想ゲート配線数 N を調整しても、

$1 \text{ フレーム期間} = (N + 1) \times A = (\text{階調数 } S - 1) \times \text{最小階調表示期間}$
 とならない為である。そこで、 N を

$1 \text{ フレーム期間} = (N + 1) \times \text{データ数 } A > (\text{階調数 } S - 1) \times \text{最小階調表示期間}$
 となるよう設定し、上記差を埋めるため重み 0 のデータを用いる。なお、上記式で仮想ゲート配線数 N に加える 1 は各画素が第 1 の期間となり発光する回数 A を加えて、発光期間を計算するためである。

【0129】

上記図 8 のタイミングでは、

$$1 \text{ フレーム期間} = (3 + 1) \times 4 > (8 - 1) \times 2$$

となるので、その差を重み 0 のデータを用いて埋める。

【0130】

また、各選択期間を発光期間としない場合も、1 つの表示データを常に非発光データとすることで、

$1 \text{ フレーム期間} = N \times \text{データ数 } A > (\text{階調数 } S - 1) \times \text{最小階調表示期間}$
 となる場合に、その差を埋めることができる。

【0131】

なお、第 3 データが本来重み 8 であるべきなのに、7 期間しか表示されていない点については、ゲート配線 G_i 数が増えれば解消できる。

【0132】

即ち、ゲート配線数が 240 本、サブフレーム数を 8 とすると、1 フレーム期間は

$1 \text{ フレーム期間} = \text{ゲート配線数 } 240 \times \text{サブフレーム数 } 8 = 1920$ から、1920 選択期間となる。この発光表示装置で 64 階調表示しようとするとき、最小階調の表示期間は、

$1920 \text{ 選択期間} / 63 \text{ 階調} = 30.47 \text{ 選択期間}$
 となる。

【0133】

このように最小階調の表示期間が 30 選択期間もあれば、どれかのデータの表示期間を数選択期間変化させても、表示特性としてそれほど変わらない。

【0134】

そこで、図 11 に示すように、一部のデータの表示期間を調整して、相互に重なり合わないようなタイミングを作る。なお、この場合、最小階調の表示期間を 30 選択期間とするので 64 階調表示すると、

$\text{表示期間} = 30 \times (64 - 1) = 1890 \text{ 選択期間}$
 となり、上記表示期間と上記 1 フレーム期間とに差が出てくる。

【0135】

そこで、8 つの表示データのうち 1 つを 0 として、その差を埋め、表示データ重みを図 11 に示すように 1 : 2 : 4 : 8 : 16 : 16 : 16 : 0 とすることが好ましい。

【0136】

このように、各占有期間に各表示データを割り当てることで、1 つのゲート配線 G_i に対応する選択タイミングさえ決めれば、他のゲート配線 G_k に対する選択タイミングをお互いに重なり合わないよう決めることができるので好ましい。

【0137】

また、図 7 に示す画素回路構成では、駆動用 TFTQ10 を有機 EL 素子 EL2 の陽極へ接続したが、図 12 に示すように、駆動用 TFTQ を有機 EL 素子の陰極へ接続してもよい。

【0138】

なお、図 12 は図 7 同様、本発明の表示層で用いる画素回路構成であり、共通電極 V_c とソース配線兼電源配線 S_j との間に電気光学素子である有機 EL 素子 EL3 とアクティブ素子としての駆動用 TFTQ14 を直列に接続している。

10

20

30

40

50

【0139】

また、駆動用TFTQ14のゲート・ドレイン間にはスイッチ素子としての選択用TFTQ15を配置し、駆動用TFTQ14のゲート端子と制御配線Wiとの間には第1電位保持手段であるコンデンサC3を配置する。このスイッチ用TFTQ15ゲート端子にゲート配線Giを接続している。

【0140】

この画素回路構成を用いるときの駆動タイミングは、図8に示す制御配線Wiの信号極性を反転する必要があるが、その他は図7の画素回路構成と同様なので、その説明は省略する。

【0141】

10

〔実施の第三形態〕

本実施の形態では本発明の発光表示装置のさらに別の画素回路構成について説明する。図2の画素回路構成では第1の期間で選択用TFTQ2をON状態として、駆動用TFTQ1のゲート端子とドレイン端子とを接続して出力電流値を設定した。

【0142】

しかし、このときのソース電位は駆動用TFTQ1の閾値電位のばらつきによりばらつく。その後、第2の期間ではソース配線兼電源配線Sjには所定電位を印加するので、上記第1の期間のソース・ドレイン間電位のばらつきにより、その第2の期間に各画素の駆動用TFTから電気光学素子としての有機EL素子へ与えられる電流値がばらつく。

【0143】

20

そこで、このような場合、本実施の形態で用いる画素回路構成を用いると良い。即ち、図13に示すのが本実施の形態で用いる画素回路構成であり、ソース配線兼電源配線Sjと共通電極Vcの間にアクティブ素子としての駆動用TFTQ16と電気光学素子である有機EL素子EL4が直列に接続され、駆動用TFTQ16とソース配線兼電源配線Sjの間にスイッチ素子としてのスイッチ用TFTQ19が配置されている。

【0144】

また、駆動用TFTQ16のソース・ゲート間には（アクティブ素子のゲート端子とソース端子を接続する手段である）スイッチ用TFTQ（第1スイッチ手段）17が配置され、駆動用TFTQ16のゲート・ドレイン間には電位保持手段であるコンデンサC4が配置されている。さらに、駆動用TFTQ16のゲートと信号配線Tjの間にはコンデンサ（第2の電位保持手段）C5と選択用TFT（第2スイッチ手段）Q18が直列に配置されている。スイッチ用TFTQ19のゲート端子には、制御配線Wiが接続され、スイッチ用TFTQ17のゲート端子には、制御配線Ciが接続され、選択用TFTQ18のゲート端子には、ゲート配線Giが接続されている。

30

【0145】

また、この発光表示装置の電流供給回路7には図13に示すドライバ出力段回路Djが接続されている。即ち、信号配線Tjとソース配線兼電源配線Sjの間には（第2の電位保持手段の他方端子をアクティブ素子のソース端子と接続する手段である）スイッチ用TFTQ21を配置し、信号配線Tjと所定電圧線Vsとの間には（第2の電位保持手段の他方端子とアクティブ素子のソース端子と接続する手段である）スイッチ用TFTQ20を配置する。また、これら各スイッチ用TFTQ21、20のゲート端子には制御配線Ccを接続する。

40

【0146】

この発光表示装置では、図14に示すように、ゲート配線Giの選択期間が0～3t1であり、その間選択した、図14の1）にて示す制御配線Wiをロー状態とし、スイッチ用TFTQ19をON状態とする。そして、図14の3）にて示す制御配線Ciを時間0～t1の間ハイ状態としてスイッチ用TFTQ17をON状態とする。

【0147】

このことにより、駆動用TFTQ16のソース端子とゲート端子は接続し、スイッチ用TFTQ19を経由してソース配線兼電源配線Sjから所定電流が選択した画素Aijの

50

駆動用TFTQ16へ流れ、駆動用TFTQ16のゲート・ドレイン間電位は、上記所定電流値に対応した電位となる。

【0148】

このとき、図14の2)にて示すゲート配線Giを時間0～3t1の間ハイ状態として、選択用TFTQ18をON状態とし、コンデンサC5の他方端子を信号配線Tjへ接続しておく。さらに、図14の7)にて示す制御配線Ccを時間0～2t1の間ハイ状態として、スイッチ用TFTQ21をON状態とし、信号配線Tjと所定電圧線Vsを接続する。

【0149】

このことにより、コンデンサC5の他方端子が所定電圧線Vsの電位となった状態で、上記所定電流が流れるよう駆動用TFTQ16のゲート・ドレイン間電位が設定される。このとき、駆動用TFTQ16のソース・ドレイン間電位は駆動用TFTQ16の閾値電位のばらつきにより、ばらついた状態で上記駆動用TFTQ16のゲート・ドレイン間電位が設定される。

10

【0150】

その後、図14の3)にて示す制御配線Ciをロー状態として、スイッチ用TFTQ17をOFF状態として、図14の7)にて示す制御配線Ccをロー状態として、スイッチ用TFTQ21をON状態とする。

【0151】

このことにより、駆動用TFTQ16のソース端子とゲート端子はコンデンサC5を通して接続する。このコンデンサC5にはコンデンサC5の他方端子が所定電圧線Vsの電位であれば、駆動用TFTQ16に所定電流が流れるような電荷が蓄積されている。

20

【0152】

そして、スイッチ用TFTQ19を経由してソース配線兼電源配線Sjから所定電流が選択した画素Aijの駆動用TFTQ16へ流れるので、ソース配線兼電源配線Sjの電位は概ねVsとなり、その状態で所定電流が流れるよう駆動用TFTQ16のゲート・ドレイン間電位が修正される。

【0153】

また、この所定電流を流したとき有機EL素子EL4に発生する電位は各画素とも概ね等しい。このため、各画素の駆動用TFTQ16のゲート・ドレイン電位は駆動用TFTQ16のソース・ドレイン間電位が概ね一定の状態で、上記所定電流を流すよう設定される。

30

【0154】

その後、図14の2)にて示すゲート配線Giがロー状態となり選択用TFTQ18がOFF状態となる。そして、時間4t1～8t1の間、スイッチ回路が切り替わりソース配線兼電源配線Sjへ所定電圧が印加され、総ての画素の駆動用TFTQ16より有機EL素子EL4へ向け、上記期間に設定された出力電流値の電流が流れる。

【0155】

このように第2の期間でソース配線兼電源配線Sjより所定電位を印加したとき、本実施の形態の画素回路構成では、駆動用TFTQ16の閾値電位ばらつきによらず、上記第1の期間で設定された出力電流値の電流が駆動用TFTQ16より有機EL素子EL4へ与えることができる。

40

【0156】

また、図15に示すのは、上記画素回路構成を変形した例であり、図13のコンデンサC5がドライバ出力段回路Dj側にコンデンサ(第2の電位保持手段)C8として移動している。このため、駆動用TFTQ23のソース端子とゲート端子を接続するスイッチ用TFTQ17もドライバ出力段回路Dj側にスイッチ用TFTQ28として移動している。即ち、図15に示すのが本実施の形態で用いる第2の画素回路構成であり、ソース配線兼電源配線Sjと共通電極Vcの間にアクティブ素子としての駆動用TFTQ23と電気光学素子である有機EL素子EL5が直列に接続され、駆動用TFTQ23とソース配線

50

兼電源配線 S_j の間にスイッチ素子としてのスイッチ用 $TFTQ25$ が配置されている。

【0157】

また、駆動用 $TFTQ23$ のゲート・ドレイン間には電位保持手段であるコンデンサ $C7$ が配置されている。さらに、駆動用 $TFTQ23$ のゲートと信号配線 T_j の間には選択用 $TFTQ24$ が配置されている。これらスイッチ用 $TFTQ25$ や選択用 $TFTQ24$ のゲート端子には各々制御配線 W_i やゲート配線 G_i が接続されている。

【0158】

また、ドライバ出力段回路 D_j では、信号配線 T_j とソース配線兼電源配線 S_j の間に（アクティブ素子のゲート端子とソース端子を接続する手段である）スイッチ用 $TFTQ27$ が配置され、また、そのスイッチ用 $TFTQ27$ と並行にコンデンサ $C8$ と（第2の電位保持手段の他方端子とアクティブ素子のソース端子と接続する手段である）スイッチ用 $TFTQ28$ が直列に配置されている。

10

【0159】

そして、コンデンサ $C8$ とスイッチ用 $TFTQ28$ との接続点と所定電圧線 V_s の間に（第2の電位保持手段の他方端子をアクティブ素子のソース端子と接続する手段である）スイッチ用 $TFTQ26$ を配置する。また、各スイッチ用 $TFTQ26$ 、 27 のゲート端子には制御配線 C_c を接続し、スイッチ用 $TFTQ28$ のゲート端子には制御配線 B_c を接続する。

【0160】

この発光表示装置では、図16に示すように、ゲート配線 G_i の選択期間が $0 \sim 3t_1$ であり、その間選択した図16の1) にて示す制御配線 W_i をロー状態とし、スイッチ用 $TFTQ25$ をON状態とする。

20

【0161】

そして、図16の2) にて示すゲート配線 G_i を時間 $0 \sim 3t_1$ の間ハイ状態として、選択用 $TFTQ24$ をON状態とする。また、図16の5) にて示す制御配線 C_c を時間 $0 \sim t_1$ の間ハイ状態としてスイッチ用 $TFTQ27$ をON状態とする。

【0162】

このことにより、駆動用 $TFTQ23$ のゲート端子と信号配線 T_j は接続し、さらに信号配線 T_j とソース配線兼電源配線 S_j も接続するので、駆動用 $TFTQ23$ のソース端子とゲート端子は接続し、スイッチ用 $TFTQ25$ を経由してソース配線兼電源配線 S_j から所定電流が選択した画素 A_{ij} の駆動用 $TFTQ23$ へ流れ、駆動用 $TFTQ23$ のゲート・ドレイン間電位は、上記所定電流値に対応した電位となる。

30

【0163】

このとき、スイッチ用 $TFTQ26$ もON状態となるので、コンデンサ $C8$ の他方端子は所定電圧線 V_s と接続している。このことにより、コンデンサ $C8$ の他方端子が所定電圧線 V_s の電位となった状態で、上記所定電流が流れるよう駆動用 $TFTQ23$ のゲート・ドレイン間電位が設定される。

【0164】

このとき、駆動用 $TFTQ16$ のソース・ドレイン間電位は駆動用 $TFTQ16$ の閾値電位のばらつきにより、ばらついた状態で上記駆動用 $TFTQ16$ のゲート・ドレイン間電位が設定される。

40

【0165】

その後、図16の6) にて示す制御配線 B_c を時間 $2t_1 \sim 4t_1$ の間ハイ状態として、スイッチ用 $TFTQ28$ をON状態とする。このことにより、駆動用 $TFTQ23$ のソース端子とゲート端子はコンデンサ $C8$ を通して接続する。このコンデンサ $C8$ にはコンデンサ $C8$ 他方端子が所定電圧線 V_s の電位であれば、駆動用 $TFTQ23$ に所定電流が流れるような電荷が蓄積されている。

【0166】

そして、スイッチ用 $TFTQ25$ を経由してソース配線兼電源配線 S_j から所定電流が選択した画素 A_{ij} の駆動用 $TFTQ23$ へ流れるので、ソース配線兼電源配線 S_j の電

50

位は概ね V_s となり、その状態で所定電流が流れるよう駆動用 T F T Q 2 3 のゲート・ドレイン間電位が修正される。

【0167】

また、この所定電流を流したとき有機 E L 素子 E L 5 に発生する電位は各画素とも概ね等しい。このため、各画素の駆動用 T F T Q 2 3 のゲート・ドレイン電位は駆動用 T F T Q 2 3 のソース・ドレイン間電位が概ね一定の状態で、上記所定電流を流すよう設定される。

【0168】

その後、図 1 6 の 2) にて示すゲート配線 G_i がロー状態となり選択用 T F T Q 2 4 が O F F 状態となる。そして、時間 $4t_1 \sim 8t_1$ の間、スイッチ回路が切り替わりソース配線兼電源配線 S_j へ所定電圧が印加され、総ての画素の駆動用 T F T Q 2 3 より有機 E L 素子 E L 5 へ向け、上記期間に設定された電流が流れる。

10

【0169】

このように第 2 の期間でソース配線兼電源配線 S_j より所定電位を印加したとき、本実施の形態の画素回路構成では、駆動用 T F T Q 2 3 の閾値電位ばらつきによらず、上記第 1 の期間で設定された電流値が駆動用 T F T Q 2 3 より有機 E L 素子 E L 5 へ与えることができる。

【0170】

図 1 3 や図 1 5 の画素回路構成は従来技術で示した図 1 7 や図 1 8 と同程度の配線数や素子数である。

20

【0171】

しかし、図 1 3 や図 1 5 に示す、発光表示装置では、従来技術で示した図 1 7 や図 1 8 と同程度の配線数や素子数で、上記駆動用 T F T 1 6、2 3 の閾値ばらつきによらず、一定の電流を電気光学素子としての有機 E L 素子 4、5 に印加できる効果がある。

【0172】

本発明の発光表示装置は、第 1 配線（ソース配線兼電源配線）と第 2 配線（ゲート配線）が交差する領域に、アクティブ素子（駆動用 T F T）と電位保持手段（コンデンサ）と電気光学素子を配置した発光表示装置であって、1 フレーム期間を複数の選択期間に分割し、上記各選択期間のうち第 1 の期間では第 1 配線を電流供給手段へ接続し上記アクティブ素子の出力電流値を設定し、第 2 の期間では第 1 配線を電圧供給手段へ接続し上記電気光学素子へ電流を供給することを特徴としている。

30

【0173】

上記発光表示装置では 1 フレーム期間を複数の選択期間に分割し、選択期間に 2 つの期間を設け、第 1 の期間では第 1 配線をソース配線として用い、選択した画素回路のアクティブ素子へ第 1 配線より所望の電流を流す。このことにより、選択された画素のアクティブ素子の出力電流値を規定できる。

【0174】

第 2 の期間では第 1 配線を電源配線として用い、総ての画素回路のアクティブ素子へ第 1 配線より所定の電圧を印加する。このことにより、総ての画素のアクティブ素子は先に選択された際に設定された所望の電流を電気光学素子へ流せる。

40

【0175】

このように第 1 配線が、出力電流値を設定するためと、電源電圧を供給するためとに兼用されることにより、アクティブ素子へ所望の電流を供給するか所定の電圧を供給するか切り替える回路を、画素毎に配置する必要がなくなり、画素当たりに配置する素子数を減らせる。その結果、画素サイズを小さくできる。また、ボトムエミッション構成（T F T を形成したガラス側から光を取り出す構成）において、電気光学素子を配置するための電極面積を増やせる。

【0176】

ところで、このような発光表示装置では、第 1 配線と繋がるソースドライバ回路を上記アクティブ素子と同じ素子で形成する場合と、I C 等で形成し接続する場合が考えられる

50

。ソースドライバ回路の出力電流値を256階調や64階調に対応させるためには、1つの第1配線当たり多くのアクティブ素子を必要とするので、前者の場合、そのドライバ面積が増え、歩留まりが下がることになる。

【0177】

そこで、ソースドライバ回路の出力電流値の階調数を減らし、1つの第1配線当たりのアクティブ素子数を減らすことが好ましい。このようなソースドライバ回路を用いて多階調表示を行う場合、時間分割階調表示方法を用いることが好ましい。即ち、上記発光表示装置の階調表示方法として好ましい駆動方法は、1フレーム期間に複数回上記アクティブ素子の出力電流値を設定し、階調表示を行う駆動方法である。

【0178】

上記駆動方法では、1フレーム期間を複数のサブフレーム期間に分け、上記アクティブ素子の出力電流値を各々の期間で所望の電流値とする。このことで、上記ソースドライバ回路の出力電流の階調数に対し、より多くの階調数を表示することができて好ましい。

【0179】

特に、上記駆動方法では、1フレーム期間をN個の単位期間に分割し、更に各単位時間をA個の選択期間に分割し、上記各単位時間を構成するA個の選択期間を各々第1占有期間から第A占有期間とし、上記アクティブ素子へ設定する各出力電流値にそれぞれ対応する、複数個(A個)のデータを各々第1データから第Aデータとし、上記各占有時間に上記各アクティブ素子へ設定される出力電流値が、上記第1データから第Aデータのうち何れか1つに固定された駆動方法を用いることが好ましい(NもAも正の整数)。

【0180】

上記駆動方法では、1フレーム期間をA個のサブフレーム期間に分け、各々の期間に上記アクティブ素子へ設定するデータを各々第1データから第Aデータとする。また、1フレーム期間をN個の単位期間に分け、各々の単位期間をA個の選択期間に分け、各々第1占有期間から第A占有期間とする。そして、上記第1データから第Aデータまでと上記第1占有期間から第A占有期間までを1対1対応させる。

【0181】

そして、上記A個のデータの重み比率と各サブフレーム期間の長さ比率が概ね一致するように、任意の第2配線(ゲート配線)に対応するA個のデータの設定タイミングを決める。

【0182】

次に、次の第2配線(ゲート配線)に対応するA個のデータの設定タイミングを1単位期間ずらして設定していけば、各第2配線(ゲート配線)に対応するA個のデータの設定タイミングが互いに重なり合わないよう設定できる。なお、上記整数Nは発光表示装置の第2配線(ゲート配線)の数以上の整数である。

【0183】

そして、各選択期間に上記第1の期間と第2の期間とを設けることで、第2の期間において、総ての電気光学素子へ上記各サブフレーム期間で設定された電流値が流れる。このことにより、上記ソースドライバ回路の出力電流値より多くの階調数を表示することができて好ましい。

【0184】

特に、上記駆動方法では、上記アクティブ素子へ設定されるA個のデータのうち、1つのデータが常に電気光学素子を非表示状態となるように設定されていることが好ましい。

【0185】

上記駆動方法では、上記アクティブ素子へ出力電流値を設定する為にある程度の時間が必要である。そこで、その時間を確保するために各選択期間の長さの下限が決まる。

【0186】

1フレーム期間は $N \times A$ 選択期間となるので、上記選択期間の長さは表示データ数Aと第2配線(ゲート配線)の数以上の整数Nで決まる一方、表示したい階調数がSのとき1フレーム期間 $N \times A$ は $(S - 1)$ の倍数となる必要がある。

【0187】

しかし、上記 $N \times A$ を $(S - 1)$ の倍数とするためには、 N を上記第2配線（ゲート配線）の数と同じにはできず、大幅に増やす必要となる場合がある。

【0188】

このような時には、上記 A 個のデータのうち1つを非表示データとして、上記 $N \times A$ と $(S - 1)$ の倍数との差を上記非表示データで埋める。

【0189】

このことにより、上記 N を上記第2配線（ゲート配線）の数と同じにできるので、上記選択期間の長さを確保できて好ましい。

【0190】

特に、上記発光表示装置では、 M 本の第1配線を複数のグループに分け、第1のグループが上記アクティブ素子の出力電流値を設定している上記第1の期間の間、第2のグループが、上記第2の期間として、第1配線を電圧供給手段へ接続することが好ましい。

【0191】

本発明の発光表示装置では、上記第1の期間と第2の期間が繰り返えられる。そこで、発光表示装置を構成する M 本の第1配線を複数（2以上の整数）のグループに分け、各グループの第1の期間が順番に出現するよう制御する。

【0192】

このようにすれば、ソースドライバ回路の各電流出力回路の出力を順番に設定しながら、設定の済んだ電流出力回路から第1の期間として、設定された電流値を第1配線へ出力することできる。この結果、ソースドライバ回路構成が簡素になるので、歩留まり向上等期待できて好ましい。

【0193】

特に、上記発光表示装置の画素回路構成は、アクティブ素子のゲート端子に電位保持手段が接続され、上記電位保持手段の他方端子が第3配線（制御配線）と接続されていることが好ましい。

【0194】

本発明の発光表示装置では、第1の期間で選択した画素に配置されたアクティブ素子にのみ、第1配線から電流を流す必要がある。この場合、選択していない画素のアクティブ素子には電流が流れないように、各画素にスイッチ素子等を配置して制御することが考えられる。

【0195】

この場合、画素にスイッチ用素子を新たに1個追加することが考えられる。しかし、それでは画素当たりに配置する素子数が増えるので好ましくない。

【0196】

そこで、第1の期間に上記アクティブ素子を上記スイッチ素子として動作させれば、画素当たりに配置する素子数を増やすことなく、上記制御を行える。これは、選択していない上記アクティブ素子がOFF状態となるよう、アクティブ素子のゲート端子に繋がる電位保持手段の電位を制御することで可能となる。

【0197】

この場合、上記電位保持手段の他方端子（一方端子はアクティブ素子のゲート端子に繋がる）の電位を制御するための第3配線が必要になるだけなので、上記画素にスイッチ用素子を1個追加する場合の比べて、場所を取らず、画素に配置する電極面積（ITO等透明電極面積）を広く取れるという効果がある。

【0198】

特に、上記発光表示装置の画素回路構成は、アクティブ素子のゲート端子に第2の電位保持手段（コンデンサ）の一方端子が接続され、アクティブ素子のゲート端子とソース端子と断接するスイッチ手段と、第2の電位保持手段の他方端子を所定電位線またはアクティブ素子のソース端子とを断接するスイッチ手段を備えることが好ましい。

【0199】

上記構成において、初めにアクティブ素子のゲート端子とソース端子を接続して、その出力電流値を設定する。このとき、第2の電位保持手段の他方端子を所定電位線に接続する。そして、この後、アクティブ素子のゲート端子とソース端子とが第2の電位保持手段を通して接続され、その出力電流値を再設定する。

【0200】

このとき、アクティブ素子の閾値電位に対応した電荷が第2の電位保持手段へ溜められている。従って、第2の電位保持手段の第2端子が所定電位線の電位するとき、アクティブ素子のゲート端子電位は先の電流値を与える電位となる。

【0201】

このように、この第2の電位保持手段を通してゲート端子とソース端子を接続することで、ソース端子電位が先の所定電位線の電位となり、アクティブ素子の閾値電位のばらつきによらず、一定のソース・ドレイン電位を用いてアクティブ素子の出力電流値を設定できる。

【0202】

このことにより、上記第2の期間でアクティブ素子のソース端子へ所定電位を印加したとき、そのソース電位の変化がアクティブ素子の閾値電位のばらつきに依らず一定となるので、その第2の期間に各画素の駆動用TFTから電気光学素子へ与えられる電流値のばらつきを抑えることができて好ましい。

【産業上の利用可能性】

【0203】

本発明の発光表示装置は、電流駆動発光素子を有する表示装置において、構成を簡素化して小型化できたり、発光のばらつきを低減して表示品質を向上できたりできるから、上記電流駆動発光素子を備える、有機ELディスプレイやFEDディスプレイ等に好適に利用できる。

【図面の簡単な説明】

【0204】

【図1】本発明の実施の第一形態に係る、発光表示装置の回路構成を示すブロック図である。

【図2】上記発光表示装置の画素部分の等価回路図である。

【図3】上記発光表示装置の駆動方法を示す一走査（1フレーム）期間でのタイミングチャートである。

【図4】上記タイミングチャートの要部記載図である。

【図5】上記タイミングチャートの別記載となる表である。

【図6】本発明の実施の第二形態に係る、発光表示装置の回路構成を示すブロック図である。

【図7】上記発光表示装置の画素部分の等価回路図である。

【図8】上記発光表示装置の駆動方法を示す一走査（1フレーム）期間でのタイミングチャートである。

【図9】上記タイミングチャートの要部記載図である。

【図10】上記タイミングチャートの別記載となる表である。

【図11】上記タイミングチャートのさらに別記載となる表である。

【図12】上記発光表示装置の一変形例を示す画素部分の等価回路図である。

【図13】本発明の実施の第三形態に係る、発光表示装置の回路構成を示すブロック図である。

【図14】上記発光表示装置の駆動方法を示すタイミングチャートである。

【図15】上記発光表示装置の一変形例を示す画素部分の等価回路図である。

【図16】上記一変形例での駆動方法を示すタイミングチャートである。

【図17】従来例で示した有機ELの画素回路構成を示す等価回路図である。

【図18】従来例で示した有機ELの他の画素回路構成を示す等価回路図である。

【符号の説明】

10

20

30

40

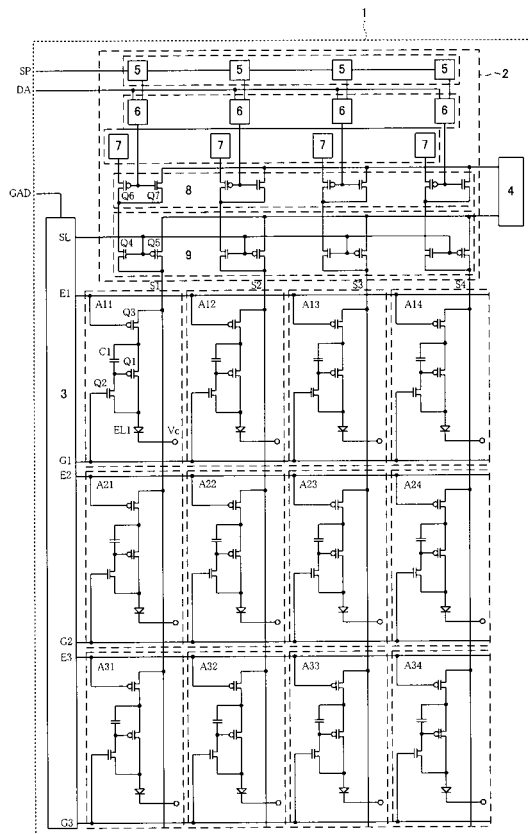
50

【0205】

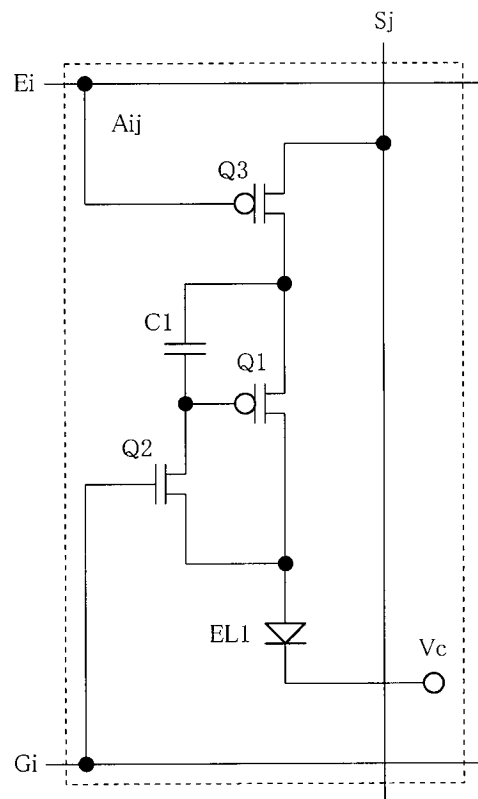
Q1～Q28：TFT、C1～C8：コンデンサ、EL1～EL5：有機EL素子、
Sj：ソース配線兼電源配線、Gi：ゲート配線、Ei：制御配線、Dj：ドライバ出力段回路

1：発光表示装置、2：ソースドライバ回路、3：ゲートドライバ回路、4：電源回路、
5：シフトレジスタ、6：ラッチ、7：電流源回路、8，9：スイッチ回路、10：発
光表示装置、11：ソースドライバ回路、12：ゲートドライバ回路、13：スイッチ回
路、

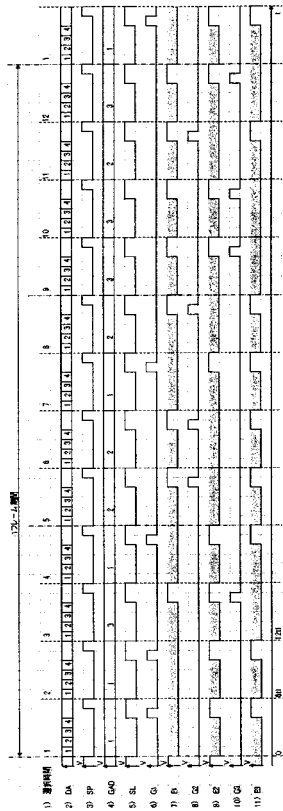
【図1】



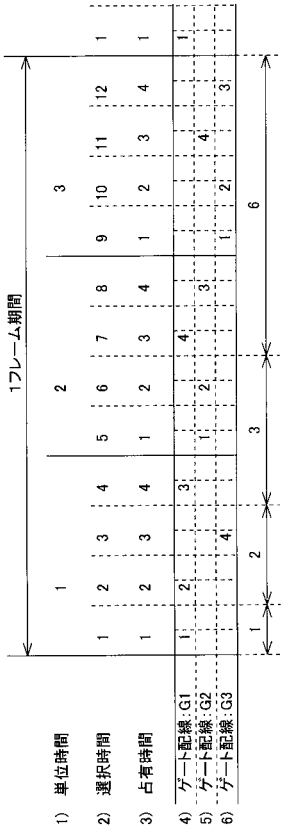
【図2】



【図 3】



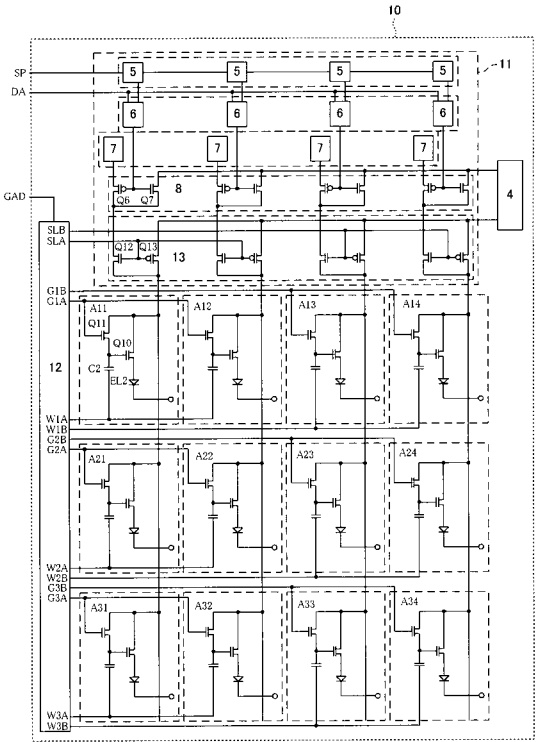
【図 4】



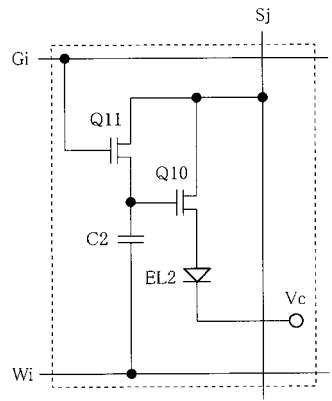
【図 5】

合計	bit番号	bitの重み	占有期間の番号			
			1	2	3	4
1	1	1	●			
3	2	2		●		
6	3	3			●	
12	4	6			●	●

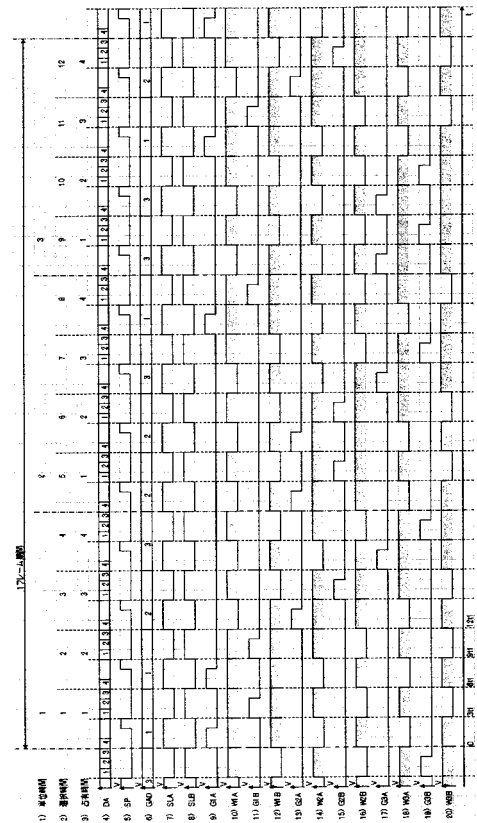
【図 6】



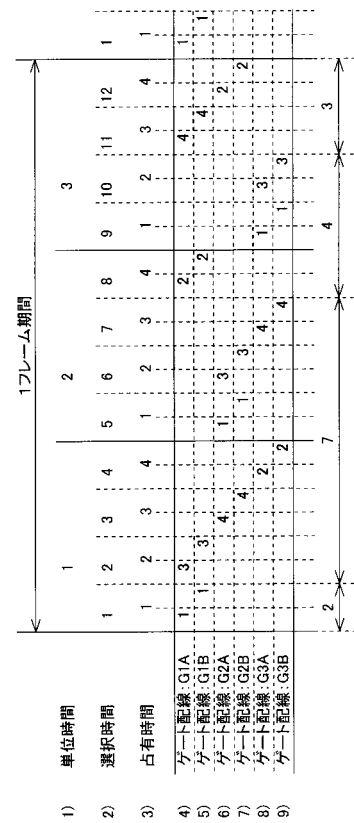
【図 7】



【図 8】



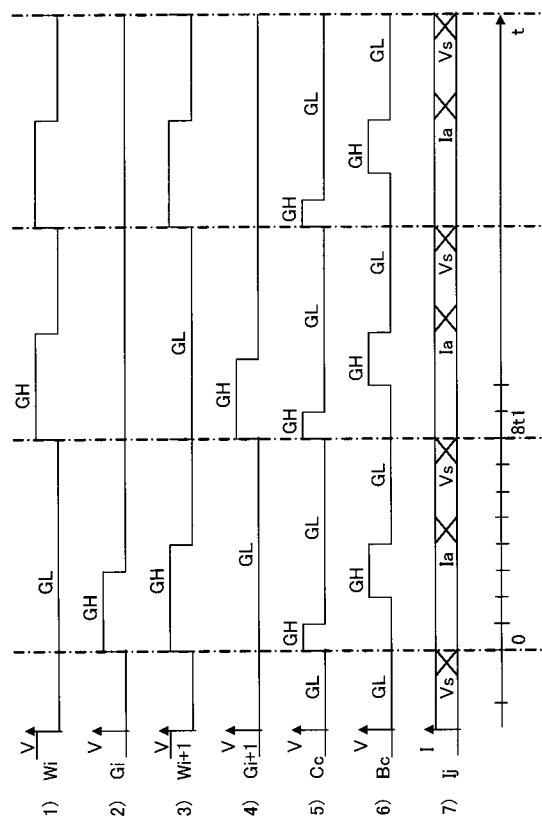
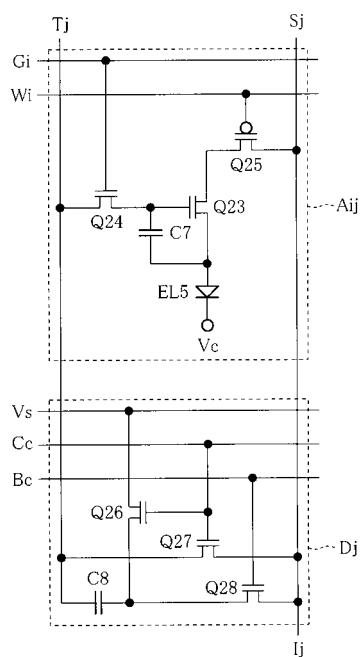
【図 9】



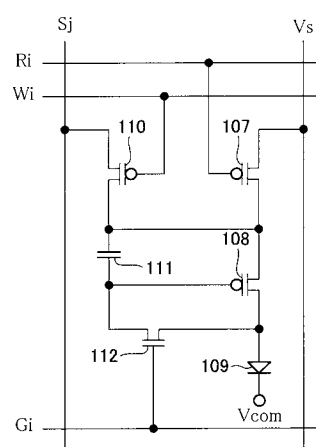
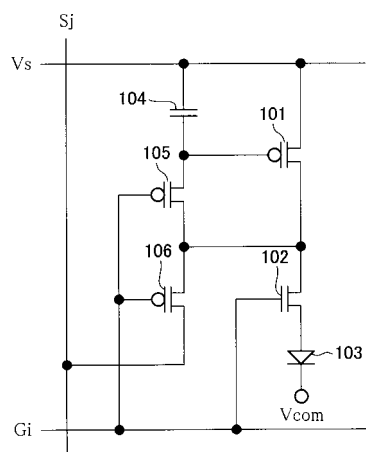
【図 10】

bit番号	bitの重み	占有期間の番号			
		1	2	3	4
1	2	●			
3	8		●		
2	4				●
4	0			●	

【図 16】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 1 E
G 0 9 G 3/20 6 4 1 K
H 0 5 B 33/14 A

(72)発明者 仙田 孝裕
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 室井 孝夫
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 一宮 誠

(56)参考文献 特開2002-189448 (JP, A)
特開2003-177713 (JP, A)
特開2003-099000 (JP, A)
特開2003-216106 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38

专利名称(译)	发光显示装置		
公开(公告)号	JP4223363B2	公开(公告)日	2009-02-12
申请号	JP2003335583	申请日	2003-09-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	沼尾孝次 仙田孝裕 室井孝夫		
发明人	沼尾 孝次 仙田 孝裕 室井 孝夫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.623.D G09G3/20.623.R G09G3/20.623.V G09G3/20.624.B G09G3/20.641.D G09G3/20.641.E G09G3/20.641.K H05B33/14.A G09G3/20.611.F G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD07 5C080/DD23 5C080/DD28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/KK07 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB21 5C380/AB24 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA12 5C380/BA13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CB31 5C380/CC13 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC42 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD024 5C380/CF07 5C380/CF09 5C380/CF24 5C380/CF51 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA08 5C380/DA16		
代理人(译)	木岛隆一 金子 一郎		
审查员(译)	一宫诚		
其他公开文献	JP2005099621A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有电流驱动型像素电路的发光显示装置，该像素电路能够减少每个像素的元件数量，实现高清晰度并增加孔径比。ŽSOLUTION：发光显示装置具有彼此交叉的第一布线Sj和第二布线Gi，用于发出与第一布线Sj和第二布线Gi交叉的区域中的外加电流值对应的光的有机EL元件EL1，用于驱动 TFT Q1，用于根据控制端子的电位值，用于将电位值保持到控制端子的电容器C1以及各个开关元件9，Q2将电流值控制并施加到有机EL元件EL1。用于执行切换的Q3和Q3使得第一布线Sj连接到电流供应电路7，并且用于驱动 TFT Q1 的输出电流值在第一周期中设置在电容器C1中，并且第一布线Sj连接到规定的电压源4和在与第一周期不同的第二周期中将电流施加到有机EL元件EL1。Ž

