

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-222592

(P2014-222592A)

(43) 公開日 平成26年11月27日(2014.11.27)

|                                      |              |             |
|--------------------------------------|--------------|-------------|
| (51) Int.Cl.                         | F I          | テーマコード (参考) |
| <b>H05B 33/24 (2006.01)</b>          | H05B 33/24   | 3K107       |
| <b>H05B 33/08 (2006.01)</b>          | H05B 33/08   |             |
| <b>H01L 51/50 (2006.01)</b>          | H05B 33/14 A |             |
| <b>H05B 33/22 (2006.01)</b>          | H05B 33/22 Z |             |
| <b>H05B 33/28 (2006.01)</b>          | H05B 33/28   |             |
| 審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く |              |             |

|           |                              |            |                                |
|-----------|------------------------------|------------|--------------------------------|
| (21) 出願番号 | 特願2013-101459 (P2013-101459) | (71) 出願人   | 502356528                      |
| (22) 出願日  | 平成25年5月13日 (2013. 5. 13)     |            | 株式会社ジャパンディスプレイ                 |
|           |                              |            | 東京都港区西新橋三丁目7番1号                |
|           |                              | (74) 代理人   | 110000408                      |
|           |                              |            | 特許業務法人高橋・林アンドパートナーズ            |
|           |                              | (72) 発明者   | 徳田 尚紀                          |
|           |                              |            | 東京都港区西新橋三丁目7番1号 株式会            |
|           |                              |            | 社ジャパンディスプレイ内                   |
|           |                              | (72) 発明者   | 宮本 光秀                          |
|           |                              |            | 東京都港区西新橋三丁目7番1号 株式会            |
|           |                              |            | 社ジャパンディスプレイ内                   |
|           |                              | F ターム (参考) | 3K107 AA01 BB01 CC07 CC37 DD10 |
|           |                              |            | DD22 DD27 DD39 DD90 DD95       |
|           |                              |            | DD96 EE03 EE33 FF15            |

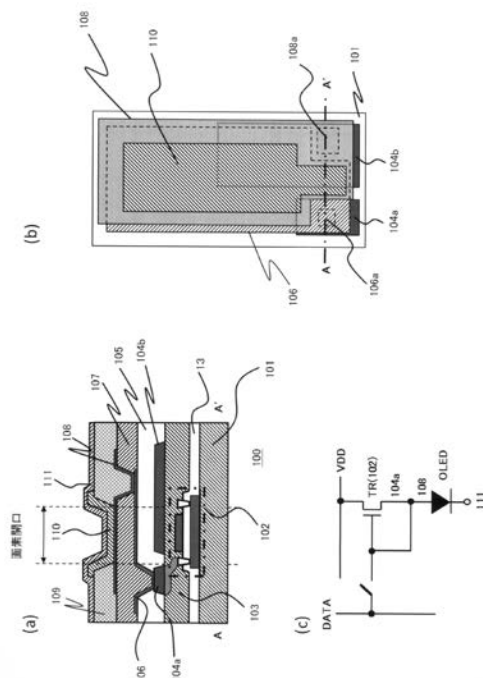
(54) 【発明の名称】 表示装置

## (57) 【要約】

【課題】マイクロキャピティ効果を緩和して色度の視覚変化を低減するとともに、必要な電荷を保持可能な画素キャパシタを別途領域を確保することなく形成可能な表示装置を提供する

【解決手段】基板上にマトリクス状に配置された複数の画素と前記複数の画素にそれぞれ対応して配置された複数の薄膜トランジスタとを有する表示装置であって、前記薄膜トランジスタ及び前記薄膜トランジスタと接続する配線を覆う平坦化膜と、前記平坦化膜上に形成された反射層と、前記反射層を覆う光路長拡大層と、前記光路長拡大層上に形成された画素透明電極と、を有し、前記画素は有機EL層を含むことを特徴とする表示装置。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

基板上にマトリクス状に配置された複数の画素と前記複数の画素にそれぞれ対応して配置された複数の薄膜トランジスタとを有する表示装置であって、

前記薄膜トランジスタ及び前記薄膜トランジスタと接続する配線を覆う平坦化膜と、

前記平坦化膜上に形成された反射層と、

前記反射層を覆う光路長拡大層と、

前記光路長拡大層上に形成された画素透明電極と、

を有し、

前記画素は有機 E L 層を含むことを特徴とする表示装置。

10

**【請求項 2】**

前記反射層は、前記配線および前記画素透明電極と接続されることを特徴とする請求項 1 に記載の表示装置。

**【請求項 3】**

前記反射層は、前記配線と接続され、容量形成することを特徴とする請求項 2 に記載の表示装置。

**【請求項 4】**

前記反射層は、フローティング電極であることを特徴とする請求項 1 に記載の表示装置。

**【請求項 5】**

前記反射層と前記画素透明電極とが接続され、容量形成することを特徴とする請求項 1 に記載の表示装置。

20

**【請求項 6】**

前記反射層と前記画素透明電極とが接続され、第 1 の容量を形成し、

かつ前記反射層と前記配線とが接続され、第 2 の容量を形成することを特徴とする請求項 1 に記載の表示装置。

**【請求項 7】**

前記光路長拡大層は、アクリル樹脂、ポリイミド樹脂等の樹脂または SiO<sub>2</sub>、SiN 等の無機絶縁膜であることを特徴とする請求項 1 から 6 のいずれか一項に記載の表示装置。

**【請求項 8】**

さらに上部電極を有し、上部電極と前記反射層との間の距離が 500 nm 以上であることを特徴とする請求項 1 から 7 のいずれか一項に記載の表示装置。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は表示装置に関し、より詳細には視角特性が改善された有機 E L 表示装置に関する。

**【背景技術】****【0002】**

近年、様々な有機 E L (Organic Electroluminescence) 表示装置が活発に開発されている (例えば、特許文献 1 及び特許文献 2)。

40

**【0003】**

薄膜トランジスタ (TFT) を用いた有機 E L 表示装置においては、発光面積を大きくするため、カソード電極 (陰極) 側より光を取り出すトップエミッション型の有機 E L 素子が広く用いられている。

**【0004】**

このトップエミッション型の有機 E L 素子においては、アノード電極 (陽極、反射電極) とカソード電極 (陰極) との間で発光層による発光が多重に反射・干渉することによりマイクロキャビティ効果を生じる。マイクロキャビティ効果により、発光スペクトル幅 (

50

半値幅)は急峻になり、輝度と色純度が向上する(例えば、特許文献1)。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-32327号公報

【特許文献2】特開2002-343555号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

マイクロキャビティ効果により、発光スペクトル幅(半値幅)を急峻にして、正面から見た時の輝度を向上させると、斜め方向から見た場合に、多重反射を含む光路長の変化による波長変化が大きくなる。その結果、視角変化にともなう色度変化が大きくなり、視角特性が悪化してしまうという欠点を有する。

10

【課題を解決するための手段】

【0007】

そこで、本発明は、アノード電極側の反射部とカソード電極との間の距離を大きくすることにより、マイクロキャビティ効果を緩和して色度の視角変化を低減するとともに、必要な電荷を保持可能な画素キャパシタを別途領域を確保することなく形成可能な表示装置を提供することを目的とする。

【0008】

20

380nm~780nmの可視光領域でのマイクロキャビティ効果を緩和するためには、アノード電極の反射部とカソード電極との間の距離を一定値以上(例えば、500nm以上)開ければよい。

【0009】

本発明の一実施形態に係る表示装置は、基板上にマトリクス状に配置された複数の画素と前記複数の画素にそれぞれ対応して配置された複数の薄膜トランジスタとを有する表示装置であって、前記薄膜トランジスタ及び前記薄膜トランジスタと接続する配線を覆う平坦化膜と、前記平坦化膜上に形成された反射層と、前記反射層を覆う光路長拡大層と、前記光路長拡大層上に形成された画素透明電極とを有し、前記画素は有機EL層を含むことを特徴とする。

30

【0010】

前記反射層は、前記配線および前記画素透明電極と接続されてもよい。

【0011】

また、前記反射層は、前記配線および前記画素透明電極と接続され、容量形成してもよい。

【0012】

前記反射層は、フローティング電極であってもよい。

【0013】

前記反射層と前記画素透明電極とが接続され、容量形成してもよい。

【0014】

40

前記反射層と前記画素透明電極とが接続され、第1の容量を形成し、かつ前記反射層と前記配線とが接続され、第2の容量を形成してもよい。

【0015】

前記光路長拡大層は、アクリル樹脂、ポリイミド樹脂等の樹脂またはSiO<sub>2</sub>、SiN等の無機絶縁膜であってもよい。

【0016】

さらに上部電極を有し、上部電極と前記反射層との間の距離が500nm以上であってもよい。

【発明の効果】

【0017】

50

本発明によれば、有機ＥＬ層およびカソード電極に変更を加えることなく、マイクロキャピティ効果を緩和して色度の視角による変化を低減するとともに、安定した画像表示に必要な電荷を保持可能な画素容量を別途領域を確保することなく形成可能な表示装置を提供することができる。

【図面の簡単な説明】

【００１８】

【図１】本発明の一実施形態に係る表示装置の概略構成を示す平面図である。

【図２】本発明の一実施形態に係る表示装置１００の概略構成を示す図である。

【図３】本発明の他の実施形態に係る表示装置２００の概略構成を示す図である。

【図４】本発明の他の実施形態に係る表示装置３００の概略構成を示す図である。

10

【図５】本発明の他の実施形態に係る表示装置４００の概略構成を示す図である。

【図６】本発明の他の実施形態に係る表示装置５００の概略構成を示す図である。

【図７】本発明の一実施形態に係る表示装置１００の薄膜トランジスタ１０１ｂの構成例を示す図である。

【図８】従来の表示装置の概略構成を示す図である。

【発明を実施するための形態】

【００１９】

以下、図面を参照しながら、本発明の表示装置の実施形態について説明する。なお、本発明の表示装置は、以下の実施形態に限定されることはなく、種々の変形を行ない実施することが可能である。

20

【００２０】

図１に、本発明の一実施形態に係る表示装置１００の概略構成を示す。本実施形態に係る表示装置１００は、基板１０１上に形成された、表示領域１２１、ドライバＩＣ１２２、ＦＰＣ（フレキシブル プリンティッド サーキット）１２３、及び走査線駆動回路１２４を備える。表示領域１２１には、図中の横方向に走る複数の制御信号線ｇ１－１～ｇ１－３と縦方向に走る複数のデータ信号線ｄ１～ｄ３とが互いに交差して配置され、制御信号線ｇ１－１～ｇ１－３とデータ信号線ｄ１～ｄ３との交差部に対応する位置に、複数の画素１２５がマトリクス状に配置される。図１には、一例として、一画素１２５あたり３本の制御信号線ｇ１－１～ｇ１－３と１本のデータ信号線ｄ１とが交差して配置される構成を図示しているが、この構成に限定されるものではない。また、図示していないが、表示領域１２１内には電源線等の一定電圧を供給する配線が配置されてもよい。各画素１２５には、制御信号線ｇ１－１～ｇ１－３から供給される制御信号に応じて、画素１２５に供給されるデータ電圧の書き込みを制御することにより、画素１２５の発光を制御する薄膜トランジスタ１０２及びデータ信号線ｄ１～ｄ３から供給されるデータ電圧を保持するコンデンサを備えた画素回路が配置される。

30

【００２１】

以下、本発明における表示装置における画素回路と画素１２５、及びその層間構造について様々な実施形態を示して説明する。

【００２２】

（実施形態１）

40

図２は、本発明の一実施形態に係る表示装置１００の概略構成を示す図である。図２（ｂ）が表示装置１００の平面図であり、図２（ａ）は図２（ｂ）のａ－ａ'に沿った断面図である。図２（ｃ）は表示装置１００における回路図である。

【００２３】

表示装置１００は、基板１０１上に、薄膜トランジスタ１０２（図中、一点鎖線内）、層間絶縁膜１０３、配線１０４ａ及び１０４ｂ、平坦化膜１０５、反射層１０６、光路長拡大層１０７、画素透明電極１０８、バンク層１０９、有機ＥＬ層１１０、カソード電極１１１を備える。

【００２４】

基板１０１は絶縁性の材料であり、例えばガラスであるが、これに限らず、シリコンな

50

どであってもよい。基板 101 上には、基板 101 からの不純物をブロックするためにパッシベーション膜（図示せず）が形成される。パッシベーション膜は、例えば、酸化シリコン膜や窒化シリコン膜を、公知の技術（スパッタ法、P C V D 法、真空蒸着法等）を用いて形成する。

#### 【0025】

パッシベーション膜上に、薄膜トランジスタ 102 を構成するための半導体層が形成される。図 2 (a) 上では、薄膜トランジスタ 102 を簡略して示している。図 3 を参照して、薄膜トランジスタ 102 の構成の一例を説明する。図 3 に記載の薄膜トランジスタ 102 は、トップゲート型の薄膜トランジスタである。基板 101 上に、パッシベーション膜 11 が形成される。パッシベーション膜 11 上に半導体層 12 が形成される。半導体層 12 を覆ってゲート絶縁膜 13 が形成される。ゲート絶縁膜 13 上には、ゲート電極 14 が形成される。半導体層 12 に達するコンタクトホールを形成し、半導体層 12 のドレイン領域と接続されるドレイン電極 15 と、半導体層 12 のソース領域と接続されるソース電極 16 とが形成される。なお、薄膜トランジスタ 102 は、図 3 と異なる構成であってもよく、例えば、薄膜トランジスタ 102 はボトムゲート型の薄膜トランジスタであってもよい。

10

#### 【0026】

薄膜トランジスタ 102 のゲート電極を覆って、層間絶縁膜 103 が形成され、層間絶縁膜 103 上に配線 104 a 及び 104 b が形成される。この明細書で、配線 104 a、104 b とは、薄膜トランジスタ 102 の半導体層 12 のソース領域と接続されるソース配線や、半導体層 12 のドレイン領域と接続されるドレイン配線をいう。図 2 において、配線 104 a は、ドレイン電極 15 を介してドレイン領域と接続される。

20

#### 【0027】

なお、図示していないが、配線 104 a、104 b を覆って薄膜トランジスタ 102 全体を保護するためのパッシベーション膜が形成されてもよい。

#### 【0028】

配線 104 a、104 b 及び薄膜トランジスタ 102 全体を覆って平坦化膜 105 が形成される。平坦化膜 105 は、アクリル樹脂、ポリイミド樹脂等の樹脂を、数百 nm ~ 数  $\mu$  m 程度の膜厚で形成する。

#### 【0029】

平坦化膜 105 の上には、反射層 106 が形成される。反射層 106 は金属であって、例えば Ag、Al またはそれらの合金であってよく、光を反射する。反射層 106 は、コンタクトホール 106 a を介して配線 104 a と接続する。

30

#### 【0030】

反射層 106 を覆って光路長拡大層 107 が形成される。光路長拡大層 107 の材料は平坦化膜と同じ材料であるアクリル樹脂、ポリイミド樹脂等の樹脂でもよく、SiO<sub>2</sub>、SiN 等の無機絶縁膜でもよい。光路長拡大層 107 の膜厚を調整することにより、反射層 106 と、反射層 106 よりも上部にある各構成との距離を調整することができる。これにより、後述するように、反射層 106 とカソード電極 111 との距離を調整し、マイクロキャビティ効果を緩和することができる。

40

#### 【0031】

光路長拡大層 107 の上には、画素透明電極 108 が形成される。画素透明電極 108 はITO などの無機透明酸化物で構成され、透明である。画素透明電極 108 は、コンタクトホール 108 a を介して反射層 106 と接続する。隣接する画素の画素透明電極 108 を分断する位置に、バンク層 109 を形成する。

#### 【0032】

画素透明電極 108 上に、有機 EL 層 110 及び上部電極としてカソード電極 111 が形成される。本実施形態において、画素透明電極 108、有機 EL 層 110、及びカソード電極 111 を含んで画素 125 の有機 EL 素子が構成される。画素透明電極 108 は、有機 EL 素子におけるアノード電極である。カソード電極 111 には、光を透過する程度

50

に薄い Ag や、ITO といった無機透明酸化物が用いられ、カソード電極 111 は光を透過する。

#### 【0033】

本実施形態における有機 EL 素子発光用の電流経路は、図 2 (c) に示すとおり、薄膜トランジスタ 102 から配線 104a、反射層 106 を介して画素透明電極 108 に流れる。すなわち、薄膜トランジスタ 102 から、配線 104a 及び反射層 106 を通じて画素透明電極 108 にデータ信号に応じた電流が供給され、その電流が有機 EL 層 110 に供給されることによって有機 EL 層 110 が発光し、画像が形成される。

#### 【0034】

本実施形態における有機 EL 素子は、有機 EL 層 110 の下部に構成された画素透明電極 108 がアノードであり、有機 EL 層 110 の上部に構成されたカソード電極 111 がカソードであるトップカソード構造である。表示装置 100 において、反射層 106 は、有機 EL 層 110 からの光を反射し、有機 EL 層 110 による発光は、カソード電極 111 方向から取り出される。すなわち、表示装置 100 はトップエミッション型の有機 EL 表示装置である。なお、有機 EL 素子の構成は、公知の技術を用いて形成することができ、「RGB 塗り分け (Side-by-side RGB sub-pixel) 方式」による構成でもよく、白色発光層にカラー・フィルタを組み合わせた「カラー・フィルタ方式」を用いる有機 EL 素子の構成についても適用可能である。

#### 【0035】

有機 EL 層より下部に向かった光は、画素透明電極 108 を透過し、反射層 106 により上部へと反射する。

#### 【0036】

本実施形態における表示装置 100 は、光路長拡大層 107 を設け、反射層 106 と画素透明電極 108 とを別層として反射層 106 と画素透明電極の間に中間層を配置することにより、画素透明電極 108、有機 EL 層 110、カソード電極 111 間の距離を変更することなく、カソード電極 111 と反射層 106 との距離を大きく開けることができる。平坦化層 105 に形成したコンタクトホール 106a と光路長拡大層 107 に形成したコンタクトホール 108a とを、平面的にみて同じ位置に配置すると発光領域を広くすることができる。本実施形態では平坦化層 105 に形成したコンタクトホール 106a と光路長拡大層 107 に形成したコンタクトホール 108a とを、図 2 (b) のように平面的にみて異なる位置に配置した。コンタクトホール 106a とコンタクトホール 108a とをずれて配置したことにより、積み重ねられた層の上層部でも容易に平坦化できる。また、コンタクトホール 106a とコンタクトホール 108a との位置合わせが不要であるため、容易に製造できる。

#### 【0037】

従来の表示装置においては、図 8 に示すように、本実施形態における反射層 106 と画素透明電極 108 とに相当する構成が、1 つの反射電極 120 である。そのため、光路長拡大層 107 といった構成を設ける余地がなく、反射電極とカソード電極との間の距離を変更するためには、有機 EL 層の膜厚を変更するなどの必要があり、発光特性の制御が困難であった。

#### 【0038】

本実施形態においては、図 8 における従来の反射電極 112 に相当する構成を反射層 106 と画素透明電極 108 という 2 つの構成へと分離している。本実施形態では、カソード電極 111 と反射層 106 との距離を開けることにより、マイクロキャビティ効果を緩和することができる。望ましくは、カソード電極 111 と反射層 106 との間の距離は 500 nm 以上開いていると、可視光領域 (380 nm ~ 780 nm) でのマイクロキャビティ効果を緩和することができ好ましい。本発明においては、光路長拡大層 107 を設け、その膜厚を調整することにより、カソード電極 111 と反射層 106 との間の距離を 500 nm 以上開くことができる。

#### 【0039】

10

20

30

40

50

これにより、本実施形態における表示装置 100 は、有機 EL 層やカソード電極に変更を加えることなく視角特性を改善した発光特性の制御に優れたトップエミッション型の有機 EL 表示装置を提供することができる。

#### 【0040】

##### (実施形態 2)

次に、図 4 (a) 図 4 (b) 図 4 (c) を参照して、本発明の他の実施形態に係る表示装置 200 の構成について説明する。図 4 は、本発明の他の実施形態に係る表示装置 200 の概略構成を示す図である。図 4 (b) が表示装置 200 の平面図であり、図 4 (a) は図 4 (b) の a - a' に沿った断面図である。図 4 (c) は表示装置 200 における回路図である。

10

#### 【0041】

図 4 (a) における表示装置 200 は、図 2 (a) を参照して説明した表示装置 100 とほぼ同じ構成であるが、反射層 106 が、配線 104 b を介して、薄膜トランジスタ 102 のゲート電極 14 との間で容量 C1 を形成する点で異なる。本実施形態では、平坦化膜 105 を薄くして容量 C1 を形成した。

#### 【0042】

すなわち、反射層 106 を、画素透明電極 108 と同電位とし、電圧を印加することにより、反射層 106 と薄膜トランジスタ 102 のゲート電極 14 との間で容量 C1 を形成することができる。これにより、安定した画像表示に必要な電荷を保持可能な画素容量を、別途容量形成のための領域を新たに確保することなく形成可能となる。

20

#### 【0043】

##### (実施形態 3)

次に、図 5 (a) 図 5 (b) 図 5 (c) を参照して、本発明の他の実施形態に係る表示装置 300 の構成について説明する。図 5 (a) は、本発明の他の実施形態に係る表示装置 300 の概略構成を示す図である。図 5 (b) が表示装置 300 の平面図であり、図 5 (a) は図 5 (b) の a - a' に沿った断面図である。図 5 (c) は表示装置 300 における回路図である。

#### 【0044】

図 5 (a) における表示装置 300 は、図 2 (a) を参照して説明した表示装置 100 とほぼ同じ構成であるが、反射層 106 を配線 104 a と接続せず、フローティング電極とするとともに、画素透明電極 108 を、光路長拡大層 107 及び平坦化層 105 に形成されたコンタクトホール 108 a を介して配線 104 b と接続する点で異なる。

30

#### 【0045】

本実施形態における有機 EL 素子発光用の電流経路は、図 5 (c) に示すとおり、薄膜トランジスタ 102 から配線 104 b を介して画素透明電極 108 となる。すなわち、薄膜トランジスタ 102 から、配線 104 b を通じて画素透明電極 108 にデータ信号に応じた電流が供給され、その電流が有機 EL 層 110 に供給されることによって有機 EL 層 110 が発光し、画像が形成される。

#### 【0046】

図 5 (a) における表示装置 300 においては、図 2 (a) における表示装置 100 と異なり、光路長拡大層 107 の材料は、絶縁物に限られず、導電体であってもよい。

40

#### 【0047】

反射層 106 をフローティングまたは配線背層と別の電位の電極とすることにより、画素動作と有機 EL 素子発光の ON / OFF との寄生性の容量性カップリングを遮蔽することができ、表示装置 300 の安定動作が可能となる。また、画素透明電極 108 からの電流取り出し以外の位置的制約を受けないため、表示装置 300 の各構成について、配置自由度が高くなり、高開口化が可能となる。

#### 【0048】

##### (実施形態 4)

次に、図 6 (a) 図 6 (b) 図 6 (c) を参照して、本発明の他の実施形態に係る表示

50

装置 400 の構成について説明する。図 6 ( a ) は、本発明の他の実施形態に係る表示装置 400 の概略構成を示す図である。図 6 ( b ) が表示装置 400 の平面図であり、図 6 ( a ) は図 6 ( b ) の a - a ' に沿った断面図である。図 6 ( c ) は表示装置 400 における回路図である。

【 0049 】

図 6 ( a ) における表示装置 400 は、図 2 ( a ) を参照して説明した表示装置 100 と構成要素はほぼ同じであるが、画素透明電極 108 を光路長拡大層 107 及び平坦化層 105 に形成されたコンタクトホール 108 a を介して配線 104 b と接続し、反射層 106 と画素透明電極 108 との間で容量 C 1 ' を形成し、反射層 106 と画素透明電極 108 とが容量電極を兼ねる点で異なる。

10

【 0050 】

すなわち、反射層 106 を、配線 104 a と接続しつつ、画素透明電極 108 と独立させ、電圧を印加することにより、反射層 106 と画素透明電極 108 との間で容量 C 1 ' を形成することができる。これにより、安定した画像表示に必要な電荷を保持可能な画素容量を別途領域を確保することなく形成可能となる。

【 0051 】

本実施形態における有機 EL 素子発光用の電流経路は、図 6 ( c ) に示すとおり、薄膜トランジスタ 102 から配線 104 b を介して画素透明電極 108 となる。すなわち、薄膜トランジスタ 102 から、配線 104 b を通じて画素透明電極 108 にデータ信号に応じた電流が供給され、その電流が有機 EL 層 110 に印加されることによって有機 EL 層 110 が発光し、画像が形成される。

20

【 0052 】

( 実施形態 5 )

次に、図 7 ( a ) 図 7 ( b ) 図 7 ( c ) を参照して、本発明の他の実施形態に係る表示装置 500 の構成について説明する。図 7 ( a ) は、本発明の他の実施形態に係る表示装置 500 の概略構成を示す図である。図 7 ( b ) が表示装置 500 の平面図であり、図 7 ( a ) は図 7 ( b ) の a - a ' に沿った断面図である。図 7 ( c ) は表示装置 500 における回路図である。

【 0053 】

図 7 ( a ) における表示装置 500 は、図 5 ( a ) を参照して説明した表示装置 400 と構成要素はほぼ同じであるが、さらに、反射層 106 と薄膜トランジスタ 102 の電極との間で容量 C 1 を形成する点で異なる。実施形態 2 と実施形態 4 とを組み合わせた構成ともいえる。

30

【 0054 】

すなわち、反射層 106 を、配線 104 a と接続しつつ、画素透明電極 108 と独立させ、電圧を印加することで、反射層 106 と画素透明電極 108 との間で容量 C 1 ' を形成する。すなわち、反射層 106 と画素透明電極 108 とは容量電極を兼ねる。さらに、反射層 106 と薄膜トランジスタ 102 の電極との間で容量 C 1 を形成する。これにより、安定した画像表示に必要な電荷を保持可能な画素容量を別途領域を確保することなく形成可能となる。また、容量 C 1 及び容量 C 1 ' との併用により、より大きな容量を確保することができる。

40

【 0055 】

本実施形態における有機 EL 素子発光用の電流経路は、図 7 ( c ) に示すとおり、薄膜トランジスタ 102 から配線 104 b を介して画素透明電極 108 となる。すなわち、薄膜トランジスタ 102 から、配線 104 b を通じて画素透明電極 108 にデータ信号に応じた電流が供給され、その電流が有機 EL 層 110 に供給されることによって有機 EL 層 110 が発光し、画像が形成される。

【 0056 】

以上のように、本発明においては、従来の有機 EL 素子における有機 EL 層およびカソード電極に変更を加えることなく、マイクロキャピティ効果を緩和して色度の視角変化を

50

低減するとともに、安定した画像表示に必要な電荷を保持可能な画素容量を別途領域を確保することなく形成可能な表示装置を提供することができる。

【符号の説明】

【0057】

100、200、300、400、500 表示装置

101 基板

102 薄膜トランジスタ

103 層間絶縁膜

104 a、104 b 配線

105 平坦化膜

106 反射層

107 光路長拡大層

108 画素透明電極

109 バンク層

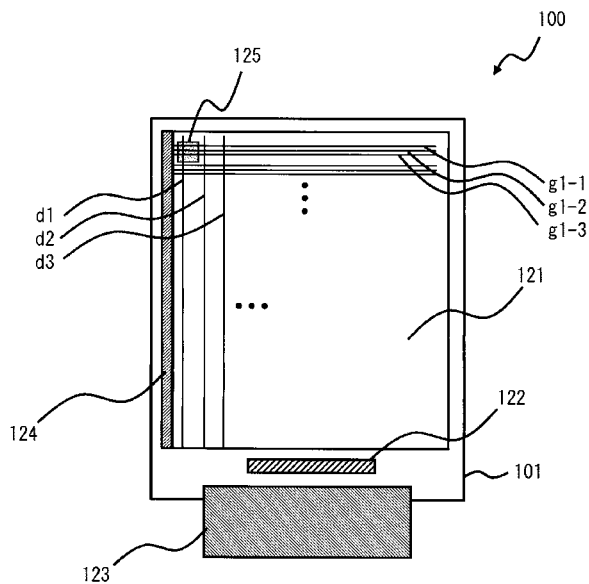
110 有機EL層

111 カソード電極

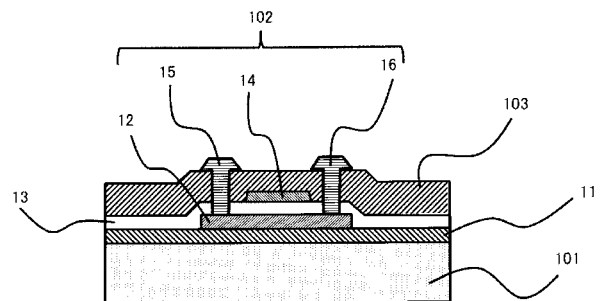
C1、C1' 容量

10

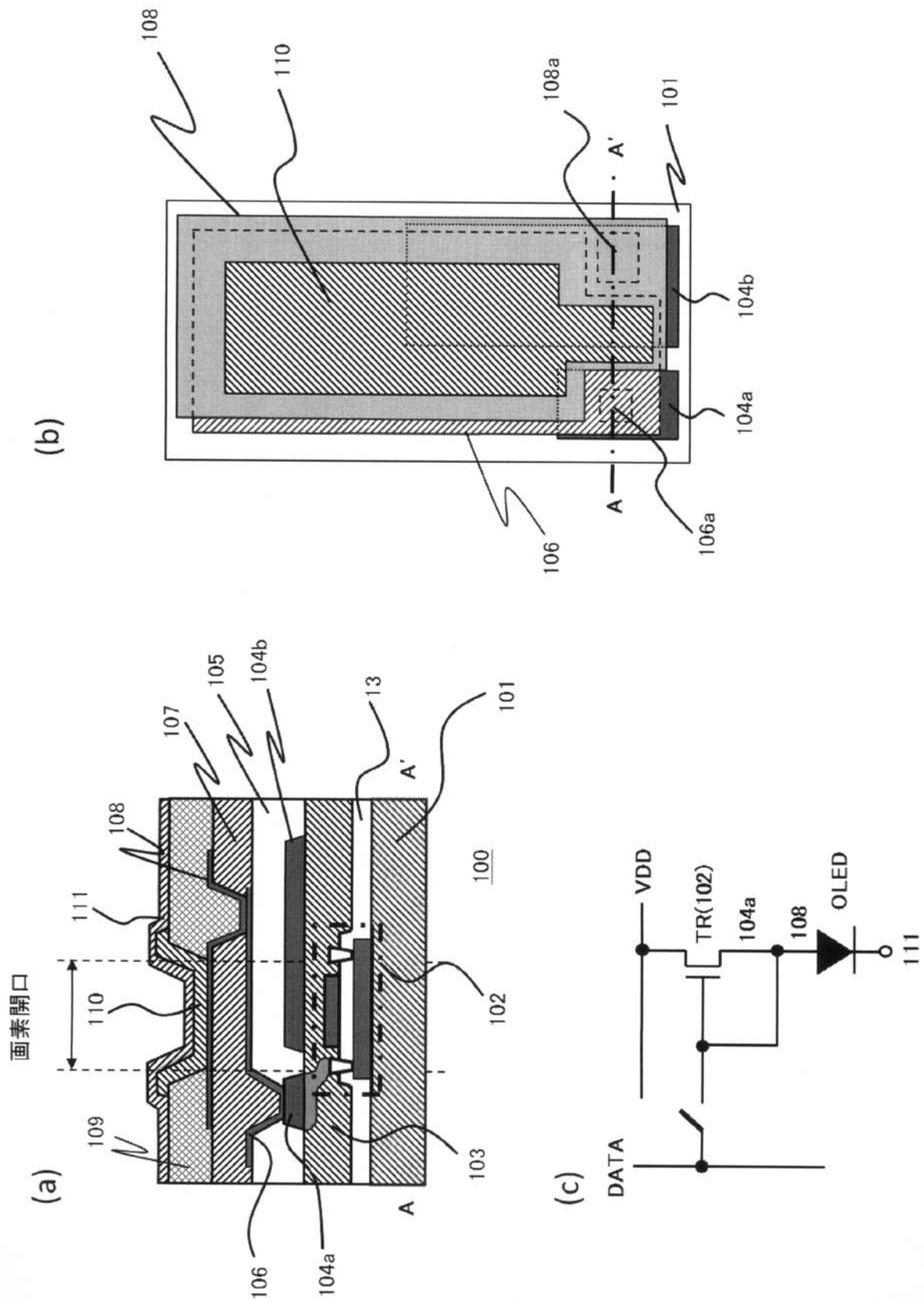
【図1】



【図3】



【 図 2 】



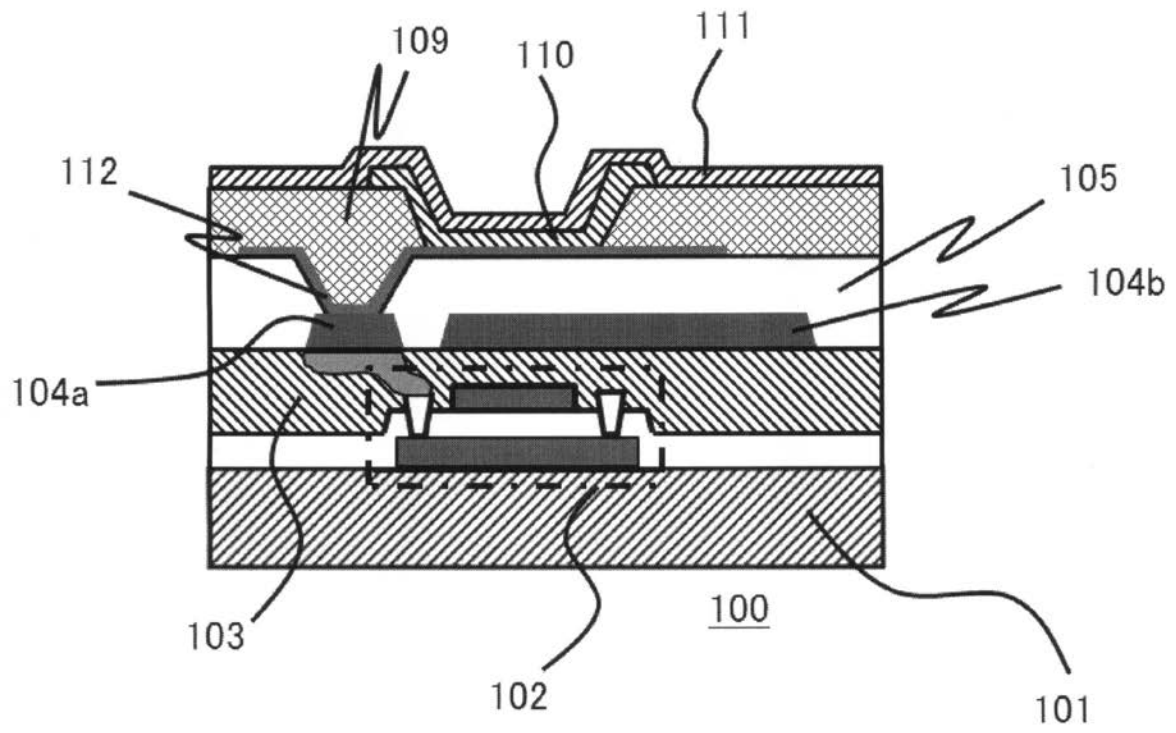
[illegible]

Figure 1 consists of three sub-diagrams labeled (a), (b), and (c).  
 (a) is a cross-sectional view of the device along line A-A'. It shows a substrate 101 with a buffer layer 102, a gate layer 103, and a data line 104a. A transistor TR(102) is formed on the substrate, with its gate connected to the data line 104a and its source connected to a power supply VDD. The transistor's drain is connected to an OLED pixel 108, which is further connected to a common electrode 109. The OLED pixel 108 is formed on a layer 110, which is on top of the gate layer 103. The common electrode 109 is formed on a layer 111, which is on top of the gate layer 103. The device is covered by a protective layer 106. Other layers shown include 105, 107, 108, 109, 110, and 111.  
 (b) is a cross-sectional view of the device along line A-A'. It shows a substrate 101 with a buffer layer 102, a gate layer 103, and a data line 104a. A transistor TR(102) is formed on the substrate, with its gate connected to the data line 104a and its source connected to a power supply VDD. The transistor's drain is connected to an OLED pixel 108, which is further connected to a common electrode 109. The OLED pixel 108 is formed on a layer 110, which is on top of the gate layer 103. The common electrode 109 is formed on a layer 111, which is on top of the gate layer 103. The device is covered by a protective layer 106. Other layers shown include 105, 107, 108, 109, 110, and 111.  
 (c) is a circuit diagram of the device. It shows a data line connected to a transistor TR(102). The gate of the transistor TR(102) is connected to the data line. The source of the transistor TR(102) is connected to a power supply VDD. The drain of the transistor TR(102) is connected to an OLED pixel 108, which is further connected to a common electrode 109. The OLED pixel 108 is formed on a layer 110, which is on top of the gate layer 103. The common electrode 109 is formed on a layer 111, which is on top of the gate layer 103. The device is covered by a protective layer 106. Other layers shown include 105, 107, 108, 109, 110, and 111.





【図 8】



---

フロントページの続き

(51) Int. Cl.

**H 0 5 B 33/06**

**(2006.01)**

F I

H 0 5 B 33/06

テーマコード ( 参考 )

|                |                                                                                                                                                           |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | <无法获取翻译>                                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">JP2014222592A5</a>                                                                                                                            | 公开(公告)日 | 2016-02-12 |
| 申请号            | JP2013101459                                                                                                                                              | 申请日     | 2013-05-13 |
| [标]申请(专利权)人(译) | 株式会社日本显示器                                                                                                                                                 |         |            |
| 申请(专利权)人(译)    | 有限公司日本显示器                                                                                                                                                 |         |            |
| [标]发明人         | 德田尚紀<br>宫本光秀                                                                                                                                              |         |            |
| 发明人            | 德田 尚紀<br>宫本 光秀                                                                                                                                            |         |            |
| IPC分类号         | H05B33/24 H05B33/08 H01L51/50 H05B33/22 H05B33/28 H05B33/06                                                                                               |         |            |
| CPC分类号         | H01L27/3265 H01L27/3258 H01L51/5265 H01L51/5271 H01L2251/5315                                                                                             |         |            |
| FI分类号          | H05B33/24 H05B33/08 H05B33/14.A H05B33/22.Z H05B33/28 H05B33/06                                                                                           |         |            |
| F-TERM分类号      | 3K107/AA01 3K107/BB01 3K107/CC07 3K107/CC37 3K107/DD10 3K107/DD22 3K107/DD27 3K107/DD39 3K107/DD90 3K107/DD95 3K107/DD96 3K107/EE03 3K107/EE33 3K107/FF15 |         |            |
| 其他公开文献         | JP2014222592A                                                                                                                                             |         |            |

#### 摘要(译)

要解决的问题：提供一种能够通过减轻微腔效应来减少色度的视觉变化并且能够形成能够保持必要电荷的像素电容器而无需单独确保区域的显示装置 一种显示装置，包括在基板上以矩阵排列的多个像素和分别与所述多个像素对应设置的多个薄膜晶体管，所述显示装置包括：连接到所述薄膜晶体管和所述薄膜晶体管的布线形成在平坦化膜上的反射层，覆盖反射层的光程长度扩大层，以及形成在光路长度扩大层上的像素透明电极，其中像素包括有机EL层。 .The