(19)日本国特許庁(JP)　(12)**公開特許公報(A)**　(11)特許出願公開番号

特開2009-15276

(P2009-15276A)

(43)公開日　**平成21年1月22日(2009.1.22)**

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	***(2006.01)***	G09G	3/30	J	3K107
G09G 3/20	***(2006.01)***	G09G	3/20	623B	5C080
H01L 51/50	***(2006.01)***	G09G	3/20	623D	
		G09G	3/20	623C	
		G09G	3/20	621F	

審査請求 未請求　請求項の数 9　ＯＬ　（全 32 頁）　最終頁に続く

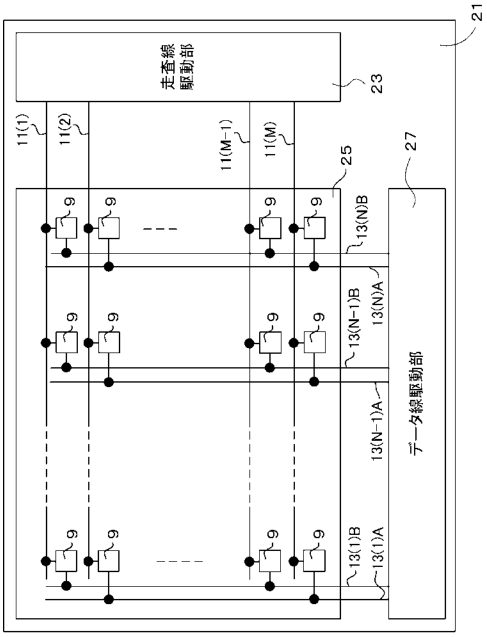
(21)出願番号　特願2007-208847 (P2007-208847)
(22)出願日　平成19年8月10日 (2007.8.10)
(31)優先権主張番号　特願2007-148700 (P2007-148700)
(32)優先日　平成19年6月5日 (2007.6.5)
(33)優先権主張国　日本国(JP)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100114546
弁理士　頭師　教文
(72)発明者　浅野　慎
東京都港区港南１丁目７番１号ソニー株式会社内

Ｆターム(参考)　3K107 AA01 BB01 CC33 EE03 HH04 HH05
5C080 AA06 BB05 CC03 DD05 DD08 EE19 FF11 JJ02 JJ03 JJ04 KK02 KK07 KK43

(54)【発明の名称】ＥＬ表示パネル駆動方法、ＥＬ表示パネル、ＥＬ表示パネル駆動装置及び電子機器

(57)【要約】
【課題】１水平走査期間が短い場合でも画素データに対応する信号電圧の供給に十分な期間を確保する。
【解決手段】ＥＬ表示パネルの画素アレイ部に、アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がM行N列に配置されている場合にあって、１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続されるとき、複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する方法を提案する。
【選択図】図５



【特許請求の範囲】
【請求項１】
アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がＭ行Ｎ列に配置される画素アレイ部を有するＥＬ表示パネルの駆動方法であって、
１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続されるとき、
前記複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する
ことを特徴とするＥＬ表示パネル駆動方法。
【請求項２】
請求項１に記載のＥＬ表示パネル駆動方法において、
前記画素回路を構成する保持容量に対する信号電圧の書き込み期間が、複数の水平走査期間に跨るように配置される
ことを特徴とするＥＬ表示パネル駆動方法。
【請求項３】
請求項１に記載のＥＬ表示パネル駆動方法において、
ＥＬ素子に駆動電流を供給する駆動トランジスタのバラツキ補正期間が、複数の水平走査期間に跨るように配置される
ことを特徴とするＥＬ表示パネル駆動方法。
【請求項４】
請求項３に記載のＥＬ表示パネル駆動方法において、
前記バラツキ補正期間が、移動度補正期間である
ことを特徴とするＥＬ表示パネル駆動方法。
【請求項５】
請求項３に記載のＥＬ表示パネル駆動方法において、
前記バラツキ補正期間が、閾値補正期間又は閾値補正兼データ書込期間である
ことを特徴とするＥＬ表示パネル駆動方法。
【請求項６】
アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がＭ行Ｎ列に配置される画素アレイ部であって、１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続される画素アレイ部と、
走査線を行単位で駆動する第１の駆動部と、
前記複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する第２の駆動部と
を有することを特徴とするＥＬ表示パネル。
【請求項７】
請求項６に記載のＥＬ表示パネルにおいて、
前記複数本のデータ線に印加する各信号電圧の位相関係の並びが、横方向に並ぶ画素回路間で周期的に入れ替わる
ことを特徴とするＥＬ表示パネル。
【請求項８】
アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がＭ行Ｎ列に配置される画素アレイ部であって、１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続される画素アレイ部を有するＥＬ表示パネルを駆動するＥＬ表示パネル駆動装置において、
走査線を行単位で駆動する第１の駆動部と、
前記複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する第２の駆動部と

を有するＥＬ表示パネル駆動装置。

【請求項９】

アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がＭ行Ｎ列に配置される画素アレイ部であって、１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続される画素アレイ部と、走査線を行単位で駆動する第１の駆動部と、前記複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する第２の駆動部とを有するＥＬ表示パネルと、

システム制御部と、

前記システム制御部に対する操作入力部と

を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

この明細書で説明する発明は、アクティブマトリクス駆動方式に対応するＥＬ（Electro Luminescence）表示パネルの駆動技術に関する。

なお、発明は、ＥＬ表示パネル駆動方法、ＥＬ表示パネル、ＥＬ表示パネル駆動装置及び電子機器としての側面を有する。

【背景技術】

【０００２】

近年、有機ＥＬ素子を行列配置した自発光型の表示装置の開発が進められている。有機ＥＬ素子を用いた表示パネル（以下「有機ＥＬパネル」ともいう。）は、軽量化や薄膜化が容易なのに加え、応答速度が速く動画表示特性にも優れている。

【０００３】

有機ＥＬパネルの駆動方式には、パッシブマトリクス方式とアクティブマトリクス駆動方式がある。昨今では、画素毎にアクティブ素子（薄膜トランジスタ）とキャパシタを配置するアクティブマトリクス駆動型の表示パネルの開発が盛んに進められている。

【０００４】

図１に、有機ＥＬパネルの主要な構成を示す。有機ＥＬパネル１は、画素アレイ部３、走査線駆動部５及びデータ線駆動部７で構成される。画素アレイ部３には、画素回路９がＭ行×Ｎ列に配置される。ＭとＮは、それぞれ表示解像度に応じて定まる。なお、画素アレイ部３には、Ｍ本の走査線１１とＮ本のデータ線１３が配置されており、画素回路９は、走査線１１とデータ線１３の各交点位置に配置される。

【０００５】

図２に、画素回路９の構成例を示す。なお、画素回路９には、実に様々な回路構成が提案されている。図２は、これらのうち最も単純な回路構成の一つである。

図２の画素回路９は、書き込み制御素子として機能するｎチャネルＴＦＴ１５と、電流駆動素子として機能するｐチャネルＴＦＴ１７と、データ記憶キャパシタＣｓと、有機ＥＬ素子１９とで構成される。

【０００６】

なお、ｐチャネルＴＦＴ１７は、そのソース電極が電源電位ＶＤＤに接続され、ドレイン電極が有機ＥＬ素子１９の陽極に接続される。また、有機ＥＬ素子１９の陰極は、基準電位（例えば接地電位）ＧＮＤに接続される。また、データ記憶キャパシタＣｓの一方の電極は電源電位ＶＤＤに接続され、他方の電極はｐチャネルＴＦＴ１７のゲート電極に接続される。

【０００７】

この画素回路９では、ｎチャネルＴＦＴ１５のオン制御時に（すなわち、走査線１１へのＨレベルの印加時に）、画像データに対応する信号電圧Vdataがデータ記憶キャパシタＣｓに書き込まれる。なお、この信号電圧Vdataは、ｐチャネルトランジスタ１７のゲー

ト・ソース間電圧Vgsを与える。

【０００８】

信号電圧Vdataの書き込み後は、ｎチャネルＴＦＴ１５がオフ制御され（すなわち、走査線１１にＬレベルが印加され）、データ記憶キャパシタＣｓがデータ線１３から切り離される。この切り離し状態は、次回の書き込み期間まで、１フィールド期間に亘って継続する。このとき、ｐチャネルＴＦＴ１７は、データ記憶キャパシタＣｓに保持された信号電圧Vdata（ゲート・ソース間電圧Vgs）に応じた駆動電流Ｉdsを有機ＥＬ素子１９に供給する。有機ＥＬ素子１９の発光輝度は、駆動電流Ｉdsの大きさに比例する。

【０００９】

この駆動電流Ｉdsは、次式で与えられる。

$$Ids = 1/2 \cdot \mu \cdot Cox \cdot W \cdot L \cdot (Vgs - Vth)^2$$

ここで、μはｐチャネルＴＦＴ１７のキャリア移動度、ＣoxはｐチャネルＴＦＴ１７の単位面積当たりゲート容量、ＷはｐチャネルＴＦＴ１７のゲート幅、ＬはｐチャネルＴＦＴ１７のゲート長である。

【００１０】

前式より明らかなように、電流駆動素子であるｐチャネルＴＦＴ１７の移動度μ及び閾値電圧Ｖthの特性バラツキは、駆動電流Ｉdsの大きさに直接影響する。

すなわち、画素データが同じでも（信号電圧Vgsが同じでも）、画素回路間で駆動電流Ｉdsにバラツキが生じ、輝度バラツキを発生させてしまう。

【００１１】

そこで、この特性バラツキの影響を補正する仕組みが以下の特許文献等で提案されている。

【特許文献１】特表２００２－５１４３２０号公報

【特許文献２】特開２００５－０２７０２８号公報

【特許文献３】特開２００６－２１５２１３号公報

【発明の開示】

【発明が解決しようとする課題】

【００１２】

ところが、特許文献１や特許文献２に開示の駆動技術では、閾値電圧Ｖthの影響を補正できるものの、移動度μの影響を補正することはできない。

一方、特許文献３に開示の駆動技術の場合、電流駆動素子として機能するｐチャネルＴＦＴ自身による信号電圧Vdataの放電動作により移動度μが補正される。

【００１３】

図３に、特許文献３で採用する補正動作の実行タイミングを示す。図３（Ａ）は、水平セレクタ７へのデータＤＡＴＡの供給タイミングを示し、図３（Ｂ）は、データ線１３（ｊ）に印加される信号電圧Vsig の遷移動作を示す。図３（Ｃ）～（Ｅ）はそれぞれ、画面上方からｉ－１行目の画素列～ｉ＋１行目に位置する画素列で実行される補正動作の実行タイミングを示す。

【００１４】

なお、Vofs は、電流駆動素子として機能するｐチャネルＴＦＴ１７の閾値（Ｖth）補正時に使用するオフセット電圧である。このオフセット電圧Vofs をデータ線１３に供給している期間に、ｐチャネルＴＦＴ１７の閾値Ｖthに相当する電圧が不図示のデータ記憶キャパシタに格納される。図３（Ｃ）～（Ｅ）に示すように、閾値Ｖthの補正動作は、各水平走査期間の最初に実行される。

【００１５】

一方、画像データに対応する信号電圧Vdataのデータ線１３への供給は、データＤＡＴＡの入力期間と同じ水平期間内に実行される。信号電圧Vdataの供給は、閾値Ｖthの補正動作の後に実行される。この信号電圧Vdataの供給期間では、最初に信号電圧Vdataのデータ記憶キャパシタＣｓへの格納動作（ PIX書込）が実行され、次に移動度μの補正動作が実行される。

【００１６】
　図４に、オフセット電圧Ｖofs と信号電圧Ｖdataの選択的な供給機能に対応した水平セレクタ７の回路構成を示す。なお図４は、画素回路９がサブ画素回路９Ｒ、９Ｇ、９Ｂで構成される場合の接続形態である。Ｒ、Ｇ、Ｂはそれぞれ赤色、緑色、青色に対応する。図４では、データ線１３についても色別に１３Ｒ、１３Ｇ、１３Ｂとして表している。
【００１７】
　図４に示すように、個々のデータ線に対しては、オフセット電圧Ｖofs 用のスイッチと信号電圧Ｖdata用のスイッチが配置され、それぞれ対応する選択信号ＳＥＬofs 、ＳＥＬdataにより切り替え制御される。
　以上のように、引用文献３の駆動技術を用いれば、電流駆動素子の特性バラツキの影響を補正することができる。すなわち、輝度ムラの少ない画像表示が可能になる。
【００１８】
　しかしながら、昨今の画面解像度の向上や縦長画面への対応の必要性など、１水平走査期間の短縮化が進んでいる。
　これに伴い、画像データの書込み期間や移動度補正期間に割り当て可能な時間の不足が新たな技術課題として指摘されている。
【課題を解決するための手段】
【００１９】
　そこで、発明者は、１水平走査期間が短くなっても、画像データの書込みや移動度補正に十分な時間の確保が可能なＥＬ表示パネルの駆動技術を提案する。
【００２０】
　すなわち、ＥＬ表示パネルの画素アレイ部に、アクティブマトリクス駆動方式に対応する画素構造を有する画素回路がＭ行Ｎ列に配置されている場合にあって、１列毎に複数本ずつ配置されたデータ線の一本が行単位で画素回路に接続されると共に、縦方向に隣り合う画素回路同士が駆動位相の異なるデータ線に接続されるとき、複数本のデータ線のそれぞれに、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する方法を提案する。
【発明の効果】
【００２１】
　発明者の提案する駆動技術で使用するＥＬ表示パネルの画素アレイ部では、同じ駆動位相で動作するデータ線に接続される画素回路が縦方向に連続して現れない。このため、１つのデータ線についてのみ着目すると、ある画素列に対する信号電圧の印加開始から次の画素列に対する信号電圧の印加開始までに２水平走査期間以上の時間を確保することが可能になる。
【００２２】
　そこで、この期間を有効活用し、データ線のそれぞれについて、対応する画素データの信号電圧を複数の水平走査期間に跨って印加する。これにより、１水平走査期間が短くなった場合でも、画像データに対応する信号電圧の書込み時間を確保することができる。
【００２３】
　勿論、縦方向に隣り合う別の画素列に対しては、別のデータ線を通じて各画素回路に応じた信号電圧が複数の水平走査期間に跨って印加される。この際、複数本のデータ線の全体から見ると、１つの水平走査期間内に複数の信号電圧が並行して印加されることになる。
【００２４】
　しかし、各データ線は別であるので、複数の画素列についての動作を並行して実行できる。結果的に、信号電圧の書き込み精度や移動度の補正精度を向上することができる。これにより、輝度特性の面内均一化を実現でき、表示品質を高めることができる。
【発明を実施するための最良の形態】
【００２５】
　以下、アクティブマトリクス駆動型の有機ＥＬパネルについて説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。
また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。
【００２６】
（Ａ）基本形態
（Ａ－１）各形態例に共通する有機ＥＬパネルの構造
図５に、有機ＥＬパネルの主要な構成を示す。なお、図５に対しては、図１との対応部分に同一符号を付して示す。
【００２７】
有機ＥＬパネル２１は、走査線駆動部２３、画素アレイ部２５及びデータ線駆動部２７で構成される。走査線駆動部２３が、特許請求の範囲における「第１の駆動部」に対応する。また、データ線駆動部２７が、特許請求の範囲における「第２の駆動部」に対応する。
【００２８】
画素アレイ部２５には、画素回路９がＭ行×Ｎ列に配置される。ＭとＮは、それぞれ表示解像度に応じて定まる。なお、画素アレイ部２５には、横方向に並ぶＮ個の画素回路９に沿って１本ずつＭ本の走査線１１が配置される。また、画素アレイ部２５には、縦方向に並ぶＭ個の画素回路９に沿って２本ずつ２×Ｎ本のデータ線１３が配置される。
【００２９】
図５においては、上からｉ行目に位置する走査線を１１（ｉ）で示す。また、左からｊ列目に位置するデータ線を１３（ｊ）Ａ、１３（ｊ）Ｂで示す。ここで、符号Ａを付したデータ線は、上から奇数行目に位置するＮ個の画素回路９と接続されることを示し、符号Ｂを付したデータ線は、上から偶数行目に位置するＮ個の画素回路９と接続されることを示す。
【００３０】
すなわち、縦方向の各画素列に対応する２本のデータ線１３Ａ、１３Ｂのうち一本だけが横方向に並ぶＮ個の画素回路９と接続されるが、縦方向に隣り合う画素回路同士は別のデータ線に接続されている。
【００３１】
データ線駆動部２７は、これら２本のデータ線１３Ａ、１３Ｂに印加する信号電位の切り替え動作を制御する。図６及び図７に、データ線駆動部２７の構成例を示す。
【００３２】
図６は、画素回路単位でデータ線１３Ａ、１３Ｂの信号電圧Ｖsig を切り換え制御できるデータ線駆動部２７の回路構成例である。図７は、３原色に対応するサブ画素回路９Ｒ、９Ｇ、９Ｂ単位でデータ線１３Ａ、１３Ｂの信号電圧Ｖsig を切り換え制御できるデータ線駆動部２７の回路構成例である。
【００３３】
このうちデータ線１３Ａの他端には、上から奇数番目に位置する各画素回路９Ｒ、９Ｇ、９Ｂに対応して発生された画素データの信号電圧Ｖdata(R)Ａ、Ｖdata(G)Ａ、Ｖdata(B)Ａが供給されており、その供給期間はデータ線上に配置されたスイッチの開閉により制御される。なお、信号電圧ＶdataA の印加期間は、選択信号ＳＥＬdataA により制御する。
【００３４】
一方、データ線１３Ｂの他端には、上から偶数番目に位置する各画素回路９Ｒ、９Ｇ、９Ｂに対応して発生された画素データの信号電圧Ｖdata(R)Ｂ、Ｖdata(G)Ｂ、Ｖdata(B)Ｂが供給されており、その供給期間はデータ線上に配置されたスイッチの開閉により制御される。なお、信号電圧ＶdataB の印加期間は、選択信号ＳＥＬdataB により制御する。
【００３５】
（Ａ－２）駆動方法
以下の説明では、２種類の駆動方法を説明する。

【００３６】
（ａ）駆動方法１
ここでは、１行分の画素列に２水平走査期間に跨って信号電圧ＶdataA又はＶdataB を印加できることを利用して、データ書込期間や移動度補正期間を２水平走査期間に跨るように配置する場合について説明する。
【００３７】
図８及び図９に、対応する駆動例を示す。なお、図８及び図９は、いずれも２水平走査期間内に閾値補正動作、データ書込動作及び移動度補正動作を順番に実行する場合の駆動例を示している。
【００３８】
図８（Ｂ）、（Ｃ）及び図９（Ｂ）及び（Ｃ）に示すように、データ線１３Ａ及び１３Ｂには、画素データに対応する信号電圧ＶdataA 及びＶdataB がそれぞれ２水平走査期間に跨って印加される。
【００３９】
なお、信号電圧Ｖdataの印加が開始するタイミングは、図８（Ａ）及び図９（Ａ）に示すように、対応する画素データの供給タイミングに同期する。従って、データ線１３Ａに印加される信号電圧ＶdataA とデータ線１３Ｂに印加される信号電圧ＶdataB の供給位相には１水平走査期間の時間差がある。
【００４０】
因みに、図８及び図９では、データ線１３Ａ及び１３Ｂを用いて閾値補正用のオフセット電圧Ｖofs も印加する場合について表している。このため、信号電圧dataの印加期間の前に、オフセット電圧Ｖofs の印加期間が配置されている。
【００４１】
図８（Ｄ）～（Ｆ）及び図９（Ｄ）～（Ｆ）に、２水平走査期間に跨って信号電圧ＶdataA 及びＶdataB が印加される状態での駆動動作例を示す。
例えば図８（Ｄ）～（Ｆ）に示す駆動例の場合、信号電圧Ｖdataのデータ記憶キャパシタＣｓへの格納動作（ PIX書込）を２水平走査期間に跨って実行することが可能となる。
【００４２】
また例えば図９（Ｄ）～（Ｆ）に示す駆動例の場合、移動度μの補正動作を２水平走査期間に跨って実行することが可能となる。
結果的に、高解像度化等の影響により１水平走査期間が短縮しても、PIX書込期間や移動度補正期間への割り当て期間を大幅に増やすことが可能となる。
【００４３】
勿論、 PIX書込期間や移動度補正期間のいずれか一方だけを増加しても、高画質化を実現することはできない。従って、最低限必要な時間や許容可能な画質の範囲を考慮して、 PIX書込期間や移動度補正期間に割り当てる期間長を最適化することが望ましい。
【００４４】
または、閾値補正動作の開始から移動度補正動作の終了までの期間が３水平走査期間に跨るようにパネル構造を最適化することが望ましい。なお、この場合には、縦方向の画素列に沿って配置するデータ線を各３本とし、各データ線と横方向に並ぶ画素列との接続は、それぞれ縦方向に対して３行毎に設定すれば良い。
【００４５】
（ｂ）駆動方法２
ここでは、１行分の画素列に２水平走査期間に跨って信号電圧ＶdataA又はＶdataB を印加できることを利用して、閾値補正期間や閾値補正兼データ書込期間を２水平走査期間に跨るように配置する場合について説明する。
【００４６】
図１０～図１２に、対応する駆動例を示す。なお、図１０～図１２は、いずれも２水平走査期間内にデータ書込動作と閾値補正動作を順番に又は並行して実行する場合の駆動例を示しており、移動度補正動作が配置されない点で駆動方法１と異なっている。

【００４７】
　この駆動例の場合も、図１０（Ｂ）、（Ｃ）、図１１（Ｂ）、（Ｃ）及び図１２（Ｂ）、（Ｃ）に示すように、データ線１３Ａ及び１３Ｂには、画素データに対応する信号電圧ＶdataA 及びＶdataB がそれぞれ２水平走査期間に跨って印加される。
【００４８】
　なお、信号電圧Ｖdataの印加が開始するタイミングは、図１０（Ａ）、図１１（Ａ）及び図１２（Ａ）に示すように、対応する画素データの供給タイミングに同期する。従って、データ線１３Ａに印加される信号電圧ＶdataA とデータ線１３Ｂに印加される信号電圧ＶdataB の供給位相には１水平走査期間の時間差がある。
【００４９】
　図１０（Ｄ）～（Ｆ）、図１１（Ｄ）～（Ｆ）及び図１２（Ｄ）～（Ｆ）に、２水平走査期間に跨って信号電圧ＶdataA 及びＶdataB が印加される状態での駆動動作例を示す。
　例えば図１０（Ｄ）～（Ｆ）に示す駆動例の場合、信号電圧Ｖdataのデータ記憶キャパシタＣｓへの格納動作（ PIX書込）と閾値補正動作が２水平走査期間に跨って同時並行的に実行される。
【００５０】
　また例えば図１１（Ｄ）～（Ｆ）に示す駆動例の場合、信号電圧Ｖdataの書込動作（ PIX書込）が２水平走査期間に跨って実行され、その後、閾値補正動作が実行される。
　また例えば図１２（Ｄ）～（Ｆ）に示す駆動例の場合、信号電圧Ｖdataの書込動作（ PIX書込）が実行された後、駆動トランジスタの閾値補正動作が２水平走査期間に跨って実行される。
【００５１】
　結果的に、高解像度化等の影響により１水平走査期間が短縮しても、
PIX書込期間や閾値補正期間への割り当て期間を大幅に増やすことが可能となる。
　勿論、 PIX書込期間や閾値補正期間のいずれか一方だけを増加しても、高画質化を実現することはできない。従って、最低限必要な時間や許容可能な画質の範囲を考慮して、 PIX書込期間や閾値補正期間に割り当てる期間長を最適化することが望ましい。
【００５２】
　または、 PIX書込期間や閾値補正動作の開始から終了までの期間が３水平走査期間に跨るようにパネル構造を最適化することが望ましい。なお、この場合には、縦方向の画素列に沿って配置するデータ線を各３本とし、各データ線と横方向に並ぶ画素列との接続は、それぞれ縦方向に対して３行毎に設定すれば良い。
【００５３】
（Ｂ）画素回路の構造と駆動動作例
　駆動トランジスタの特性バラツキの補正機能に適応した画素回路９には様々な回路構成が存在する。以下では、画素回路９と駆動動作例との様々な組み合わせ例を説明する。なお、後述する回路例と各駆動動作との関係は固定されるものではなく、いずれの回路例も適切な修正を加えれば他の駆動動作例との組み合わせ動作が可能である。
【００５４】
（Ｂ－１）回路例Ａ
（ａ）画素回路の構成
　図１３に、画素回路９の構成例を示す。図１３に示す画素回路９は、４個のトランジスタ３１、３３、３５、３７と、データ記憶キャパシタＣｓと、補正値キャパシタＣｃと、有機ＥＬ素子３９とで構成される。
【００５５】
　トランジスタ３１は、データ線１３Ａ又は１３Ｂの信号電圧Ｖsig の画素回路内への書き込みを制御する素子である。図１３のトランジスタ３１はｎチャネルＴＦＴである。トランジスタ３３は、電流駆動素子として機能するｐチャネルＴＦＴである。トランジスタ３５及び３７は、スイッチング素子として機能するｎチャネルＴＦＴである。
【００５６】

ここで、トランジスタ３１は、一方の主電極がデータ線１３Ａ又は１３Ｂと接続され、他方の主電極がデータ記憶キャパシタＣｓの一方の電極と接続される。トランジスタ３１のゲート電極は、走査線１１に接続される。

【００５７】

データ記憶キャパシタＣｓの他方の電極は、電源電位ＶＤＤ１に接続される。

補正値キャパシタＣｃは、トランジスタ３１の一方の主電極とトランジスタ３３のゲート電極とを接続する配線に直列に接続される。

トランジスタ３３のソース電極は電源電位ＶＤＤ１に接続され、ドレイン電極はトランジスタ３５の主電極とトランジスタ３７の主電極を接続する配線の中間点に接続される。

【００５８】

因みに、トランジスタ３５の一方の主電極は、トランジスタ３３のゲート電極と補正値キャパシタＣｃを接続する配線の中間点に接続される。

トランジスタ３７の他方の主電極は、有機ＥＬ素子３９の陽極電極に接続される。有機ＥＬ素子３９の陰極電極は接地電位ＶＳＳ１に接続される。

【００５９】

（ｂ）データ線駆動部の回路構成

図１４及び図１５に、図１３に示す画素回路用のデータ線駆動部２７の構成例を示す。図１３の場合、データ線１３Ａ又は１３Ｂには、画素データに対応した信号電圧Ｖdataの他に、オフセット電圧Ｖofs も時分割で供給される。

【００６０】

このため、データ線１３Ａの端部は分岐され、その一方が信号電圧供給用のスイッチに接続され、他方がオフセット電圧供給用のスイッチに接続される。勿論、各スイッチの他端には、信号電圧ＶdataA とオフセット電圧Ｖofs が供給される。図１４では、データ線１３Ａ用のスイッチ制御信号をＳＥLA で示す。

【００６１】

なお、色別に電圧の印加タイミングを制御できる図１５の場合には、データ線１３Ａ用のスイッチ制御信号をＳＥＬ(R)A、ＳＥＬ(G)A、ＳＥＬ(B)Aで示す。ここでの「１」は、データ線１３Ａが左端から１列目の画素回路に対応することを意味する。

【００６２】

また、データ線１３Ｂの端部は分岐され、その一方が信号電圧供給用のスイッチに接続され、他方がオフセット電圧供給用のスイッチに接続される。勿論、各スイッチの他端には、信号電圧ＶdataB とオフセット電圧Ｖofs が供給される。図１４では、データ線１３Ｂ用のスイッチ制御信号をＳＥLB で示す。

【００６３】

なお、色別に電圧の印加タイミングを制御できる図１５の場合には、データ線１３Ｂ用のスイッチ制御信号をＳＥＬ(R)B 、ＳＥＬ(G)B 、ＳＥＬ(B)B
で示す。

【００６４】

（ｃ）駆動動作

図１６に、画素回路９（図１３）の駆動方法１に対応する駆動タイミングを示す。図１６は、２本のデータ線１３Ａ及び１３Ｂのうち一方に接続された画素回路９に着目した駆動タイミングであり、他方に接続された画素回路９では１水平走査期間の位相差で同様の駆動動作が実行されることになる。

【００６５】

(ｉ) 補正準備期間

この期間では、トランジスタ３１、３５及び３７がそれぞれオン状態に制御される。また、データ線１３には、高電位のオフセット電圧Ｖofs が印加される。これに伴い、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinがオフセット電圧Ｖofs に収束するように急上昇する。

【００６６】

一方、補正値キャパシタＣｃの電荷はトランジスタ３５及び３７を通じて引き出され、有機ＥＬ素子の陽極電圧まで急低下する。すなわち、補正値キャパシタＣｃの両極間電圧は拡大する。この動作が補正値キャパシタＣｃの保持電圧をリセットする動作に当たる。
【００６７】
（ii）閾値補正期間
この期間では、トランジスタ３１及び３５だけがオン状態を維持し、トランジスタ３７はオフ制御される。結果的に、オン状態にあるトランジスタ３３のドレイン電流Ｉdsがトランジスタ３５、補正値キャパシタＣｃを通じてデータ線１３へと流れる。これに伴い、補正値キャパシタＣｃの保持電圧が小さくなる。
【００６８】
なお、この期間中もデータ線１３に対する高電位のオフセット電圧Ｖofs の印加が継続される。従って、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinはオフセット電圧Ｖofs のままである。一方、ゲート電圧Ｖｇは、補正値キャパシタＣｃの保持電圧の低下に伴って上昇する。
【００６９】
やがて、ゲート電圧Ｖｇと電源電位ＶＤＤ１との電位差がトランジスタ３３の閾値電圧Ｖthまで上昇すると、トランジスタ３３は自動的にオフ動作する。これに伴い、ゲート電圧Ｖｇの上昇も自動停止する。
【００７０】
結果的に、補正値キャパシタＣｃには、電流駆動素子として機能するトランジスタ３３に固有の閾値電圧Ｖthの補正に必要な電圧が格納される。
【００７１】
（iii）信号電圧Ｖdataの書き込み期間
この期間では、トランジスタ３１のみがオン動作し、トランジスタ３５及び３７はオフ動作する。勿論、トランジスタ３３もカットオフ状態にあるのでオフ動作のままである。
【００７２】
このとき、データ線１３には、オフセット電圧Ｖofs よりも画素データに対応する信号電圧Ｖdataだけ低い電圧が印加される。これにより、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinは、オフセット電圧Ｖofs より信号電圧Ｖdataだけ低い電圧へと遷移される。勿論、補正値キャパシタＣｃの保持電圧に変化はないので、中点電位Ｖinの低下に伴ってゲート電圧Ｖｇも低下する。
【００７３】
（iv）移動度補正期間
この期間では、トランジスタ３１及び３５がオン動作し、トランジスタ３７はオフ動作する。なお、この期間中も、データ線１３には、オフセット電圧Ｖofs よりも画素データに対応する信号電圧Ｖdataだけ低い電圧の印加が継続される。
【００７４】
このとき、トランジスタ３３はオン状態にある。信号電圧Ｖdataの書き込みによりトランジスタ３３のゲート電圧Ｖｇが低下した影響でゲート・ソース間電圧Ｖgsが閾値電圧Ｖthより広がったためである。ただし、トランジスタ３７はオフ動作しているので、ドレイン電流Ｉdsは、トランジスタ３５を通じて補正値キャパシタＣｃに流れ込む。
【００７５】
この際、ドレイン電流Ｉdsの大きさは、トランジスタ３３の移動度μの大きさに比例する。結果的に、補正値キャパシタＣｃの保持電圧は、移動度μの大きさに応じて小さくなる。すなわち、トランジスタ３３のゲート電圧Ｖｇは、その移動度μの大きさに応じて定まる大きさだけ上昇する。
【００７６】
ここで、ゲート電圧Ｖｇが大きくなることは、トランジスタ３３のゲート・ソース間電圧Ｖgsが小さくなることを意味する。従って、移動度μが大きいほど、この補正動作後のゲート・ソース間電圧Ｖgsが小さくなる。

【００７７】
ところで、ドレイン電流Ｉdsの大きさは、１／２・μ・Cox・Ｗ・Ｌ・（Ｖgs－Ｖth）^{2} で与えられる。このため、移動度μに応じた保持電圧の電圧変化が移動度のバラツキによる影響を小さくするように作用する。
【００７８】
（ｖ）発光期間
この期間では、トランジスタ３７のみがオン状態に制御され、トランジスタ３１及び３５はオフ状態に制御される。このとき、トランジスタ３３はオン状態にあり、データ記憶キャパシタＣｓと補正値キャパシタＣｃの保持電圧により定まるゲート・ソース間電圧Ｖgsに応じたドレイン電流Ｉdsを有機ＥＬ素子３９に供給する。これにより、トランジスタ３３の特性バラツキの影響を受けない発光輝度が得られる。
【００７９】
（Ｂ－２）回路例Ｂ
（ａ）画素回路の構成
図１７に、画素回路９の他の構成例を示す。図１７に示す画素回路９は、６個のトランジスタ４１、４３、４５、４７、４９、５１と、データ記憶キャパシタＣｓと、補正値キャパシタＣｃと、有機ＥＬ素子５３とで構成される。また、この画素回路９は、オフセット電圧Vofs の供給に専用線を使用する。従って、データ線１３には、画素データに対応する信号電圧Vdata だけが供給される。
【００８０】
トランジスタ４１は、データ線１３Ａ又は１３Ｂの信号電圧Vsig の画素回路内への書き込みを制御する素子である。図１７のトランジスタ４１はｎチャネルＴＦＴである。トランジスタ４３は、電流駆動素子として機能するｐチャネルＴＦＴである。トランジスタ４５は、オフセット電圧Vofs の供給に使用されるｎチャネルＴＦＴである。
【００８１】
トランジスタ４７、４９は、スイッチング素子として機能するｎチャネルＴＦＴである。トランジスタ５１は、スイッチング素子として機能するｐチャネルＴＦＴである。
ここで、トランジスタ４１は、一方の主電極がデータ線１３Ａ又は１３Ｂと接続され、他方の主電極がデータ記憶キャパシタＣｓの一方の電極と接続される。トランジスタ４１のゲート電極は、走査線１１に接続される。
【００８２】
データ記憶キャパシタＣｓの他方の電極は、電源電位ＶＤＤ１に接続される。
補正値キャパシタＣｃは、トランジスタ４１の一方の主電極とトランジスタ４３のゲート電極との間に直列に接続される。
トランジスタ４３のソース電極は電源電位ＶＤＤ１に接続され、ドレイン電極はトランジスタ４７の主電極とトランジスタ４９の主電極を接続する配線の中間点に接続される。
【００８３】
トランジスタ４５の一方の主電極はオフセット電圧供給線に接続され、他方の主電極はトランジスタ４１の主電極と補正値キャパシタＣｃを接続する配線の中間点に接続される。
トランジスタ４７の一方の主電極は、トランジスタ４３のゲート電極と補正値キャパシタＣｃを接続する配線の中間点に接続される。トランジスタ４７の他方の主電極は、トランジスタ４３のドレイン電極に接続される。
【００８４】
トランジスタ４９の他方の主電極は、有機ＥＬ素子５３の陽極電極に接続される。有機ＥＬ素子５３の陰極電極は接地電位ＶＳＳ１に接続される。
トランジスタ５１は、移動度補正時にトランジスタ４３のドレイン電極とデータ線１３とを接続するのに用いられる。このため、トランジスタ５１の一方の主電極はデータ線１３に接続され、他方の主電極はトランジスタ４３のドレイン電極と接続される。
【００８５】

（ｂ）データ線駆動部の回路構成

この回路例の場合、データ線駆動部２７には、図６や図７で説明した回路構成を使用する。

【００８６】

（ｃ）駆動動作

図１８に、画素回路９（図１７）の駆動方法１に対応する駆動タイミングを示す。図１７は、２本のデータ線１３Ａ及び１３Ｂのうち一方に接続された画素回路９に着目した駆動タイミングであり、他方に接続された画素回路９では１水平走査期間の位相差で同様の駆動動作が実行されることになる。

【００８７】

（i）補正準備期間

この期間では、トランジスタ４５、４７及び４９がそれぞれオン状態に制御され、トランジスタ４１及び５１がオフ状態に制御される。これに伴い、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinは、トランジスタ４５を通じて印加されるオフセット電圧Ｖofs に収束するように急上昇する。

【００８８】

一方、補正値キャパシタＣｃの電荷はトランジスタ４７及び４９を通じて引き出され、有機ＥＬ素子の陽極電圧まで急低下する。すなわち、補正値キャパシタＣｃの両極間電圧は拡大する。この動作が補正値キャパシタＣｃの保持電圧をリセットする動作に当たる。

【００８９】

（ii）閾値補正期間

この期間では、トランジスタ４５及び４７だけがオン状態を維持し、トランジスタ４９がオフ状態に切り替え制御される。結果的に、オン状態にあるトランジスタ４３のドレイン電流Ｉdsがトランジスタ４７、補正値キャパシタＣｃ、トランジスタ４５を通じてオフセット電圧供給線へと流れる。これに伴い、補正値キャパシタＣｃの保持電圧が小さくなる。

【００９０】

なお、この期間中もトランジスタ４５を通じて補正値キャパシタＣｃの入力側端子は、高電位のオフセット電圧Ｖofs に保持される。従って、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinはオフセット電圧Ｖofs のままである。一方、ゲート電圧Ｖｇは、補正値キャパシタＣｃの保持電圧の低下に伴って上昇する。

【００９１】

やがて、ゲート電圧Ｖｇと電源電位ＶＤＤ１との電位差がトランジスタ４３の閾値電圧Ｖthまで上昇すると、トランジスタ４３は自動的にオフ動作する。これに伴い、ゲート電圧Ｖｇの上昇も自動停止する。

【００９２】

結果的に、補正値キャパシタＣｃには、電流駆動素子として機能するトランジスタ４３に固有の閾値電圧Ｖthの補正に必要な電圧が格納される。

【００９３】

（iii）信号電圧Ｖdataの書き込み期間

この期間では、トランジスタ４１がオン状態に切り替え制御される一方で、他のトランジスタはオフ状態に制御される。勿論、トランジスタ４３もカットオフ状態にあるのでオフ動作のままである。

【００９４】

このとき、データ線１３には、オフセット電圧Ｖofs よりも画素データに対応する信号電圧Ｖdataだけ低い電圧が印加される。これにより、データ記憶キャパシタＣｓと補正値キャパシタＣｃとの中点電位Ｖinは、オフセット電圧Ｖofs より信号電圧Ｖdataだけ低い電圧へと遷移される。勿論、補正値キャパシタＣｃの保持電圧に変化はないので、中点電位Ｖinの低下に伴ってゲート電圧Ｖｇも低下する。

【００９５】

（iv）移動度補正期間
この期間では、トランジスタ４１及び５１がオン状態に制御される。なお、この期間中も、データ線１３には、オフセット電圧Vofs よりも画素データに対応する信号電圧Vdataだけ低い電圧の印加が継続される。
【００９６】
ここで、トランジスタ４３はオン状態にある。信号電圧Vdataの書き込みによりトランジスタ４３のゲート電圧Ｖｇが低下した影響でゲート・ソース間電圧Vgsが閾値電圧Ｖthより広がったためである。ただし、トランジスタ４７及び４９はオフ動作しているので、ドレイン電流Ｉdsは、トランジスタ５１を通じてデータ線１３の浮遊容量へと流れ込む。
【００９７】
すなわち、ドレイン電流Ｉdsは、データ線１３の電位を上昇させるように作用する。この際、浮遊容量は大きいので、データ線１３の電位は比較的ゆっくりと上昇する。なお、ドレイン電流Ｉdsの大きさは、トランジスタ４３の移動度μの大きさに比例する。
このデータ線１３の電位の上昇は、補正値キャパシタＣｃの入力側端子の電位Ｖinを上げるように作用する。
【００９８】
この際、補正値キャパシタＣｃの保持電圧には変化がないので、データ線１３の電位が上昇分だけ、トランジスタ４３のゲート・ソース間電圧Vgsを小さくするように作用する。従って、移動度μが大きいほど、この補正動作後のゲート・ソース間電圧Vgsが小さくなる。
【００９９】
なお、この移動度補正に伴う電位上昇は、データ記憶キャパシタＣｓの保持電圧の補正値として保持される。
この場合も、ドレイン電流Ｉdsの大きさは、１／２・μ・Cox・Ｗ・Ｌ・（Vgs－Ｖth）^{2} で与えられる。このため、移動度μに応じた保持電圧の電圧変化が移動度のバラツキによる影響を小さくするように作用する。
【０１００】
（ｖ）発光期間
この期間では、トランジスタ４９のみがオン状態に制御され、トランジスタ４１、４５、４７及び５１はオフ状態に制御される。このとき、トランジスタ４３はオン状態にあり、データ記憶キャパシタＣｓと補正値キャパシタＣｃの保持電圧により定まるゲート・ソース間電圧Vgsに応じたドレイン電流Ｉdsを有機ＥＬ素子５３に供給する。これにより、トランジスタ４３の特性バラツキの影響を受けない発光輝度が得られる。
【０１０１】
（Ｂ－３）回路例Ｃ
（ａ）画素回路の構成
図１９に、画素回路９の他の構成例を示す。図１９に示す画素回路９は、電流駆動素子をｎチャネルトランジスタで構成する場合の一例である。
【０１０２】
この画素回路９は、５個のトランジスタ６１、６３、６５、６７、６９と、データ記憶キャパシタＣｓと、有機ＥＬ素子７１とで構成される。この画素回路９の場合も、オフセット電圧Vofs の供給に専用線を使用する。従って、データ線１３には、画素データに対応する信号電圧Vdata だけが供給される。
【０１０３】
トランジスタ６１は、データ線１３Ａ又は１３Ｂの信号電圧Vsig の画素回路内への書き込みを制御する素子である。図１９のトランジスタ６１はｎチャネルＴＦＴである。トランジスタ６３は、電流駆動素子として機能するｎチャネルＴＦＴである。トランジスタ６５は、スイッチング制御素子として機能するｐチャネルＴＦＴである。トランジスタ６７、６９は、スイッチング素子として機能するｎチャネルＴＦＴである。
【０１０４】

ここで、トランジスタ６１は、一方の主電極がデータ線１３Ａ又は１３Ｂと接続され、他方の主電極がトランジスタ６３のゲート電極と接続される。また、トランジスタ６１のゲート電極は、走査線１１に接続される。

【０１０５】

データ記憶キャパシタＣｓの一方の電極はトランジスタ６３のゲート電極に接続され、他方の電極はトランジスタ６３のソース電極に接続される。

トランジスタ６３のドレイン電極は、トランジスタ６５を通じて電源電位ＶＤＤ１に接続される。従って、トランジスタ６５の一方の主電極は電源電位ＶＤＤ１に接続され、他方の主電極はトランジスタ６３のドレイン電極と接続される。

【０１０６】

トランジスタ６７の一方の主電極はオフセット電圧供給線に接続され、他方の主電極はトランジスタ６１の主電極とトランジスタ６３のゲート電極とを接続する配線の中間点に接続される。

【０１０７】

トランジスタ６９の一方の主電極はトランジスタ６３のソース電極と接続され、他方の主電極は初期化電位Ｖini に接続される。

有機ＥＬ素子５３の陽極電極はトランジスタ６３のソース電極に接続され、陰極電極は接地電位ＶＳＳ１に接続される。

【０１０８】

（ｂ）データ線駆動部の回路構成

この回路例の場合、データ線駆動部２７には、図６や図７で説明した回路構成を使用する。

【０１０９】

（ｃ）駆動動作

図２０に、画素回路９（図１９）の駆動方法１に対応する駆動タイミングを示す。図２０も、２本のデータ線１３Ａ及び１３Ｂのうち一方に接続された画素回路９に着目した駆動タイミングであり、他方に接続された画素回路９では１水平走査期間の位相差で同様の駆動動作が実行されることになる。

【０１１０】

（i）補正準備期間

この期間では、トランジスタ６７及び６９がそれぞれオン状態に制御され、トランジスタ６１及び６５がオフ状態に制御される。これに伴い、トランジスタ６３のゲート電圧Ｖｇがオフセット電圧Vofs に収束するように急低下する。

【０１１１】

また、データ記憶キャパシタＣｓの電荷がトランジスタ６９を通じて引き出される。これにより、トランジスタ６３のソース電圧Ｖｓは初期化電位Ｖini まで急低下する。すなわち、トランジスタ６３のゲート・ソース間電圧Vgsが拡大する。この動作がデータ記憶キャパシタＣｓの保持電圧をリセットする動作に当たる。

【０１１２】

（ii）閾値補正期間

この期間では、トランジスタ６５及び６７だけがオン状態を維持し、トランジスタ６９がオフ状態に切り替え制御される。結果的に、電源電位ＶＤＤ１からトランジスタ６５を通過して流れるトランジスタ６３のドレイン電流Ｉdsが、データ記憶キャパシタＣｓ及びトランジスタ６７を通じてオフセット電圧Vofs へと流れる。

【０１１３】

このようにドレイン電流が流れることで、データ記憶キャパシタＣｓに保持されていた電荷は流出し、その両端子間電圧が徐々に小さくなる。なお、トランジスタ６３のゲート電圧Ｖｇはオフセット電圧Vofs に保持されるので、ソース電圧Ｖｓが徐々に上昇する。

【０１１４】

やがて、データ記憶キャパシタＣｓの両端子間電圧がトランジスタ６３の閾値電圧Ｖth

まで小さくなると、トランジスタ６３は自動的にオフ動作する。これに伴い、ソース電圧Ｖｓの上昇も自動停止する。

【０１１５】

結果的に、データ記憶キャパシタＣｓには、電流駆動素子として機能するトランジスタ６３に固有の閾値電圧Ｖthの補正に必要な電圧が格納される。

【０１１６】

（ｉｉｉ）信号電圧Ｖdataの書き込み期間

この期間では、トランジスタ６１だけがオン状態に切り替え制御され、他のトランジスタ６５、６７及び６８はオフ状態に制御される。勿論、トランジスタ６３もカットオフ状態にあるのでオフ状態のままである。

【０１１７】

このとき、データ線１３には、オフセット電圧Ｖofs よりも画素データに対応する信号電圧Ｖdataだけ高い電圧が印加される。これにより、トランジスタ６３のゲート電圧Ｖｇは、オフセット電圧Ｖofs より信号電圧Ｖdataだけ高い電圧へと遷移される。この結果、データ記憶キャパシタＣｓには、信号電圧Ｖdataと閾値電圧Ｖthの補正電圧が保持される。

【０１１８】

（ｉｖ）移動度補正期間

この期間では、トランジスタ６１及び６５がオン状態に制御される。なお、この期間中も、データ線１３には、オフセット電圧Ｖofs よりも画素データに対応する信号電圧Ｖdataだけ高い電圧の印加が継続される。

【０１１９】

ここで、トランジスタ６３はオン状態にある。信号電圧Ｖdataの書き込みによりトランジスタ６３のゲート電圧Ｖｇが上昇した影響でゲート・ソース間電圧Ｖgsが閾値電圧Ｖthより広がったためである。

【０１２０】

この際、トランジスタ６３のドレイン電流Ｉdsは、トランジスタ６３のソース電極よりデータ記憶キャパシタＣｓへと流れ、更にトランジスタ６１を通過してデータ線１３へと流れる。データ線１３には比較的大きな浮遊容量が存在するので、ドレイン電流はこの浮遊容量へと流れ込み、データ線１３の電位をゆっくりと上昇させるように作用する。

【０１２１】

また、ドレイン電流Ｉdsは、データ記憶キャパシタＣｓに保持されていた電荷を流出させ、その保持電圧を徐々に小さくさせる。

【０１２２】

なお、トランジスタ６３のゲート電圧Ｖｇは信号電圧Ｖdata（ここでは、浮遊容量の充電による電圧の上昇を無視する）に保持されるので、トランジスタ６３のソース電圧Ｖｓだけが徐々に上昇する。すなわち、トランジスタ６３のゲート・ソース間電圧Ｖgsを小さくするように作用する。

【０１２３】

勿論、ドレイン電流Ｉdsの大きさは、トランジスタ６３の移動度μの大きさに比例する。従って、移動度μが大きいほど、この補正動作後のゲート・ソース間電圧Ｖgsが小さくなる。

【０１２４】

かくして、データ記憶キャパシタＣｓには、画素データに対応する信号電圧Ｖdata、閾値補正用の電圧、閾値補正用の電圧が保持される。

この場合も、ドレイン電流Ｉdsの大きさは、１／２・μ・Ｃox・Ｗ・Ｌ・（Ｖgs－Ｖth）^{2} で与えられる。このため、移動度μに応じた保持電圧の電圧変化が移動度のバラツキによる影響を小さくするように作用する。

【０１２５】

（ｖ）発光期間

この期間では、トランジスタ６５のみがオン状態に制御され、トランジスタ６１、６５、６７及び６９はオフ状態に制御される。このとき、トランジスタ６３はオン状態にあり、データ記憶キャパシタＣｓの保持電圧により定まるゲート・ソース間電圧Vgsに応じたドレイン電流Ｉdsが有機ＥＬ素子５３に供給される。これにより、トランジスタ６３の特性バラツキの影響を受けない発光輝度が得られる。

【０１２６】

（Ｂ－４）回路例Ｄ

（ａ）画素回路の構成

図２１に、画素回路９の他の構成例を示す。図２１に示す画素回路９も、電流駆動素子がｎチャネルトランジスタの場合の回路例である。

【０１２７】

この画素回路９は、３個のトランジスタ８１、８３、８５と、データ記憶キャパシタＣｓと、有機ＥＬ素子８７とで構成される。この画素回路９の場合も、オフセット電圧Vofs の供給に専用線を使用する。従って、データ線１３には、画素データに対応する信号電圧Vdata だけが供給される。

【０１２８】

トランジスタ８１は、データ線１３Ａ又は１３Ｂの信号電位Vsig の画素回路内への書き込みを制御する素子である。図２１のトランジスタ８１はｎチャネルＴＦＴである。トランジスタ８３は、電流駆動素子として機能するｎチャネルＴＦＴである。トランジスタ８５は、スイッチング制御素子として機能するｎチャネルＴＦＴである。

【０１２９】

ここで、トランジスタ８１は、一方の主電極がデータ線１３Ａ又は１３Ｂと接続され、他方の主電極がトランジスタ８３のゲート電極と接続される。また、トランジスタ８１のゲート電極は、走査線１１に接続される。

【０１３０】

データ記憶キャパシタＣｓは、トランジスタ８３のゲート電極と有機ＥＬ素子８７の陽極端子との間に接続される。

トランジスタ８３の一方の主電極は電源線と接続される。この場合、電源線には、高電位の電源電位ＶＤＤ１と低電位の電源電位ＶＳＳ２のいずれかが、走査線駆動部２３より供給される。

【０１３１】

トランジスタ８５の一方の主電極はオフセット電圧供給線に接続され、他方の主電極はトランジスタ８１の主電極とトランジスタ８３のゲート電極とを接続する配線の中間点に接続される。

有機ＥＬ素子８７の陽極電極はトランジスタ８３の一方の主電極に接続され、陰極電極は接地電位ＶＳＳ１に接続される。

【０１３２】

（ｂ）データ線駆動部の回路構成

この回路例の場合、データ線駆動部２７には、図６や図７で説明した回路構成を使用する。

【０１３３】

（ｃ）駆動動作

図２２に、画素回路９（図２１）の駆動方法１に対応する駆動タイミングを示す。図２２も、２本のデータ線１３Ａ及び１３Ｂのうち一方に接続された画素回路９に着目した駆動タイミングであり、他方に接続された画素回路９では１水平走査期間の位相差で同様の駆動動作が実行されることになる。

【０１３４】

（ｉ）補正準備期間

この期間では、トランジスタ８５がオン状態に制御され、トランジスタ８１はオフ状態に制御される。また、この期間では、電源線に低電位の電源電圧ＶＳＳ２が印加される。

この際、トランジスタ８３のドレイン電流Ｉdsは、オフセット電圧Vofs からトランジスタ８５、データ記憶キャパシタＣｓ、トランジスタ８３を経て電源線（電源電圧ＶＳＳ２）へと流れる。

【０１３５】

この結果、トランジスタ６３のゲート電圧Ｖｇがオフセット電圧Vofs に収束するように急低下する。また、有機ＥＬ素子８７の陽極電圧V_A は、低電位の電源電圧ＶＳＳ２に収束するように急低下する。

【０１３６】

かくして、データ記憶キャパシタＣｓには、オフセット電圧Vofs と電源電圧ＶＳＳ２の電位差に相当する電圧が保持される。この電圧はトランジスタ８３の閾値電圧Ｖthよりも大きい電圧である。この動作がデータ記憶キャパシタＣｓの保持電圧をリセットする動作に当たる。

【０１３７】

（ii）閾値補正期間

この期間では、電源線に印加される電位が高電位の電源電位ＶＤＤ１に切り替わる。今度は、電源線の電位がオフセット電圧Vofs より高くなる。この結果、トランジスタ８３のドレイン電流Ｉdsは逆向きに流れる。すなわち、電源線（ＶＤＤ１）からトランジスタ８３、データ記憶キャパシタＣｓ、トランジスタ８５を経てオフセット電圧Vofs へ流れる。

【０１３８】

これに伴い、データ記憶キャパシタＣｓに記憶されていた電荷が流出し、保持電圧が小さくなる。この際、トランジスタ８３のゲート電圧Ｖｇはオフセット電圧Vofs に固定であるので、有機ＥＬ素子８７の陽極電圧V_A が上昇する。

【０１３９】

やがて、データ記憶キャパシタＣｓの両端子間電圧がトランジスタ８３の閾値電圧Ｖthまで小さくなると、トランジスタ８３は自動的にオフ動作する。これに伴い、有機ＥＬ素子８７の陽極電圧V_A の上昇も自動停止する。

【０１４０】

結果的に、データ記憶キャパシタＣｓには、電流駆動素子として機能するトランジスタ８３に固有の閾値電圧Ｖthの補正に必要な電圧が格納される。

【０１４１】

（iii）信号電圧Ｖdataの書き込みと移動度補正の兼用期間

この期間では、トランジスタ８１がオン状態に切り替え制御され、トランジスタ８５はオフ状態に制御される。勿論、トランジスタ８３もカットオフ状態にあるのでオフ状態のままである。

【０１４２】

このとき、データ線１３には、オフセット電圧Vofs よりも画素データに対応する信号電圧Ｖdataだけ高い電圧が印加される。これにより、トランジスタ８３のゲート電圧Ｖｇは、オフセット電圧Vofs より信号電圧Ｖdataだけ高い電圧へと遷移される。この結果、データ記憶キャパシタＣｓには、信号電圧Ｖdataと閾値電圧Ｖthの補正電圧が保持される。

【０１４３】

この信号電圧Ｖdataの書き込み開始によりデータ記憶キャパシタＣｓの保持電圧が上昇を開始すると、トランジスタ８３がオン動作してドレイン電流Ｉdsを流し始める。このドレイン電流Ｉdsは、有機ＥＬ素子８７の寄生容量に流れ込む。そして、寄生容量の充電に伴って有機ＥＬ素子８７の陽極電圧V_A の上昇が開始される。

【０１４４】

この陽極電圧V_A の上昇は、データ記憶キャパシタＣｓの保持電圧を小さくするように作用する。すなわち、トランジスタ８３のゲート・ソース間電圧Ｖgsを小さくするように作用する。

勿論、ドレイン電流Idsの大きさは、トランジスタ８３の移動度μの大きさに比例する。従って、移動度μが大きいほど、この補正動作後のゲート・ソース間電圧Vgsが小さくなる。

【０１４５】

かくして、データ記憶キャパシタＣｓには、画素データに対応する信号電圧Vdata、閾値補正用の電圧、閾値補正用の電圧が保持される。

この場合も、ドレイン電流Idsの大きさは、１／２・μ・Cox・W・L・（Vgs－Vth）^{2} で与えられる。このため、移動度μに応じた保持電圧の電圧変化が移動度のバラツキによる影響を小さくするように作用する。

【０１４６】

（iv）発光期間

この期間では、トランジスタ８１、８５がオフ状態に制御され、データ記憶キャパシタＣｓの保持電圧によりトランジスタ８３だけがオン動作する。このとき、トランジスタ８３はオン状態にあり、データ記憶キャパシタＣｓの保持電圧により定まるゲート・ソース間電圧Vgsに応じたドレイン電流Idsを有機ＥＬ素子８７に供給する。これにより、トランジスタ８３の特性バラツキの影響を受けない発光輝度が得られる。

【０１４７】

（Ｂ－５）回路例Ｅ

（ａ）画素回路の構成

図２３に、画素回路９の他の構成例を示す。図２３に示す画素回路９は、電流駆動素子をｐチャネルトランジスタで構成する場合の一例である。

【０１４８】

この画素回路９は、６個のトランジスタ９１、９３、９５、９７、９９、１０１と、データ記憶キャパシタＣｓと、有機ＥＬ素子１０３とで構成される。この画素回路９の場合、閾値補正用の初期化電位ＶINIの供給に専用線を使用する。従って、データ線１３には、画素データに対応する信号電圧Vdata
だけが供給される。

【０１４９】

トランジスタ９１は、信号電圧Vsig の書き込み準備動作期間にオン動作して、トランジスタ９７のゲート電位を初期化するのに用いられるｐチャネルＴＦＴである。

トランジスタ９３は、信号電圧Vsig のデータ記憶キャパシタＣｓへの書き込み経路を生成するｐチャネルＴＦＴである。トランジスタ９３の２つの主電極は、トランジスタ９７のソース電極とゲート電極にそれぞれ接続される。

【０１５０】

トランジスタ９５は、２本のデータ線１３Ａ又は１３Ｂの信号電位Vsig
の画素回路内への書き込みを制御するｐチャネルＴＦＴである。このトランジスタ９５の一方の主電極はデータ線に接続され、他方の主電極はトランジスタ９７のソース電極に接続される。ここで、信号電位Vsigは、トランジスタ９５→トランジスタ９７→トランジスタ９３を通じてトランジスタ９７のゲート電極とデータ記憶キャパシタＣｓの一方の電極に与えられる。

【０１５１】

トランジスタ９７は、有機ＥＬ素子１０３を電流駆動するｐチャネルＴＦＴである。

トランジスタ９９は、発光期間に限ってオン動作し、駆動電流の有機ＥＬ素子１０３への供給を可能とするｐチャネルＴＦＴである。

トランジスタ１０１は、発光期間中、トランジスタ９７のソース電極に固定電位である電源電位ＶＤＤ１を印加するｐチャネルＴＦＴである。

【０１５２】

データ記憶キャパシタＣｓは、発光期間中、閾値補正済みの信号電位Vsig
をトランジスタ９７のゲート電極とソース電極の間に印加する容量素子である。

有機ＥＬ素子１０３の陽極電極はトランジスタ９９を挟んでトランジスタ９７のドレイ

ン電極に接続され、陰極電極は接地電位ＶＳＳ１に接続される。
【０１５３】
（ｂ）データ線駆動部の回路構成
この回路例の場合、データ線駆動部２７には、図６や図７で説明した回路構成を使用する。
【０１５４】
（ｃ）駆動動作
図２４に、画素回路９（図２３）の駆動方法２に対応する駆動タイミングを示す。図２４も、２本のデータ線１３Ａ及び１３Ｂのうち一方に接続された画素回路９に着目した駆動タイミングであり、他方に接続された画素回路９では１水平走査期間の位相差で同様の駆動動作が実行されることになる。
【０１５５】
(i) 補正準備期間
この期間では、制御線ＶＳＣＡＮ３（ｉ）によりトランジスタ９１のみがオン状態に制御され、他のトランジスタ９３、９５、９９、１０１は制御線ＶＳＣＡＮ１（ｉ）及びＶＳＣＡＮ２（ｉ）によりオフ状態に制御される。これに伴い、電流駆動素子であるトランジスタ９７のゲート電位Ｖｇが初期化電位ＶＩＮＩに収束するように急低下する。
【０１５６】
このとき、初期化電位ＶＩＮＩは、閾値補正動作が正常に動作するように下記の条件を満たすように設定される。
ＶＩＮＩ＜ＶＤＤ１－Vdata (max) －Ｖth
ここで、Vdata (max) は、データ線１３Ａ又は１３Ｂから供給される信号電圧Vdataの最大値である。
【０１５７】
また、閾値Ｖthは、有機ＥＬ素子１０３を駆動するトランジスタ９７の閾値電圧である。
図２４に示すように、ゲート電位Ｖｇの低下に伴い、オープン状態にあるソース電圧Ｖｓも追従して低下する。
【０１５８】
(ii) 信号電圧の書き込み兼閾値補正期間
この期間では、制御線ＶＳＣＡＮ１（ｉ）によりトランジスタ９３及び９５のみがオン状態に制御され、他のトランジスタ９１、９９、１０１は制御線ＶＳＣＡＮ２（ｉ）及びＶＳＣＡＮ３（ｉ）によりオフ状態に制御される。
【０１５９】
この制御により、電流駆動素子として動作するトランジスタ９７のソース電位Ｖｓは、速やかに信号線１３Ａ又は１３Ｂから供給される信号電圧Vsig に遷移される。
なお、信号電圧Vsig は、電源電圧ＶＤＤ１－Vdataで与えられる。
【０１６０】
このとき、トランジスタ９７には駆動電流が流れないため、トランジスタ９７のゲート電位Ｖｇはソース電圧Ｖｓから閾値電圧Ｖthだけ小さい値に収束するように変化する。すなわち、閾値補正動作が実行される。
同時に、データ記憶キャパシタＣｓには、閾値電圧を補正した信号電圧Vdataが書き込まれる。
【０１６１】
なぜなら、データ記憶キャパシタＣｓの両極間には、電源電位ＶＤＤ１とソース電位Ｖｓ－Ｖth（＝ＶＤＤ１－Vdata－Ｖth）の差電圧が印加されるためである。つまり、Vdata＋Ｖthが印加されるためである。
【０１６２】
(iii) 発光期間
この期間では、制御線ＶＳＣＡＮ２（ｉ）によりトランジスタ９９及び１０１のみがオ

ン状態に制御され、他のトランジスタ９１、９３及び９５は制御線ＶＳＣＡＮ１（ｉ）及びＶＳＣＡＮ３（ｉ）によりオフ状態に制御される。
【０１６３】
この制御により、電流駆動素子としてのトランジスタ９７のゲート電位Ｖｇは、データ記憶キャパシタＣｓにより維持される一方で、トランジスタ９７のソース電位Ｖｓは電源電位ＶＤＤ１になる。
【０１６４】
結果的に、トランジスタ９７のゲート・ソース間電圧Vgsは、データ記憶キャパシタＣｓの保持電圧により定まり、当該保持電圧に応じたドレイン電流Ｉdsが有機ＥＬ素子１０３に供給される。ここでのドレイン電流Ｉdsは、（β／２）・Ｖdata^2で与えられる。なお、βは、μ・Cox・Ｗ・Ｌである。
【０１６５】
前式より、閾値成分が補正されていることが分かる。結果的に、トランジスタ９７の特性バラツキの影響を受けない発光輝度が得られる。
【０１６６】
（Ｃ）他の形態例
（Ｃ－１）データ線の他の配列例
前述した配置例の場合には、２本のデータ線１３に印加される信号電圧Ｖsig の位相関係が全ての画素回路について同じ場合を説明した。
【０１６７】
例えば画面上方から偶数行目に位置する画素列に対応するデータ線を１３Ａ、画面上方から奇数行目に位置する画素列に対応するデータ線を１３Ｂとする場合、画面左側から〔１３Ａ、１３Ｂ〕、〔１３Ａ、１３Ｂ〕、〔１３Ａ、１３Ｂ〕…と配列が繰り返す場合について説明した。ただし、この配列方法の場合には、２本のデータ線１３Ａと１３Ｂ間に特性差があると、その特性差が表示画面内でライン状に出現する可能性がある。
【０１６８】
このような特性差を避けるには、２本のデータ線１３Ａと１３Ｂの配列関係を入れ替えることが望ましい。例えば〔１３Ａ、１３Ｂ〕、〔１３Ｂ、１３Ａ〕、〔１３Ａ、１３Ｂ〕…というように、１画素毎に位相関係を入れ替えれば良い。
【０１６９】
このように配列関係を入れ替えると、左側のデータ線と右側のデータ線との間に特性差があったとしても、その特性差は表示画面上にドット市松状に発生することになる。従って、表示画質に与える特性差の影響を軽減することができる。
【０１７０】
図２５に、データ線１３の並び替え例を示す。ただし、データ線１３の並びは入れ替わっても、画素回路９の駆動信号は行単位で切り替わることに違いはない。従って、各データ線１３Ａ及び１３Ｂと画素回路９との接続関係は同じである。勿論、データ線駆動部２７もデータ線１３Ａ及び１３Ｂの配列順に対応してスイッチその他の配線が入れ替わる。
【０１７１】
（Ｃ－２）移動度補正時間
前述の画素回路例の場合には、基本的に移動度補正時間が固定である場合について説明した。
しかし、画素データに対応する信号電圧Ｖdataが大きい場合には補正時間を短くする一方、画素データに対応する信号電圧Ｖdataが小さい場合には補正時間を長くする方法を採用しても良い。
【０１７２】
（Ｃ－３）製品例
（ａ）ドライブＩＣ
前述の説明では、画素アレイ部と駆動回路とが１つのパネル上に形成されている場合について説明した。

しかし、画素アレイ部２５と駆動回路部５、２３等とは別々に製造し、流通することもできる。例えば、駆動回路部５、２３等はそれぞれ独立したドライブＩＣ（integrated circuit）として製造し、画素アレイ部２５を形成したパネルとは独立に流通することもできる。

【０１７３】

（ｂ）表示モジュール

前述した形態例における有機ＥＬパネルは、図２６に示す外観構成を有する表示モジュール１１１の形態で流通することもできる。

【０１７４】

表示モジュール１１１は、支持基板１１５の表面に対向部１１３を貼り合わせた構造を有している。対向部１１３は、ガラスその他の透明部材を基材とし、その表面にはカラーフィルタ、保護膜、遮光膜等が配置される。

【０１７５】

なお、表示モジュール１１１には、外部から支持基板１１５に信号等を入出力するためのＦＰＣ（フレキシブルプリントサーキット）１１７等が設けられていても良い。

【０１７６】

（ｃ）電子機器

前述した形態例における有機ＥＬパネルは、電子機器に実装された商品形態でも流通される。

図２７に、電子機器１２１の概念構成例を示す。電子機器１２１は、前述した有機ＥＬディスプレイ装置１２３及びシステム制御部１２５で構成される。システム制御部１２５で実行される処理内容は、電子機器１２１の商品形態により異なる。

【０１７７】

なお、電子機器１２１は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

この種の電子機器１２１には、例えばテレビジョン受像機が想定される。図２８に、テレビジョン受像機１３１の外観例を示す。

【０１７８】

テレビジョン受像機１３１の筐体正面には、フロントパネル１３３及びフィルターガラス１３５等で構成される表示画面１３７が配置される。表示画面１３７の部分が、形態例で説明した有機ＥＬパネルに対応する。

【０１７９】

また、この種の電子機器１２１には、例えばデジタルカメラが想定される。図２９に、デジタルカメラ１４１の外観例を示す。図２９（Ａ）が正面側（被写体側）の外観例であり、図２９（Ｂ）が背面側（撮影者側）の外観例である。

【０１８０】

デジタルカメラ１４１は、保護カバー１４３、撮像レンズ１４５、表示画面１４７、コントロールスイッチ１４９及びシャッターボタン１５１で構成される。このうち、表示画面１４７の部分が、形態例で説明した有機ＥＬパネルに対応する。

【０１８１】

また、この種の電子機器１２１には、例えばビデオカメラが想定される。図３０に、ビデオカメラ１６１の外観例を示す。

ビデオカメラ１６１は、本体１６３の前方に被写体を撮像する撮像レンズ１６５、撮影のスタート／ストップスイッチ１６７及び表示画面１６９で構成される。このうち、表示画面１６９の部分が、形態例で説明した有機ＥＬパネルに対応する。

【０１８２】

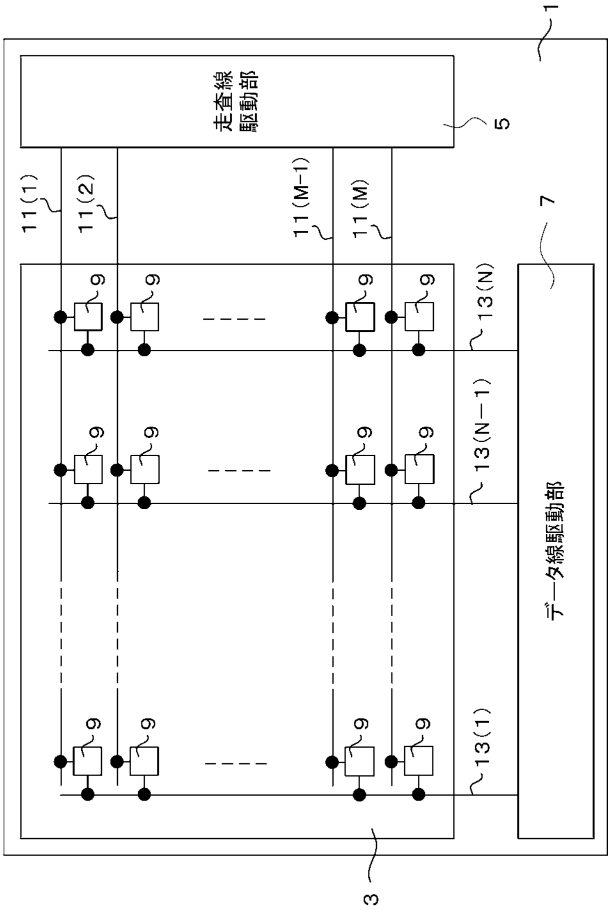
また、この種の電子機器１２１には、例えば携帯端末装置が想定される。図３１に、携帯端末装置としての携帯電話機１７１の外観例を示す。図３１に示す携帯電話機１７１は折りたたみ式であり、図３１（Ａ）が筐体を開いた状態の外観例であり、図３１（Ｂ）が筐体を折りたたんだ状態の外観例である。

【０１８３】
携帯電話機１７１は、上側筐体１７３、下側筐体１７５、連結部（この例ではヒンジ部）１７７、表示画面１７９、補助表示画面１８１、ピクチャーライト１８３及び撮像レンズ１８５で構成される。このうち、表示画面１７９及び補助表示画面１８１の部分が、形態例で説明した有機ＥＬパネルに対応する。
【０１８４】
また、この種の電子機器１２１には、例えばコンピュータが想定される。図３２に、ノート型コンピュータ１９１の外観例を示す。
ノート型コンピュータ１９１は、下型筐体１９３、上側筐体１９５、キーボード１９７及び表示画面１９９で構成される。このうち、表示画面１９９の部分が、形態例で説明した有機ＥＬパネルに対応する。
【０１８５】
これらの他、電子機器１２１には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。
【０１８６】
（Ｃ－４）他の表示デバイス例
前述した駆動方法は、有機ＥＬパネル以外にも適用できる。例えば無機ＥＬパネル、ＬＥＤを配列する表示パネルその他のダイオード構造を有する発光素子を画面上に配列する表示パネルに適用できる。
【０１８７】
（Ｃ－５）その他
前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。
【図面の簡単な説明】
【０１８８】
【図１】有機ＥＬパネルの主要構成例を示す図である（従来例）。
【図２】アクティブマトリクス駆動型の画素回路例を示す図である。
【図３】駆動動作例を説明する図である。
【図４】画素回路とデータ線駆動部との接続関係を説明する図である。
【図５】有機ＥＬパネルの主要構成例を示す図である（形態例）。
【図６】画素回路とデータ線駆動部との接続関係を説明する図である（形態例）。
【図７】画素回路とデータ線駆動部との接続関係を説明する図である（形態例）。
【図８】駆動動作例を説明する図である（駆動方法１）。
【図９】駆動動作例を説明する図である（駆動方法１）。
【図１０】駆動動作例を説明する図である（駆動方法２）。
【図１１】駆動動作例を説明する図である（駆動方法２）。
【図１２】駆動動作例を説明する図である（駆動方法２）。
【図１３】アクティブマトリクス駆動型の画素回路例を示す図である。
【図１４】図１３に示す画素回路とデータ線駆動部との接続関係を説明する図である。
【図１５】図１３に示す画素回路とデータ線駆動部との接続関係を説明する図である。
【図１６】図１３に示す画素回路の駆動動作例を示す図である。
【図１７】アクティブマトリクス駆動型の画素回路例を示す図である。
【図１８】図１７に示す画素回路の駆動動作例を示す図である。
【図１９】アクティブマトリクス駆動型の画素回路例を示す図である。
【図２０】図１９に示す画素回路の駆動動作例を示す図である。
【図２１】アクティブマトリクス駆動型の画素回路例を示す図である。
【図２２】図２１に示す画素回路の駆動動作例を示す図である。
【図２３】アクティブマトリクス駆動型の画素回路例を示す図である。
【図２４】図２３に示す画素回路の駆動動作例を示す図である。

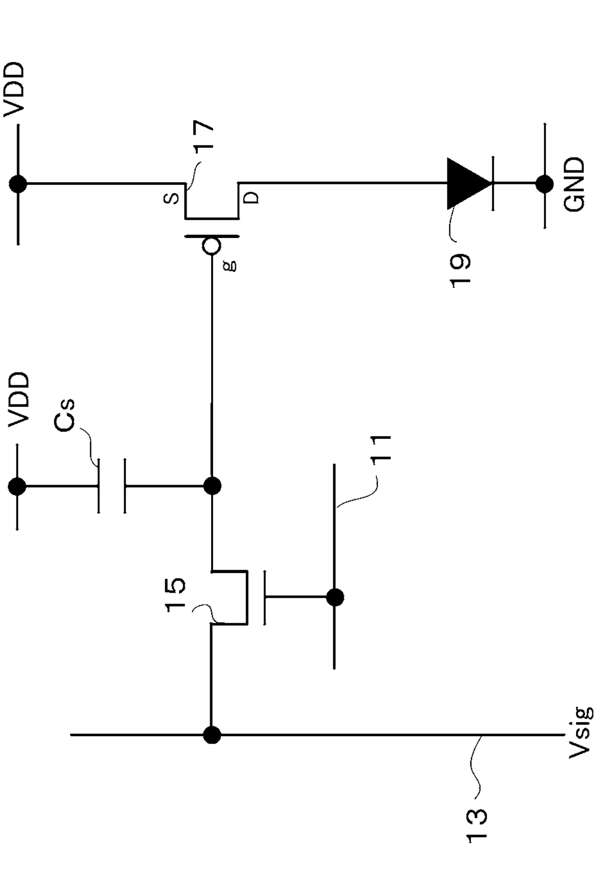
【図２５】データ線の他の配置例を説明する図である（形態例）。
【図２６】表示モジュールの構成例を示す図である。
【図２７】電子機器の機能構成例を示す図である。
【図２８】電子機器の商品例を示す図である。
【図２９】電子機器の商品例を示す図である。
【図３０】電子機器の商品例を示す図である。
【図３１】電子機器の商品例を示す図である。
【図３２】電子機器の商品例を示す図である。
【符号の説明】
【０１８９】

1	有機ＥＬパネル
3	画素アレイ部
5	走査線駆動部
7	データ線駆動部
9	画素回路
１１	走査線
１３	データ線
２１	有機ＥＬパネル
２３	走査線駆動部
２５	画素アレイ部
２７	データ線駆動部

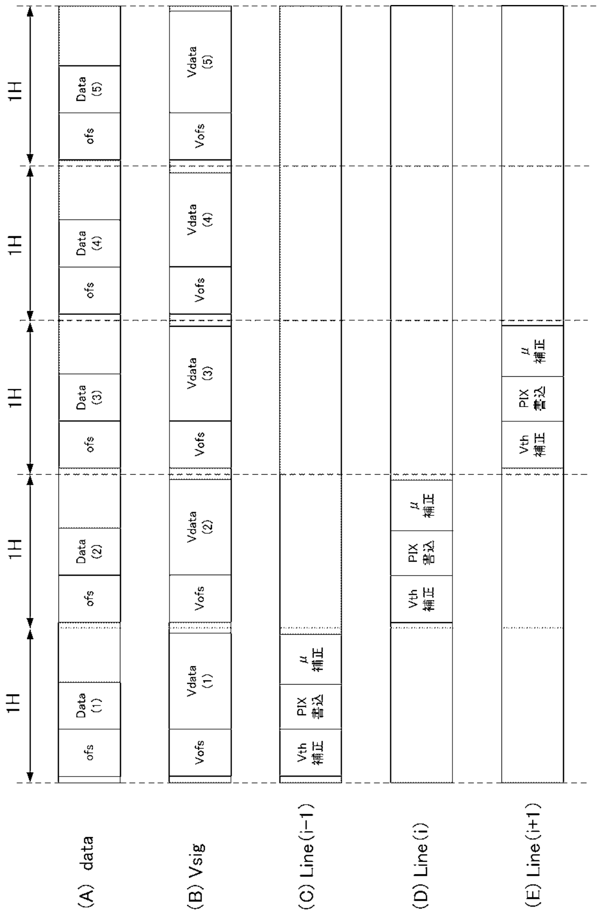
【図１】



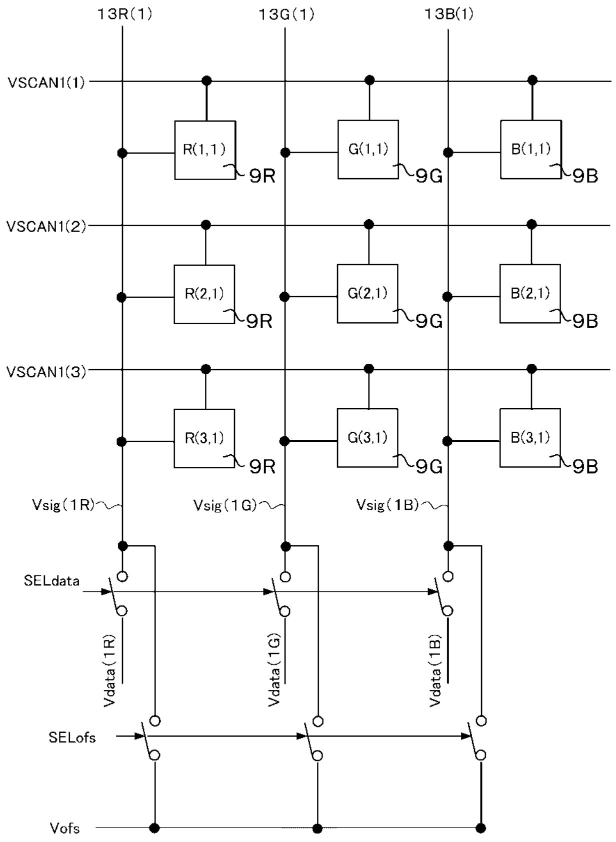
【図２】



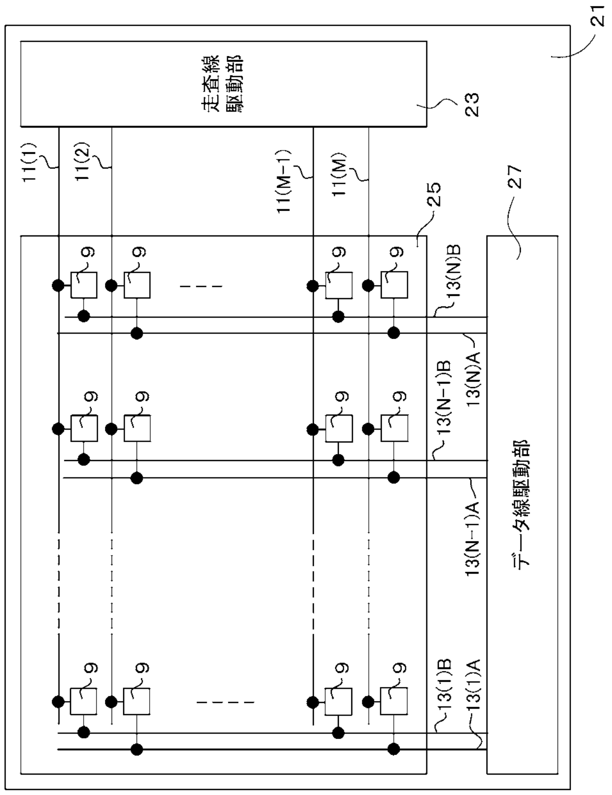
【図３】


1H
ofs
Data (5)
Data (4)
Data (3)
Data (2)
Data (1)
Vofs
Vdata (5)
Vdata (4)
Vdata (3)
Vdata (2)
Vdata (1)
Vth 補正
PIX 書込
μ 補正
(A) data
(B) Vsig
(C) Line(i−1)
(D) Line(i)
(E) Line(i+1)

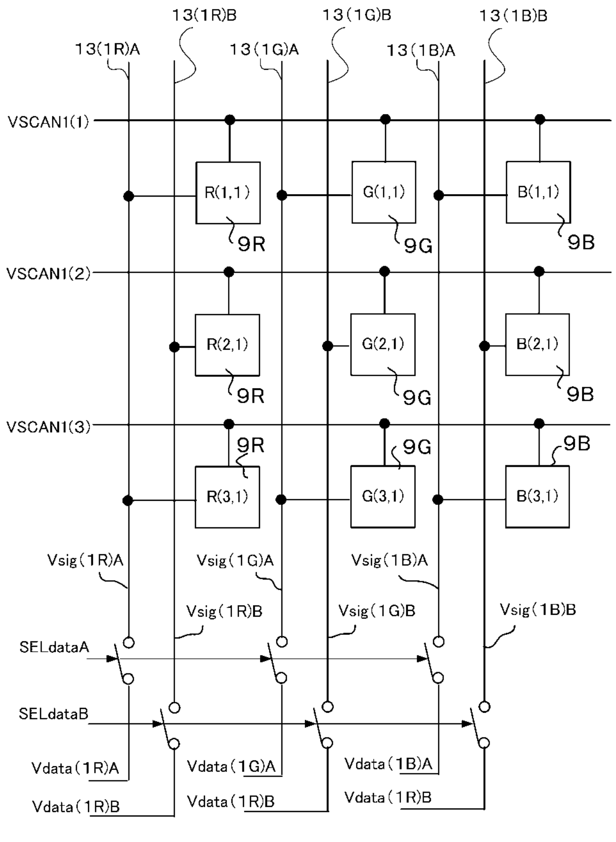
【図４】


13R(1)
13G(1)
13B(1)
VSCAN1(1)
VSCAN1(2)
VSCAN1(3)
R(1,1)
G(1,1)
B(1,1)
R(2,1)
G(2,1)
B(2,1)
R(3,1)
G(3,1)
B(3,1)
9R
9G
9B
Vsig(1R)
Vsig(1G)
Vsig(1B)
SELdata
Vdata(1R)
Vdata(1G)
Vdata(1B)
SELofs
Vofs

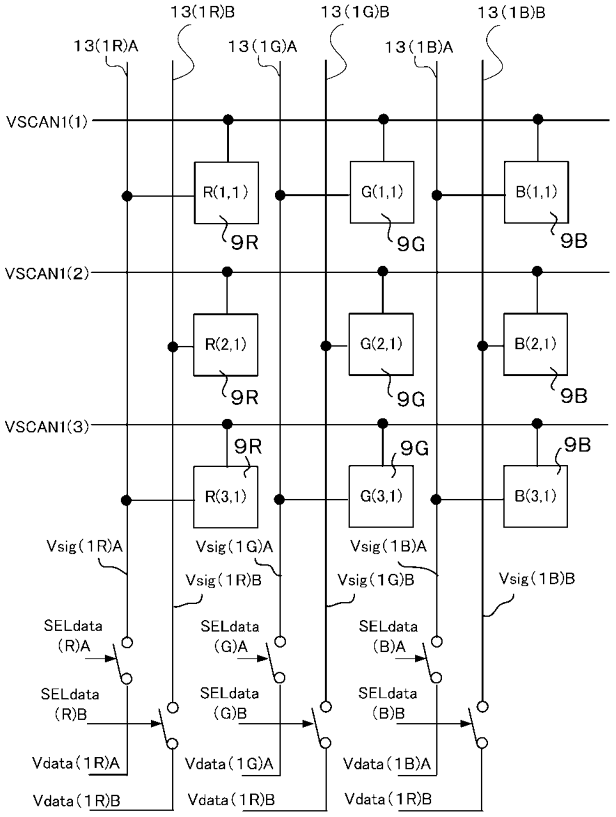
【図５】


21
走査線駆動部
23
11(1)
11(2)
11(M−1)
11(M)
25
27
9
13(N)B
13(N)A
13(N−1)B
13(N−1)A
13(1)B
13(1)A
データ線駆動部

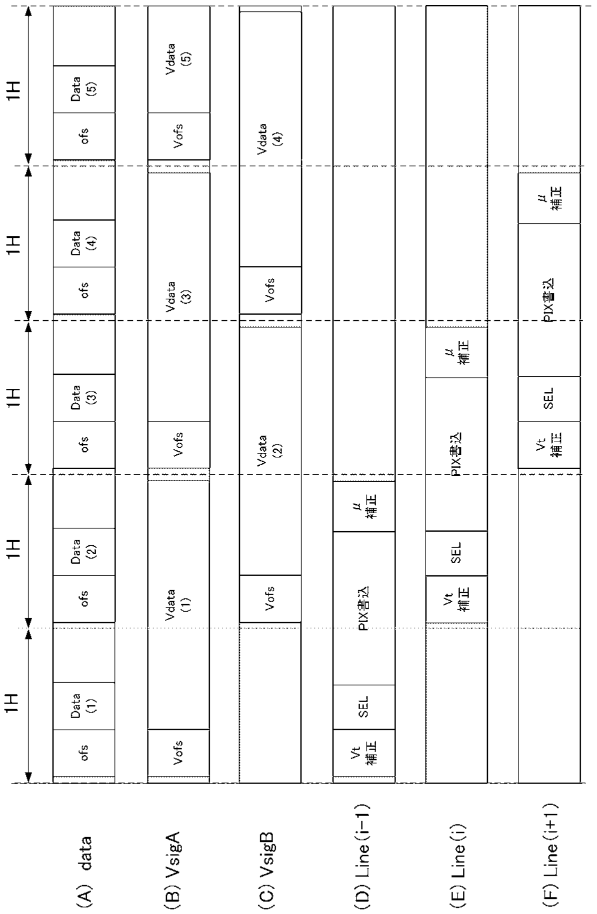
【図６】


13(1R)B
13(1G)B
13(1B)B
13(1R)A
13(1G)A
13(1B)A
VSCAN1(1)
VSCAN1(2)
VSCAN1(3)
R(1,1)
G(1,1)
B(1,1)
R(2,1)
G(2,1)
B(2,1)
R(3,1)
G(3,1)
B(3,1)
9R
9G
9B
Vsig(1R)A
Vsig(1G)A
Vsig(1B)A
Vsig(1R)B
Vsig(1G)B
Vsig(1B)B
SELdataA
SELdataB
Vdata(1R)A
Vdata(1G)A
Vdata(1B)A
Vdata(1R)B
Vdata(1R)B
Vdata(1R)B

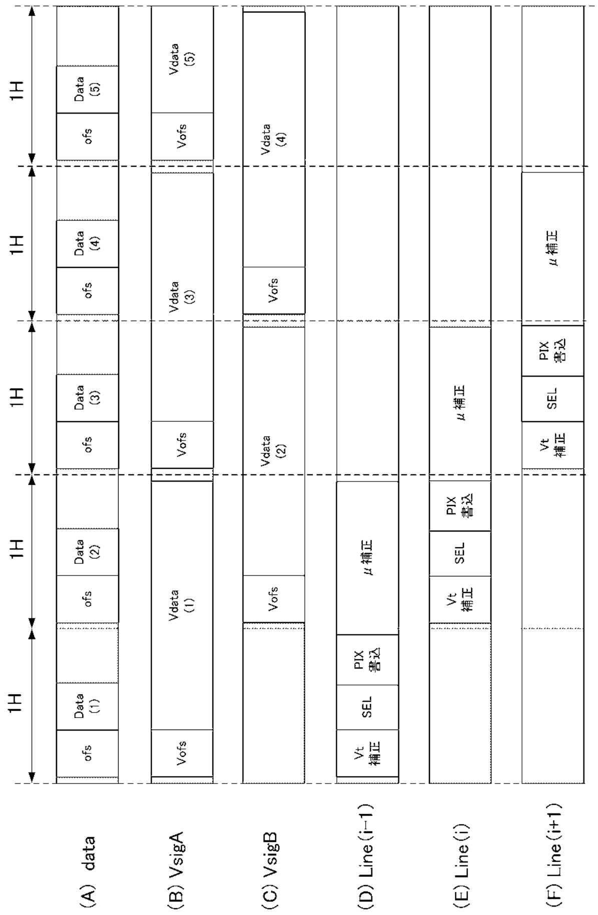
【図７】


13(1R)B
13(1G)B
13(1B)B
13(1R)A
13(1G)A
13(1B)A
VSCAN1(1)
VSCAN1(2)
VSCAN1(3)
R(1,1)
G(1,1)
B(1,1)
R(2,1)
G(2,1)
B(2,1)
R(3,1)
G(3,1)
B(3,1)
9R
9G
9B
Vsig(1R)A
Vsig(1G)A
Vsig(1B)A
Vsig(1R)B
Vsig(1G)B
Vsig(1B)B
SELdata (R)A
SELdata (G)A
SELdata (B)A
SELdata (R)B
SELdata (G)B
SELdata (B)B
Vdata(1R)A
Vdata(1G)A
Vdata(1B)A
Vdata(1R)B
Vdata(1R)B
Vdata(1R)B

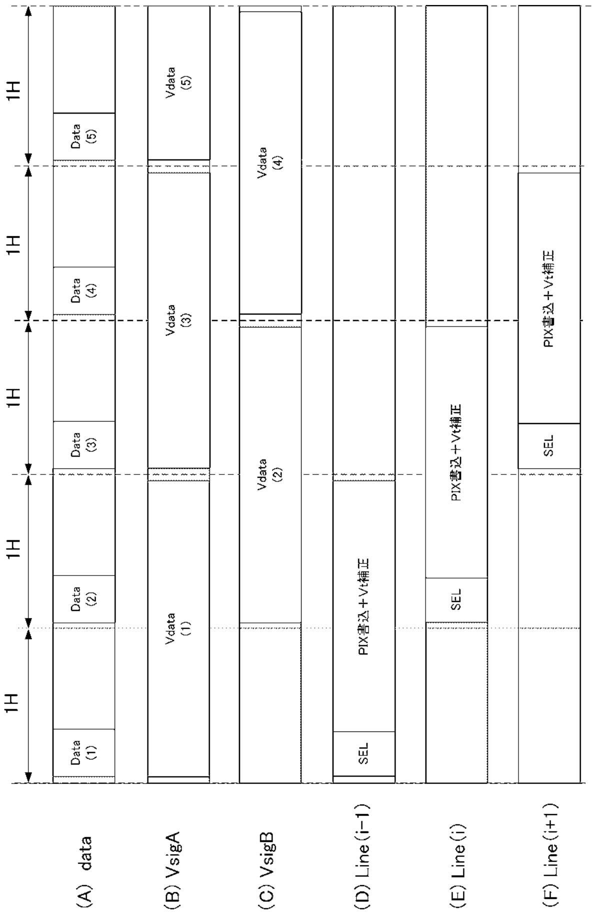
【図８】


(A) data
(B) VsigA
(C) VsigB
(D) Line(i-1)
(E) Line(i)
(F) Line(i+1)
1H

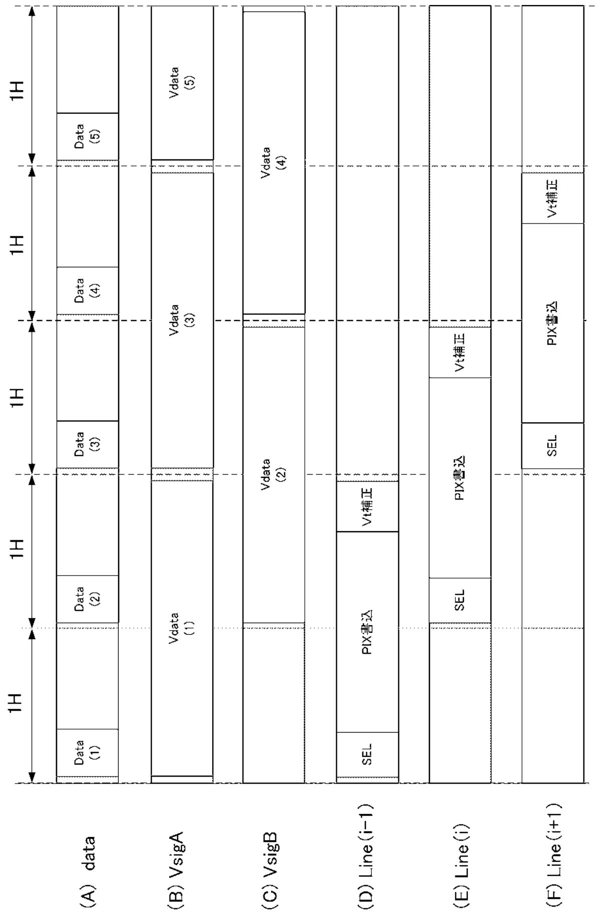
【図９】


(A) data
(B) VsigA
(C) VsigB
(D) Line(i-1)
(E) Line(i)
(F) Line(i+1)
1H

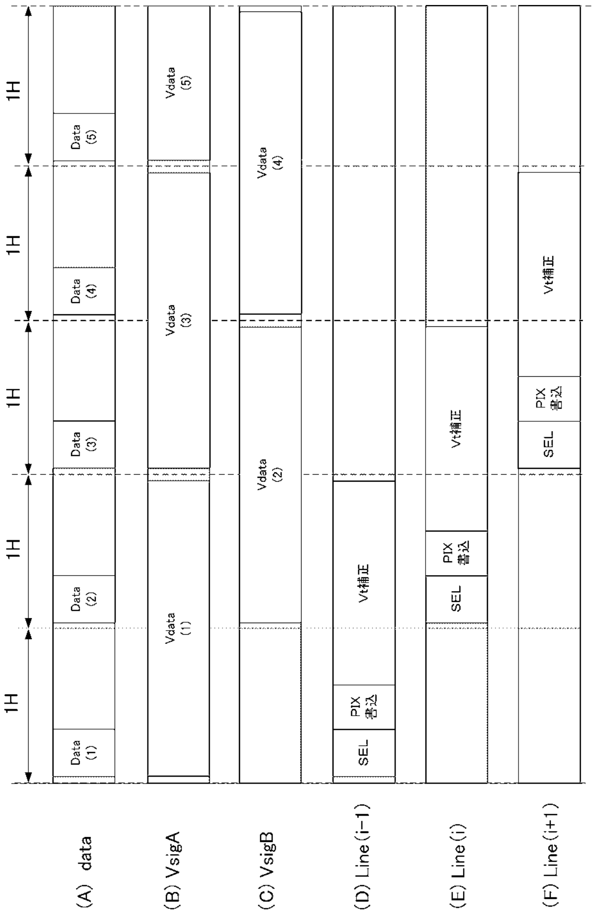
【図１０】


(A) data
(B) VsigA
(C) VsigB
(D) Line(i-1)
(E) Line(i)
(F) Line(i+1)
1H

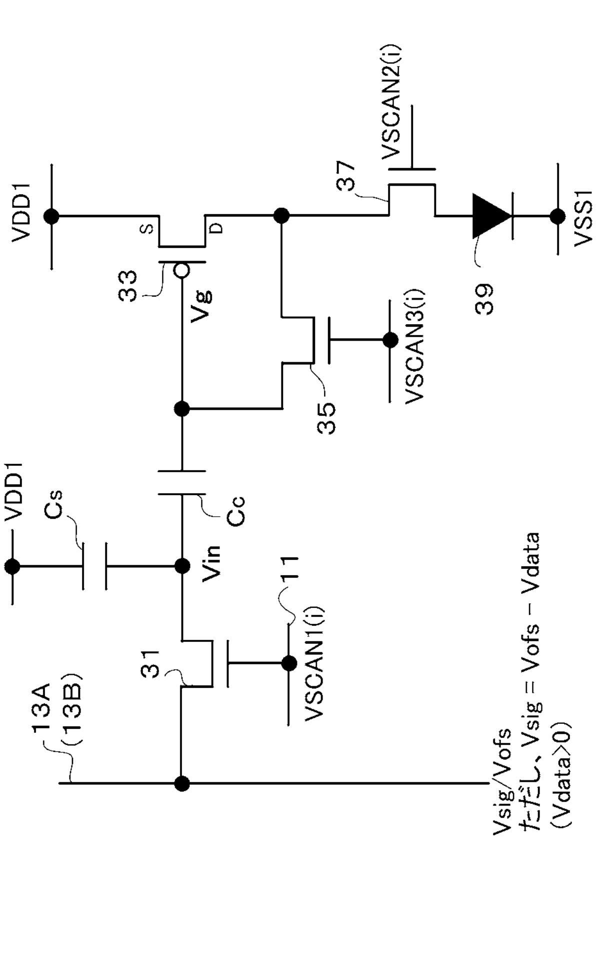
【図１１】



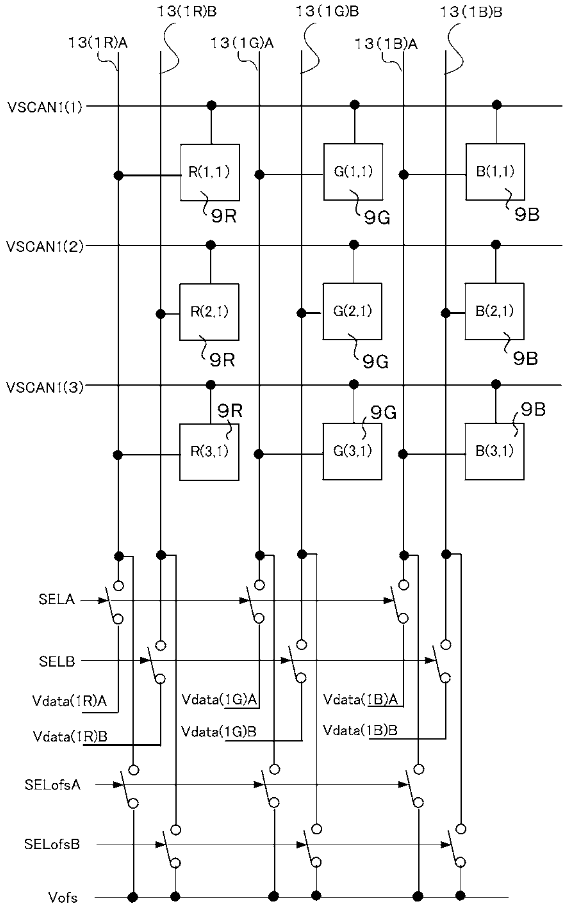
【図１２】



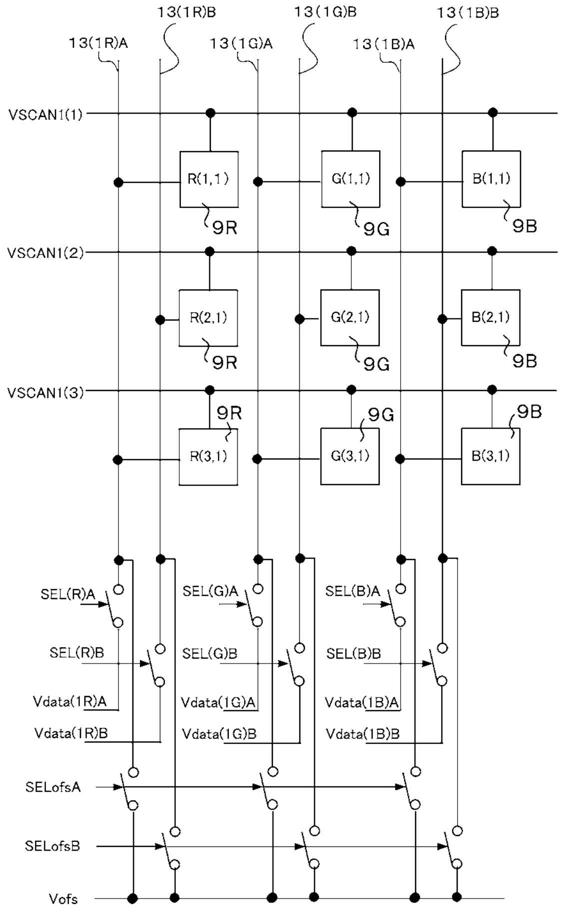
【図１３】



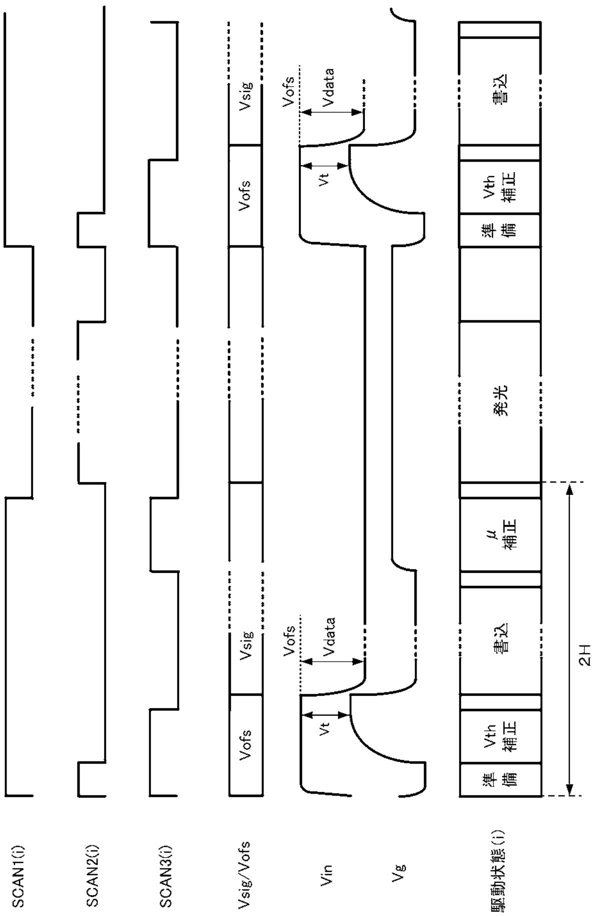
【図１４】



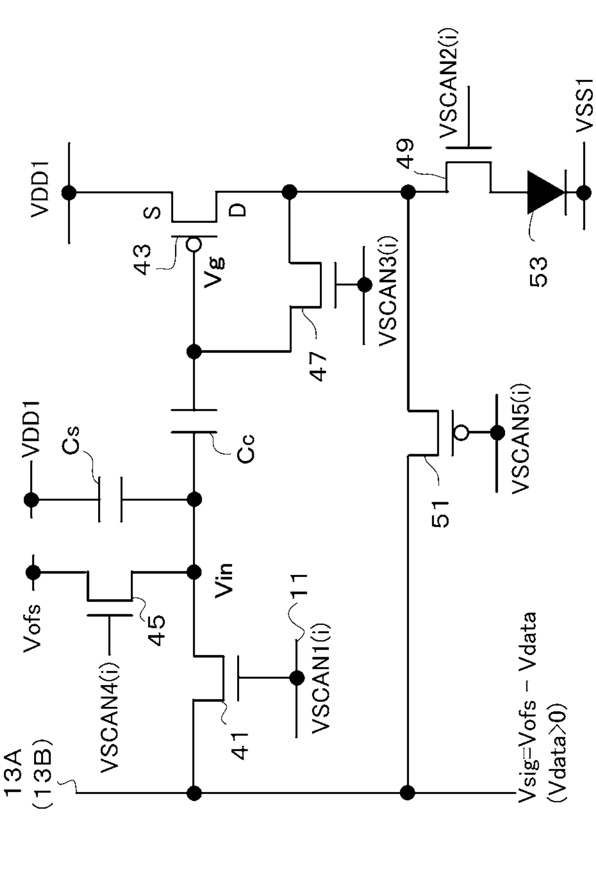
【図１５】



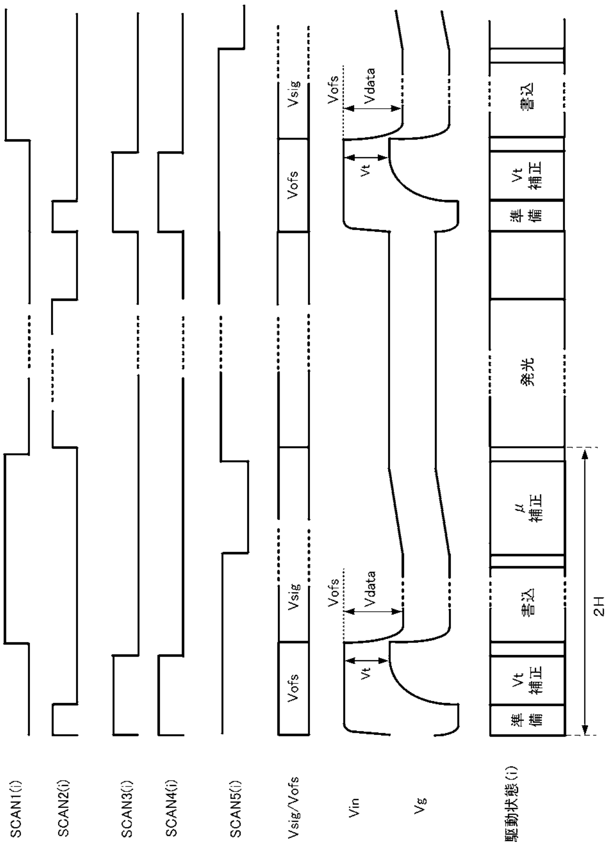
【図１６】



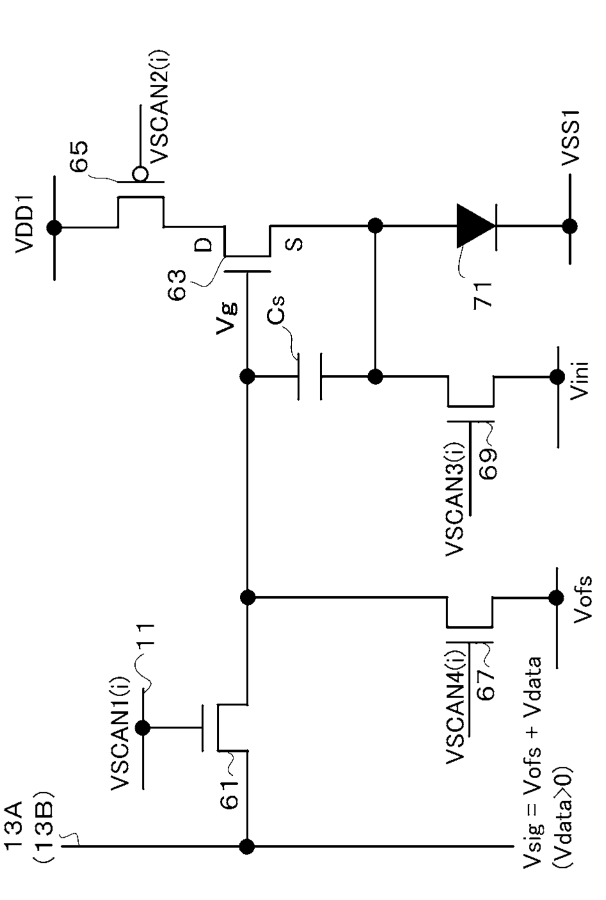
【図１７】



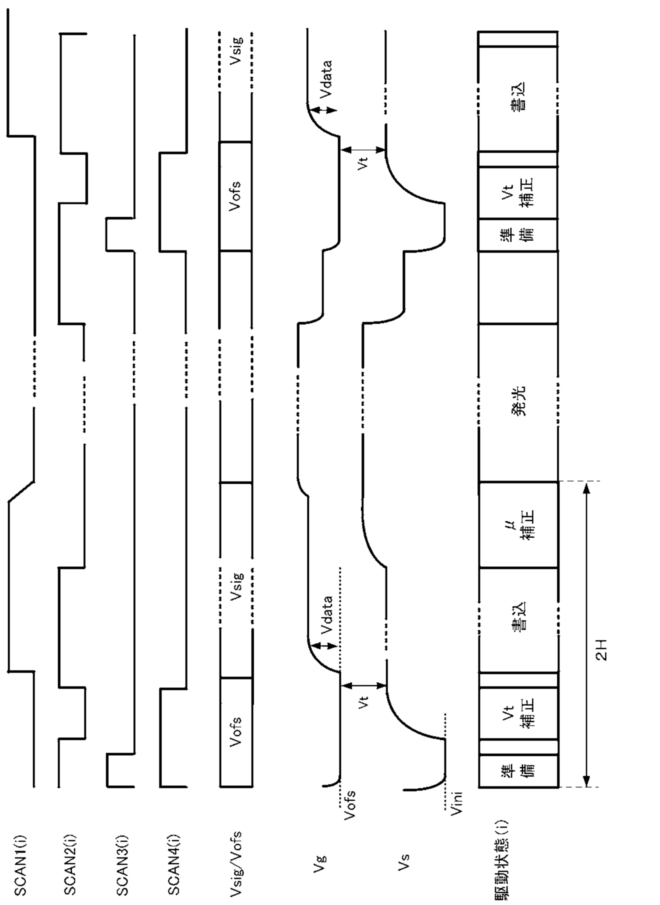
【図１８】



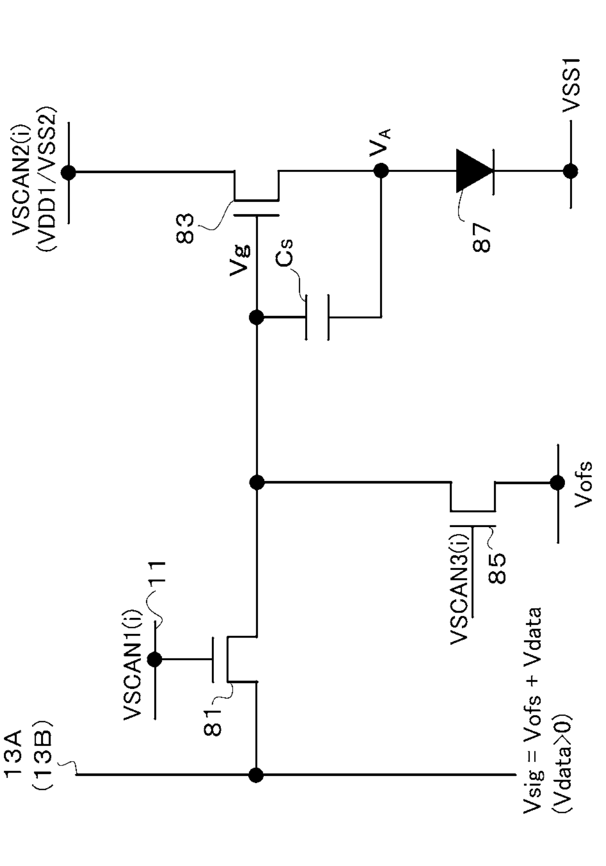
【図１９】



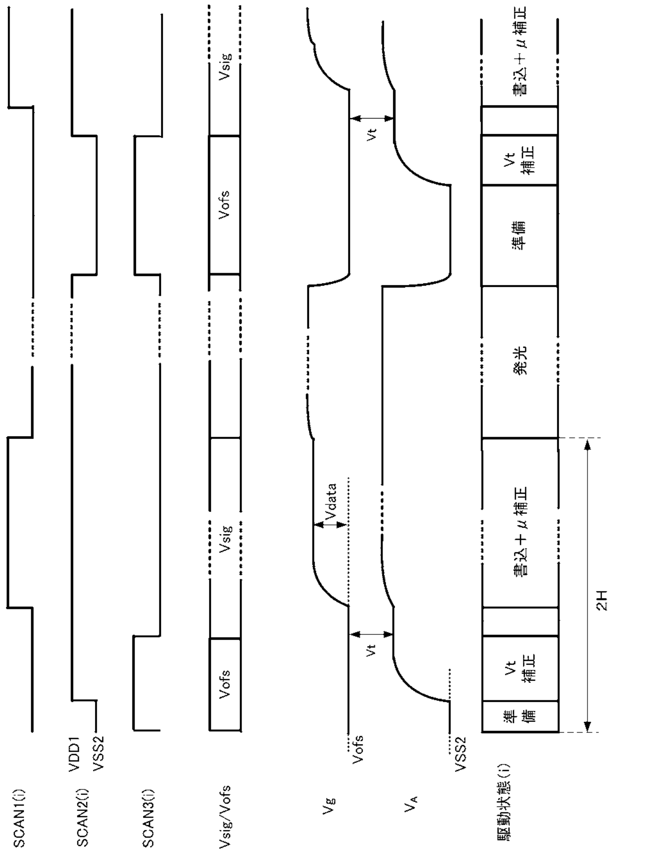
【図２０】



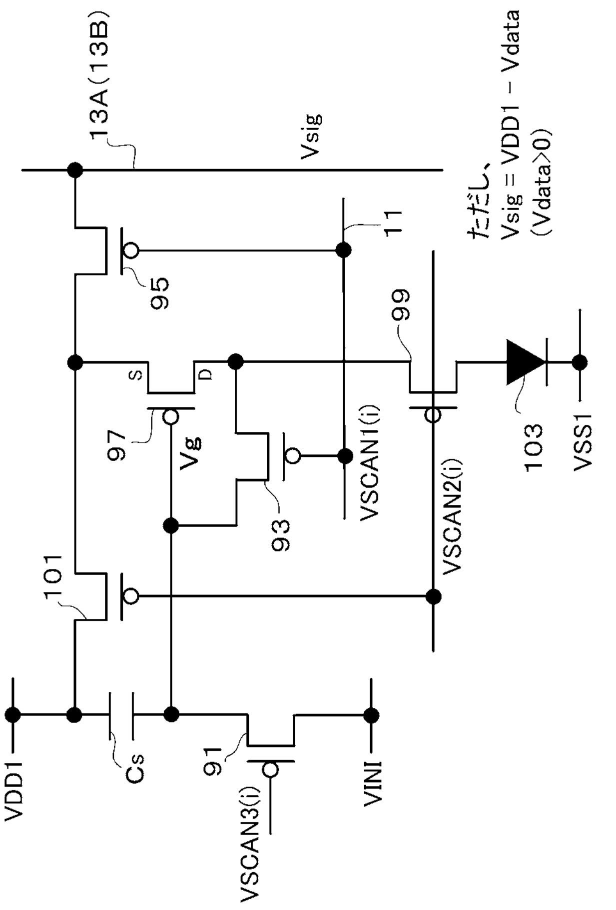
【図２１】



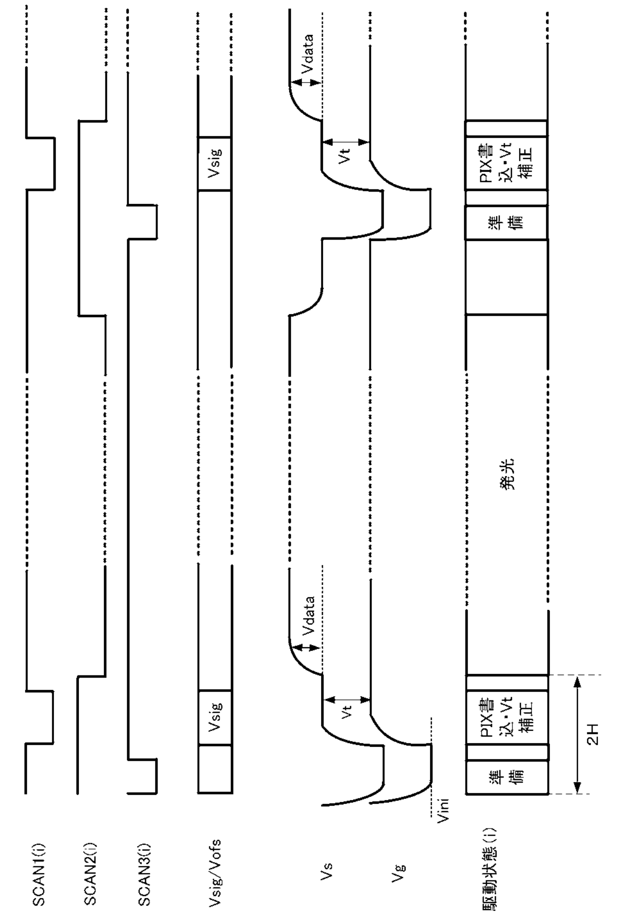
【図２２】



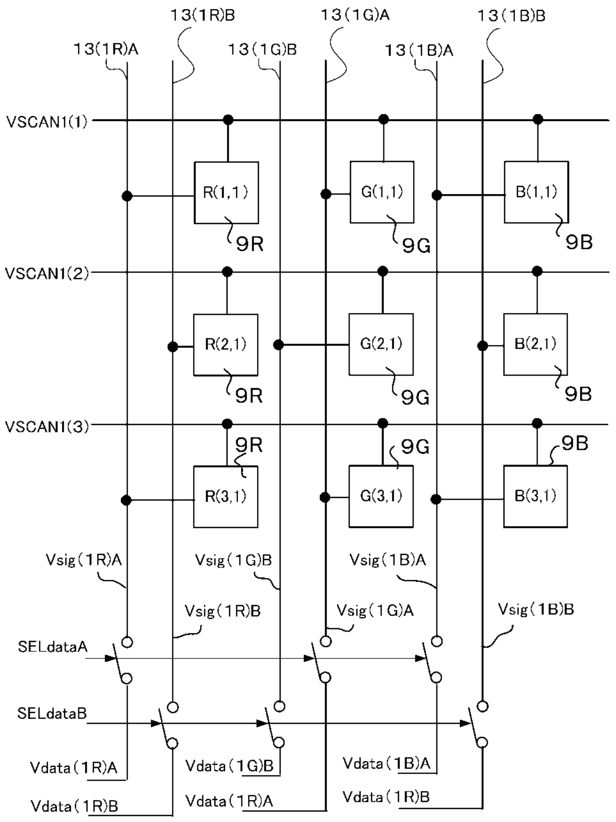
【図２３】



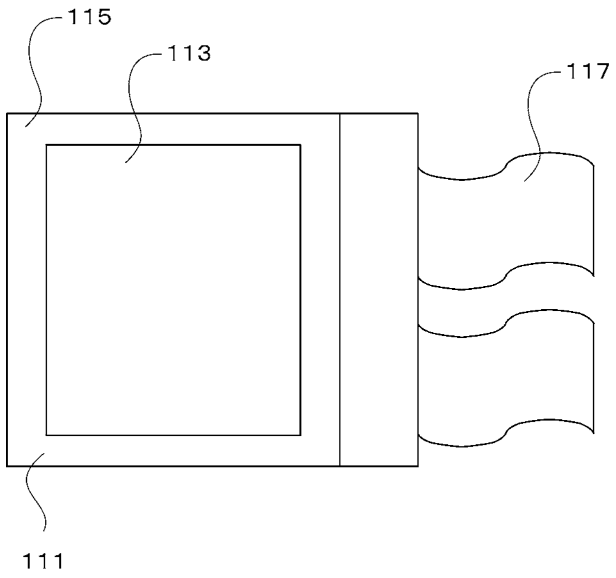
【図２４】



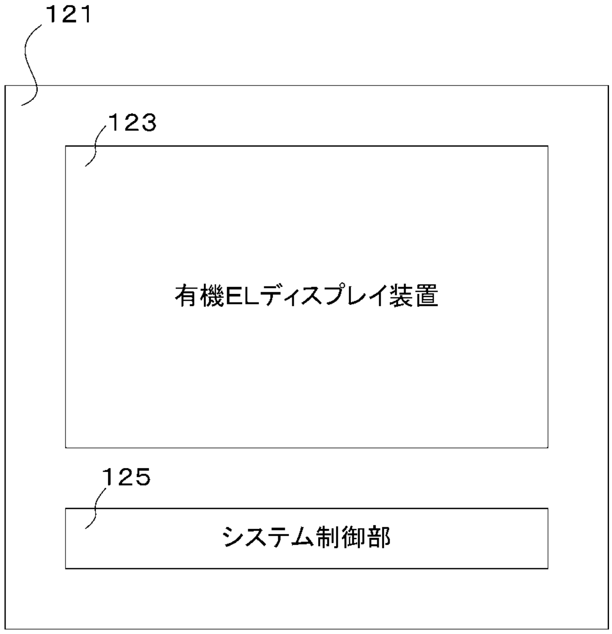
【図２５】



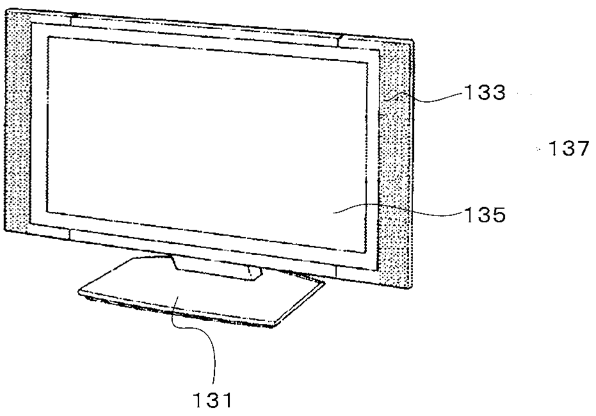
【図２６】



【図２７】



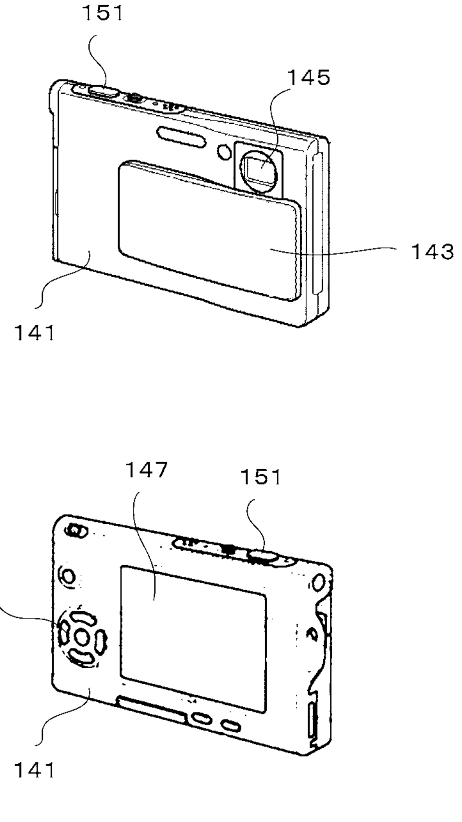
【図２８】



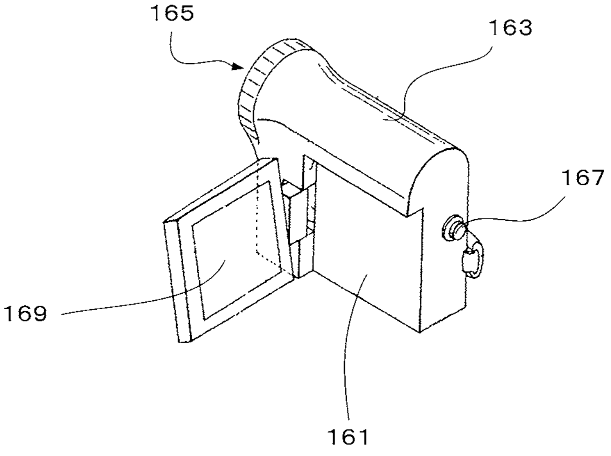
【図２９】

(A)

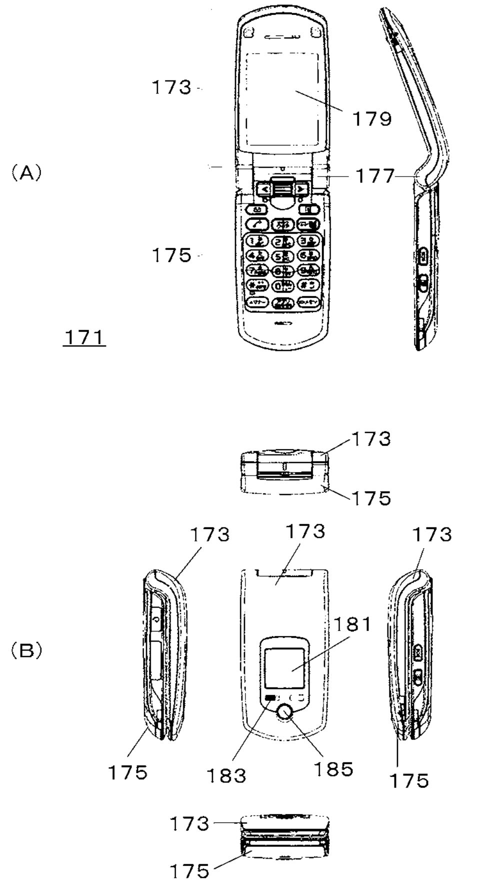
(B)



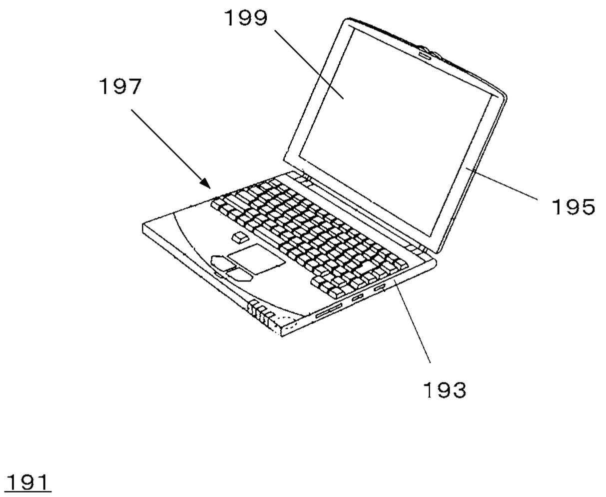
【図３０】



【図３１】


173
179
(A)
177
175
171
173
175
173
173
173
(B)
181
175
183
185
175
173
175

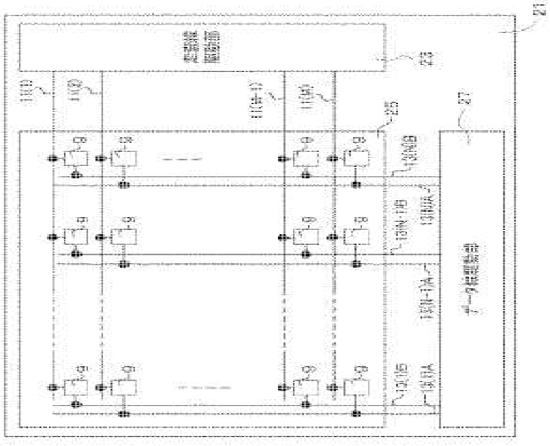
【図３２】


199
197
195
193
191

フロントページの続き

(51)Int.Cl.	ＦＩ			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６１１Ｈ	
	Ｇ０９Ｇ	3/20	６４２Ａ	
	Ｈ０５Ｂ	33/14	Ａ	

专利名称(译)	EL显示面板驱动方法，EL显示面板，EL显示面板驱动装置和电子设备
公开(公告)号	JP2009015276A
公开(公告)日	2009-01-22
申请号	JP2007208847
申请日	2007-08-10
[标]申请(专利权)人(译)	索尼公司
申请(专利权)人(译)	索尼公司
[标]发明人	浅野慎
发明人	浅野 慎
IPC分类号	G09G3/30 G09G3/20 H01L51/50
FI分类号	G09G3/30.J G09G3/20.623.B G09G3/20.623.D G09G3/20.623.C G09G3/20.621.F G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/20.624.B G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB08 5C380/AB18 5C380/AB34 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB14 5C380/CA12 5C380/CA53 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC66 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CD017 5C380/CD024 5C380/CD026 5C380/CF51 5C380/DA06 5C380/DA47 5C380/HA16
代理人(译)	头师 教文
优先权	2007148700 2007-06-05 JP
外部链接	Espacenet

摘要(译)

要解决的问题：即使在一个水平扫描周期短的情况下，也要确保足够的时间来提供与像素数据相对应的信号电压。解决方案：提出了一种方法，用于当每列布置的多条数据线中的一条数据线以线为单位连接到像素电路时，在多个水平扫描周期内将相应像素数据的信号电压施加到多条数据线中的每一条。当在有源矩阵驱动系统对应的像素结构的像素电路排列在EL的像素阵列部分的M行和N列的情况下，当垂直相邻的像素电路连接到不同驱动相的数据线时显示屏。 Ž