

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2008-122498

(P2008-122498A)

(43) 公開日 平成20年5月29日(2008.5.29)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/30 (2006.01)

G09G 3/30 J

3 K 1 0 7

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 1 J

5C080

HO 1 L 51/50 (2006.01)

G09G 3/20 642A

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 4 1 D

審査請求 未請求 請求項の数 11 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2006-303773 (P2006-303773)

(22) 出願日 平成18年11月9日 (2006.11.9)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 浅野 慎

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC14 CC33 CC35

CC42 EE03 HH04 HH05

AA06 BB05 DD05 DD26

EE28 FF11 JJ02 JJ03 JJ04

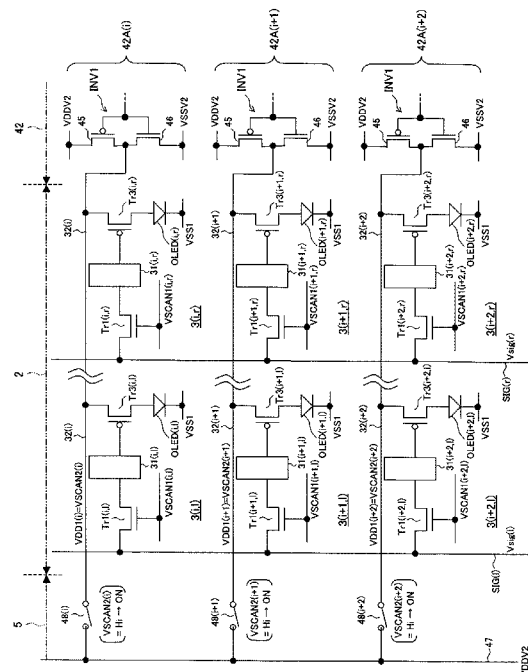
(54) 【発明の名称】 表示パネルの駆動回路、表示装置および画素回路の駆動方法

(57) 【要約】

【課題】電源線の配線抵抗に起因する画面の輝度ムラ（シェーディング）を抑制して表示部の大型化、高精細化および低消費電力化を図る。

【解決手段】電流駆動の電気光学素子（有機発光ダイオードOLED(i,j)）を各々が含む画素回路3(i,j)がマトリクス状に配置されている表示パネル2内で同一行に属する画素回路群に接続する第1電源線と第2電源線の一方（例えば電源線32(i)）の電位を駆動レベル（ハイレベルVDDV2）と非駆動レベル（ローレベルVSSV2）に交互に切り替えて駆動する駆動部（第2スキャナ42）と、ハイレベルVDDV2と同じ電圧を供給する駆動電圧供給線47と、電源線32(i)に対し、第2スキャナ42が接続される側と反対側に接続され、当該電源線32(i)の第2スキャナ42による電位変化に応答して、当該電源線32(i)を電圧供給線47と接続し又は非接続にするスイッチ48(i)と、を有する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

電流によって駆動される電気光学素子を各々が含む画素回路がマトリクス状に配置されている表示パネルの駆動回路であって、

前記表示パネル内で同一行に属する画素回路群に接続する第 1 電源線と第 2 電源線の一方電位を駆動レベルと非駆動レベルに交互に切り替えて、前記電気光学素子に流す電流を A C 駆動する駆動部と、

前記駆動レベルと同じ電圧を供給する駆動電圧供給線と、

前記 A C 駆動される駆動対象の電源線に対し、前記駆動部が接続される側と反対側に接続され、当該駆動対象の電源線の前記駆動部による電位変化に応答して、当該駆動対象の電源線を前記駆動電圧供給線と接続し又は非接続にするスイッチと、

を有する表示パネルの駆動回路。

10

【請求項 2】

前記スイッチは、前記 A C 駆動される前記駆動対象の電源線が前記駆動レベルにあるとき、当該駆動対象の電源線を前記駆動電圧供給線に電氣的に接続する

請求項 1 に記載の表示パネルの駆動回路。

【請求項 3】

前記スイッチが、ソースが前記駆動電圧供給線に接続され、ドレインが前記駆動対象の電源線に接続されている P チャネル型の電界効果トランジスタであり、

入力に前記駆動対象の電源線が接続され、出力によって前記電界効果トランジスタのゲートを制御するインバータを有する

請求項 1 に記載の表示パネルの駆動回路。

20

【請求項 4】

前記インバータの出力と前記電界効果トランジスタのゲートとの間に、前記駆動対象の電源線の電位変化より早く前記電界効果トランジスタのゲートの制御論理を確定する論理回路が接続されている

請求項 3 に記載の表示パネルの駆動回路。

【請求項 5】

前記論理回路は、一方入力に前記インバータの出力が接続され、他方入力に前記動作対象の電源線がハイレベルからローレベルに遷移する前にローレベルからハイレベルに遷移する制御信号が入力可能であり、出力に前記電界効果トランジスタのゲートが接続されているオアゲート回路である

請求項 4 に記載の表示パネルの駆動回路。

30

【請求項 6】

前記駆動対象の電源線と前記インバータの入力との間に、前記駆動対象の電源線の電圧を前記駆動部から出力される電源電圧に近づける電圧補償回路が接続されている

請求項 3 に記載の表示パネルの駆動回路。

【請求項 7】

前記駆動部は、前記電気光学素子が接続されている前記画素回路内の経路に第 1 電源電圧と第 2 電源電圧を印加して前記電気光学素子に駆動電流を流す際に、前記第 1 電源電圧と前記第 2 電源電圧の一方を “ H ” レベル電位と “ L ” レベル電位の 2 値で切り替える A C 駆動を行い、

前記 “ H ” レベルと前記 “ L ” レベルの一方と、前記第 1 および第 2 電源電圧のうち A C 駆動されない電源電圧の電位との電位差により、前記電気光学素子に電流が供給され、前記 “ H ” レベルと前記 “ L ” レベルの他方の電位と、前記 A C 駆動されない電源電圧の電位との電位差では前記電気光学素子に電流が流れないように、前記 “ H ” レベルおよび前記 “ L ” レベルと、前記 A C 駆動されない電源電圧の電位との相対的電位差が決められている

請求項 1 に記載の表示パネルの駆動回路。

40

【請求項 8】

50

前記画素回路は、

前記第 1 電源線と前記第 2 電源線との間に縦続接続されている P チャンネル型の駆動トランジスタおよび前記電気光学素子と、

前記駆動トランジスタのゲートと信号入力線との間に結合キャパシタを介して接続されているスイッチング・トランジスタと、

前記結合キャパシタと前記スイッチング・トランジスタとの接続ノードと所定電圧との間に接続されている保持キャパシタと、

前記接続ノードとオフセット電圧の供給線との間に接続されているオフセット・トランジスタと、

前記駆動トランジスタのゲートとドレインとの間に接続されているシャント・トランジスタと、

を含む請求項 1 に記載の表示パネルの駆動回路。

【請求項 9】

前記画素回路は、

前記第 1 電源線と前記第 2 電源線との間に縦続接続されている N チャンネル型の駆動トランジスタおよび前記電気光学素子と、

前記駆動トランジスタのゲートと信号入力線との間に接続されているスイッチング・トランジスタと、

前記駆動トランジスタのゲートとソース間に接続されている保持キャパシタと、

前記駆動トランジスタのゲートとオフセット電圧の供給線との間に接続されているオフセット・トランジスタと、

を含む請求項 1 に記載の表示パネルの駆動回路。

【請求項 10】

第 1 電源線および第 2 電源線の電位差により発生する電流によって駆動される電気光学素子を各々が含む複数の画素回路を行表示の単位として有する表示部と、

前記第 1 電源線と前記第 2 電源線の一方電位を駆動レベルと非駆動レベルに交互に切り替えて A C 駆動する駆動部と、

前記駆動レベルと同じレベルの電圧を供給する駆動電圧供給線と、

前記表示部に対し前記駆動部と反対の側に配置され、前記 A C 駆動される駆動対象の電源線と前記駆動電圧供給線との間に接続され、当該駆動対象の電源線の前記駆動部による電位変化に応答してオンとオフが制御されるスイッチと、

を有する表示装置。

【請求項 11】

共通の電源線に並列に接続され、各々が電気光学素子を含む複数の画素回路を、前記電源線の印加電圧により電流駆動する画素回路の駆動方法であって、

前記電源線の一方端側で印加電圧を駆動レベルと非駆動レベルに交互に切り替える A C 駆動のステップと、

前記電源線の他方端側で、前記 A C 駆動される前記電源線の電位変化に応答して、前記駆動レベルの電圧供給をオンまたはオフする電圧補償のステップと、

を有する画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流によって駆動される電気光学素子を各々に含む画素回路がマトリクス状に配置されている表示パネルの駆動回路、表示装置、ならびに、画素回路の駆動方法に関する。

【背景技術】

【0002】

電流駆動により画素を駆動する表示装置（ディスプレイ）としては、赤（R）、緑（G）、青（B）の LED 部品を集積化している画素ユニットをマトリクス状に配置して、主に屋外デ

10

20

30

40

50

ィスプレイに用いられるもの（以下、単に「ＬＥＤディスプレイ」という）の他に、いわゆる有機ＥＬディスプレイが知られている。

有機ＥＬディスプレイは、複数の画素回路をマトリクス状に配置する表示部と、その駆動部とを、１枚の基板に半導体プロセス技術を用いてＴＦＴ(thin film transistor)により形成した表示パネルを有する。あるいは、表示パネルの駆動回路はフレキシブル基板により提供され、両者の電氣的接続を行う。

【０００３】

有機ＥＬディスプレイの画素回路は様々なものが提案されている（例えば、特許文献１、２参照）。

主なものでは４トランジスタ（４Ｔ）・１キャパシタ（１Ｃ）型や４Ｔ・２Ｃ型（上記特許文献１）、５Ｔ・１Ｃ型や３Ｔ・１Ｃ型（上記特許文献２）などが知られている。

【０００４】

これらは何れもＴＦＴの特性バラツキに起因する画質低下を防止するものであり、画素回路内部で駆動電流を一定に制御し、これによって画面全体のユニフォミティを向上させることを目的とする。とくに画素回路内で有機ＬＥＤを電源に接続するとき、入力する映像信号の画素データに応じて電流量を制御する駆動トランジスタの特性バラツキが、直接的に有機ＬＥＤの発光輝度に影響を与える。このため、駆動トランジスタの特性、すなわち閾値電圧の補正を行う必要がある。さらには、閾値電圧補正を前提として、駆動トランジスタの電流駆動能力から閾値バラツキ起因成分等を減じた駆動能力成分（一般には、移動度と称されている）を補正すると、より一層高いユニフォミティが得られる。

【０００５】

このような補正機能を画素回路ごとに持たせると、一般には、画素回路内のトランジスタ数やキャパシタ数が増加する。また、より高い補正精度にするには、さらに画素回路の素子数が増える傾向にある。

【０００６】

ところで、駆動部の構成も種々知られている。

前述した特許文献１および２に開示されているように、表示部はアクティブマトリックス駆動され、駆動部として、表示部の水平辺（画面の横方向）に沿って配置される水平駆動回路（Ｈスキャナ）と、垂直辺（画面の縦方向）に沿って配置される垂直駆動回路（Ｖスキャナ）とを備える有機ＥＬディスプレイが一般的である。

【０００７】

ところが、特許文献１や２に開示されている画素回路は、発光時間の終点制御等の目的で設けられ、有機ＬＥＤの駆動電流経路の遮断を制御するためだけにトランジスタを有することから、その分、画素回路の面積が大きい。

【０００８】

電流遮断制御のトランジスタを画素回路から削除するためには、電源線をハイレベルとローレベルで電位変化させる、電源供給のＡＣ駆動を行うとよい。

ＡＣ駆動のためには、スキャナが電源供給のＡＣ駆動のために必要となる。ただし、電流遮断制御のトランジスタを画素回路ごとに有する上記特許文献１や２のディスプレイにおいても、電流遮断制御のトランジスタをオンまたはオフさせるスキャナが必要であるため、スキャナ数は変わらない。

よって、この電源供給のＡＣ駆動の技術は、画素回路の内のトランジスタを減らし表示部の画素集積度を上げて高精細化しても、駆動部の回路規模は増大しないという利点がある。

【特許文献１】特表２００２－５１４３２０号公報

【特許文献２】特開２００５－３４５７２２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

ＬＥＤディスプレイや有機ＥＬディスプレイ等の電流駆動型の表示装置は、他のタイプ

10

20

30

40

50

の表示装置と同様に大画面化、高精細化の要求が強い。特に有機ＥＬディスプレイは、上述したＴＦＴに起因するトランジスタ特性バラツキ、有機（ＬＥＤ）薄膜の特性低下によって大画面化、高精細化が困難とされてきたが、近年、画素回路改良や有機薄膜の膜質改善が進み、テレビジョン受像やビデオ再生に適した大画面化および高精細化への期待が高まっている。

【００１０】

前述した電源供給をＡＣ駆動する画素回路は、トランジスタ数の削減により、この期待に応えるものであるが、その一方で、以下の欠点がある。

表示画面が大きくなり、あるいは高精細化すると、スキャナによりＡＣ駆動する電源線の負荷が大きくなり、とくに配線抵抗により画素回路に印加する電源電圧の電圧降下が顕著になる。駆動回路が表示部のＴＦＴと同じプロセスで同一基板に形成されている有機ＥＬディスプレイの場合、その基板の多層配線構造内に電源線が形成される。また、有機ＥＬディスプレイは電流駆動のため、配線抵抗が大きいと、その影響が電源電圧の電圧降下に顕著に現れる。この電源電圧の電圧降下を抑制するには、大画面化、高精細化の進展とともに電源線の配線抵抗を下げる必要があるが、基板に形成される多層配線構造では、その対策がとりにくい。

【００１１】

電源供給のＡＣ駆動のためのスキャナを、Ｖスキャナの一つとして例えば表示部の水平方向の一方側に１つ配置すると、当該スキャナから距離が遠くなる表示部の他方端側ほど上記電源電圧の電圧降下が著しい。

なお、電源駆動以外の他のスキャナは、一般的に、映像信号（画素データ）のサンプリングや補正等のために画素回路内に設けられているＭＯＳトランジスタの絶縁ゲートに接続されるため、駆動電流が余り流れない。つまり、上記電圧降下の不利益は、ＡＣ駆動される電源線に特有である。

【００１２】

この電源線の電圧降下が著しいと、スキャナに近い側と遠い側で、徐々に有機ＬＥＤ（画素）の輝度差が変化する。これはユニフォミティ低下現象の一種であり、一般に、シェーディングと称される画質低下の原因となる。

【００１３】

図１（Ａ）および図１（Ｂ）はシェーディングの説明図である。

図１（Ａ）に映像信号が持つ輝度を、表示配列に合わせて模式的に示す。また、図１（Ｂ）に、表示映像の画素の輝度を示す。ここで白抜きは輝度が高く、斜線は輝度が低いことを表している。

図１（Ｂ）に示すように、水平方向のアドレスｒの画素カラムがスキャナに最も近い画素カラムであり、水平方向のアドレスｌの画素カラムがスキャナに最も遠い。これらの２つの画素カラムは、表示前の映像信号の輝度差でみると差がない場合であっても（図１（Ａ））、実際にパネルに表示させると、図１（Ｂ）に示すように、スキャナまでの距離が異なると輝度差が明確に生じる（シェーディング）。

このシェーディングは、電流駆動の電気光学素子を自発光させるディスプレイの大画面化、高精細化の進展を阻害している。

【００１４】

対策として、電源線のＡＣ駆動を行うＶスキャナを表示部の水平方向（横方向）両側に、合計２つ設けることも考えられる。

しかし、この対策を実施した場合、ガラス基板上にポリシリコンＴＦＴを用いてＶスキャナを形成するとパネルサイズが増大する。とくにＶスキャナは表示部の周囲に設けられ映像表示に寄与しない部分であるため、この映像表示に寄与しない部分の割合が増えると、表示画面周囲の枠部分が小さいデザインが可能な表示パネルの実現が困難になる。

また、電流駆動能力が高いＶスキャナが２つ設けられると、表示部周辺の回路での消費電力が増大する。

さらに、Ｖスキャナを動作させる映像信号を入力する端子は、信号遅延抑制のために可

10

20

30

40

50

能な限りVスキャナの近くに配置する必要があるが、2つのVスキャナが表示部の水平方向の両側に互いに離れているため、それぞれに映像入力端子を設け、これにより端子数が増加する。

【0015】

本発明が解決しようとする課題は、電源線の配線抵抗に起因する画面の輝度ムラ（シェーディング）を抑制して表示部の大型化、高精細化および低消費電力化が可能な表示装置を提供することである。

【課題を解決するための手段】

【0016】

本発明に係る表示パネルの駆動回路は、電流によって駆動される電気光学素子を各々が含む画素回路がマトリクス状に配置されている表示パネルの駆動回路であって、前記表示パネル内で同一行に属する画素回路群に接続する第1電源線と第2電源線の一方電位を駆動レベルと非駆動レベルに交互に切り替えて、前記電気光学素子に流す電流をAC駆動する駆動部と、前記駆動レベルと同じ電圧を供給する駆動電圧供給線と、前記AC駆動される駆動対象の電源線に対し、前記駆動部が接続される側と反対側に接続され、当該駆動対象の電源線の前記駆動部による電位変化に応答して、当該駆動対象の電源線を前記駆動電圧供給線と接続し又は非接続にするスイッチと、を有する。

本発明では好適に、前記スイッチは、前記AC駆動される前記駆動対象の電源線が前記駆動レベルにあるとき、当該駆動対象の電源線を前記駆動電圧供給線に電氣的に接続する。

【0017】

スイッチがPチャネル型の電界効果トランジスタの場合、入力に前記駆動対象の電源線が接続され、出力によって前記電界効果トランジスタのゲートを制御するインバータを有することが望ましい。

この場合、さらに望ましくは、前記インバータの出力と前記電界効果トランジスタのゲートとの間に、前記駆動対象の電源線の電位変化より早く前記電界効果トランジスタのゲートの制御論理を確定する論理回路が接続されている。

本発明では好適に、前記駆動対象の電源線と前記インバータの入力との間に、前記駆動対象の電源線の電圧を前記駆動部から出力される電源電圧に近づける電圧補償回路が接続されている。

【0018】

本発明に係る表示装置は、第1電源線および第2電源線の電位差により発生する電流によって駆動される電気光学素子を各々が含む複数の画素回路を行表示の単位として有する表示部と、前記第1電源線と前記第2電源線の一方電位を駆動レベルと非駆動レベルに交互に切り替えてAC駆動する駆動部と、前記駆動レベルと同じレベルの電圧を供給する駆動電圧供給線と、前記表示部に対し前記駆動部と反対の側に配置され、前記AC駆動される駆動対象の電源線と前記駆動電圧供給線との間に接続され、当該駆動対象の電源線の前記駆動部による電位変化に応答してオンとオフが制御されるスイッチと、を有する。

【0019】

本発明に係る画素回路の駆動方法は、共通の電源線に並列に接続され、各々が電気光学素子を含む複数の画素回路を、前記電源線の印加電圧により電流駆動する画素回路の駆動方法であって、前記電源線の一方端側で印加電圧を駆動レベルと非駆動レベルに交互に切り替えるAC駆動のステップと、前記電源線の他方端側で、前記AC駆動される前記電源線の電位変化に応答して、前記駆動レベルの電圧供給をオンまたはオフする電圧補償のステップと、を有する。

【0020】

以上の構成によれば、ある画素行を駆動する際に、駆動対象の画素回路群が接続されている駆動対象の電源線（第1電源線または第2電源線）の駆動部による電位変化に応答して、スイッチがオンする。スイッチは、駆動対象の電源線の駆動部と反対側の端部に設けられ、これがオンすると当該電源線が、駆動レベルと同じ電圧を供給する駆動電圧供給線

10

20

30

40

50

に電氣的に接続される。このため、何も対策されない場合はシェーディングが生じるような配線抵抗や寄生容量などの負荷が大きな電源線であっても、その負荷の表示画面に対する影響が防止または軽減される。

【発明の効果】

【0021】

本発明によれば、いわゆるシェーディングと呼ばれる画面の輝度ムラを抑制して表示部の大型化、高精細化および低消費電力な表示パネルの駆動回路、表示装置、および、画素回路の駆動方法を提供できる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態を、有機発光ダイオード（有機LED）を電気光学素子として画素回路ごとに含む有機ELディスプレイを例として図面を参照して説明する。なお、本発明は有機ELディスプレイに限らず、たとえば個別部品のLEDを実装して画素ユニットを構成したLEDディスプレイ等、電流駆動の電気光学素子を画素回路に含む表示装置に広く適用できる。

【0023】

図2に、実施形態に関わる有機ELディスプレイの主要な構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路（PIX.C.）3がマトリクス状に配置されている表示部2と、表示部2を動作する各種回路を含む周辺回路部とを有する。図2には、周辺回路部内の垂直駆動回路（Vスキャナ）4が示されている。

なお、図2に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向（縦方向）のアドレスiと、水平方向（横方向）のアドレスjを持つことを意味する。これらのアドレスiとjは共に1以上の整数をとる。このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【0024】

後述するように画素回路3(i,j)の構成に応じて、Vスキャナ4が走査して電圧供給すべき画素回路の制御ノード数は異なる。ここでは一例として、画素回路の制御ノード数は4であり、それに対応してVスキャナ4は4つのスキャナ、すなわち第1スキャナ（V.SCAN.1）41、第2スキャナ（V.SCAN.2）42、第3スキャナ（V.SCAN.3）43、および、第4スキャナ（V.SCAN.4）44を含む。

【0025】

第1スキャナ41は、第1スキャン信号VSCAN1(1), VSCAN1(2), VSCAN1(3), ...（以下、VSCAN1(i)と表記）を、例えばこの順で表示部2に供給する。同様に、第2スキャナ42は、第2スキャン信号VSCAN2(1), VSCAN2(2), VSCAN2(3), ...（以下、VSCAN2(i)と表記）を、例えばこの順で表示部2に供給する。また、第3スキャナ43は、第3スキャン信号VSCAN3(1), VSCAN3(2), VSCAN3(3), ...（以下、VSCAN3(i)と表記）を、例えばこの順で表示部2に供給する。

【0026】

垂直アドレスi = 1を持ち第1行に配列されている複数の画素回路3(1,j)に、第1スキャン信号VSCAN1(1)が第1スキャナ41から並列に入力され、第2スキャン信号VSCAN2(1)が第2スキャナ42から並列に入力され、第3スキャン信号VSCAN3(1)が第3スキャナ43から並列に入力され、第4スキャン信号VSCAN4(1)が第4スキャナ44から並列に入力されることが可能に、4本の走査線が接続されている。

このことは第2行の画素回路3(2,j)に入力される4本の走査線、さらには、第3行の画素回路3(3,j)に入力される4本の走査線についても同様である。

【0027】

第1列の画素回路3(i,1)は、その各信号入力ノードが第1信号線SIG(1)に共通接続されている。同様に、第2列の画素回路3(i,2)は、その各信号入力ノードが第2信号線SIG(2)に共通接続され、第3列の画素回路3(i,3)は、その各信号入力ノードが第3信

10

20

30

40

50

号線SIG(3)に共通接続されている。

これらの信号線SIG(1), SIG(2), SIG(3), ... (以下、信号入力線SIG(j)という)に対し、表示行(表示ラインともいう)を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の信号入力線SIG(j)に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

なお、カラー表示の場合、赤(R), 緑(G), 青(B)ごとに画素回路が割り当てられ、その3色を1組として駆動を行う。

【0028】

図3(A)と図3(B)に、概略的な画素回路の構成と、2つのAC駆動方法を示す。

図解する第i行, 第j列の画素回路3(i, j)は、電気光学素子としての有機発光ダイオードOLED(i, j)、NMOSトランジスタからなるトランジスタTr1、PMOSトランジスタからなるトランジスタTr3、および、補正部31(i, j)を有する。

【0029】

有機発光ダイオードOLED(i, j)は、特に図示しないが、例えば、透明ガラス等からなる基板の上に、透明導電層などからなる第1電極(アノード電極)、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機膜を構成する積層体を形成し、この積層体の上に第2電極(カソード電極)を形成した構造を有する。アノード電極が正側の第1電源に接続され、カソード電極が負側の第2電源に接続される。これらの電極間に所定のバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に自発光する。有機発光ダイオードOLEDは、有機膜を構成する有機材料を適宜選択することで赤(R), 緑(G), 青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR, G, Bの発光が可能に配列することで、カラー表示が可能となる。

【0030】

図3(A)および図3(B)において、有機発光ダイオードOLED(i, j)のカソードが第2電源電圧VSS1に接続されている。

トランジスタTr3は、有機発光ダイオードOLED(i, j)のアノードと第1電源電圧VDD1との間に接続されている。トランジスタTr3は、第1電源電圧VDD1と第2電源電圧VSS1との電位差に応じて流れる駆動電流量を制御することから、以下、“駆動トランジスタ”と称する。

【0031】

駆動トランジスタTr3の特性、特に閾値電圧Vtは、有機発光ダイオードOLED(i, j)の駆動電流量に直接的に影響し、この閾値電圧Vtがばらつくと、有機発光ダイオードOLED(i, j)の発光輝度もばらつく。また、さらに発光輝度の均一性を上げるには、いわゆる移動度μと呼ばれているデバイス特性のバラツキも抑制する必要がある。

【0032】

補正部31(i, j)は、これらのバラツキ補正のために設けられ、本実施形態で、その構成は任意である。

補正部31(i, j)はトランジスタTr1のソースとドレインの一方と、駆動トランジスタTr3のゲートとの間に接続されている。ただし、図解する、この接続は一般的に示すもので、より正確には、有機発光ダイオードOLED(i, j)のアノードと駆動トランジスタTr3のゲート間等に接続される素子(キャパシタやトランジスタ等)が、この補正部31(i, j)に含まれる。なお、後述する画素回路例で、補正部の具体的構成を述べる。

【0033】

トランジスタTr1のソースとドレインのもう片方は、信号入力線SIG(j)に接続されている。信号入力線SIG(j)に、不図示のHスキャナ等からデータ電圧Vsig(j)が印加される。トランジスタTr1は、このデータ電圧印加期間の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、データ電圧Vsig(j)を有効レベルとするデータパルスの先頭または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

また、トランジスタTr1は、補正部31(i, j)内の、例えばオフセットレベル(初期

10

20

30

40

50

レベル)を取り込むトランジスタと兼用されることがある。その場合、信号入力線 $SIG(j)$ に、このオフセットレベルとデータ電圧 $V_{sig}(j)$ を交互に印加する必要があり、その役目は不図示の H スキャナが担う。

【0034】

図3(A)では、第1電源電圧 $VDD1$ を AC 駆動する。駆動トランジスタ $Tr3$ のソースに、第1電源電圧 $VDD1$ として2値変化する第2スキャン信号(以下、電源スキャン信号という) $VSCAN2(i)$ が印加される。この信号は、図2の第2スキャナ42から第1行の画素回路3(1,j)に並列に供給され、図3(A)に示すように、第2電源電圧 $VSS1$ と同等なローレベル $VSSV2$ と、それより十分高いハイレベル $VDDV2$ との何れかを持つ。電源スキャン信号 $VSCAN2(i)$ がハイレベル $VDDV2$ を持つとき、有機発光ダイオード $OLED(i,j)$ が発光可能である。このため $VDDV2$ が駆動レベル、 $VSSV2$ が非駆動レベルである。

10

【0035】

図3(B)では、第2電源電圧 $VSS1$ を AC 駆動する。有機発光ダイオード $OLED(i,j)$ のカソードに、第2電源電圧 $VSS1$ として2値変化する $VSCAN2(i)$ が印加される。この信号は、図3(B)に示すように、図3(A)の電源パルスを反転した信号として、図2の第2スキャナ42から第1行の画素回路3(1,j)に並列に供給される。よって、駆動レベルと非駆動レベルの関係が、上記図3(A)の場合と逆になる。この場合、有機発光ダイオード $OLED(i,j)$ のカソード電位を引き下げることによって、当該 LED が発光可能である。

20

【0036】

ここで駆動トランジスタ $Tr3$ を通して供給される駆動電流は、駆動トランジスタ $Tr3$ のゲート-ソース間電圧 V_{gs} に依存して、その電流量が制御される。ゲート電位が上がるとゲート-ソース間電圧 V_{gs} が小さくなって駆動トランジスタ $Tr3$ の駆動電流量が減少する。逆に、ゲート電位が下がるとゲート-ソース間電圧 V_{gs} が大きくなって駆動トランジスタ $Tr3$ の駆動電流量が増加する。

【0037】

概略的な動作を、閾値電圧 V_t 補正を行う場合で説明すると、以下の如くである。

駆動トランジスタ $Tr3$ のゲートには、信号入力線 $SIG(j)$ からのデータ電圧 $V_{sig}(j)$ がサンプリング・トランジスタ $Tr1$ でサンプリングされた後、補正部31(i,j)を通して印加される。

30

より詳しくは、サンプリングの前に、補正部31(i,j)内の保持キャパシタ(不図示)によって、駆動トランジスタ $Tr3$ のゲート電位が、その閾値電圧 V_t のレベルで保持され、その状態のゲートにサンプリング後のデータ電圧 $V_{sig}(j)$ が加わるため、ゲート電位は " $V_t + V_{sig}(j)$ " となって保持される。このときのデータ電圧 $V_{sig}(j)$ の大きさに応じて駆動トランジスタ $Tr3$ がオンする。閾値電圧 V_t が大きくオンし難い駆動トランジスタ $Tr3$ の場合は " $V_t + V_{sig}(j)$ " も大きい、逆に、閾値電圧 V_t が小さくオンし易い駆動トランジスタ $Tr3$ の場合は " $V_t + V_{sig}(j)$ " も小さい。よって駆動電流から閾値電圧 V_t のバラツキの影響が排除され、データ電圧 $V_{sig}(j)$ が一定ならば、駆動電流も一定となる。

40

この一定な電流値に駆動されて有機発光ダイオード $OLED(i,j)$ が発光する。

【0038】

図3(A)および図3(B)に示す AC 駆動パルス波形における期間 T は、有機発光ダイオード $OLED(i,j)$ に電流を流さない非駆動期間を規定するものであるが、この期間 T の間に補正部31(i,j)により補正動作の大部分が行われる。また、期間 T の前エッジは、その前の動作サイクルにおける有機発光ダイオード $OLED(i,j)$ の発光時間の終点を制御する。期間 T の長さは、この補正と発光時間制御という2つの観点から決められる。

【0039】

なお、トランジスタ $Tr1$ を PMOS トランジスタ、駆動トランジスタ $Tr3$ を NMOS

50

S トランジスタとすることもできる。

また、個別部品の L E D を発光させる L E D ディスプレイでは、製品として駆動トランジスタ T r 3 のバラツキが保証されている場合、補正部 3 1 (i , j) を省略可能である。

【 0 0 4 0 】

図 4 は、第 1 行の画素回路 3 (1 , j) を片側から A C 電源駆動する際の不都合を説明するための図である。

表示部 2 は図 3 (A) に示す画素回路 3 (i , j) がマトリクス状に配置されている。表示部 2 の水平方向 (横方向) の一方側に、電源線 3 2 (i) を A C 駆動する第 2 スキャナ 4 2 が配置されている。ここで図 4 では、第 2 スキャナ 4 2 に最も近い第 r 列の画素回路 3 (i , r) と、第 2 スキャナ 4 2 から最も遠い第 1 列の画素回路 3 (i , 1) のみ示す。

10

第 2 スキャナ 4 2 は、画素回路の行ごとに、第 1 電源電圧 V D D 1 の電源線 3 2 (i) を A C 駆動する駆動ユニット 4 2 A (i) を備える。駆動ユニット 4 2 A (i) は、その出力段にインバータ I N V 1 (バッファでも可) を有する。インバータ I N V 1 は、ハイレベル V D D V 2 の電源線とローレベル V S S V 2 の電源線との間に縦続接続されている P M O S トランジスタ 4 5 と N M O S トランジスタ 4 6 を有する。インバータ I N V 1 は、その出力が第 1 電源電圧 V D D 1 の電源線 3 2 (i) に接続され、電源線 3 2 (i) を電源スキャン信号 V S C A N 2 (i) で A C 駆動する。

ここで画素行と同じ数だけ駆動ユニット 4 2 A (i) , 4 2 A (i + 1) , 4 2 A (i + 3) , ... が設けられおり、どの駆動ユニットも構成が同じで、駆動能力も等しい。

20

【 0 0 4 1 】

駆動ユニット 4 2 A (i) が電源線 3 2 (i) を駆動する場合を例とすると、電源線 3 2 (i) は配線抵抗を有するため駆動時に電圧降下が生じる。したがって、第 2 スキャナ 4 2 に最も近い第 r 列の画素回路 3 (i , r) の電源供給ノード N D r に比べ、第 2 スキャナ 4 2 から最も遠い第 1 列の画素回路 3 (i , 1) の電源供給ノード N D 1 での電圧降下が著しく大きくなる。その間の他の列では、第 2 スキャナ 4 2 から遠くなるほど電圧降下も次第に大きくなる。

これにより有機発光ダイオード O L E D (i , j) の駆動電流 I o l e d が第 2 スキャナ 4 2 に遠いほど減少し、表示映像に前述したシェーディングが生じる。

【 0 0 4 2 】

以下、このシェーディング抑制のために設ける回路手段の実施形態を説明する。

30

【 0 0 4 3 】

《 第 1 実施形態 》

図 5 は、第 1 実施形態に関わる表示部 2 およびその駆動部の一部を示す回路図である。

表示パネルの、表示部 2 以外のエリアのうち、画素回路アレイから見て第 2 スキャナ 4 2 と反対の側 (図 2 のエリア 5) に、第 2 スキャナ 4 2 内のハイレベル V D D V 2 と同じ電圧を供給する電圧供給線 4 7 が列 (カラム) 方向に配線されている。そして、第 2 スキャナ 4 2 と各電源線 3 2 (i) との接続と非接続を制御するスイッチ 4 8 (i) が設けられている。

スイッチ 4 8 (i) は、当該スイッチに接続されている電源線 3 2 (i) の駆動ユニット 4 2 A (i) による A C 駆動に応答してオンとオフが制御される。

40

このスイッチ 4 8 (i) は、例えば、対応する駆動ユニット 4 2 A (i) が “ H ” レベル (ハイレベル V D D V 2) を出力するとき、すなわち有機発光ダイオード O L E D (i , j) に電流を流して発光可能とするときにオンし、それ以外でオフするように制御される。

【 0 0 4 4 】

これによって、パネル表示エリアの水平方向の両側で供給電圧の電位差を小さくすることが可能となる。また、パネル表示エリアの水平方向に並ぶ駆動対象の画素回路群で、両側からの電源供給を受けて供給電圧の均一性が向上する。その結果、電源線の配線抵抗に起因し表示パネル内水平方向位置に依存する画素の表示輝度差、すなわちシェーディングが抑制できる。

【 0 0 4 5 】

50

《第2実施形態》

図6は、第2実施形態に関わる表示部2およびその駆動部の一部を示す回路図である。

図6において電圧供給線47およびスイッチ48(i)を有することは第1実施形態(図5)と共通する。

ただし、ここではスイッチ48(i)がPMOSトランジスタから構成されている。スイッチ48(i)はNMOSトランジスタでもよいが、PMOSトランジスタにすると、いわゆる“V_{th}落ち(V_{th} drop)”と呼ばれるトランジスタ自身による電圧降下が防止でき、その分、電源線32(i)の電圧補償効果(電圧降下分を補う効果)が高いため好ましい。

【0046】

スイッチ48(i)をPMOS構成としたことに関連して、電源線32(i)の電位論理を反転するインバータINV2が設けられている。

10

インバータINV2は、ハイレベルVDDV2の電源線とローレベルVSSV2の電源線との間に縦続接続されているPMOSトランジスタ49とNMOSトランジスタ50を有する。インバータINV2の入力が電源線32(i)に接続され、出力がスイッチ48(i)(PMOSトランジスタ)のゲートに接続されている。

なお、スイッチ48(i)をPMOSトランジスタとNMOSトランジスタとのソース同士、ドレイン同士を接続してトランスミッション・ゲートとしてもよい。この場合、PMOSトランジスタのゲートはインバータINV2を介して電源線32(i)に接続され、NMOSトランジスタのゲートは電源線32(i)に直接接続される。

【0047】

20

なお、スイッチ48(i)をNMOSトランジスタとする場合は、例えばインバータを2段接続するバッファ構成とするとよい。

【0048】

本実施形態によれば、第1実施形態と同様にいわゆるシェーディングの抑制効果が得られ、そのときスイッチ48(i)をPMOSトランジスタとしたことによる高い電圧補償効果が得られる。

【0049】

《第3実施形態》

上記第2実施形態の回路(図6)では、スイッチ48(i)がオンしているとき、当該スイッチ自身で電源線32(i)の“H”レベルを支えていることから、つぎに電源線32(i)の電位が“L”レベルに遷移しようとする、スイッチ自身が電圧降下を補償するため電荷を補おうとするフィードバックがかかり、さらにゲートを開く向きに制御される。したがって、スイッチ48(i)とインバータINV2のトランジスタサイズを最適化しないとスイッチ48(i)のオフ動作ができない、あるいは、できても時間がかかる。

30

【0050】

本実施形態は、この点を改善するものである。

図7は、第3実施形態に関わる表示部2およびその駆動部の一部を示す回路図である。

図7において電圧供給線47およびスイッチ48(i)を有することは第1実施形態(図5)と共通する。また、スイッチ48(i)を制御するためのインバータINV2を有すること自体は第2実施形態(図6)と共通する。

40

【0051】

ただし、本実施形態では、図7に示すように、オア回路OR1が新たに設けられている。オア回路OR1の一方入力にインバータINV2の出力が接続されている。オア回路OR1の他方入力は、列(カラム)方向の複数のオア回路OR1で共通なイネーブル信号線51に接続されている。また、オア回路OR1の出力がスイッチ48(i)のゲートに接続されている。イネーブル信号線51には、インバータINV3を介してローアクティブのイネーブル信号VENB2が印加されている。なお、イネーブル信号VENB2がハイアクティブであればインバータINV3は不要である。

【0052】

ここでイネーブル信号VENB2は電源線32(i)がハイレベルVDDV2からローレ

50

ベルVSSV2に遷移するより若干前に、“L”レベルに遷移しスイッチ動作を許可する信号である。よって、イネーブル信号VENB2が“L”レベルとなり、オア回路OR1の一方入力が“H”レベルとなると、オア回路OR1の出力が“H”レベルとなりスイッチ48(i)がオフし、その後、若干遅れて電源線32(i)がハイレベルVDDV2からローレベルVSSV2に遷移する。

このようにオア回路OR1を設けることによって、スイッチ48(i)がオンからオフするゲート制御論理がいち早く確定し、その後に、電源線32(i)が電位低下するため、スイッチ48(i)を確実にオフすることが可能となる。

【0053】

図8(A)～(E)に、この動作のタイミングを示す。

イネーブル信号VENB2のレベル遷移によりスイッチ48(i)のゲート制御論理が確定してから実際の接続と非接続のスイッチングが行われていることが分かる。

【0054】

本実施形態によれば、第1実施形態と同様にいわゆるシェーディングの抑制効果、第2実施形態と同様なPMOSTランジスタによる高い電圧補償効果に加え、そのスイッチ動作が確実に行えるという効果が得られる。

【0055】

《第4実施形態》

上述した第2および第3実施形態では、さらに改善すべき点としてインバータINV2の貫通電流の発生がある。

インバータINV2は入力電位が十分高いとき、または、十分低いときは、出力をハイレベルVDDV2またはローレベルVSSV2に接続している。このときは、PMOSTランジスタ49とNMOSTランジスタ50の一方がオフしているため、これらを通してハイレベルVDDV2からローレベルVSSV2に貫通電流が流れない。ところが、本実施形態のように電圧降下が生じている電源線32(i)の電位を入力する場合、インバータINV2の入力がハイレベルとローレベルの中間の任意の電位を持つことになり、その場合、PMOSTランジスタ49とNMOSTランジスタ50が共に弱いオン状態となって、インバータINV2に貫通電流が流れる。よって、インバータINV2による大きな電力消費が生じる。この電力消費量は単一のインバータINV2では比較的小さい場合でも、表示パネル全体では大きい。

【0056】

本実施形態は、この点を改善するものである。

図9は、第2実施形態を、貫通電流防止の点において改善する表示部2およびその駆動部の一部を示す回路図である。

図9において電圧供給線47およびスイッチ48(i)を有することは第1実施形態(図5)と共通する。また、スイッチ48(i)を制御するためのインバータINV2を有すること自体は第2実施形態(図6)と共通する。

【0057】

ただし、本実施形態では、図9に示すように、電源線32(i)とインバータINV2の入力の間に、電源線32(i)の電圧降下を補償して駆動ユニット42A(i)の出力レベルに戻す電圧補償回路(VCOMP)60が新たに設けられている。

【0058】

図10(A)は電圧補償回路60の入出力接続関係を示すブロック図、図10(B)は具体例としての回路図である。

図10(A)に示す電圧補償回路60の入力(in)には電源スキャン信号VSCAN2(i)が印加されるため、その電位がハイレベルとローレベルに交互に変化する。電圧補償回路60の出力(out)はインバータINV2の入力に接続されている。電圧補償回路60には、図10の駆動ユニット42A(i)の駆動電圧、すなわちハイレベルVDDV2とローレベルVSSV2の電源電圧が供給されている。

【0059】

より詳細には、図 10 (B) に示すように、ハイレベル $VDDV2$ とローレベル $VSSV2$ の 2 電源間に、2 つの CMOS 対、すなわち PMOS トランジスタ 6 1 in と NMOS トランジスタ 6 2 in からなる CMOS 対と、PMOS トランジスタ 6 1 out と NMOS トランジスタ 6 2 out からなる CMOS 対が互いに並列に接続されている。

PMOS トランジスタ 6 1 in のゲートが PMOS トランジスタ 6 1 out と NMOS トランジスタ 6 2 out の接続点と結合し、PMOS トランジスタ 6 1 out のゲートが PMOS トランジスタ 6 1 in と NMOS トランジスタ 6 2 in の接続点と結合し、これにより 4 トランジスタによるラッチ回路が構成されている。PMOS トランジスタ 6 1 out と NMOS トランジスタ 6 2 out の接続点がインバータ INV 2 に接続されて出力 (out) (図 10 (A)) を構成している。NMOS トランジスタ 6 2 out のゲートは当該電圧補償回路 6 0 の基準電圧として、電源振幅の半分の電位を与える電圧 $(VDDV2 + VSSV2) / 2$ が付与されている。

10

【0060】

この回路構成では、入力論理が “ H ” レベルのときに出力も “ H ” レベルをとるが、入力が理想的なハイレベル $VDDV2$ から下がっていても、当該ラッチ回路が反転動作する中間レベル (上記基準電圧) まで下がらなければ、出力を理想的なハイレベル $VDDV2$ に引き上げる電圧補償を行う。入力論理が “ L ” レベルの場合は逆の動作となるが、本実施形態では電源スキャン信号 $VSCAN2(i)$ のハイレベルの電圧低下を防止する目的であるため、ハイレベル側の電圧補償効果に大きな意味がある。

【0061】

20

なお、当該電圧補償回路 6 0 はノイズ吸収の機能もあり、その場合、ハイレベル側とローレベル側の電圧補償の双方が有効に働いて負または正のノイズを電源線 3 2 (i) から有効に除去する。

【0062】

本実施形態によれば、第 1 実施形態と同様にいわゆるシェーディングの抑制効果、第 2 実施形態と同様な PMOS トランジスタによる高い電圧補償効果に加え、電圧補償回路 6 0 の電圧補償効果によりインバータ INV 2 の貫通電流発生を防止して消費電力の低減を図るという効果が得られる。

【0063】

なお、本実施形態を第 3 実施形態に適用することも可能である。この場合、電圧補償回路 6 0 を図 7 の電源線 3 2 (i) とインバータ INV 2 の間に接続すると、上述した電圧補償効果が同様に得られる。この場合、スイッチ 4 8 (i) のスイッチ動作を確実に行えるという効果が、上述した効果に追加される。

30

【0064】

電圧補償回路 6 0 の電圧補償効果は、ハイレベル側で電圧降下した電源線 3 2 (i) を電圧供給線 4 7 に接続するというスイッチ 4 8 (i) の機能を同時に実行しているという見方ができる。よって、スイッチ 4 8 (i) をアシストする効果もある。

この点を考慮すると、電圧補償回路 6 0 をスイッチ 4 8 (i) と電圧供給線 4 7 の代わりに用いることができる。つまり、特に図示しないが、スイッチ 4 8 (i) を電圧補償回路 6 0 で置き換え、電圧供給線 4 7 を省略し、電圧補償回路 6 0 の出力はオープンとする。これにより電圧補償回路 6 0 が持つ閾値レベルを基準として、それより高い電圧範囲内ならば電源線 3 2 (i) に電圧降下が生じてても、当該電源線の電位をハイレベル $VDDV2$ に速やかに引き上げることができる。その際、電圧補償回路 6 0 の入力 NMOS トランジスタの絶縁ゲートで受けているためハイインピーダンスであり、電源線 3 2 (i) に対する負荷が小さい。したがって、回路規模は第 1 および第 2 実施形態より若干大きくなるが、電源線 3 2 (i) の負荷を増大させない利点がある。

40

【0065】

上述した第 1 ~ 第 4 実施形態では、ハイレベル $VDDV2$ を AC 駆動したが、図 3 (B) に示すようにローレベル $VSSV2$ を AC 駆動してもよい。

【0066】

50

つぎに、以上の第 1 ~ 第 4 実施形態に適用可能な画素回路例を、2 例以下に説明する。

【0067】

[画素回路例 1]

図 11 に、PMOS ドライブの画素回路を示す。

図解する画素回路 3A (3(i,j)に相当)は、4つのトランジスタ T_{r1} , T_{r3} , T_{r4} , T_{r5} 、2つのキャパシタ C_s , C_c 、および、1つの有機発光ダイオードOLEDを有する。

駆動トランジスタ T_{r3} はPMOSトランジスタであり、そのソースが電源スキャン信号 $V_{SCAN2}(i)$ によりAC駆動される第1電源電圧 V_{DD1} の供給線に接続されている。また、駆動トランジスタ T_{r3} のドレインが有機発光ダイオードOLEDのアノードに接続されている。有機発光ダイオードOLEDのカソードは一定な第2電源電圧 V_{SS1} の供給線に接続されている。

10

【0068】

駆動トランジスタ T_{r3} のゲートと信号入力線SIGとの間に結合キャパシタ C_c とサンプリング・トランジスタ T_{r1} が直列接続されている。駆動トランジスタ T_{r3} のゲートとドレイン間にシャント・トランジスタ T_{r4} が接続されている。

駆動トランジスタ T_{r3} のゲートとソース間に蓄積キャパシタ C_s が接続されている。また、結合キャパシタ C_c とサンプリング・トランジスタ T_{r1} の接続ノードとオフセット電圧 V_{ofs} の供給線との間に、オフセット・トランジスタ T_{r5} が接続されている。

【0069】

20

サンプリング・トランジスタ T_{r1} は第1スキャン信号 $V_{SCAN1}(i)$ によりオンとオフが制御され、シャント・トランジスタ T_{r4} は第3スキャン信号 $V_{SCAN3}(i)$ によりオンとオフが制御され、さらに、オフセット・トランジスタ T_{r5} は第4スキャン信号 $V_{SCAN4}(i)$ によりオンとオフが制御される。これらの制御タイミングおよびAC電源駆動タイミングは、図2に示す4つの第1~第4スキャナ41~44により制御される。

【0070】

図12(A)~(G)に、図11の画素回路3Aの動作タイミングチャートを示す。

図12(E)に示すように時間 T_0 で V_{th} 補正期間が開始されると、図12(B)に示すように第3スキャン信号(以下、“入力等化スキャン信号”という) $V_{SCAN3}(i)$ が“H”レベルに遷移して、駆動トランジスタ T_{r3} のゲートがドレインと接続される。また、図12(C)に示すように第4スキャン信号 $V_{SCAN4}(i)$ が“H”レベルに遷移して、オフセット・トランジスタ T_{r5} がオンし、図12(E)に示すようにノードND1の電位(V_{in})が、オフセット電圧 V_{ofs} に設定される。

30

一方、図12(B)に示すように電源スキャン信号 $V_{SCAN2}(i)$ が“H”レベル(ハイレベル V_{DDV2})から“L”レベル(ローレベル V_{SSV2})に遷移する。ここで、ローレベル V_{SSV2} は、駆動トランジスタ T_{r3} とOLEDの直列接続に微小な電流が流れるような電圧値を有する。十分な時間が経過すると、図12(F)に示すように、駆動トランジスタ T_{r3} の駆動トランジスタ T_{r3} のゲート電圧 V_g は、ローレベル V_{SSV2} から駆動トランジスタ T_{r3} のしきい値電圧 V_{th3} だけ高い電圧($V_{SSV2} + V_{th3}$)に収束する。

40

【0071】

つぎに、図12(C)および(D)に示すように、時間 T_1 にて第3スキャン信号 $V_{SCAN3}(i)$ と第4スキャン信号 $V_{SCAN4}(i)$ が共に“L”レベルになると、シャント・トランジスタ T_{r4} およびオフセット・トランジスタ T_{r5} がオフする。これにより、ノードND1がフローティングになるとともに、駆動トランジスタ T_{r3} のゲートとドレインが切り離され、図12(G)に示すように V_{th} 補正期間が終了する。

【0072】

この状態で、図12(A)に示すように、時間 T_2 にて第1スキャン信号 $V_{SCAN1}(i)$ が“H”レベルに遷移してデータ書き込み期間が開始される(図12(G))。

50

データ電圧 $V_{sig(i)}$ がサンプリング・トランジスタ T_{r1} によってサンプリングされ、図 12 (E) に示すように、ノード $ND1$ の電位が、オフセット電圧 V_{ofs} からサンプリングデータ値 ($-V_{data}$) だけ変動する。ここで、結合キャパシタ C_c が蓄積キャパシタ C_s より十分大きく " $C_c \gg C_s$ " を満たす場合、駆動トランジスタ T_{r3} のゲート電圧 V_g は、結合キャパシタ C_c を介してノード $ND1$ と同様の値 ($-V_{data}$) だけ変動する。そのため、駆動トランジスタの T_{r3} のゲート電圧 V_g (ゲート・ソース間電圧 V_{gs}) は、図 12 (F) に示すように " $V_{SSV2} - V_{data} + V_{th3}$ " となる。この電圧 ($V_{SSV2} - V_{data} + V_{th3}$) は蓄積キャパシタ C_s に保持される。

図 12 (A) に示すように、時間 T_3 にて第 1 スキャン信号 $V_{SCAN1}(i)$ が "L" レベルになると、データ書き込み期間が終了する (図 12 (G))。

10

【0073】

次に、図 12 (B) に示すように、時間 T_4 にて、電源スキャン信号 $V_{SCAN2}(i)$ を "L" レベルから "H" レベルに遷移させる。これにより発光期間が開始する (図 12 (G))。

ここでハイレベル V_{DDV2} は、駆動トランジスタ T_{r3} が飽和動作に必要な電圧条件を満たしている。このとき、保持容量 C_s によって駆動トランジスタ T_{r3} のゲート・ソース間電圧 V_{gs} は一定値に保たれ、有機発光ダイオード $OLED$ の発光が可能となる。また、駆動トランジスタ T_{r3} のゲート電圧 V_g は、ハイレベル V_{DDV2} とローレベル V_{SSV2} の差電圧だけ上昇するため、駆動トランジスタ T_{r3} を流れる電流の増加分は、駆動トランジスタ T_{r3} のしきい値電圧 V_{th3} に依存しない値を有する。ただし、駆動トランジスタ T_{r3} のゲート電圧 V_g はサンプリングデータ値 V_{data} に依存しており、そのため、有機発光ダイオード $OLED$ はサンプリングデータ値 V_{data} (データ電圧 $V_{sig(i)}$) に応じた輝度で発光する。

20

【0074】

[画素回路例 2]

図 13 に、他の画素回路 3B の構成図を示す。

図解する画素回路 3B が図 12 と異なる点は、駆動トランジスタ T_{r3} が $NMOS$ 構成であること、および、オフセット電圧 V_{ofs} がローレベルに規定されていることである。

【0075】

図 14 (A) ~ (E) に動作タイミングチャートを示す。

30

図 14 (C) に示すように、時間 T_0 にて第 4 スキャン信号 $V_{SCAN4}(i)$ が "L" レベルから "H" レベルに立ち上がると、オフセット・トランジスタ T_{r5} がオンし準備期間が始まる (図 14 (E))。

すると、図 14 (D) に示すように、駆動トランジスタ T_{r3} のゲートにオフセット電圧 V_{ofs} が設定され ($V_g = V_{ofs}$)、このとき電源スキャン信号 $V_{SCAN2}(i)$ がローレベル V_{SSV2} であるため (図 14 (B))、駆動トランジスタ T_{r3} を介して、そのソース電位 V_s がローレベル V_{SSV2} をとる。

ここでオフセット電圧 V_{ofs} は、後述するしきい値補正後に駆動トランジスタ T_{r3} がオンしない値を有する。すなわち、有機発光ダイオード $OLED$ のしきい値電圧を $V_{th(olcd)}$ 、駆動トランジスタ T_{r3} のしきい値電圧を V_{th3} とすると、オフセット電圧 V_{ofs} は次式(1)を満たす必要がある。

40

【0076】

[数 1]

$$V_{ofs} < V_{SS1} + V_{th(olcd)} + V_{th3} \dots (1)$$

【0077】

また、電源スキャン信号 $V_{SCAN2}(i)$ のローレベル V_{SSV2} は、駆動トランジスタ T_{r3} のゲート・ソース間電圧 V_{gs} がしきい値電圧 V_{th3} より大きくなるように、駆動トランジスタ T_{r3} のソースノードを下げる必要がある。すなわち、ローレベル V_{SSV2} は次式(2)を満たす必要がある。

【0078】

50

[数 2]

$$V_{SS}V_2 < V_{ofs} - V_{th3} \dots (2)$$

【 0 0 7 9 】

図 1 4 (E) に示すように、この状態で時間 T_1 にて V_{th} 補正期間が開始する。

電源スキャン信号 $V_{SCAN2}(i)$ が時間 T_1 にてハイレベル $V_{DD}V_2$ に立ち上がると、駆動トランジスタ T_r3 がオンしてそのドレイン電位 V_d も持ち上がるが、ゲート - ソース間電圧 V_{gs} がしきい値電圧 V_{th3} と等しくなる ($V_{gs} = V_{th3}$) 時点で駆動トランジスタ T_r3 がオフする。よって、 V_{th} 補正期間の終点 (時間 T_2) 以降、図 1 4 (E) に示すように、駆動トランジスタ T_r3 のソース電位 V_s が “ $V_{ofs} - V_{th3}$ ” を維持し、しきい値電圧 V_{th3} が蓄積キャパシタ C_s に保持される。このとき、有機発光ダイオード $OLED$ がオンしないことは、オフセット電圧 V_{ofs} の設定により保証されている。

10

【 0 0 8 0 】

図 1 4 (A) に示すように、時間 T_3 で第 1 スキャン信号 $V_{SCAN1}(i)$ がハイレベル $V_{DD}V_2$ になると、信号書き込み期間が開始する (図 1 4 (E))。信号書き込み期間は、同時に、移動度 (μ) の補正期間を兼ねる。

なお、信号入力線 SIG からサンプリング・トランジスタ T_r1 を介しての駆動トランジスタ T_r3 のゲートへ信号を書き込む時の時定数は、後述する駆動トランジスタ T_r3 のゲート - ソース間電圧 V_{gs} の放電時の時定数よりも短く設定される。以下の説明では、駆動トランジスタ T_r3 のゲートへの書き込み時定数は、駆動トランジスタ T_r3 のゲート - ソース間電圧 V_{gs} の放電時間の時定数に対して無視できるほど短いと仮定する。

20

【 0 0 8 1 】

時間 T_3 にてサンプリング・トランジスタ T_r1 がオンすると、図 1 4 (D) に示すように、駆動トランジスタ T_r3 のゲート電圧 V_g が速やかに “ $V_{ofs} + V_{data}$ ” に設定される。ここで、有機発光ダイオード $OLED$ の容量 C_{oled} が蓄積キャパシタ C_s より十分大きく、駆動トランジスタ T_r3 のソース電位 V_s は変動しないとする。

駆動トランジスタ T_r3 のゲート電圧 V_g の電位上昇分 (V_{data}) は、しきい値電圧 V_{th3} を保持している蓄積キャパシタ C_s を介してソース電位 V_s に伝達されようとするが、上記のようにソース電位 V_s が変動しないため、駆動トランジスタ T_r3 のゲート - ソース間電圧 V_{gs} が “ $V_{th3} + V_{data}$ ” となる (蓄積キャパシタ C_s の保持電荷量がサンプリングデータ値 V_{data} 分だけ増える)。このため、駆動トランジスタ T_r3 に電流が流れ、駆動トランジスタ T_r3 のゲート - ソース間電圧 V_{gs} 、すなわち蓄積キャパシタ C_s の両端の電圧が放電される。このときの放電速度は、駆動トランジスタ T_r3 の駆動能力 (移動度 μ に比例) によって決まる。すなわち、駆動トランジスタ T_r3 の駆動能力が小さい場合、その放電量は小さく、駆動トランジスタ T_r3 の駆動能力が大きい場合、その放電量は大きい。このため、サンプリングデータ値 V_{data} が同じならば、放電の終点 (時間 T_4) における駆動トランジスタ T_r3 のソース電位 V_s は、駆動トランジスタ T_r3 の駆動能力がばらついていてもほぼ一定に保持され、結果として駆動能力、すなわち移動度 μ のバラツキが補正される。この移動度補正期間を兼ねる信号書き込み期間は、第 1 スキャン信号 $V_{SCAN1}(i)$ がローレベル $V_{SS}V_2$ になる時間 T_4 で終了する (図 1 4 (A) および (E))。

30

40

【 0 0 8 2 】

時間 T_4 の到達とともに発光期間が開始する (図 1 4 (E))。

第 1 スキャン信号 $V_{SCAN1}(i)$ がローレベル $V_{SS}V_2$ になると、蓄積キャパシタ C_s に駆動トランジスタ T_r3 のゲート - ソース間電圧 V_{gs} が保持されたまま、時間 T_4 で駆動トランジスタ T_r3 によって決定される電流量になるように、駆動トランジスタ T_r3 のソースノード、すなわち、有機発光ダイオード $OLED$ のアノード電位が $OLED$ 駆動電圧 V_{EL} になる。なお、このとき駆動トランジスタ T_r3 が飽和動作するようにハイレベル $V_{DD}V_2$ を設定する必要がある。すなわち、ハイレベル $V_{DD}V_2$ は次式 (3) を満たす必要がある。

【 0 0 8 3 】

50

[数 3]

$$VDDV2 > VEL + (Vgs - Vth3) \dots (3)$$

【 0 0 8 4 】

なお、図 1 1 および図 1 3 でサンプリング・トランジスタ T_{r1} と、シャント・トランジスタ T_{R4} を共有化して、データ電圧 V_{sig} とオフセット電圧 V_{ofs} を時分割的に書き込むことも可能である。

【 0 0 8 5 】

本実施形態によれば、有機 EL ディスプレイの画素回路で、有機発光ダイオード $OLED(i, j)$ に電流を供給する画素電源を V スキャナで AC 駆動しながら、 V スキャナの配線抵抗の影響により生じるシェーディングを防止または抑圧できる。その際、第 1 ~ 第 4 実施形態で個別に述べた追加の効果が得られる。

10

また、電源電圧の AC 駆動により、有機発光ダイオード $OLED(i, j)$ への電源供給経路の遮断を制御する電源遮断制御トランジスタを 1 つ、画素回路から省略できる。本実施形態で例示する画素回路は TFT の閾値電圧 V_t (および移動度 μ) に起因した輝度ムラを補正する機能を有する。第 2 スキャナ 4 2 は 1 つで済むため、表示部 2 の水平方向の両側に 2 つ設ける必要がない。

【 0 0 8 6 】

以上より、TFT ばらつきによる輝度ムラ補正、画素回路の素子数削減、水平方向の画素位置に依存した輝度差 (シェーディング) の解消または抑制、 V スキャナ左右駆動の不要を同時に実現でき、高画質で高精細かつ低消費な有機 EL ディスプレイを実現することが可能である。

20

なお、表示部 2 の水平方向の両側に 2 つ設ける必要がないことは、表示部 2 の映像表示に寄与しないエリアの増大を防ぎ、これによって、ディスプレイ装置の前面に大きく表示エリアをとって、そのデザインの自由度を高くすることができる有機 EL 表示パネルを提供できる。

【 図面の簡単な説明 】

【 0 0 8 7 】

【 図 1 】 (A) および (B) はシェーディングの説明図である。

【 図 2 】 本発明の実施形態に関わる有機 EL ディスプレイの主要な構成を示すブロック図である。

30

【 図 3 】 (A) および (B) は、概略的な画素回路の構成と、2 つの AC 駆動方法を示す図である。

【 図 4 】 第 1 行の画素回路群を片側から AC 電源駆動する際の不都合を説明するための図である。

【 図 5 】 第 1 実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【 図 6 】 第 2 実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【 図 7 】 第 3 実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【 図 8 】 (A) ~ (E) は第 3 実施形態の動作タイミングチャートである。

【 図 9 】 第 4 実施形態に関わる表示部およびその駆動部の一部を示す回路図である。

【 図 1 0 】 (A) は電圧補償回路のブロック図、(B) はその回路図である。

40

【 図 1 1 】 画素回路例 1 の回路図である。

【 図 1 2 】 (A) ~ (G) は画素回路例 1 の動作タイミングチャートである。

【 図 1 3 】 画素回路例 2 の回路図である。

【 図 1 4 】 (A) ~ (E) は画素回路例 1 の動作タイミングチャートである。

【 符号の説明 】

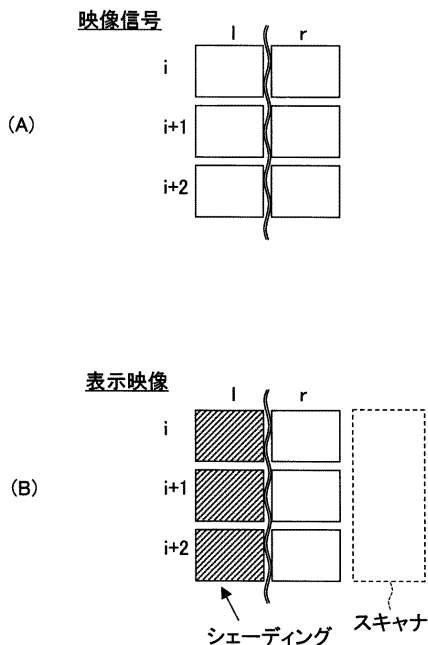
【 0 0 8 8 】

1 ... 有機 EL ディスプレイ、2 ... 表示部、3 (i , j) ... 第 i 行, 第 j 列の画素回路、3 1 (i , j) ... 補正部、4 ... V スキャナ、4 1 ... 第 1 スキャナ、4 2 ... 第 2 スキャナ (AC 電源駆動スキャナ)、4 2 A (i) ... 第 i 行の駆動ユニット、4 3 ... 第 3 スキャナ、4 4 ... 第 4 スキャナ、4 5 , 4 9 , 6 1 in , 6 1 out ... PMOS トランジスタ、4 6 , 5 0 , 6 2 in , 6 2 out

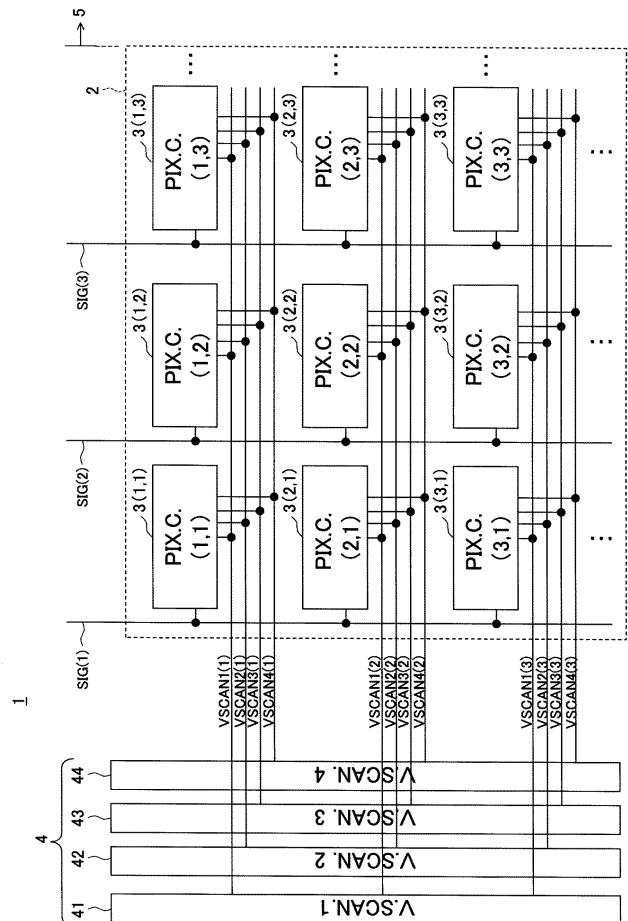
50

... P M O S トランジスタ、47... 電圧供給線、48(i)... スイッチ、51... イネーブル信号線、60... 電圧補償回路、O L E D (i, j) ... 有機発光ダイオード、T r 1 ... サンプルング・トランジスタ、T r 3 ... 駆動トランジスタ、V S C A N 1 (i) ... 第1スキャン信号(サンプルング・スキャン信号)、V S C A N 2 (i) ... 第2スキャン信号(電源スキャン信号)、S I G (j) ... 信号入力線、Vsig... データ電圧、Vdata... サンプルングデータ値、V E L ... O L E D 駆動電圧、V D D 1 ... 第1電源電圧、V S S 1 ... 第2電源電圧、V D D V 2 ... ハイレベル(駆動レベル)、V S S V 2 ... ローレベル(非駆動レベル)、I oled... 駆動電流

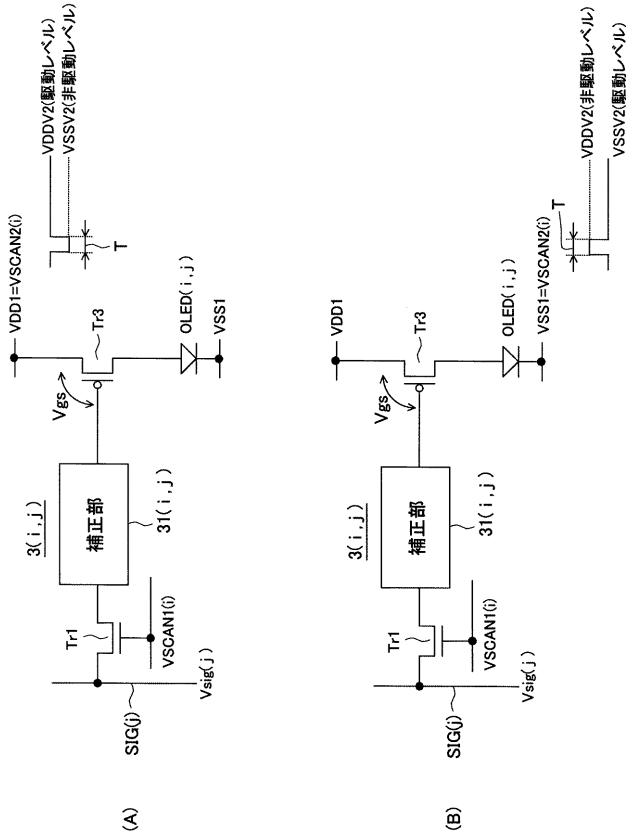
【図1】



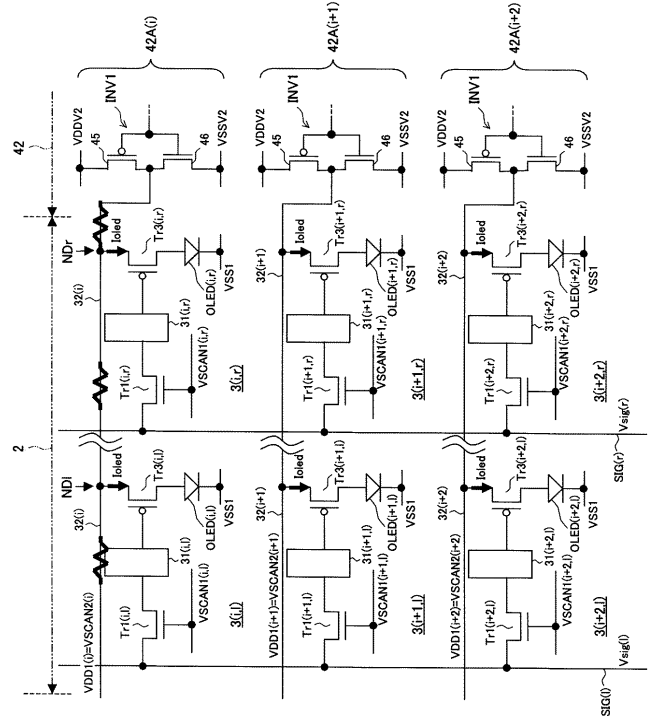
【図2】



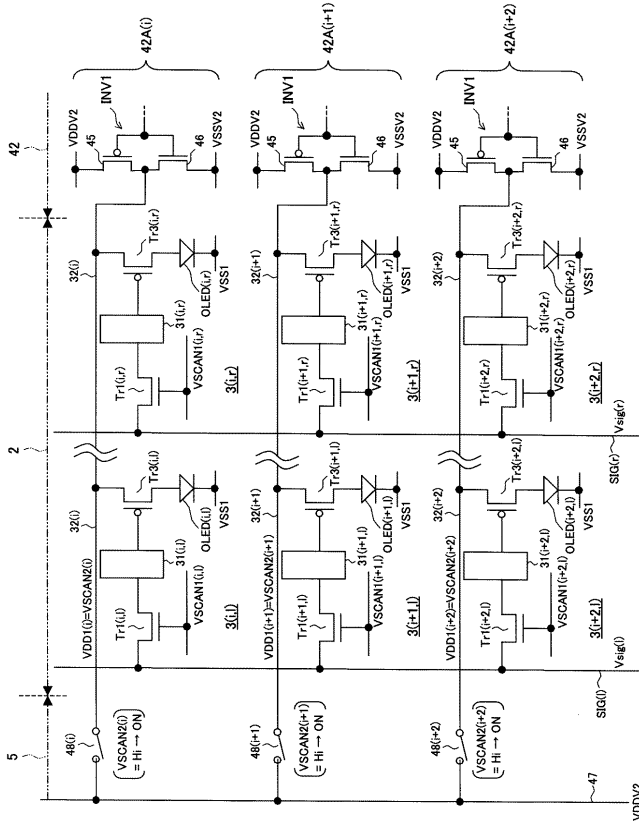
【図 3】



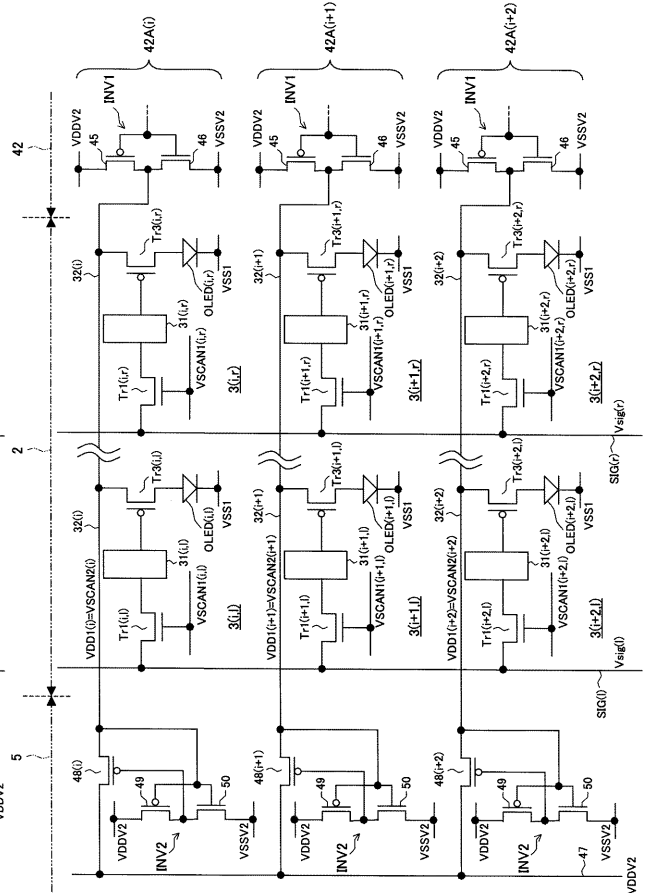
【図 4】



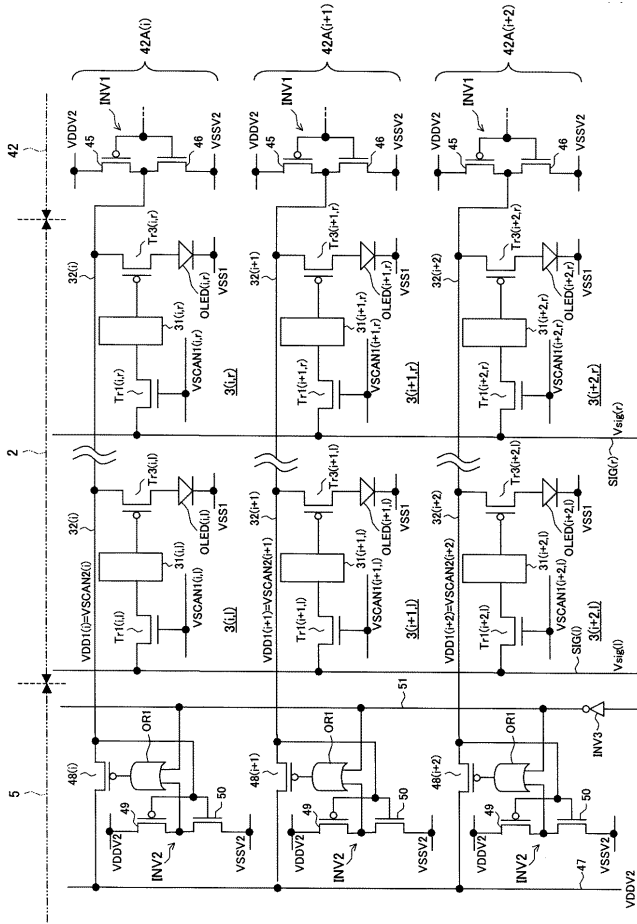
【図 5】



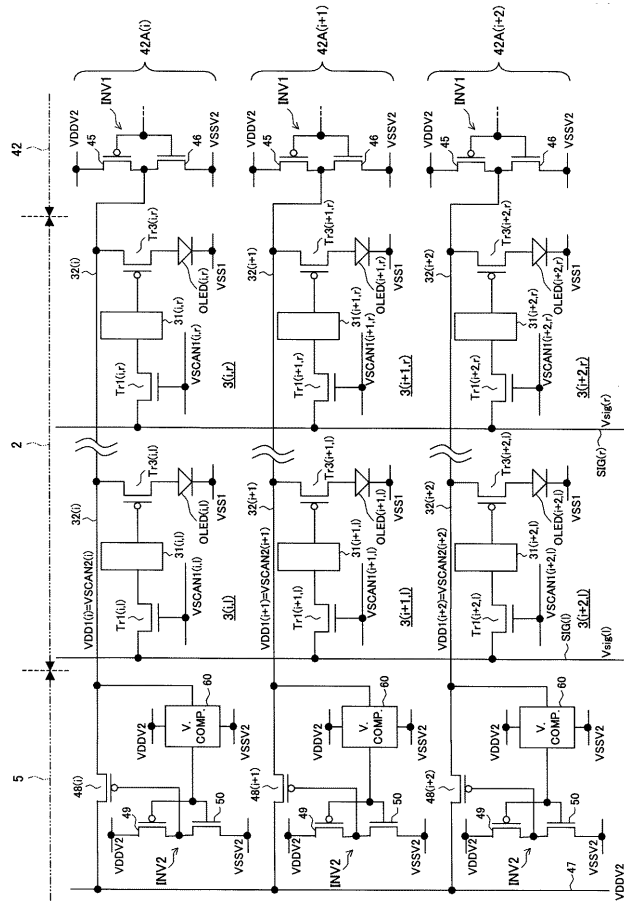
【図 6】



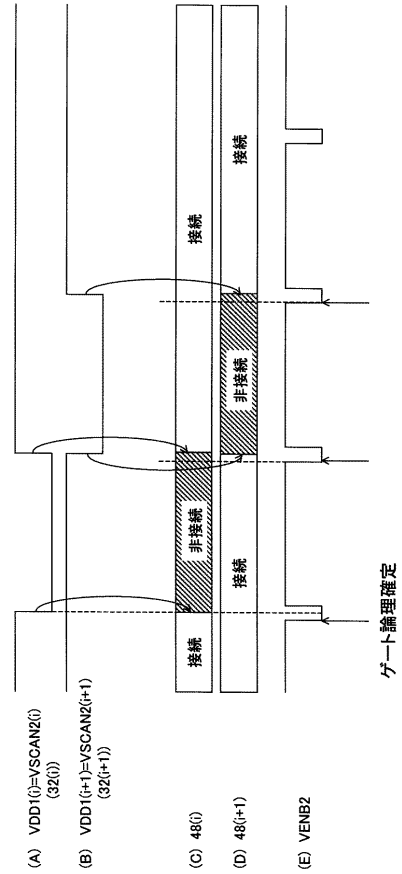
【図 7】



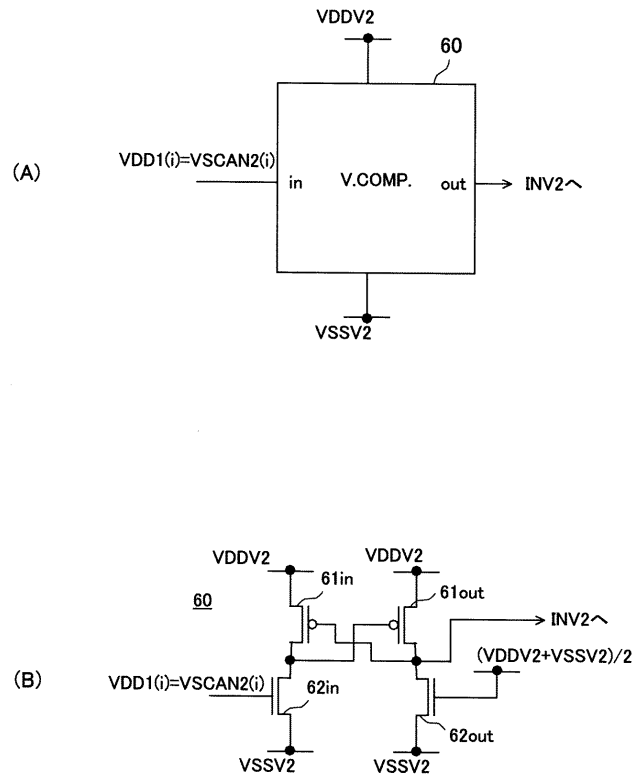
【図 9】



【図 8】



【図 10】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 2 G
H 0 5 B	33/14	A

专利名称(译)	显示面板的驱动电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP2008122498A	公开(公告)日	2008-05-29
申请号	JP2006303773	申请日	2006-11-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野 慎		
发明人	浅野 慎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.J G09G3/20.642.A G09G3/20.611.A G09G3/20.641.D G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC35 3K107/CC42 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB34 5C380/AB46 5C380/AC04 5C380/AC07 5C380/BA01 5C380/BA08 5C380/BA13 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB14 5C380/CB16 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CB37 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD023 5C380/CD024 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF33 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

要解决的问题：制造大尺寸的显示器，同时抑制由于电源线的布线电阻引起的屏幕亮度不均匀（阴影），并获得高清晰度和低功耗。

ŽSOLUTION：公开了一种显示面板的驱动电路，其中包括分别以电流驱动的电光元件（有机发光二极管OLED（i,j））的像素电路3（i,j）以矩阵形式排列，该驱动电路具有驱动器（第二扫描器42），其在驱动电平（高电平VDDV2）和驱动电平（高电平VDDV2）之间交替地切换连接到相同行（例如，电源线32（i））中的像素电路组的第一和第二电源线的电位。驱动它们的非驱动电平（低电平VSSV2）；驱动电压供应线47提供与高电平VDDV2相同的电位；开关48（i）连接到与第二扫描器42连接的侧面相对的电源线32（i），并将电源线32（i）连接到电源线和从电源线断开电源线32（i）在图47中，响应于第二扫描器42对电源线32（i）的潜在变化

