

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-508578

(P2007-508578A)

(43) 公表日 平成19年4月5日(2007.4.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 622E	5C080
H01L 51/50 (2006.01)	G09G 3/20 622Q	
	G09G 3/20 622G	
	H05B 33/14 A	
審査請求 未請求 予備審査請求 未請求 (全 18 頁)		

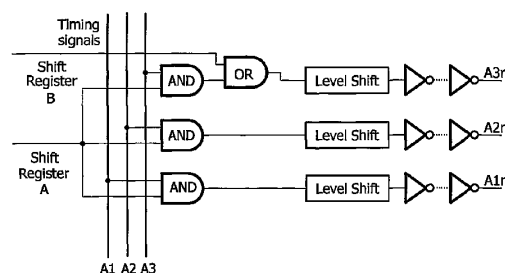
(21) 出願番号	特願2006-530973 (P2006-530973)	(71) 出願人	590000248
(86) (22) 出願日	平成16年10月5日 (2004. 10. 5)		コーニンクレッカ フィリップス エレク
(85) 翻訳文提出日	平成18年4月7日 (2006. 4. 7)		トロニクス エヌ ヴィ
(86) 国際出願番号	PCT/IB2004/051971		オランダ国 5621 ペーアー アイン
(87) 国際公開番号	W02005/036515		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開日	平成17年4月21日 (2005. 4. 21)		1
(31) 優先権主張番号	0323622. 1	(74) 代理人	100070150
(32) 優先日	平成15年10月9日 (2003. 10. 9)		弁理士 伊東 忠彦
(33) 優先権主張国	英国 (GB)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 スクロールアドレス指定によるエレクトロルミネッセント表示装置

(57) 【要約】

アクティブマトリクス型エレクトロルミネッセントディスプレイは、表示素子を通る電流の駆動を中断する手段を有する。ディスプレイの行ドライバ回路は、実質的に完全なフィールド周期からアドレス指定期間を引いた期間まで変動する期間を有するパルスを含む、中断手段の駆動電圧を生成するシフトレジスタ及びロジック構成50、54を有する。シフトレジスタ構成50を伝播する1以上の信号は、パルス期間を制御する。この構成は、それぞれの行の全体の光放射周期の制御により、画素の行毎のアドレス指定の制御を可能にするため、低減されたドライバの複雑さを提供する。この制御は、スクローリングアドレス指定のスキームが実現されるのを可能にする。



【特許請求の範囲】

【請求項 1】

行及び列に配列される表示素子のアレイを有するアクティブマトリクス型エレクトロルミネッセント表示装置であって、

エレクトロルミネッセント表示素子と、

前記表示素子を流れる電流を駆動する駆動トランジスタと、

前記表示素子を流れる電流の駆動を中断させる手段と、

前記中断手段の駆動電圧を含む、順次にそれぞれの行における画素に印加される制御電圧を発生する行駆動回路とを有し、

前記行駆動回路は、前記中断手段のための駆動電圧を発生するシフトレジスタ装置及びロジック装置を有し、前記中断手段のための駆動電圧は、実質的に完全なフィールド周期からアドレス周期を引いた期間にまで変動する期間を有するパルスを含み、前記シフトレジスタ装置を伝播する信号は、前記パルスの期間を制御する、
ことを特徴とするアクティブマトリクス型エレクトロルミネッセント表示装置。 10

【請求項 2】

前記シフトレジスタ装置及びロジック装置は、それらを伝播するパルスをそれぞれ有する第一のシフトレジスタ装置及び第二のシフトレジスタ装置と、前記第一及び第二のレジスタ装置を伝播するパルスのタイミングにおける違いから導出された期間をもつパルスを有する信号を導出するロジック手段とを有する、

請求項 1 記載の装置。 20

【請求項 3】

前記第一及び第二のシフトレジスタ装置で伝播するパルスは、前記ディスプレイのライン時間に対応する期間を有する、

請求項 2 記載の装置。

【請求項 4】

前記ロジック手段は、前記シフトレジスタ装置の一方のパルスに応答してロウパルスを伝送し、前記シフトレジスタ装置の他方のパルスに応答してハイパルスを伝送する伝送ゲートを有する、

請求項 2 又は 3 記載の装置。

【請求項 5】

前記ロジック手段は、前記伝送ゲートから受けたパルス間の一定の出力を維持するためにメモリセルを有する、

請求項 4 記載の装置。 30

【請求項 6】

前記シフトレジスタ装置及びロジック装置は、それらを伝播するパルスをそれぞれ有する第一のシフトレジスタ装置及び第二のシフトレジスタ装置と、前記第一及び第二のシフトレジスタ装置の一方におけるパルスの期間から導出された期間をもつパルスを有する信号を導出するためのロジック手段とを有する、

請求項 1 記載の装置。

【請求項 7】

一方のシフトレジスタ装置で伝播するパルスは、前記ディスプレイのライン時間に対応する期間を有し、他方のシフトレジスタ装置で伝播するパルスは、前記表示素子の照射周期を制御するための期間を有する、

請求項 6 記載の装置。 40

【請求項 8】

前記シフトレジスタ装置及びロジック装置は、前記表示素子の所望の照射時間に依存する期間を有する、それを伝播するパルスを有するシフトレジスタ装置と、前記ディスプレイのライン時間に対応する期間を有するパルスを前記シフトレジスタ装置から導出するためのロジック手段とを有する、

請求項 1 記載の装置。 50

【請求項 9】

前記ディスプレイのライン時間に対応する期間を有するパルスを前記シフトレジスタ装置から導出するための前記ロジック手段は、ある行の一方のシフトレジスタエレメントの出力でのパルスを隣接する行の別のシフトレジスタエレメントの出力でのパルスと結合するコンビネーションエレメントを有する、
請求項 8 記載の装置。

【請求項 10】

前記シフトレジスタ装置及びロジック装置からの第一のパルスは、画素をアドレス指定する第一の制御信号を提供するために第一のテンプレート制御信号と結合され、前記シフトレジスタ装置及びロジック装置からの第二のパルスは、画素のアドレス指定の間及び画素のその後の駆動の間の両者で前記中断手段のための駆動電圧を提供するために第二のテンプレートの制御信号と結合される、
請求項 1 乃至 9 のいずれか記載の装置。

10

【請求項 11】

前記第一のパルスは、前記ライン時間に等しい期間を有する、
請求項 10 記載の装置。

【請求項 12】

前記第二のパルスは、前記表示画素の照射時間を制御するために選択される期間を有する、
請求項 10 又は 11 記載の装置。

20

【請求項 13】

それぞれの画素は、駆動トランジスタの閾値補償回路を有する、
請求項 1 乃至 12 のいずれか記載の装置。

【請求項 14】

前記駆動トランジスタの閾値補償回路は、駆動トランジスタのゲートとソース間で直列に接続される第一のキャパシタ及び第二のキャパシタを有し、画素へのデータ入力は、前記第一のキャパシタと前記第二のキャパシタとの間の接合に供給され、画素のデータ電圧から導出される電圧に前記第一のキャパシタを充電し、前記駆動トランジスタの閾値電圧から導出された電圧は、前記第二のキャパシタに記憶される、
請求項 13 記載の装置。

30

【請求項 15】

前記駆動トランジスタ、前記エレクトロルミネッセント表示素子、及び前記表示素子を流れる電流の駆動を中断する手段は、電源ラインと共通電位ラインの間で直列に接続される、
請求項 13 又は 14 記載の装置。

【請求項 16】

前記中断手段はトランジスタを有する、
請求項 15 記載の装置。

【請求項 17】

行及び列に配列される表示画素のアレイを有するアクティブマトリクス型のエレクトロルミネッセント表示装置を駆動する方法であって、それぞれの画素は、エレクトロルミネッセント表示素子、前記表示素子を流れる電流を駆動する駆動トランジスタ、及び前記表示素子を流れる電流の駆動を中断する手段を有しており、

40

シフトレジスタ装置を通してパルスを伝播させるステップと、

前記シフトレジスタからのパルスを使用して、画素をアドレス指定する制御電圧をアドレス指定周期の間の行の画素に印加するステップと、

実質的に完全なフィールド周期から前記アドレス指定周期を引いた期間にまで変動する期間を有するパルスを含む、前記中断手段のための駆動電圧を導出するステップと、

画素をアドレス指定する周期の後に、前記中断手段のための駆動電圧を前記中断手段に印加するステップと、

50

を含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネッセント表示装置に関し、特に、それぞれの画素に関連される薄膜スイッチングトランジスタを有するアクティブマトリクス型表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセント表示素子、発光表示素子を利用したマトリクス型表示装置が知られている。表示素子は、たとえば高分子材料を使用した有機薄膜エレクトロルミネッセント素子、又は伝統的なⅢⅤ族半導体成分を使用した発光ダイオードを有する場合がある。特に高分子材料である、近年の有機エレクトロルミネッセント材料における発展は、ビデオ表示装置用に実用的に使用される能力を示している。これらの材料は、典型的に、電極のペアの間に挟まれた1以上の半導体共役ポリマーからなるレイヤを有しており、電極のペアの一方は透明であって、他方は、ホール又は電子をポリマーレイヤに注入するのに適した材料からなる。

10

【0003】

図1は、アクティブマトリクス型のアドレス指定エレクトロルミネッセント表示装置用の公知の画素回路を示している。表示装置は、ブロック1により示される規則的に配置される画素からなる行及び列のマトリクスアレイを有し、行（選択）アドレスコンダクタ4及び列（データ）アドレスコンダクタ6からなる交差するセットの間の交点に位置される、関連するスイッチング手段をもつエレクトロルミネッセント表示素子2を含むパネルを有している。簡単のため、数画素のみが示されている。実際に、数百の行及び列の画素が存在する。画素1は、それぞれのコンダクタのセットの端に接続される、行スキニング駆動回路8及び列データ駆動回路9を有する周辺の駆動回路により、行及び列のアドレスコンダクタのセットを介してアドレス指定される。

20

【0004】

エレクトロルミネッセント表示素子2は、ダイオード素子（LED）としてここでは表され、1以上のアクティブレイヤの有機エレクトロルミネッセントが挟まれる電極のペアを有する有機発光ダイオードを有している。アレイの表示素子は、絶縁支持体の一方の側に関連するアクティブマトリクス型の回路で収容される。表示素子のカソード又はアノードのいずれかは、透明な導電材料から形成される。支持体は、ガラスのような透明材料からなり、基板に最も近い表示素子の電極は、エレクトロルミネッセントレイヤにより生成された光がこれらの電極及び支持体を通して透過され、支持体の他の側での見る人にとって目に見えるように、ITOのような透明な導電性材料からなる場合がある。

30

【0005】

LEDディスプレイ（ポリマータイプ及び小分子の両者）は、LCDのような既存の商業化されたフラットパネルスクリーン技術を通して多数の公知の利益を提供する。これらの利点は、良好な視聴角、高速の固有の応答時間（良好な動画像の性能）、軽量、低電力消費量、及び安価な製造コストを含んでいる。

40

【0006】

パッシブマトリクス型ディスプレイは、一度に1行の画素を例示しており、結果的に非常に高いピーク輝度、大きな電圧スウィングが得られる。電力損失は、ディスプレイの対角線につれて指数関数的に増加し、かかるディスプレイは、8cmの対角線を超える既存の材料により実施不可能となっている。アクティブマトリクス型の技術は、メモリ素子をそれぞれの画素に配置し、全体のフレーム周期について画素電流の流れをプログラムする画素の行がアドレス指定されるのを可能にする。

【0007】

（先に記載されたシンプルなアクティブマトリクススキームのような）全ての画素が光を連続的に放出するディスプレイは、ときどきオーバロックされる問題につながる。オブ

50

ザー場が動画をスクリーンで見える場合、動きを追跡し、受けた光を統合する目のため、あるタイプの動きのぼやけが生じる。ディスプレイのデューティサイクルを（たとえば25%に）低減することは、この形態の画像の減損が大いに低減されることが知られている。

【0008】

LCDにおけるこのデューティサイクルの低減を達成する1つの示される手段は、全体のバックライトをストローブする。匹敵する技術は、アクティブマトリクス型OLEDディスプレイに適用され、はじめに、フィールドルミナンスデータがプログラムされ、次いで、（コモンカソード、パワーレール、又はインピクセルトランジスタのいずれかをスイッチすることで）全体のディスプレイがフラッシュされる。

【0009】

結果的に得られる動画像を非常に鮮明である。フラッシュは、反作用としてフィールドフリッカを導入するが、フラッシュ周波数を十分に高くすることで抑圧することができる。LCDでは、画像のスイッチオン及びオフは、バックライトにより実行される。LCDそれ自身は、このために十分に高速ではない。

【0010】

新たなLEDディスプレイは、この低速な応答を示さず、光スイッチングは、画素セルそれ自身により実行することができ、非常に低コストで画像が形成される非常にフレキシブルな制御方式を可能にする。画素は、特定の量の光を生成するためにプログラムすることができ、スイッチオフするために再びプログラムされ、所定のデューティサイクルで光が発生されるスキームが形成される。

【0011】

公知のアドレス指定スキームは、「アドレス&フラッシュ」スキームであり、フィールド時間は2つの周期に分割され、各ラインが画像情報でプログラムされるが、光が発生されないアドレス指定期間、アドレス指定が行われず、ディスプレイが光が発生している期間。

【0012】

アクティブマトリクス型のOLEDタイプのディスプレイでは、全体のスクリーンを「フラッシュ」という2つの主要な問題点があり、ディスプレイをアドレス指定するのに利用可能な時間は、「フラッシュ」期間よりも少ないフレームレートに低減され（特に高解像度ディスプレイでは、できるだけ多くの時間がアドレス指定のために必要とされる）、また、リーケージのため、ディスプレイの最近にアドレス指定された部分（典型的には下部）における画像の輝度又はコントラスト特性は、最初にアドレス指定されたその部分（たとえば上部）とは異なる可能性がある。

【0013】

また、イルミネーションの「スクローリング」方法が提案されており、従来のやり方でラインがアドレス指定され、アドレス指定の後にnライン時間（ライン時間は1行の画素をアドレス指定する時間）について照射される。このように、時間的にいずれかの瞬間で照射されるスクリーンの部分は、おそらくスクリーンの4分の1であり（25%のデューティサイクル）、アドレス指定されているラインを即座に引きずる。この方法は、各ラインがアドレス指定後の同じ時間について照射されることを保証する。

【0014】

US6583775は、行が順次にアドレス指定される駆動スキームを開示しているが、先に記載された方式で明るさ制御を提供するため、フィールド周期の終わりの前にオフにされる。図示されるスクロール技術は、セグメント化、順次に照射されたバックライトをもつLCDで示される。

【発明の開示】

【発明が解決しようとする課題】

【0015】

スクローリング技術の実現は、駆動スキームを複雑にする。特に、この実現は、照射されない期間が存在するように、それぞれの行がフィールド周期の分数のみについてアドレ

10

20

30

40

50

ス指定されることを必要とする。この照射しない期間は、ディスプレイを下にスクロールする。本発明は、スクロール照射された領域の技術のLEDディスプレイへの適用を容易にするドライバアーキテクチャ設計に関する。

【課題を解決するための手段】

【0016】

本発明によれば、行及び列で配列された表示画素からなるアレイを有するアクティブマトリクス型のエレクトロルミネッセント表示装置が提供され、それぞれの画素は、エレクトロルミネッセント(ElectroLuminescent)表示素子、表示素子を流れる電流を駆動する駆動トランジスタ、表示素子を流れる電流の駆動を中断する手段、及び、中断手段のための駆動電圧を含み、順次にそれぞれの行における画素に印加される制御電圧を生成する行駆動回路を有しており、行駆動回路は、中断手段のための駆動電圧を生成するシフトレジスタレジスタ構成及びロジック構成を有する。中断手段のための駆動電圧は、実質的に完全なフィールド期間からアドレス指定期間を引いた(full field period less the address field)期間にまで変動する期間を有するパルスを含んでおり、シフトレジスタ構成を通して伝播する1以上の信号は、パルス期間を制御する。

10

【0017】

このアレンジメントは、低減されたドライバの複雑さを提供し、それぞれの行の全体の光放出期間の制御により、行毎の画素のアドレス指定の制御を可能にする。

【0018】

1つの構成では、シフトレジスタ及びロジック構成は、第一及び第二のシフトレジスタ装置を有しており、それぞれの装置は、それらを伝播するパルスを有し、信号を導出するロジック手段は、第一及び第二のシフトレジスタを伝播するパルスのタイミングにおける差から導出される期間をもつパルスを有する。

20

【0019】

次いで、可変の期間のパルスを持つ信号が使用され、中断手段のための制御信号を導出するために使用される。次いで、シフトレジスタ装置における1パルスのタイミングは、照射時間を制御するために使用される。

【0020】

それぞれのシフトレジスタ装置において伝播するパルスは、ディスプレイのライン時間(すなわち行アドレス指定時間)に対応する期間を有する場合がある。したがって、2つの同じパルスが異なる時間で2つのシフトレジスタ装置を通過する。

30

【0021】

次いで、ロジック手段は、シフトレジスタ装置の一方でのパルスに応答してロウパルスを伝送し、シフトレジスタ装置の他方でのパルスに応答してハイパルスを伝送する伝送ゲートを有する場合がある。このように、シフトレジスタ装置のパルスのうちの1つは、可変期間のパルスの開始をタイミング調整するために使用され、他方のシフトレジスタ装置は、可変期間のパルスの終了をタイミング調整するために使用される。ロジック手段は、伝送ゲートから受信されたパルス間の一定の出力を保持するためのメモリセルを更に有する場合がある。

【0022】

別の構成では、シフトレジスタ及びロジック構成は、第一及び第二のシフトレジスタ装置を有し、それぞれの装置は、それらを伝播するパルスを有し、第一及び第二のシフトレジスタ装置の一方でのパルス期間から導出された期間をもつパルスを有する信号を導出するロジック手段を有する。

40

【0023】

この構成では、パルスの一方は、通常のアドレス指定のために使用され、他方は、照射時間を決定するための期間を有する。したがって、1つのシフトレジスタ装置において伝播するパルスは、ディスプレイのライン時間に対応する期間を有し、他のシフトレジスタ装置において伝播するパルスは、表示素子の照射期間を制御するための期間を有する。

【0024】

50

更なる構成では、シフトレジスタ及びロジック構成は、表示素子の所望の照射期間に依存する期間を含む、それを伝播するパルスを含むシフトレジスタ装置、シフトレジスタ装置から、ディスプレイのライン時間に対応する期間を有するパルスを導出するロジック手段を有する。

【0025】

この構成は、1つのシフトレジスタ装置を使用し、2つの制御パルスは、異なるシフトレジスタエレメントにおいてパルスのオーバーラップから導出することができる。シフトレジスタ装置から、ディスプレイのライン時間に対応する期間を有するパルスを導出するロジック手段は、1つの行について1つのシフトレジスタのエレメントの出力でのパルスを隣接する行の別のシフトレジスタエレメントの出力でのパルスと結合するコンビネーションエレメントを有する。 10

【0026】

全ての実施の形態では、シフトレジスタ及びロジック構成からの第一のパルスは、画素のアドレス指定のための第一の制御信号を提供するために、第一のテンプレート制御信号と結合され、シフトレジスタ及びロジック構成からの第二のパルスは、画素のアドレス指定の間及びその後の画素の駆動の間の両方で中断手段のための駆動電圧を提供するため、第二のテンプレート制御信号と結合される。したがって、回路は、画素のアドレス指定のための行制御電圧を提供するが、画素駆動周期の間に中断手段のための制御電圧を提供する。

【0027】

第一のパルスは、ライン時間に等しい期間を有し、第二のパルスは、表示素子の照射時間を制御するために選択された期間を有する。 20

【0028】

それぞれの画素は、駆動トランジスタ閾値圧縮回路を有することが好ましく、たとえば、第一及び第二のキャパシタは駆動トランジスタのゲートとソースとの間で直列に接続され、画素へのデータ入力は、第一及び第二のキャパシタとの間の接合に提供され、画素データ電圧から導出される電圧に第一のキャパシタを充電し、駆動トランジスタの閾値電圧から導出された電圧は、第二のキャパシタに記憶される。

【0029】

行ドライバはこのタイプの公知の閾値電圧を補償する画素回路を補足するが、このアーキテクチャは、他の画素設計にも同様に適用可能である。 30

【0030】

また、本発明は、行及び列に配列される表示画素のアレイを有するアクティブマトリクス型エレクトロルミネッセント表示装置を駆動する方法を提供するものであり、それぞれの画素は、エレクトロルミネッセント(EL)表示素子、表示素子を流れる電流を駆動する駆動トランジスタ、及び表示素子を流れる電流の駆動を中断するための手段を有する。本方法は、シフトレジスタ構成を通して1以上のパルスを伝播するステップ、シフトレジスタ構成からのパルスを使用して、画素をアドレス指定する制御電圧がアドレス指定期間の間に行の画素に印加されるのを可能にするステップ、1以上のシフトレジスタのパルスを使用して、実質的に完全なフィールド周期からアドレス指定期間を引いた期間まで変動する期間を有するパルスを含む中断手段のための駆動電圧を導出するステップ、画素のアドレス指定期間の後に中断手段に中断手段のための駆動電圧を印加するステップを含んでいる。 40

【発明を実施するための最良の形態】

【0031】

本発明の例は、添付図面を参照して更に詳細に記載される。

本発明は、行及び列に配列される表示素子のアレイを有するアクティブマトリクス型のエレクトロルミネッセント表示装置のアドレス指定に関し、それぞれの行で画素に印加される制御電圧を発生する行駆動回路に関する。特に、表示画素がオフにされるように、中断手段を有する画素に関する。本発明の行駆動回路は、可変とすることができ、シフトレ 50

ジスタ構成を伝播する 1 以上の信号に依存する期間をもつパルスをもつパルスを有する中断手段のための駆動電圧を発生するシフトレジスタ及びロジック構成を使用する。

【0032】

本発明の行ドライバアーキテクチャを詳細に説明する前に、基本的な公知の画素設計が記載され、この画素設計は、画素の駆動トランジスタにおける閾値電圧のドリフトを補償するものである。

【0033】

図 3 は、閾値電圧の補償を電圧プログラムされた動作に提供する公知の画素及び駆動回路構成の簡略化された概念的な形式の 1 例を示している。

【0034】

それぞれの画素 1 は、E L 表示素子 2 及び関連するドライバ回路を有する。ドライバ回路は、行コンダクタ A 1 の行アドレス指定パルスによりオンにされるアドレストランジスタ 1 6 を有する。アドレストランジスタ 1 6 がオンにされたとき、列コンダクタ 6 の電圧は、画素の残りに通過することができる。特に、アドレストランジスタ 1 6 は、入力ノード 1 8 に列コンダクタ電圧を供給する。このノード 1 8 は、駆動トランジスタ 2 4 のゲートとソースとの間に接続される直列接続される第一及び第二のキャパシタ 2 0 , 2 2 のジャンクションにある。

【0035】

駆動トランジスタ 2 4 及びキャパシタ 2 0 , 2 2 は、電流源として機能する。駆動トランジスタ 2 4 は、電源ライン 3 0 から電流を引き出し、引き出された電流は、直列接続されたキャパシタ間の電圧に依存する。

【0036】

画素の動作では、データ電圧は第一のキャパシタに記憶され、駆動トランジスタ 2 4 の閾値電圧は第二のキャパシタ 2 2 に記憶される。この閾値電圧は、画素がアドレス指定されるたびに測定される。駆動トランジスタのゲート - ソース間の電圧は、駆動トランジスタの閾値の変動を補償する。

【0037】

閾値電圧の測定を可能にするため、回路は、ライン A 2 により制御される駆動トランジスタのゲートとドレイン間のショートトランジスタ 2 6 、及びライン A 3 により表示素子から出力される光を妨げるトランジスタ 2 8 を有する。

【0038】

回路の動作は以下に記載される。しかし、たとえば、少数の制御ラインが必要とされるのを可能とするため、この回路に対して多くの変形例が存在する。たとえば、電源ライン 3 0 がスイッチされる。図 4 は、図 3 の公知の画素回路の動作タイミングを示している。

【0039】

画素プログラミングフェーズの開始で、トランジスタ 2 8 がオンにされる。次いで、アドレストランジスタ 1 6 がオンにされ、列 6 のデフォルト電圧（示される例では 1 2 V ）は、駆動トランジスタ 2 4 が表示素子 2 を流れる電流を駆動するのに十分である。

【0040】

ショートトランジスタ 2 6 は、駆動トランジスタのゲートとドレインを接続するためにオンにされる。次いで、トランジスタ 2 8 は、表示素子をスイッチオフするためにオフにされる。

【0041】

駆動トランジスタは、ゲート - ソース電圧のためにオンにされたままである。しかし、引き出された電流は、ショートトランジスタ 2 6 を通過し、キャパシタ 2 2 を放電する。時間的な所定のポイントで、キャパシタ 2 2 は、ゲート - ソース間の電圧が閾値電圧に等しいポイントに放電される。駆動トランジスタ 2 4 は、スイッチオフにされ、第二のキャパシタ 2 2 の電圧は、駆動トランジスタの閾値電圧に関連する。キャパシタ 2 0 は、アドレストランジスタ 1 6 が閾値電圧測定動作の完全な期間についてオンであるために固定された電圧を有する。

10

20

30

40

50

【 0 0 4 2 】

次いで、ショートニングトランジスタがオフにされ、データは、なおオンにされるアドレストランジスタ 1 6 を通してキャパシタ 2 0 に印加される。次いで、キャパシタ 2 0 及び 2 2 間の結合された電圧は、駆動トランジスタの閾値電圧を補償する。

【 0 0 4 3 】

アドレス指定の後、制御ライン A 3 は、放射が行われるためにハイに戻される（図示せず）。

本発明は、スクローリングアドレス指定スキーム（scrolling addressing scheme）を実現するため、このタイプの画素回路について適切な行ドライバアーキテクチャを提供する。

10

【 0 0 4 4 】

図 5 は、本発明の行ドライバアーキテクチャの第一の例を示している。

行ドライバは、ディスプレイの行に順次に制御電圧を印加するための多数のシフトレジスタのチェイン 5 0 を有する。それぞれの制御電圧パルスは、ライン時間の期間について持続し、順次に行に印加される。したがって、これらのレジスタは、ラインレートでクロックされる。

【 0 0 4 5 】

更なる制御バスライン 5 2 は、スクローリング機能を提供するために行アドレス信号のタイミングを変更するそれぞれの行についてロジックエレメント 5 4 と同様に提供される。それぞれのロジックエレメントは、行アドレス信号及びクリア信号を提供する。

20

【 0 0 4 6 】

回路は、LED ディスプレイ出力周期の期間を制御するため、トランジスタ 2 8 を制御するために動作する。

【 0 0 4 7 】

図 6 の第一の実施の形態では、行ドライバにおける 2 つのシフトレジスタ A 及び B が使用される。シングルパルスは、シフトレジスタ A を伝播し、このレジスタは、アドレス指定されるべき行を選択し、第二のシングルパルスは、第二のシフトレジスタ B に電波される。それらの間の時間差は、表示素子の出力を制御する、長い放射時間のパルスを発生するために使用される。

【 0 0 4 8 】

図 6 では、いずれかのシフトレジスタ 5 0 におけるパルスは、伝送ゲート 6 0 をアクテベートする。パルスが A にあった場合、ゲートは LOW を通過させ、パルスが B にあった場合、HIGH を伝播する。伝送ゲートは、2 つのシフトレジスタの出力の XOR により制御され、いずれかのレジスタにパルスが存在するときにオンにされる。レジスタ A の出力が反転され、結果は、AND ゲートでレジスタ B の出力と結合される。

30

【 0 0 4 9 】

次いで、（反転である）SRAM セル 6 2 は、伝送ゲートがひとたび高インピーダンス（オフ）状態に戻ると、その出力を維持し、一方のシフトレジスタパルスが受信されるたびに出力はロウにスイッチし、他のシフトレジスタパルスが受信されるたびにハイにスイッチする。

40

【 0 0 5 0 】

図 7 は、可変期間の放射信号（the variable duration emission signal）がどのように他の制御信号と結合されるか、及び行のアドレス指定（A 3 r、A 2 r、A 1 r）信号がどのように発生されるかを示している。

【 0 0 5 1 】

テンプレートタイミング信号 A 1、A 2 及び A 3 が発生され、これらは、それぞれの行についてそれら自身を繰り返す信号である。これは、タイミングチャートが更に以下で示されたときに明らかとなる。行アドレス指定期間の間にのみ生じる制御信号を導出するため、これらのテンプレート信号は、その行アドレス指定周期の期間についてハイパルスである、シフトレジスタ A からの信号と AND ゲート 7 0 により結合される。これは、図 3 か

50

らの参照を使用して、行について行アドレス指定信号 A 1 r 及び A 2 r を提供する。

【 0 0 5 2 】

行制御信号 A 3 r は、中断トランジスタ 2 8 のための信号であり、したがって可変期間のパルスを含む。これは、パルスについて、典型的に多数の行アドレス指定周期の期間であって、ライン時間内ではなく、フレーム時間内で変動する期間を含む。

【 0 0 5 3 】

図 6 の回路の出力は、O R ゲートにより A N D ゲート 7 0 a の出力と結合され、結果的に得られる信号は、(テンプレート信号 A 3 から導出される) 通常の画素プログラミングについてアドレス指定周期の間の必要とされるプロファイルを含むが、可変のスクロール制御の期間のパルスを含む。

10

【 0 0 5 4 】

第二の実施の形態では、第一の実施の形態と同じロジックが使用される。しかし、1 つのシフトレジスタ A で伝播するパルスは、ディスプレイのライン時間に対応する期間を含むし、他のシフトレジスタ B で伝播するパルスは、表示素子の照射周期を制御する期間を含む。たとえば、シフトレジスタ B におけるパルスは、多数の結合された連続するパルスとすることができる。

【 0 0 5 5 】

図 8 には回路が示されており、図 9 にはタイミングチャートが示されている。図 6 のストレージブロックについて必要が除かれ、可変のパルスは、シフトレジスタ B から直接的に取られる。

20

【 0 0 5 6 】

これは、ラッチ回路がもはや必要とされないもので、回路を簡略化し、信頼性を改善する。

【 0 0 5 7 】

図 9 では、A 1、A 2 及び A 3 は、グローバルテンプレートタイミング入力を表し、先に記載されたように、これらは、ライン時間の周波数で繰り返される。s r _ A 及び s r _ B は、1 つの特定のラインについてシフトレジスタの出力を表す。s r _ A は、1 ライン時間の期間を含むし、s r _ B は、信号 s r _ A の終わりの後に開始する、多数のライン時間の可変の期間を含む。

【 0 0 5 8 】

A 1 r、A 2 r 及び A 3 r は、図 3 に示される画素への印加のためにその特定のラインについて得られる結果的なアドレス指定信号を表す。

30

【 0 0 5 9 】

タイミングチャートは、アドレス指定周期 8 0 について制御信号のタイミングを抽出するためにレジスタ A がどのように使用されるか、フレーム周期の残り 8 2 の間にオンタイム (on-time) を制御するためにレジスタ B がどのように使用されるかを示している。

【 0 0 6 0 】

図 8 及び図 9 に示されるスキームは、2 つのシフトレジスタの機能を 1 つに結合することで更に簡略化することができる。これは、1 つのシフトレジスタにロングパルスを通過させ、そのパルスのリーディングエッジでのアドレス指定を生成するため、それぞれの行の余分の A N D ゲートを使用することで達成される。

40

【 0 0 6 1 】

図 1 0 は、この簡略化された行ドライバのアーキテクチャを示している。更なる A N D ゲートは、(n + 1) でアドレス指定されている行について 1 つのロングパルスを先行する行 n のロングパルスと結合し、ライン時間の期間を含むパルスであって、図 8 及び図 9 におけるシフトレジスタ A の出力として機能するパルスを導出する。行 n + 1 のシフトレジスタの出力は、図 8 及び図 9 におけるシフトレジスタ B の出力に対応する。したがって、図 1 0 の回路は、図 9 に示されるように同じ出力を生成するが、1 つのシフトレジスタのチェーンを使用している。さもないと、回路は同じように機能する。

【 0 0 6 2 】

50

ロングパルスは、一連のパルスをシフトレジスタの連続する「バケット」に供給することで得られる。

行ドライバのアーキテクチャは、異なるスクローリングスキームのレンジを生成するために使用される。

【0063】

基本的な行ドライバアーキテクチャでは、光が発生され、ディスプレイの残りがオフである水平帯域がある。このバンドは、上から下に移動する。下部では、下で目に見ることのできる部分、上で新たに発展する部分に分割する。したがって、何時でも、固定された数の隣接するラインは、光が発生する。速度は、ディスプレイのフィールドレートに等しい繰返しレートが存在するような速度である。

10

【0064】

しかし、下から上にバンドを移動すること、又は、左から右に又は右から左に移動する光の垂直のバンドを使用することも可能である。

【0065】

光のバンドの高さは、新たなビデオコンテンツでプログラムされるライン（アドレス指定ライン）と、ブラックに再プログラムされたライン（消去ライン）との間の垂直の距離を変えることで変化される。勿論、この距離は、ディスプレイの行のオンピリオド（on-period）に関する。この距離、したがって光生成のデューティサイクルを変えることは、全ての画素の行に共通である、シフトレジスタを制御することで非常にシンプルである。これは、たとえばビデオコンポーネントに基づいて、デューティサイクルを動的に変える可能性を開く。

20

【0066】

別の可能性は、垂直の位置に依存するデューティサイクルを作り、スクリーン下部の上での光出力を減少することである。これは、目に見えるようにすることなしに、又はエンドユーザを悩ますことのない、CRTシステムにおける一般的な実施である。この利益は、電力消費量における低減である。これは、全ての行について固定されたパルス期間を提供するので、先に示された駆動スキームへの変更を必要とする。

【0067】

「アドレス&フラッシュ」アドレス指定スキームに比較して、先に記載されたスクローリングバースキームは、光が発生しているディスプレイの常に一部があるので、少ないフィールドフリッカを示す。これは、スクローリングバースディスプレイは、知覚できるフィールドフリッカなしで「アドレス&フラッシュ」よりも低いフレームレートで動作することを意味する。

30

【0068】

工学の観点から、スクローリングバースキームは、幾つかの利点を有する。スクリーンの電力消費量は、相当に一定である。一様な画像について電力消費量は一定である。ビデオコンテンツをもつ画像について、光のバンドにおける画像の平均の明るさと共に変動する。他のアドレス指定スキーム（たとえばアドレス&フラッシュ）で生じる高いピーク電流が存在しない。高電流は、特に大型のディスプレイについて大きな難問である。

【0069】

アドレス及びフラッシュアドレス指定スキームに比較して、スクローリングバースキームは、デューティサイクルに関わらず、固定されたラインアドレス時間の利点を有し、ディスプレイを更に柔軟にする。

40

【0070】

アドレス指定信号を操作することでラインを消去することができ、この消去動作は、別のラインのアドレス指定と並列に行うことができる。特に、列のラインのビデオ情報は、消去されたラインに関連しない。

【0071】

図10では、1つのロングパルスの正のエッジ（positive edge）は、シフトレジスタ n と $n+1$ の出力を比較することで検出される。ANDゲート90は、2つのシフトレジ

50

スタの状態を結合し、パルスの正のエッジが検出されたときに出力は1であり、アドレスラインA1r ~ A3rをアクティブにする。

【0072】

消去信号は、パルスの立ち下がりエッジを検出し、検出に応じて、アドレスラインA1r ~ A3rに消去信号系列を生成することで同様なやり方で生成することができる。消去動作は、列コンダクタでの信号を参照することなしに実行することができ、列コンダクタのデータを使用して別の行のアドレス指定と同時に消去することができる。したがって、先に実施の形態におけるようにA3r信号を生成するために1つの可変期間の信号を使用することが好まれるが、照射周期の開始及び終了について個別の制御信号を発生することができる。他の変更は、当業者にとって明らかとなる。

10

【図面の簡単な説明】

【0073】

【図1】従来のLEDディスプレイを示す図である。

【図2】多数の公知のアドレス指定技術を示す図である。

【図3】本発明が適用される場合がある公知のLED画素回路を示す図である。

【図4】図3の回路のタイミングを示す図である。

【図5】本発明の行駆動アーキテクチャを示す図である。

【図6】図5の回路で使用されるロジック素子の第一の実現を示す図である。

【図7】図6のロジック素子に基づくフルロジック機能を示す図である。

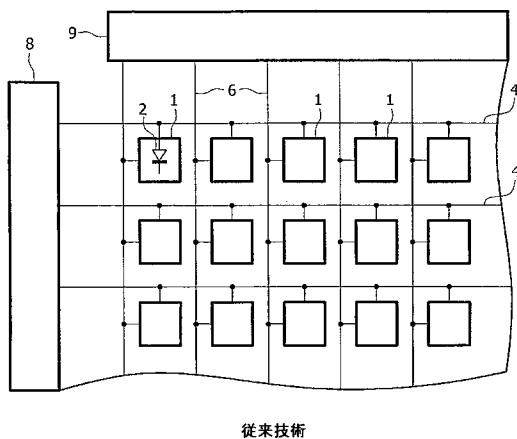
【図8】図5の回路で使用されるロジック素子の第二の実現を示す図である。

20

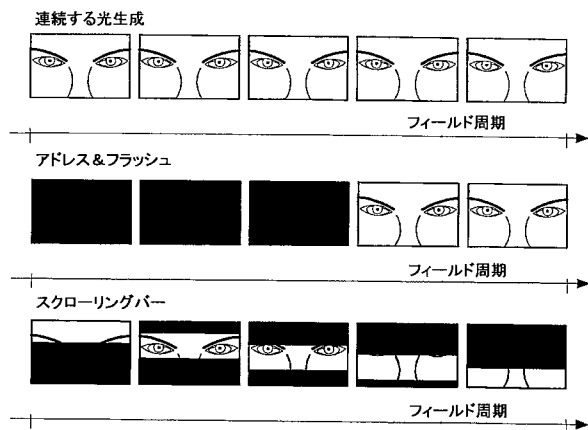
【図9】図8の回路の動作のためのタイミングチャートを示す図である。

【図10】図5の回路で使用され、唯一のシフトレジスタチェインを必要とするロジック素子の第三の実現を示す図である。

【図1】



【図2】



【図 3】

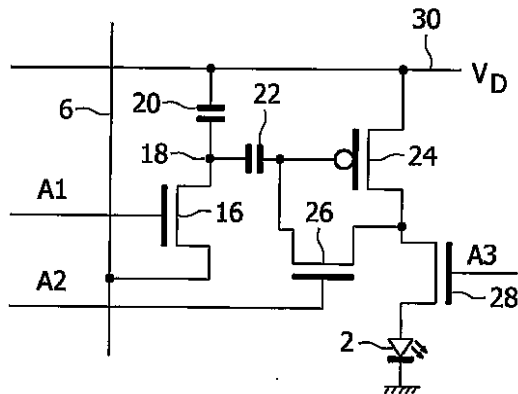
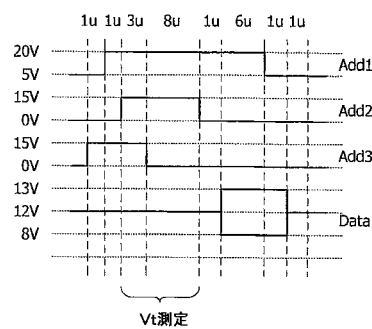
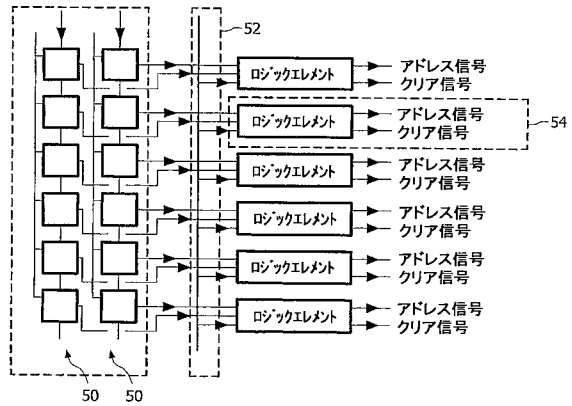


FIG. 3

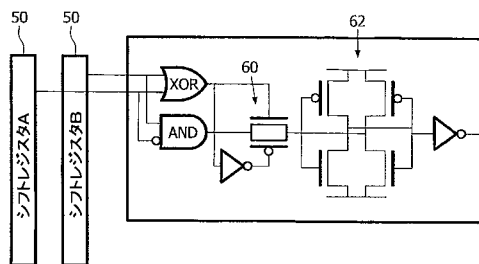
【図 4】



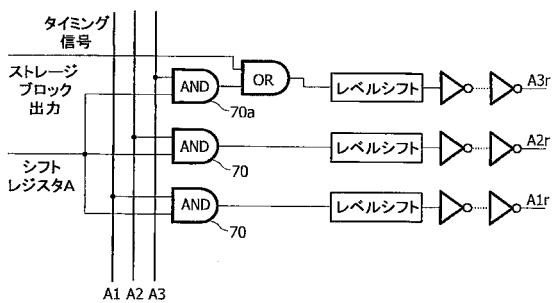
【図 5】



【図 6】



【図 7】



【図 9】

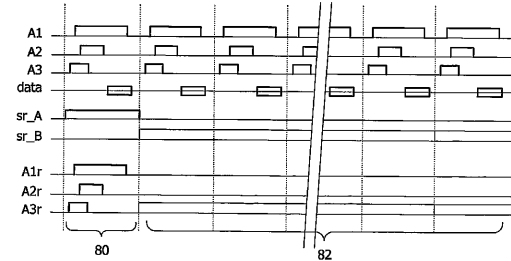
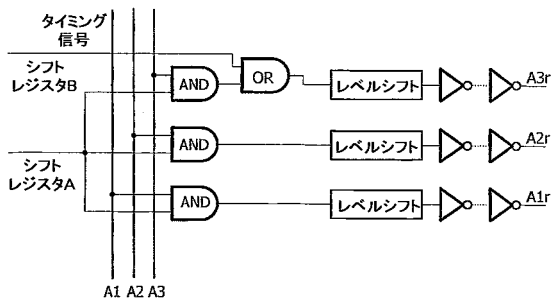
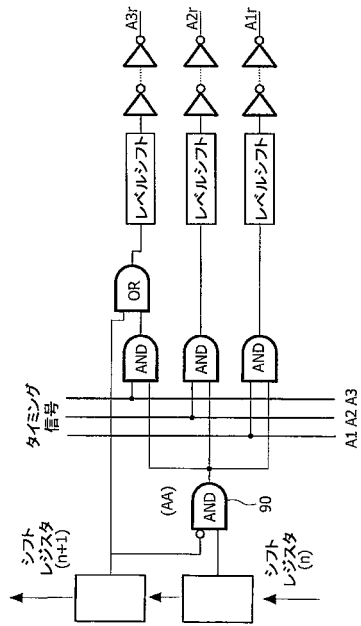


FIG. 9

【図 8】



【図 10】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.
PC... B2004/051971

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 583 775 B1 (YUMOTO AKIRA ET AL) 24 June 2003 (2003-06-24) cited in the application	1
Y	column 14, line 51 - column 16, line 24; figure 7 column 10, line 42 - column 11, line 39; figure 1 column 13, line 63 - column 14, line 18; figure 5 column 16, line 55 - column 17, line 28; figure 15 ----- -/-	2-17

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

A document member of the same patent family

Date of the actual completion of the international search

19 January 2005

Date of mailing of the international search report

27/01/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Morris, D

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.
PCT/JP2004/051971

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/117352 A1 (KIMURA HAJIME) 26 June 2003 (2003-06-26) paragraph '0018! - paragraph '0034!; figures 5a-6f paragraph '0202! - paragraph '0204!; figures 9a,9b paragraph '0218! - paragraph '0223!; figures 11a,11b	1-17
Y	EP 1 130 565 A (SONY CORP) 5 September 2001 (2001-09-05) paragraph '0064! - paragraph '0070!; figures 5-7 paragraph '0089! - paragraph '0093!; figures 19-20c	1-9, 13-16
A	US 2002/135312 A1 (KOYAMA JUN) 26 September 2002 (2002-09-26) paragraph '0116! - paragraph '0146!; figures 8,9 paragraph '0167! - paragraph '0176!; figure 12	1,13-17
A	EP 0 730 258 A (SONY CORP) 4 September 1996 (1996-09-04) column 5, line 46 - column 9, line 28; figures 1-3	1-10,17

INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/JP2004/051971

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6583775 B1	24-06-2003	JP 2001060076 A CN 1278635 A EP 1061497 A1 TW 502233 B	06-03-2001 03-01-2001 20-12-2000 11-09-2002
US 2003117352 A1	26-06-2003	JP 2003202834 A	18-07-2003
EP 1130565 A	05-09-2001	EP 1130565 A1 WO 0106484 A1 TW 526455 B	05-09-2001 25-01-2001 01-04-2003
US 2002135312 A1	26-09-2002	JP 2002351357 A US 2004100202 A1	06-12-2002 27-05-2004
EP 0730258 A	04-09-1996	JP 8234703 A EP 0730258 A1 US 5818413 A	13-09-1996 04-09-1996 06-10-1998

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 スティアー, ウィリアム エイ
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

(72)発明者 フィッシュ, デイヴィッド エイ
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

(72)発明者 ビュドゼラル, フランシスキュス ペー エム
イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

F ターム(参考) 3K107 AA01 BB01 CC31 CC32 EE03 HH02 HH04 HH05
5C080 AA06 BB05 EE29 FF11 JJ01 JJ02 JJ03 JJ04

专利名称(译)	通过指定滚动地址的电致发光显示设备		
公开(公告)号	JP2007508578A	公开(公告)日	2007-04-05
申请号	JP2006530973	申请日	2004-10-05
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	スティアーウィリアムエイ フィッシュデイヴィッドエイ ビュドゼラルフランシスキュスパーエム		
发明人	スティアー,ウィリアム エイ フィッシュ,デイヴィッド エイ ビュドゼラル,フランシスキュス パー エム		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/2011 G09G3/2014 G09G3/2081 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2320/0247 G09G2320/0261 G09G2320/043 G09G2320/0606 G09G2320/0626		
FI分类号	G09G3/30.J G09G3/20.622.E G09G3/20.622.Q G09G3/20.622.G H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC32 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2003023622 2003-10-09 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵电致发光显示器具有用于中断流过显示元件的电流的驱动装置。显示器的行驱动器电路具有移位寄存器和逻辑配置50,54,其产生用于中断装置的驱动电压,包括具有从基本完整的场周期到减去寻址周期的周期的脉冲。传播通过移位寄存器装置50的一个或多个信号控制脉冲持续时间。该构造是通过各行的总的光发射时间来控制,以允许每行像素的寻址,从而提供减小的驱动器的复杂性的控制。该控件允许实现滚动寻址方案。

