

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-179066

(P2007-179066A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 641E	
	H05B 33/14 A	
審査請求 有 請求項の数 8 O L (全 33 頁)		

(21) 出願番号 特願2007-31491 (P2007-31491)
 (22) 出願日 平成19年2月13日 (2007.2.13)
 (62) 分割の表示 特願2002-40963 (P2002-40963)
 の分割
 原出願日 平成14年2月19日 (2002.2.19)
 (31) 優先権主張番号 特願2001-44367 (P2001-44367)
 (32) 優先日 平成13年2月21日 (2001.2.21)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC32 EE03 HH05
 5C080 AA06 BB05 DD03 EE29 FF11
 JJ03 JJ05 JJ06

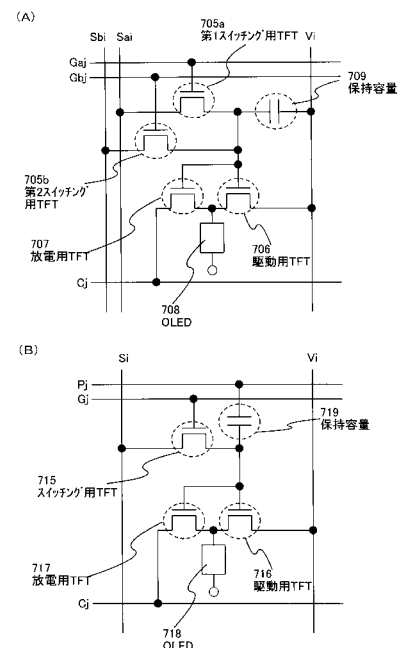
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】 駆動用TFTのオフ電流によるOLEDの発光を防ぎ、コントラストの低下を抑え、美しい画像を表示することが可能な発光装置の提案を課題とする。

【解決手段】 第1のTFTと、第2のTFTと、第3のTFTと、保持容量と、画素電極とを有する表示装置であって、第1のTFTのソースまたはドレインの一方は第1の配線に電氣的に接続され、他方は画素電極に電氣的に接続され、第2のTFTのソースまたはドレインの一方は画素電極に電氣的に接続され、他方は第2の配線に電氣的に接続され、第3のTFTのソースまたはドレインの一方は保持容量に電氣的に接続され、他方は第3の配線に電氣的に接続され、保持容量は第4の配線に電氣的に接続され、第3のTFTのゲートは第5の配線と電氣的に接続されている。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は第 1 の配線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は第 2 の配線に電氣的に接続され、

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は第 3 の配線に電氣的に接続され、

10

前記保持容量は第 4 の配線に電氣的に接続され、

前記第 3 の T F T のゲートは第 5 の配線と電氣的に接続されていることを特徴とする表示装置。

【請求項 2】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は第 1 の配線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は第 2 の配線に電氣的に接続され、

20

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は第 3 の配線に電氣的に接続され、

前記保持容量は第 4 の配線及び第 1 の T F T 及び第 2 の T F T のゲートと電氣的に接続され、

前記第 3 の T F T のゲートは第 5 の配線と電氣的に接続されていることを特徴とする表示装置。

【請求項 3】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は第 1 の配線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、

30

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は第 2 の配線に電氣的に接続され、

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は第 3 の配線に電氣的に接続され、

前記保持容量は第 4 の配線及び第 1 の T F T 及び第 2 の T F T のゲートと電氣的に接続され、

前記第 3 の T F T のゲートは第 5 の配線と電氣的に接続され、

前記第 1 の T F T のゲート及び前記第 2 の T F T のゲートは互いに電氣的に接続されていることを特徴とする表示装置。

40

【請求項 4】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は電源線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は放電線に電氣的に接続され、

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は信号線に電氣的に接続され、

前記保持容量は容量線に電氣的に接続され、

50

前記第 3 の T F T のゲートは走査線と電氣的に接続されていることを特徴とする表示装置。

【請求項 5】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は電源線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は放電線に電氣的に接続され、

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は信号線に電氣的に接続され、 10

前記保持容量は容量線及び第 1 の T F T 及び第 2 の T F T のゲートと電氣的に接続され、

前記第 3 の T F T のゲートは走査線と電氣的に接続されていることを特徴とする表示装置。

【請求項 6】

第 1 の T F T と、第 2 の T F T と、第 3 の T F T と、保持容量と、画素電極とを有する表示装置であって、

前記第 1 の T F T のソースまたはドレインの一方は電源線に電氣的に接続され、他方は前記画素電極に電氣的に接続され、 20

前記第 2 の T F T のソースまたはドレインの一方は前記画素電極に電氣的に接続され、他方は放電線に電氣的に接続され、

前記第 3 の T F T のソースまたはドレインの一方は前記保持容量に電氣的に接続され、他方は信号線に電氣的に接続され、

前記保持容量は容量線及び第 1 の T F T 及び第 2 の T F T のゲートと電氣的に接続され、

前記第 3 の T F T のゲートは走査線と電氣的に接続され、

前記第 1 の T F T のゲート及び前記第 2 の T F T のゲートは互いに電氣的に接続されていることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記表示装置は発光素子が備えられていることを特徴とする表示装置。 30

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に形成された発光素子、例えば有機発光素子 (O L E D : Organic Light Emitting Device) を、該基板とカバー材の間に封入した O L E D パネルに関する。 40
また、該 O L E D パネルにコントローラを含む I C 等を実装した、O L E D モジュールに関する。なお本明細書において、O L E D パネル及び O L E D モジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【背景技術】

【0002】

O L E D は自ら発光するため視認性が高く、液晶表示装置 (L C D) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年 O L E D を用いた発光装置は、C R T や L C D に代わる表示装置として注目されている。

【0003】

O L E D は、電場を加えることで発生するルミネッセンス (Electroluminescence) が 50

得られる有機化合物（有機発光材料）を含む層（以下、有機発光層と記す）と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0004】

なお、本明細書では、OLEDの陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】

以下、一般的な発光装置の画素の構成について、図15を用い説明する。

【0006】

一般的な発光装置の画素部には、複数の画素1000がマトリクス状に設けられている。画素1000は、少なくとも1つの信号線1001と、少なくとも1つの走査線1002と、少なくとも1つの電源線1003とを有している。

【0007】

また画素1000は、スイッチング用TFT1004と、駆動用TFT1005と、OLED1006、保持容量1007を有している。

【0008】

スイッチング用TFT1004のゲート電極は、走査線1002に接続されている。スイッチング用TFT1004のソース領域とドレイン領域は、一方が信号線1001に、もう一方が駆動用TFT1005のゲート電極にそれぞれ接続されている。

【0009】

保持容量1007は、駆動用TFT1005のゲート電極と、電源線1003との間に形成されている。保持容量1007はスイッチング用TFT1004が非選択状態（オフ状態）にある時、駆動用TFT1005のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。

【0010】

また、駆動用TFT1005のソース領域とドレイン領域は、一方は電源線1003に接続され、もう一方はOLED1006に接続される。

【0011】

OLED1006は陽極と陰極と、陽極と陰極の間に設けられた有機発光層とからなる。陽極が駆動用TFT1005のソース領域またはドレイン領域に接続している場合、陽極を画素電極、陰極を対向電極と呼ぶ。逆に陰極が駆動用TFT1005のソース領域またはドレイン領域に接続している場合、陰極を画素電極、陽極を対向電極と呼ぶ。

【0012】

OLED1006の対向電極には、OLEDパネルの外部に設けられた電源によって電位（対向電位）が与えられている。また電源線1003にも、OLEDパネルの外部に設けられた電源によって電位（電源電位）が与えられている。

【0013】

次に、図15に示した画素1000の動作について説明する。

【0014】

走査線1002に入力された選択信号によって走査線1002が選択され、走査線1002にゲート電極が接続されたスイッチング用TFT1004が全てオンになる。なお本明細書において、走査線が選択されるというのは、該走査線にゲート電極が接続された全てのTFTがオンになることを意味する。

【0015】

そして、信号線1001に入力された画像情報を有するビデオ信号が、オンのスイッ

ング用 T F T 1 0 0 4 を介して駆動用 T F T 1 0 0 5 のゲート電極に入力される。

【 0 0 1 6 】

ゲート電極に入力されたビデオ信号の電位によって、駆動用 T F T 1 0 0 5 のゲート電圧が決まる。駆動用 T F T 1 0 0 5 のチャンネル形成領域には、該ゲート電圧の大きさに見合った値の電流が流れる。そして、駆動用 T F T 1 0 0 5 のチャンネル形成領域に流れた電流は、O L E D 1 0 0 6 に流れる。

【 0 0 1 7 】

O L E D 1 0 0 6 に電流が流れると、O L E D 1 0 0 6 は発光する。そして全ての画素において上記動作が行われることで、画素部に画像が表示される。

【 発明の開示 】

10

【 発明が解決しようとする課題 】

【 0 0 1 8 】

ところで駆動用 T F T は、ノーマリー・オフであることが理想的である。例えば、p チャンネル型 T F T の場合、ゲート電圧（ソース領域とドレイン領域間の電位差）が閾値よりも大きいときにドレイン電流が流れず、逆にゲート電圧が閾値よりも小さくなったときに、はじめてドレイン電流が流れ始めるのが理想的である。n チャンネル型 T F T の場合、ゲート電圧が閾値よりも小さいときにドレイン電流が流れず、逆にゲート電圧が閾値よりも大きくなったときに、はじめてドレイン電流が流れ始めるのが理想的である。なお本明細書において、ゲート電圧が大きくなるというのはゲート電圧が正の方向に変化することを意味し、ゲート電圧が小さくなるというのはゲート電圧が負の方向に変化することを意味する。

20

【 0 0 1 9 】

そして、閾値電圧は、p チャンネル型 T F T では負の値であることが理想的であり、逆に n チャンネル型 T F T では正の値であることが理想的である。

【 0 0 2 0 】

しかし実際には、T F T の閾値電圧は、作製工程によって多少シフトする。閾値電圧がシフトすると、オフになるはずの駆動用 T F T がオンになることがある。オフになるはずの駆動用 T F T がオンになると、駆動用 T F T のチャンネル形成領域にドレイン電流が流れ、光るべきではないときに O L E D が発光してしまい、コントラストが低下したり、表示画像が乱れる原因になっていた。

30

【 0 0 2 1 】

また T F T の特性によっては、オフの時に流れる電流（オフ電流）が大きくなる場合がある。駆動用 T F T のオフ電流が大きいと、オフ電流はそのまま O L E D に流れるため、光るべきではないときに O L E D が発光してしまう。

【 0 0 2 2 】

オフ電流を低減するために、駆動用 T F T のチャンネル長を長くしたり、ゲート電極の数を増やしてマルチゲート構造にしたりする方法が挙げられるが、いずれの方法においてもオフ電流の低減には限界があった。

【 0 0 2 3 】

本発明は上記問題に鑑み、駆動用 T F T のオフ電流による O L E D の発光を防ぎ、コントラストの低下を抑え、美しい画像を表示することが可能な発光装置の提案を課題とする。

40

【 課題を解決するための手段 】

【 0 0 2 4 】

本発明者は、駆動用 T F T にオフ電流が存在することを前提とし、該オフ電流が O L E D に流れないように、オフ電流を逃すための分路を形成することを考えた。

【 0 0 2 5 】

具体的には、所定の電位に保たれた配線（以下、放電線と呼ぶ）を設け、オフ電流が O L E D に流れずに該放電線に流れるようにした。そして、駆動用 T F T がオフのときに逆にオンになるような T F T （以下、放電用 T F T と呼ぶ）を各画素に設け、該放電用 T F

50

Tのソース領域とドレイン領域を、一方は画素電極に、もう一方は該放電線に接続した。

【0026】

上記構成によって、駆動用TFTがオンのとき、放電用TFTはオフになり、駆動用TFTのドレイン電流はOLEDに流れる。逆に、駆動用TFTがオフのとき、放電用TFTはオンになり、駆動用TFTのドレイン電流（この場合オフ電流）はOLEDよりも該放電線の方に積極的に流れる。

【0027】

なお、放電用TFTと駆動用TFTは、一方をpチャネル型TFT、もう一方をnチャネル型TFTとし、両TFTのゲート電極を電氣的に接続することで、一方がオンのときにもう一方をオフにすることができる。

10

【0028】

上記構成により、駆動用TFTにオフ電流が流れてもOLEDが発光するのを防ぎ、コントラストの低下を抑え、表示画像が乱れることを防ぐことができる。

【発明の効果】

【0029】

上記構成によって、本発明の発光装置では、駆動用TFTにオフ電流が流れても、オフ電流が放電用TFTを介して放電線に流れてしまうので、OLEDにほとんど電流が流れない。よって、OLEDが発光するのを防ぎ、コントラストの低下を抑え、表示画像が乱れることを防ぐことができる。

【0030】

20

また本発明の発光装置では、一般的な発光装置に比べて、駆動用TFTをオフにしたときに残光が残ってしまうのを防ぐことができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の発光装置の構造について、詳しく説明する。

【0032】

図1(A)に、本発明の発光装置のOLEDパネルの構成を、ブロック図で示す。101は画素部であり、複数の画素102がマトリクス状に形成されている。また103は信号線駆動回路、104は走査線駆動回路である。

【0033】

30

なお図1では信号線駆動回路103と走査線駆動回路104とが、画素部101と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路と103と走査線駆動回路104とが画素部101と異なる基板上に形成され、FPC等のコネクタを介して、画素部101と接続されていても良い。また、図1では信号線駆動回路103と走査線駆動回路104は1つつつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路103と走査線駆動回路104の数は設計者が任意に設定することができる。

【0034】

また図1では、画素部101に信号線S1～Sx、電源線V1～Vx、走査線G1～Gy、放電線C1～Cyが設けられている。なお、信号線と電源線の数は必ずしも同じであるとは限らない。また、走査線と放電線の数は必ずしも同じであるとは限らない。

40

【0035】

電源線V1～Vxは所定の電位に保たれている。また、放電線C1～Cyも一定の電位に保たれている。なお図1ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0036】

図1(B)に各画素の詳しい構成を示す。本発明の発光装置において、画素102は、少なくとも1つの信号線と、少なくとも1つの走査線と、少なくとも1つの電源線と、少

50

なくとも1つの放電線とを有している。図1(B)に示した画素では、信号線 S_i ($i = 1 \sim x$)、走査線 G_j ($j = 1 \sim y$)、電源線 V_i 、放電線 C_j を有している。

【0037】

さらに本発明では、画素102が少なくとも、スイッチング用TFT105、駆動用TFT106、放電用TFT107、OLED108を有している。なお図1(B)では、保持容量109を、駆動用TFT106のゲート電極の電位を保持するために設けているが、必ずしも設ける必要はなく、必要に応じて設ければ良い。

【0038】

なお、スイッチング用TFT105、駆動用TFT106及び放電用TFT107は、シングルゲート構造に限られず、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。 10

【0039】

図1(B)では、スイッチング用TFT105のゲート電極が走査線 G_j に接続されている。そしてスイッチング用TFT105のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方は駆動用TFT106のゲート電極に接続されている。

【0040】

駆動用TFT106のソース領域とドレイン領域は、一方は電源線 V_i に、もう一方はOLED108の画素電極に接続されている。一方、放電用TFT107のゲート電極は、駆動用TFT106のゲート電極に接続されている。そして、放電用TFT107のソース領域とドレイン領域は、一方はOLED108の画素電極に接続されており、もう一方は放電線 C_j に接続されている。 20

【0041】

保持容量109は、駆動用TFT106のゲート電極と電源線 V_i との間に形成されている。

【0042】

OLED108は陽極と陰極を有しており、本明細書では、陽極を画素電極(第1の電極)として用いる場合は陰極を対向電極(第2の電極)と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0043】

なお、スイッチング用TFT105は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。また、駆動用TFT106と放電用TFT107は、一方がnチャネル型TFTでもう一方がpチャネル型TFTである。なお、OLED108の陽極を画素電極として用いる場合、駆動用TFT106はpチャネル型TFTであることが望ましく、逆に陰極を画素電極として用いる場合、駆動用TFT106はnチャネル型TFTであることが望ましい。 30

【0044】

図1(B)に示した画素では、走査線 G_j の電位が走査線駆動回路104によって制御され、信号線 S_i には信号線駆動回路103によってビデオ信号が入力される。スイッチング用TFT105がオンになると、信号線 S_i に入力されたビデオ信号は、スイッチング用TFT105を介して駆動用TFT106のゲート電極及び放電用TFT107のゲート電極に入力される。 40

【0045】

駆動用TFT106と放電用TFT107の動作は、ゲート電極に入力されたビデオ信号の電位により制御される。以下、その動作について詳しく説明する。
なお、説明を分かり易くするために、駆動用TFT106がpチャネル型TFT、放電用TFT107がnチャネル型TFTの場合を例にとって説明する。しかし、以下の説明は、駆動用TFT106がnチャネル型TFT、放電用TFT107がpチャネル型TFTの場合でも成り立つ。

【0046】

図2(A)は、駆動用TFT106と、放電用TFT107と、OLED108の接続 50

の様子を簡略的に示した図である。端子 110 からビデオ信号が入力される。そして端子 111 から対向電極に所定の電位が与えられる。なお、 I_1 は駆動用 T F T 106 のドレイン電流、 I_2 は放電用 T F T 107 のドレイン電流、 I_{e1} は O L E D 108 に流れる O L E D 駆動電流を意味している。また、 V_{ds} は駆動用 T F T 106 のソース領域とドレイン領域の間の電圧を意味し、 V_{e1} は O L E D 108 の画素電極と対向電極の間の電圧 (O L E D 駆動電圧) を意味している。

【0047】

電源線 V_i と端子 111 の電位は、駆動用 T F T 106 がオンになったとき、O L E D 108 に流れる電流 I_{e1} が順バイアスになるような高さに保たれている。また、放電線 C_j の電位は、端子 111 の電位が電源線 V_i の電位より低いとき、電源線 V_i の電位より 10
 よりも低くなるよう設定し、逆に端子 111 の電位が電源線 V_i の電位より高いとき、電源線 V_i の電位よりも高くなるよう設定する。

【0048】

なお、放電線 C_j の電位は、陽極を画素電極として用いるとき、陰極の電位よりも低くなるように保っていてもよい。逆に、陰極を画素電極として用いるとき、陽極の電位よりも高くなるように保っていてもよい。

【0049】

なお、本実施の形態では説明をわかりやすくするため、端子 111 の電位が電源線 V_i の電位より低く、なおかつ放電線 C_j の電位が端子 111 の電位と同じ高さに保たれていると仮定する。よって図 2 (A) では、放電用 T F T 107 のソース領域とドレイン領域 20
 間の電圧は、O L E D 駆動電圧 V_{e1} と同じ大きさに保たれている。

【0050】

まず図 2 (B) に、ビデオ信号の電位が十分高く、駆動用 T F T 106 のゲート電圧が閾値よりも十分大きいときの、駆動用 T F T 106、放電用 T F T 107 及び O L E D 108 の電圧電流特性を示す。また、図 2 (C) は、図 2 (B) の点線で囲った部分を拡大した図である。なお、横軸は電源線 V_i と端子 111 の間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

【0051】

ゲート電圧が閾値よりも十分大きいと、p チャネル型 T F T である駆動用 T F T 106 は、理想的な素子の場合オフの状態になる。しかし実際には、ドレイン電流が多少流れていることが多い。よって図 2 (B)、(C) に示すとおり、駆動用 T F T 106 は、オンのときと比較してドレイン電流 I_1 が小さくなるが 0 にはならないと考えられる。 30

【0052】

一方、n チャネル型 T F T である放電用 T F T 107 は、ビデオ信号の電位が十分高いと、そのゲート電圧が閾値よりも十分大きくなるため、オンの状態になる。よって、放電用 T F T 107 は、図 2 (B)、(C) に示すとおり、オフのときと比較して、ソース領域とドレイン領域間の電圧に対するドレイン電流 I_2 の値が大きくなる。つまり言い換えると、オフのときと比較して、ドレイン電流の値に対するソース領域とドレイン領域間の電圧の値が小さくなる。

【0053】

このとき上述したように、駆動用 T F T 106 はオフであるので、オンのときと比較してドレイン電流 I_1 が小さい。そして、駆動用 T F T 106 のドレイン電流 (この場合オフ電流) I_1 は、 $I_1 = I_2 + I_{e1}$ を常に満たしており、 I_2 が I_1 より大きくなることはない。よって、ドレイン電流 I_2 は I_1 以下である。ここで上述したように放電用 T F T 107 は、オフのときと比較して、ドレイン電流の値に対するソース領域とドレイン領域間の電圧の値が小さく、また放電用 T F T 107 のソース領域とドレイン領域間の電圧と V_{e1} は等しいため、 V_{e1} が、O L E D にはほとんど電流が流れなくなってしまうほど小さくなる。したがって、図 2 (B)、(C) に示すとおり、 $I_{e1} = 0$ となり、 $I_1 = I_2$ となる。

つまり、放電用 T F T 107 の電圧電流特性のグラフと、駆動用 T F T 106 の電圧電流 50

特性のグラフとの交点が、動作点となる。よって、OLED 108は発光しない。

【0054】

なお、図16に、図15に示した一般的な発光装置の駆動用TFT 1005と、OLED 1006の接続の様子を簡略的に示す。ただし、図16では、ビデオ信号が入力される端子110と対向電極に所定の電位が与えられる端子111は、本発明との比較をより明確にするために、図2(A)と同じ符号を付す。また本発明との比較をより明確にするために、図15に示した駆動用TFT 1005及びOLED 1006は、図2(A)の駆動用TFT 106及びOLED 108に相当するものとみなす。

【0055】

I_1 は駆動用TFT 106のドレイン電流、 I_{el}' はOLED 108に流れるOLED 10 駆動電流を意味している。また、 V_{ds} は駆動用TFT 106のソース領域とドレイン領域の間の電圧を意味し、 V_{el}' はOLED 108の画素電極と対向電極の間の電圧(OLED駆動電圧)を意味している。

【0056】

一般的な発光装置では、OLEDの電圧電流特性のグラフと、駆動用TFTの電圧電流特性のグラフとの交点が、動作点となる。よって、図2(B)、(C)に示すとおり、一般的な構成においてOLEDに流れる電流は、該動作点における電流 I_{el}' に相当する。

【0057】

次に、図3(A)に、ビデオ信号の電位が十分低く、駆動用TFT 106のゲート電圧が閾値よりも十分小さいときの、駆動用TFT 106、放電用TFT 107及びOLED 108の電圧電流特性を示す。また、図3(B)は、図3(A)の点線で囲った部分を拡大した図である。なお、横軸は電源線Viと端子111の間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

【0058】

ゲート電圧が閾値よりも十分小さいと、pチャネル型TFTである駆動用TFT 106は、理想的な素子の場合オンの状態になる。よって、駆動用TFT 106は、図3(A)、(B)に示すとおり、ソース領域とドレイン領域間の電圧に対するドレイン電流の値が大きい。

【0059】

一方、nチャネル型TFTである放電用TFT 107は、ビデオ信号の電位が十分低いと、そのゲート電圧が閾値よりも十分小さくなるため、オフの状態になる。しかし実際には、オフ電流が多少生じていることが多い。よって、放電用TFT 107は、図3(A)、(B)に示すとおり、ソース領域とドレイン領域間の電圧に対するドレイン電流の値が、小さい値であるが0ではないと考えられる。

【0060】

駆動用TFT 106のドレイン電流 I_1 は、 $I_1 = I_2 + I_{el}$ を常に満たしている。よって、 $I_{el} = I_1 - I_2$ となり、 I_{el} は駆動用TFT 106のドレイン電流 I_1 から、放電用TFT 107のドレイン電流(この場合オフ電流) I_2 を差し引いた値に等しくなる。

【0061】

一般的な放電用TFT 107を設けない構成の場合、 $I_2 = 0$ であるので、必然的に $I_1 = I_{el}'$ となる。しかし、本発明では放電用TFT 107を設けることで、 I_{el} は I_2 の分だけ小さくなる。 I_{el} が小さくなると V_{el} も小さくなり、 $V_{el} + V_{ds}$ は常に一定なので、よって V_{ds} が一般的な構成に比べて大きくなる。よって、駆動用TFT 106のドレイン電流 I_1 自体が、一般的な構成における駆動用TFT 106のドレイン電流に比べて大きくなる。したがって、放電用TFT 107を設けた場合の I_{el} は $(I_{el}' - I_2) < I_{el} < I_{el}'$ を満たしている。つまり一般的な構成におけるOLED電流 I_{el}' から放電用TFT 107のドレイン電流 I_2 を単純に減算した値よりも大きくなるので、 I_{el}' と I_{el} の差は小さく、輝度への影響はさほど大きくはない。

10

20

30

40

50

【 0 0 6 2 】

よって、図 2、図 3 からわかるように、本発明の発光装置では、駆動用 T F T 1 0 6 にオフ電流が流れても、オフ電流が放電用 T F T 1 0 7 を介して放電線に流れてしまうので、O L E D 1 0 8 にほとんど電流が流れない。よって、O L E D 1 0 8 が発光するのを防ぎ、コントラストの低下を抑え、表示画像が乱れることを防ぐことができる。

【 0 0 6 3 】

次に、本発明の発光装置における、駆動用 T F T 1 0 6 と O L E D 駆動電流 I_{e1} の関係について述べる。

【 0 0 6 4 】

図 4 (A) に、駆動用 T F T 1 0 6 のゲート電圧が閾値よりもやや小さくなり、駆動用 T F T 1 0 6 のドレイン電流が大きくなりはじめたときの、駆動用 T F T 1 0 6、放電用 T F T 1 0 7 及び O L E D 1 0 8 の電圧電流特性を示す。なお、横軸は電源線 V_i と端子 1 1 1 の間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

10

【 0 0 6 5 】

駆動用 T F T 1 0 6、放電用 T F T 1 0 7 及び O L E D 1 0 8 は、常に $I_1 = I_2 + I_{e1}$ を常に満たすように動作している。よって図 4 (A) において、 $I_1 = I_2 + I_{e1}$ を満たすように、 I_{e1} の値が定まる。

【 0 0 6 6 】

一方、一般的な発光装置の場合、 $I_1 = I_2$ を満たすので、駆動用 T F T 1 0 6 のグラフと、O L E D 1 0 8 のグラフとが交差するところが動作点であり、該動作点における電流が I_{e1}' に相当する。

20

【 0 0 6 7 】

図 4 (A) において、本発明の発光装置の I_{e1} と、一般的な発光装置の O L E D 駆動電流 I_{e1}' を比較すると、 I_{e1}' の方が大きい。これは、放電用 T F T 1 0 7 のゲート電圧が閾値よりも十分小さくないため、放電用 T F T 1 0 7 のドレイン電流 I_2 が無視できないくらい大きくなるためである。よって、駆動用 T F T 1 0 6 のゲート電圧が閾値よりもやや小さくなった時点では、本発明の発光装置では一般的な発光装置に比べて、O L E D の輝度が小さくなっていると考えられる。

【 0 0 6 8 】

次に、駆動用 T F T 1 0 6 のゲート電圧を、図 4 (A) の状態よりももっと小さくしたときの、駆動用 T F T 1 0 6、放電用 T F T 1 0 7 及び O L E D 1 0 8 の電圧電流特性を図 4 (B) に示す。なお、横軸は電源線 V_i と端子 1 1 1 の間の電圧を示している。そして、縦軸は、各素子に流れる電流を示している。

30

【 0 0 6 9 】

駆動用 T F T 1 0 6、放電用 T F T 1 0 7 及び O L E D 1 0 8 は、常に $I_1 = I_2 + I_{e1}$ を常に満たすように動作している。よって図 4 (B) において、 $I_1 = I_2 + I_{e1}$ を満たすように、 I_{e1} の値が定まる。

【 0 0 7 0 】

一方、一般的な発光装置の場合、 $I_1 = I_2$ を満たすので、駆動用 T F T 1 0 6 のグラフと、O L E D 1 0 8 のグラフとが交差するところが動作点であり、該動作点における電流が I_{e1}' に相当する。

40

【 0 0 7 1 】

図 4 (B) に示すとおり、本発明の発光装置の I_{e1} と、一般的な発光装置の I_{e1}' の差は、図 4 (A) のときよりも縮まっているのがわかる。これは、放電用 T F T 1 0 7 のゲート電圧が小さくなるにつれて、放電用 T F T 1 0 7 のドレイン電流 I_2 が小さくなるためである。端子 1 1 0 に入力されるビデオ信号の電位がより低くなっていき、放電用 T F T 1 0 7 のゲート電圧がより小さくなると、 I_2 はより小さくなる。そして、図 3 に示したように、 I_{e1} は限りなく I_{e1}' に近づく。

【 0 0 7 2 】

図 4 (A)、(B) から分かるように、駆動用 T F T 1 0 6 のゲート電圧 V_{gs} と O L

50

LED 108を流れる電流 I_{e1} との関係は、図5に示すようなグラフになる。なお比較のため、一般的な発光装置の、駆動用TFT 106のゲート電圧 V_{gs} とLED 108を流れる電流 I_{e1} との関係も示す。

【0073】

図5からわかるように、本発明の発光装置は、放電用TFTを用いない一般的な発光装置に比べて、グラフの傾きが急峻になる。よって、放電用TFTを用いない場合に比べてデジタルビデオ信号の振幅をより小さくすることができる。デジタルビデオ信号を用いて階調を表示するデジタル階調方式の駆動においては、信号の振幅が小さいほど、デジタルビデオ信号の信号線への入力を制御する信号線駆動回路の、電源電圧を小さくすることができる。よって、本発明の発光装置では、デジタル階調方式の駆動の場合、信号線駆動回路の消費電力を抑えることができる。

10

【0074】

また、図15に示した一般的な画素の場合、有機発光素子を発光させた後駆動用TFTをオフにすると、有機発光素子の2つの電極間の電圧が自由放電により低下する。このとき、有機発光素子の2つの電極間の電圧が有機発光素子の閾値以下になると、該2つの電極間の抵抗が指数関数的に大きくなり、放電がかなりスローになってしまう。そのため、駆動用TFTをオフにした後にも、有機発光素子が薄っすらと光っている状態が比較的長く続いてしまう。しかし、本発明の発光装置では、駆動用TFTをオフにすると、放電用TFTがオンになることで、強制的に電荷を抜き取ることができ、残光が残ってしまうのを防ぐことができる。

20

【0075】

以下に、本発明の実施例について説明する。

【実施例1】

【0076】

本実施例では、図1で示した本発明の発光装置を、デジタル階調方式で駆動させた場合について、図6を用いて説明する。

【0077】

まず、LEDの対向電極の電位が、電源線の電源電位と同じ高さに保たれる。そして走査線G1が、走査線駆動回路104から入力される選択信号によって選択される。その結果、走査線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT 105がオンの状態になる。

30

【0078】

そして、信号線（ $S_1 \sim S_x$ ）に信号線駆動回路103から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT 105を介して駆動用TFT 106及び放電用TFT 107のゲート電極に入力される。

【0079】

駆動用TFT 106及び放電用TFT 107は、該デジタルビデオ信号が有する1または0の情報によって、そのスイッチングが制御される。例えば、駆動用TFT 106がオンになると放電用TFT 107はオフになり、逆に駆動用TFT 106がオフになると放電用TFT 107はオンになる。

40

【0080】

次にG1の選択が終了し、同様に走査線G2が選択信号によって選択される。そして走査線G2に接続されている全ての画素のスイッチング用TFT 105がオンの状態になり、信号線（ $S_1 \sim S_x$ ）から2ライン目の画素に、1ビット目のデジタルビデオ信号が入力される。なお、本明細書において画素にデジタルビデオ信号が入力されるというのは、該画素の駆動用TFT 106及び放電用TFT 107のゲート電極に、デジタルビデオ信号が入力されることを意味する。そして、2ライン目の画素の駆動用TFT 106及び放電用TFT 107のスイッチングが、1ライン目の画素と同様に、デジタルビデオ信号によって制御される。

【0081】

50

そして、全ての走査線（ $G_3 \sim G_x$ ）も、順に選択信号によって選択される。

全ての走査線（ $G_1 \sim G_x$ ）が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T_{a1} である。

【0082】

書き込み期間 T_{a1} が終了すると、次に表示期間 T_{r1} が出現する。表示期間 T_{r1} において、対向電極の電位は、電源電位が $OLED$ の画素電極に与えられたときに $OLED_{108}$ が発光する程度に、電源線の電源電位との間に電位差を有する高さになる。

【0083】

書き込み期間において画素に入力されたデジタルビデオ信号によって、駆動用 TFT_{106} がオンになっている場合、 $OLED_{108}$ の画素電極に電源電位が与えられる。その結果、 $OLED_{108}$ は発光する。またこのとき、放電用 TFT_{107} はオフの状態にある。

10

【0084】

逆に、書き込み期間において画素に入力されたデジタルビデオ信号によって、駆動用 TFT_{106} がオフになっている場合、 $OLED_{108}$ の画素電極に電源電位が与えられない。その結果、 $OLED_{108}$ は発光しない。またこのとき、放電用 TFT_{107} はオンの状態にある。よって、駆動用 TFT_{106} にオフ電流が流れていても、該オフ電流はほとんど放電線に流れるため、 $OLED_{108}$ は発光しない。

【0085】

このように、表示期間 T_{r1} では $OLED_{108}$ が発光、または非発光の状態になり、全ての画素は表示を行う。画素が表示を行っている期間を表示期間 T_r と呼ぶ。特に1ビット目のデジタルビデオ信号によって表示を行う表示期間を、表示期間 T_{r1} と呼ぶ。図6では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。全てのラインの表示期間が開始されるタイミングは同じである。

20

【0086】

表示期間 T_{r1} が終了すると、書き込み期間 T_{a2} となり、 $OLED$ の対向電極の電位は電源線の電源電位と同じになる。そして書き込み期間 T_{a1} の場合と同様に順に全ての走査線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

30

【0087】

書き込み期間 T_{a2} が終了すると表示期間 T_{r2} が出現し、対向電極と電源線の間に電位差が生じ、全ての画素において表示が行われる。

【0088】

上述した動作は n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書き込み期間 T_a と表示期間 T_r とが繰り返し出現する。全ての表示期間（ $T_{r1} \sim T_{rn}$ ）が終了すると1つの画像を表示することができる。本実施例の駆動方法において、1つの画像を表示する期間を1フレーム期間（ F ）と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書き込み期間 T_{a1} が出現し、上述した動作を繰り返す。

40

【0089】

通常発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0090】

本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0091】

50

1 フレーム期間中に O L E D が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 $T r 1$ と $T r 2$ において画素が発光した場合には 1% の輝度が表現でき、 $T r 3$ と $T r 5$ と $T r 8$ を選択した場合には 60% の輝度が表現できる。

【0092】

また表示期間 $T r 1 \sim T r n$ は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $T r 1$ の次に $T r 3$ 、 $T r 5$ 、 $T r 2$ 、... という順序で表示期間を出現させることも可能である。

【0093】

なお本実施例では、対向電極の電位の高さを書き込み期間と表示期間とで変化させていたが、本発明はこれに限定されない。電源線と対向電極の間に電位差が常に生じているようにしても良い。その場合、書き込み期間においても O L E D を発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1 フレーム期間中に O L E D が発光した書き込み期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書き込み期間と表示期間の長さの和の比が、 $(T a 1 + T r 1) : (T a 2 + T r 2) : (T a 3 + T r 3) : \dots : (T a (n - 1) + T r (n - 1))$

$: (T a n + T r n) = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となることが必要である

10

20

【実施例 2】

【0094】

本発明の発光装置の画素は、図 1 (B) に示した構成に限定されない。本実施例では、本発明の発光装置の画素の構成について、図 1 (B) とは異なる例について説明する。図 7 (A)、(B)、図 17 (A)、(B) に、本実施例の画素の構成を示す。

【0095】

図 7 (A) に示す画素は、第 1 信号線 $S a i$ 、第 2 信号線 $S b i$ 、第 1 走査線 $G a j$ 、第 2 走査線 $G b j$ 、電源線 $V i$ 、放電線 $C j$ を少なくとも 1 つづつ有している。

【0096】

また図 7 (A) に示した画素は、第 1 スイッチング用 T F T 705 a、第 2 スイッチング用 T F T 705 b、駆動用 T F T 706、放電用 T F T 707、O L E D 708、保持容量 709 を少なくとも有している。

30

【0097】

次に、図 7 (A) の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0098】

第 1 スイッチング用 T F T 705 a のゲート電極は第 1 走査線 $G a j$ に接続されている。また、第 1 スイッチング用 T F T 705 a のソース領域とドレイン領域は、一方は第 1 信号線 $S a i$ に、もう一方は駆動用 T F T 706 のゲート電極に接続されている。

【0099】

第 2 スイッチング用 T F T 705 b のゲート電極は第 2 走査線 $G b j$ に接続されている。また、第 2 スイッチング用 T F T 705 b のソース領域とドレイン領域は、一方は第 2 信号線 $S b i$ に、もう一方は駆動用 T F T 706 のゲート電極に接続されている。

40

【0100】

放電用 T F T 707 のゲート電極は、駆動用 T F T 706 のゲート電極と接続されている。また放電用 T F T 707 のソース領域とドレイン領域は、一方は放電線 $C j$ に、もう一方は O L E D 708 の画素電極に接続されている。

【0101】

駆動用 T F T 706 のソース領域とドレイン領域は、一方は電源線 $V i$ に、もう一方は O L E D 708 の画素電極に接続されている。電源線 $V i$ と O L E D 708 の対向電極の

50

間には、常に電位差が生じている。

【0102】

保持容量709は電源線Viと、駆動用TF T 706のゲート電極の間に形成されている。

【0103】

選択信号によって第1走査線Gajが選択されると、第1スイッチング用TF T 705aがオンになる。そして、第1信号線に入力されるデジタルビデオ信号が、駆動用TF T 706及び放電用TF T 707のゲート電極に入力され、画素が表示を行う。

【0104】

そして次に、選択信号によって第2走査線Gbjが選択されると、第2スイッチング用TF T 705bがオンになる。そして、第2信号線に入力されるデジタルビデオ信号が、駆動用TF T 706及び放電用TF T 707のゲート電極に入力され、画素が表示を行う。

10

【0105】

全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0106】

図7(A)に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなってデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示することが可能である。

20

【0107】

図7(B)に示す画素は、信号線Si、走査線Gj、電源線Vi、放電線Cj、容量線Pjを少なくとも1つつつ有している。

【0108】

また図7(B)に示した画素は、スイッチング用TF T 715、駆動用TF T 716、放電用TF T 717、OLED 718、保持容量719を少なくとも有している。

【0109】

次に、図7(B)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0110】

スイッチング用TF T 715のゲート電極は走査線Gjに接続されている。また、スイッチング用TF T 715のソース領域とドレイン領域は、一方は信号線Siに、もう一方は駆動用TF T 716のゲート電極に接続されている。

30

【0111】

放電用TF T 717のゲート電極は、駆動用TF T 716のゲート電極と接続されている。また放電用TF T 717のソース領域とドレイン領域は、一方は放電線Cjに、もう一方はOLED 718の画素電極に接続されている。

【0112】

駆動用TF T 716のソース領域とドレイン領域は、一方は電源線Viに、もう一方はOLED 718の画素電極に接続されている。電源線ViとOLED 718の対向電極の間には、常に電位差が生じている。

40

【0113】

保持容量719は容量線Pjと、駆動用TF T 716のゲート電極の間に形成されている。容量線Pjは、電源線Viと同じ高さに保たれている。

【0114】

選択信号によって走査線Gjが選択されると、スイッチング用TF T 715がオンになる。そして、第1信号線に入力されるデジタルビデオ信号が、駆動用TF T 716及び放電用TF T 717のゲート電極に入力され、画素が表示を行う。

【0115】

次に、容量線Pjの電位を制御することで、電荷保存の法則より、駆動用TF T 716

50

及び放電用 T F T 7 1 7 のゲート電圧を調整し、駆動用 T F T 7 1 6 がオフ、放電用 T F T 7 1 7 がオンになるようにする。駆動用 T F T が 7 1 6 がオフになると、画素が表示を行わなくなり、強制的に表示期間が終了する。

【 0 1 1 6 】

全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【 0 1 1 7 】

図 7 (B) に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなってデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示することが可能である。

10

【 0 1 1 8 】

図 1 7 (A) に示す画素 7 2 2 は、信号線 S i 、走査線 G j 、電源線 V i を少なくとも 1 つずつ有している。

【 0 1 1 9 】

また図 1 7 (A) に示した画素は、スイッチング用 T F T 7 2 5 、駆動用 T F T 7 2 6 、放電用 T F T 7 2 7 、O L E D 7 2 8 、保持容量 7 2 9 を少なくとも有している。

【 0 1 2 0 】

なお図 1 7 (A) において、スイッチング用 T F T 7 2 5 と放電用 T F T 7 2 7 は同じ極性を有しているのが望ましい。

【 0 1 2 1 】

20

次に、図 1 7 (A) の画素が有する各素子及び配線の接続についてより具体的に説明する。

【 0 1 2 2 】

スイッチング用 T F T 7 2 5 のゲート電極は走査線 G j に接続されている。また、スイッチング用 T F T 7 2 5 のソース領域とドレイン領域は、一方は信号線 S i に、もう一方は駆動用 T F T 7 2 6 のゲート電極に接続されている。

【 0 1 2 3 】

放電用 T F T 7 2 7 のゲート電極は、駆動用 T F T 7 2 6 のゲート電極と接続されている。また放電用 T F T 7 2 7 のソース領域とドレイン領域は、一方は走査線 G j - 1 に、もう一方は O L E D 7 2 8 の画素電極に接続されている。

30

【 0 1 2 4 】

走査線 G j - 1 は、走査線 G j が選択される前に選択される走査線である。なお各画素の放電用 T F T のソース領域またはドレイン領域に接続される走査線は、画素部が有する走査線のうちのいずれか 1 つであれば良い。

【 0 1 2 5 】

駆動用 T F T 7 2 6 のソース領域とドレイン領域は、一方は電源線 V i に、もう一方は O L E D 7 2 8 の画素電極に接続されている。電源線 V i と O L E D 7 2 8 の対向電極の間には、常に電位差が生じている。

【 0 1 2 6 】

保持容量 7 2 9 は電源線 V i と、駆動用 T F T 7 2 6 のゲート電極の間に形成されている。

40

【 0 1 2 7 】

選択信号によって走査線 G j が選択されると、スイッチング用 T F T 7 2 5 がオンになる。そして、信号線に入力されるデジタルビデオ信号が、駆動用 T F T 7 2 6 及び放電用 T F T 7 2 7 のゲート電極に入力され、画素が表示を行う。

【 0 1 2 8 】

全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【 0 1 2 9 】

なお、図 1 7 (A) に示した画素は、図 1 、図 7 (A) 、(B) に示した画素と異なり

50

、走査線を放電線として用いるため、別途放電線を設ける必要がなく、画素部の配線数を抑えることができる。このように分路を形成する際、必ずしもオフ電流を流すためだけの配線を形成する必要はなく、走査線、信号線、電源線、その他配線を放電線として用いることは可能である。

【0130】

図17(B)に示す画素は、信号線*S_i*、第1走査線*G_{a j}*、第2走査線*G_{b j}*、電源線*V_i*、放電線*C_j*を少なくとも1つずつ有している。

【0131】

また図17(B)に示した画素は、スイッチング用TF735、消去用TF740、駆動用TF736、放電用TF737、OLED738、保持容量739を少なくとも有している。

10

【0132】

次に、図17(B)の画素が有する各素子及び配線の接続についてより具体的に説明する。

【0133】

スイッチング用TF735のゲート電極は第1走査線*G_{a j}*に接続されている。また、スイッチング用TF735のソース領域とドレイン領域は、一方は信号線*S_i*に、もう一方は駆動用TF736のゲート電極に接続されている。

【0134】

消去用TF740のゲート電極は第2走査線*G_{b j}*に接続されている。また、消去用TF740のソース領域とドレイン領域は、一方は電源線*V_i*に、もう一方は駆動用TF736のゲート電極に接続されている。

20

【0135】

放電用TF737のゲート電極は、駆動用TF736のゲート電極と接続されている。また放電用TF737のソース領域とドレイン領域は、一方は放電線*C_j*に、もう一方はOLED738の画素電極に接続されている。

【0136】

駆動用TF736のソース領域とドレイン領域は、一方は電源線*V_i*に、もう一方はOLED738の画素電極に接続されている。電源線*V_i*とOLED738の対向電極の間には、常に電位差が生じている。

30

【0137】

保持容量739は電源線*V_i*と、駆動用TF736のゲート電極の間に形成されている。

【0138】

第1選択信号によって第1走査線*G_{a j}*が選択されると、スイッチング用TF735がオンになる。そして、信号線に入力されるデジタルビデオ信号が、駆動用TF736及び放電用TF737のゲート電極に入力され、画素が表示を行う。

【0139】

次に、第2選択信号によって第2走査線*G_{b j}*が選択されると、消去用TF740がオンになる。そして、電源線*V_i*の電位が、駆動用TF736のゲート電極及びソース領域に与えられ、駆動用TF736がオフになる。駆動用TF736がオフになると、画素が表示を行わなくなり、強制的に表示期間が終了する。

40

【0140】

全ビットのデジタルビデオ信号によって、各画素が表示を行うと、1つの画像が表示される。

【0141】

図17(B)に示した画素では、表示期間を書き込み期間よりも短くすることが可能であるので、階調数が高くなってデジタルビデオ信号のビット数が増加しても、フレーム周波数を落とさずに画像を表示することが可能である。なお、第1走査線または第2走査線を、図17(A)の場合と同様に放電線として用いても良く、この場合各画素の配線数を

50

減らすことができる。

【0142】

本発明の発光装置の画素は図1に示したものに限定されず、また、図7(A)、(B)、図17(A)、(B)に示したものに限定されない。電源線を設けずに、他の画素のゲート信号線を電源線の代わりに用いても良い。本発明の発光装置は、駆動用TFTのオフ電流がOLEDに流れずに、分路に積極的に流れるような構成であれば良い。より具体的には、駆動用TFTがオンのときにオフになり、駆動用TFTがオフのときにオンになるようなTFTを介して、放電線とOLEDの画素電極を接続してれば良い。

【実施例3】

【0143】

本発明の発光装置の作成方法の一例について、図8～図12を用いて説明する。ここでは、画素部のスイッチング用TFTおよび駆動用TFTと、画素部の周辺に設けられる駆動部のTFTを同時に作製する方法について、工程に従って詳細に説明する。なお、放電用TFTは、スイッチング用TFTおよび駆動用TFTの作製方法を参照して作製することができるので、ここでは説明を簡単にするため図示しない。

【0144】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板900を用いる。なお、基板900としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0145】

次いで、図8(A)に示すように、基板900上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜901を形成する。本実施例では下地膜901として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜901の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901aを10～200nm(好ましくは50～100nm)形成する。

本実施例では、膜厚50nmの酸化窒化珪素膜901a(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$)を形成した。次いで、下地膜901の二層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜901bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜901b(組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$)を形成した。

【0146】

次いで、下地膜901上に半導体層902～905を形成する。半導体層902～905は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。

この半導体層902～905の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x = 0.0001 \sim 0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層902～905を形成した。

【0147】

10

20

30

40

50

また、半導体層 902 ~ 905 を形成した後、TFT のしきい値を制御するために、半導体層 902 ~ 905 に微量な不純物元素（ボロンまたはリン）をドーピングしてもよい。

【0148】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO₄ レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を 100 ~ 400 mJ / cm² (代表的には 200 ~ 300 mJ / cm²) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 30 ~ 300 kHz とし、レーザーエネルギー密度を 300 ~ 600 mJ / cm² (代表的には 350 ~ 500 mJ / cm²) とすると良い。そして幅 100 ~ 1000 μm、例えば 400 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を 50 ~ 90 % として行えばよい。

10

【0149】

次いで、半導体層 902 ~ 905 を覆うゲート絶縁膜 906 を形成する。ゲート絶縁膜 906 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 nm として珪素を含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により 110 nm の厚さで酸化窒化珪素膜（組成比 Si = 32 %、O = 59 %、N = 7 %、H = 2 %）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

20

【0150】

また、酸化珪素膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O₂ とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W / cm² で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後 400 ~ 500 の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0151】

そして、ゲート絶縁膜 906 上にゲート電極を形成するための耐熱性導電層 907 を 200 ~ 400 nm (好ましくは 250 ~ 350 nm) の厚さで形成する。耐熱性導電層 907 は単層で形成しても良いし、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。耐熱性導電層には Ta、Ti、W から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法や CVD 法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては 30 ppm 以下とすると良い。本実施例では W 膜を 300 nm の厚さで形成する。W 膜は W をターゲットとしてスパッタ法で形成しても良いし、6 フッ化タングステン (WF₆) を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 μΩ cm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 % の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 μΩ cm を実現することができる。

30

40

【0152】

一方、耐熱性導電層 907 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。Ta 膜はスパッタガスに Ar を用いる。また、スパッタ時のガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α 相の Ta 膜の抵抗率は 20 μΩ cm 程度でありゲート電極に使用すること

50

ができるが、 β 相のTa膜の抵抗率は $180\ \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きであった。Ta₂N膜は α 相に近い結晶構造を持つので、Ta膜の下地にTa₂N膜を形成すれば α 相のTa膜が容易に得られる。また、図示しないが、耐熱性導電層907の下に $2\sim 20\text{nm}$ 程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層907が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜906に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層907は抵抗率を $10\sim 50\ \mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0153】

次に、フォトリソグラフィーの技術を使用してレジストによるマスク908を形成する。そして、第1のエッチング処理を行う。本実施例ではICPエッチング装置を用い、エッチング用ガスに Cl_2 と CF_4 を用い、 1Pa の圧力で $3.2\text{W}/\text{cm}^2$ のRF(13.56MHz)電力を投入してプラズマを形成して行う。

基板側(試料ステージ)にも $224\text{mW}/\text{cm}^2$ のRF(13.56MHz)電力を投入し、これにより実質的に負の自己バイアス電圧が印加される。この条件でW膜のエッチング速度は約 $100\text{nm}/\text{min}$ である。第1のエッチング処理はこのエッチング速度を基にW膜がちょうどエッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

【0154】

第1のエッチング処理により第1のテーパ形状を有する導電層909~912が形成される。導電層909~912のテーパ部の角度は $15\sim 30^\circ$ となるように形成される。残渣を残すことなくエッチングするためには、 $10\sim 20\%$ 程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(ゲート絶縁膜906)の選択比は $2\sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim 50\text{nm}$ 程度エッチングされる。(図8(B))

【0155】

そして、第1のドーピング処理を行い導電型の不純物元素を半導体層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク908をそのまま残し、第1のテーパ形状を有する導電層909~912をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜906とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1\times 10^{13}\sim 5\times 10^{14}\text{atoms}/\text{cm}^2$ とし、加速電圧を $80\sim 160\text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。このようなイオンドープ法により第1の不純物領域914~917には $1\times 10^{20}\sim 1\times 10^{21}\text{atomic}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。(図8(C))

【0156】

この工程において、ドーピングの条件によっては、不純物が第1の形状の導電層909~912の下に回りこみ、第1の不純物領域914~917が第1の形状の導電層909~912と重なることも起こりうる。

【0157】

次に、図8(D)に示すように第2のエッチング処理を行う。エッチング処理も同様にICPエッチング装置により行い、エッチングガスに CF_4 と Cl_2 の混合ガスを用い、RF電力 $3.2\text{W}/\text{cm}^2$ (13.56MHz)、バイアス電力 $45\text{mW}/\text{cm}^2$ (13.56MHz)、圧力 1.0Pa でエッチングを行う。この条件で形成される第2の形状を有する導電層918~921が形成される。その端部にはテーパ部が形成され、該端部から内側にむかって徐々に厚さが増加するテーパ形状となる。第1のエッチング処理と比較して基板側に印加するバイアス電力を低くした分等方性エッチングの割合が多くなり、テー

10

20

30

40

50

パー部の角度は $30 \sim 60^\circ$ となる。マスク908はエッチングされて端部が削れ、マスク922となる。また、図8(D)の工程において、ゲート絶縁膜906の表面が 40 nm 程度エッチングされる。

【0158】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、不純物濃度が大きくなった第1の不純物領域924~927と、前記第1の不純物領域924~927に接する第2の不純物領域928~931とを形成する。この工程において、ドーピングの条件によっては、不純物が第2の形状の導電層918~921の下に回りこみ、第2の不純物領域928~931が第2の形状の導電層918~921と重なることも起こりうる。第2の不純物領域における不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ となるようにする。(図9(A))

10

【0159】

そして、(図9(B))に示すように、pチャネル型TFTを形成する半導体層902、905に一導電型とは逆の導電型の不純物領域933(933a、933b)及び934(934a、934b)を形成する。この場合も第2の形状の導電層918、921をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する半導体層903、904は、レジストのマスク932を形成し全面を被覆しておく。ここで形成される不純物領域933、934はジボラン(B_2H_6)を用いたイオンドープ法で形成する。不純物領域933、934のp型を付与する不純物元素の濃度は、 $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

20

【0160】

しかしながら、この不純物領域933、934は詳細にはn型を付与する不純物元素を含有する2つの領域に分けて見ることができる。第3の不純物領域933a、934aは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域933b、934bは $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域933b、934bのp型を付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようにし、第3の不純物領域933a、934aにおいては、p型を付与する不純物元素の濃度をn型を付与する不純物元素の濃度の1.5から3倍となるようにすることにより、第3の不純物領域でpチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

30

【0161】

その後、図9(C)に示すように、第2の形状を有する導電層918~921およびゲート絶縁膜906上に第1の層間絶縁膜937を形成する。第1の層間絶縁膜937は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜937は無機絶縁物材料から形成する。第1の層間絶縁膜937の膜厚は $100 \sim 200 \text{ nm}$ とする。第1の層間絶縁膜937として酸化シリコン膜を用いる場合には、プラズマCVD法でTEOSと O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400$ とし、高周波(13.56 MHz)電力密度 $0.5 \sim 0.8 \text{ W/cm}^2$ で放電させて形成することができる。また、第1の層間絶縁膜937として酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 $20 \sim 200 \text{ Pa}$ 、基板温度 $300 \sim 400$ とし、高周波(60 MHz)電力密度 $0.1 \sim 1.0 \text{ W/cm}^2$ で形成することができる。また、第1の層間絶縁膜937として SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

40

【0162】

50

そして、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700、代表的には 500 ~ 600 で行うものであり、本実施例では 550 で 4 時間の熱処理を行った。また、基板 501 に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0163】

活性化の工程に続いて、雰囲気ガスを変化させ、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層にある $10^{16} \sim 10^{18} / \text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。いずれにしても、半導体層 902 ~ 905 中の欠陥密度を $10^{16} / \text{cm}^3$ 以下とすることが望ましく、そのために水素を 0.01 ~ 0.1 atomic % 程度付与すれば良い。

10

【0164】

そして、有機絶縁物材料からなる第 2 の層間絶縁膜 939 を 1.0 ~ 2.0 μm の平均膜厚で形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで 300 で焼成して形成する。また、アクリルを用いる場合には、2 液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで 80 で 60 秒の予備加熱を行い、さらにクリーンオープンで 250 で 60 分焼成して形成することができる。

20

【0165】

このように、第 2 の層間絶縁膜 939 を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第 1 の層間絶縁膜 937 として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

30

【0166】

次に、図 10 (A) に示すように、第 2 の層間絶縁膜 939 を形成した後、第 2 の層間絶縁膜 939 に接するように、パッシベーション膜 939 を形成する。

【0167】

パッシベーション膜 939 は、第 2 の層間絶縁膜 939 に含まれる水分が、画素電極 947 や、第 3 の層間絶縁膜 982 を介して、有機発光層 950 に入るのを防ぐのに効果的である。第 2 の層間絶縁膜 939 が有機樹脂材料を有している場合、有機樹脂材料は水分を多く含むため、パッシベーション膜 939 を設けることは特に有効である。

【0168】

本実施例では、パッシベーション膜 939 として、窒化珪素膜を用いた。

40

【0169】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されソース領域またはドレイン領域とする不純物領域に達するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、まずエッチングガスに CF_4 、 O_2 の混合ガスを用いてパッシベーション膜 981 をエッチングし、次にエッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第 2 の層間絶縁膜 939 をエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第 1 の層間絶縁膜 937 をエッチングする。さらに、半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えて第 3 の形状のゲート絶縁膜 570 をエッチングすることによりコンタクトホールを形成することができる。

50

【0170】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、マスクでパターニングし、その後エッチングすることで、ソース配線940～943とドレイン配線944～946を形成する。なお本明細書では、ソース配線とドレイン配線を併せて接続配線と呼ぶ。図示していないが、本実施例ではこの配線を、そして、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜で形成した。

【0171】

次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターニングすることによって画素電極947を形成する(図10(A))。なお、本実施例では、透明電極として酸化インジウム・スズ(ITO)膜や酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いる。

10

【0172】

また、画素電極947は、ドレイン配線946と接して重ねて形成することによって駆動用TFEのドレイン領域と電気的な接続が形成される。

【0173】

図11に、画素電極947形成後の画素の上面図を示す。図11のA-A'における断面が、図10(A)の画素部の図に相当する。また図11において、780は放電用TFE、781は保持容量である。図11のB-B'における断面を、図12に示す。

【0174】

20

保持容量781は、容量配線793と、活性層974と、容量配線793と活性層974の間に形成されたゲート絶縁膜906とを有している。活性層974が有する不純物領域982は、電源線943と接続されている

放電用TFE780は、ソース領域またはドレイン領域975、979と、LDD領域976、978と、チャネル形成領域977とを有する活性層を有している。さらに放電用TFE780は、ゲート電極974と、該活性層とゲート電極974の間に形成されたゲート絶縁膜906とを有している。

【0175】

ソース領域またはドレイン領域975は接続配線972を介して画素電極947に接続されている。また、ソース領域またはドレイン領域979は、接続配線971を介して放電線970に接続されている。

30

【0176】

次に、図10(B)に示すように、画素電極947に対応する位置に開口部を有する第3の層間絶縁膜982を形成する。本実施例では、開口部を形成する際、ウェットエッチング法を用いることでテーパ形状の側壁とした。この場合、第3の層間絶縁膜982上に形成される有機発光層は分断されないため、開口部の側壁が十分になだらかでないで段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0177】

なお、本実施例においては、第3の層間絶縁膜982として酸化珪素でなる膜を用いているが、場合によっては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることもできる。

40

【0178】

そして、第3の層間絶縁膜982上に有機発光層950を形成する前に、第3の層間絶縁膜982の表面にアルゴンを用いたプラズマ処理を施し、第3の層間絶縁膜982の表面を緻密化しておくのが好ましい。上記構成によって、第3の層間絶縁膜982から有機発光層950に水分が入るのを防ぐことができる。

【0179】

次に、有機発光層950を蒸着法により形成し、更に蒸着法により陰極(MgAg電極)951および保護電極952を形成する。このとき有機発光層950及び陰極951を形成するに先立って画素電極947に対して熱処理を施し、水分を完全に除去しておくこ

50

とが望ましい。なお、本実施例ではO L E Dの陰極としてM g A g電極を用いるが、公知の他の材料であっても良い。

【0180】

なお、有機発光層950としては、公知の材料を用いることができる。本実施例では正孔輸送層(Hole transporting layer)及び発光層(Emitting layer)

でなる2層構造を有機発光層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0181】

本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30~40%分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1%添加している。

【0182】

また、保護電極952でも有機発光層950を水分や酸素から保護することは可能であるが、さらに好ましくは保護膜953を設けると良い。本実施例では保護膜953として300nm厚の窒化珪素膜を設ける。この保護膜も保護電極952の後に大気解放しないで連続的に形成しても構わない。

【0183】

また、保護電極952は陰極951の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層950、陰極951は非常に水分に弱いので、保護電極952までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0184】

なお、有機発光層950の膜厚は10~400[nm](典型的には60~150[nm])、陰極951の厚さは80~200[nm](典型的には100~150[nm])とすれば良い。

【0185】

こうして図10(B)に示すような構造の発光装置が完成する。なお、画素電極947、有機発光層950、陰極951の重なっている部分954がO L E Dに相当する。

【0186】

pチャネル型TFT960及びnチャネル型TFT961は駆動回路が有するTFTであり、CMOSを形成している。スイッチング用TFT962及び駆動用TFT963は画素部が有するTFTであり、駆動回路のTFTと画素部のTFTとは同一基板上に形成することができる。

【0187】

本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0188】

なお本実施例は、実施例1または2と自由に組み合わせて実施することが可能である。

【実施例4】

【0189】

本実施例では、本発明の発光装置の外観図について、図13を用いて説明する。

【0190】

図13(A)は、TFTが形成された基板(素子基板)をシーリング材によって封止することによって形成された発光装置の上面図であり、図13(B)は、図13(A)のA-A'における断面図、図13(C)は図13(A)のB-B'における断面図である。

【0191】

基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動

10

20

30

40

50

回路 4 0 0 4 a、b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【0192】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、第 1 及び第 2 の走査線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 1 3 (B) では代表的に、下地膜 4 0 1 0 上に形成された、信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる駆動用 T F T (O L E D への電流を制御する T F T) 4 2 0 2 を図示した。

10

【0193】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には駆動用 T F T 4 2 0 2 のゲートに接続された保持容量 (図示せず) が設けられる。

【0194】

駆動 T F T 4 2 0 1 及び駆動用 T F T 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に駆動用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

20

【0195】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0 2 は画素電極 4 2 0 3 の上に開口部が形成されている。この開口部において、画素電極 4 2 0 3 の上には有機発光層 4 2 0 4 が形成される。有機発光層 4 2 0 4 は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【0196】

有機発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

30

【0197】

有機発光層 4 2 0 4 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と有機発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4 2 0 5 は所定の電圧が与えられている。

40

【0198】

以上のようにして、画素電極 (陽極) 4 2 0 3、有機発光層 4 2 0 4 及び陰極 4 2 0 5 からなる O L E D 4 3 0 3 が形成される。そして O L E D 4 3 0 3 を覆うように、絶縁膜 4 3 0 2 上に保護膜 4 3 0 3 が形成されている。保護膜 4 3 0 3 は、O L E D 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

【0199】

4 0 0 5 a は電源線に接続された引き回し配線であり、駆動用 T F T 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0

50

01との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

【0200】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiber glass - Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

10

【0201】

但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0202】

また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

20

【0203】

また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着する物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着する物質4207を配置する。そして、吸湿性物質または酸素を吸着する物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着する物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着する物質4207は通さない構成になっている。吸湿性物質または酸素を吸着する物質4207を設けることで、OLED4303の劣化を抑制できる。

30

【0204】

図13（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0205】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【0206】

本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

40

【実施例5】

【0207】

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0208】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

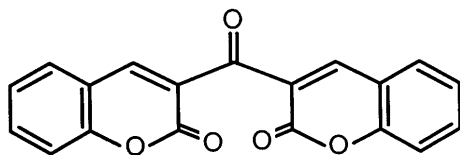
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記の論文により報告された有機発光材料（クマリン色素）の分子式を以下に示す。

50

【 0 2 0 9 】

【 化 1 】



10

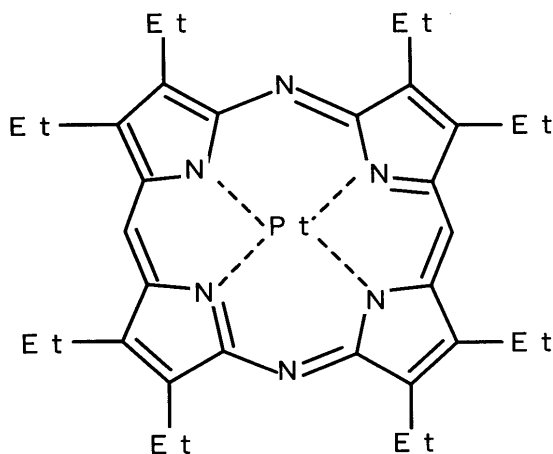
【 0 2 1 0 】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告された有機発光材料 (Pt 錯体) の分子式を以下に示す。

【 0 2 1 1 】

【 化 2 】



20

30

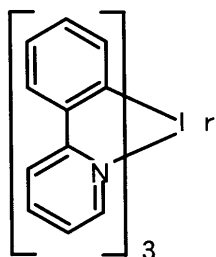
【 0 2 1 2 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsutsui, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された有機発光材料 (Ir 錯体) の分子式を以下に示す。

【 0 2 1 3 】

【化 3】



10

【0214】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0215】

なお、本実施例の構成は、実施例1～実施例4のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例6】

20

【0216】

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0217】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図14に示す。

30

【0218】

図14（A）はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0219】

40

図14（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0220】

図14（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0221】

図14（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表

50

示部 2302 に用いることができる。

【0222】

図 14 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的には DVD 再生装置) であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、記録媒体 (DVD 等) 読み込み部 2405、操作キー 2406、スピーカー部 2407 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404 は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 2403、2404 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0223】

図 14 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 2501、表示部 2502、アーム部 2503 を含む。本発明の発光装置は表示部 2502 に用いることができる。

【0224】

図 14 (G) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609 等を含む。本発明の発光装置は表示部 2602 に用いることができる。

【0225】

ここで図 14 (H) は携帯電話であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。本発明の発光装置は表示部 2703 に用いることができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0226】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0227】

また、上記電子機器はインターネットや CATV (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0228】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0229】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ~ 5 に示したいずれの構成の発光装置を用いても良い。

【図面の簡単な説明】

【0230】

【図 1】本発明の発光装置のブロック図及び画素の回路図。

【図 2】本発明の発光装置の画素の構成を簡単に示す図及び、素子の電圧電流特性を示す図。

【図 3】本発明の発光装置の素子の電圧電流特性を示す図。

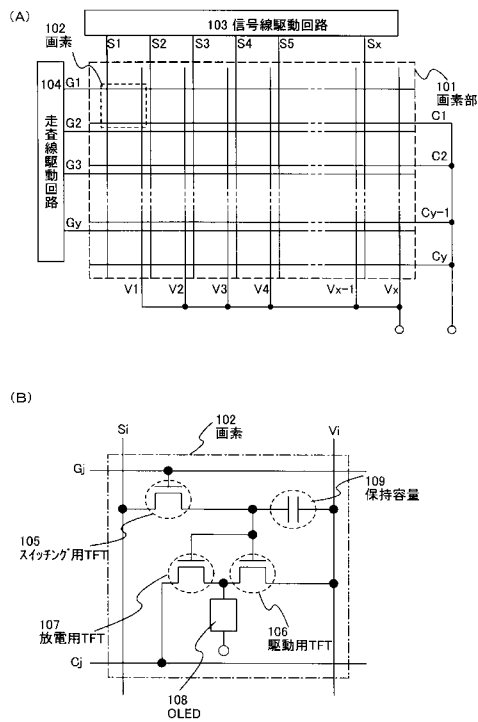
【図 4】本発明の発光装置の素子の電圧電流特性を示す図。

【図 5】本発明の発光装置の駆動用 TFT の電圧電流特性を示す図。

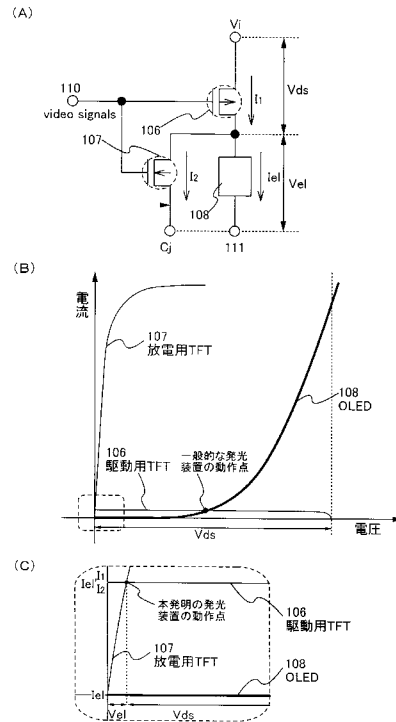
- 【図 6】本発明の発光装置の駆動方法を示す図。
 【図 7】本発明の発光装置の画素の回路図。
 【図 8】発光装置の作製方法を示す図。
 【図 9】発光装置の作製方法を示す図。
 【図 10】発光装置の作製方法を示す図。
 【図 11】発光装置の画素の上面図。
 【図 12】発光装置の作製方法を示す図。
 【図 13】発光装置の外観図及び断面図。
 【図 14】本発明の発光装置を用いた電子機器の図。
 【図 15】一般的な発光装置の画素の回路図。
 【図 16】一般的な発光装置の画素の構成を簡単に示す図。
 【図 17】本発明の発光装置の画素の回路図。

10

【図 1】

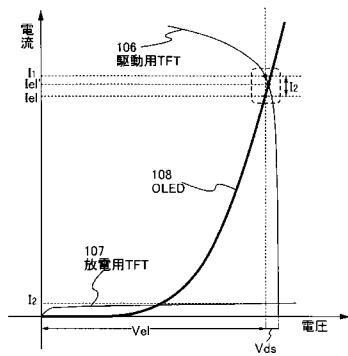


【図 2】

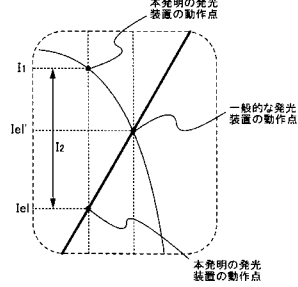


【図 3】

(A)

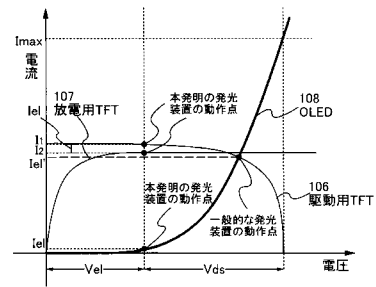


(B)

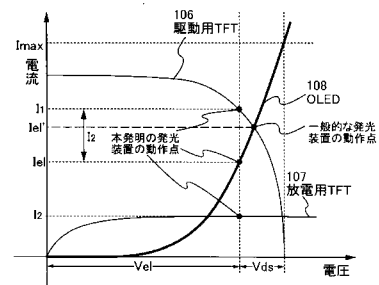


【図 4】

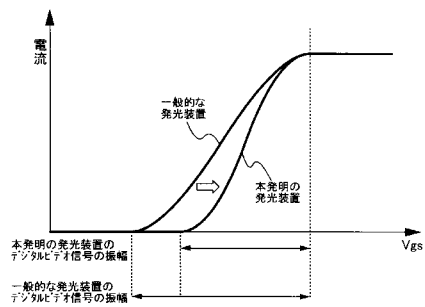
(A)



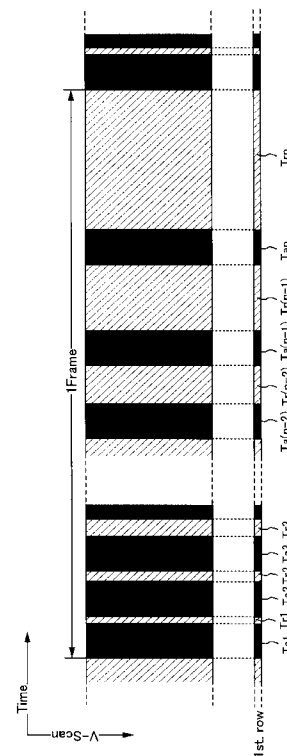
(B)



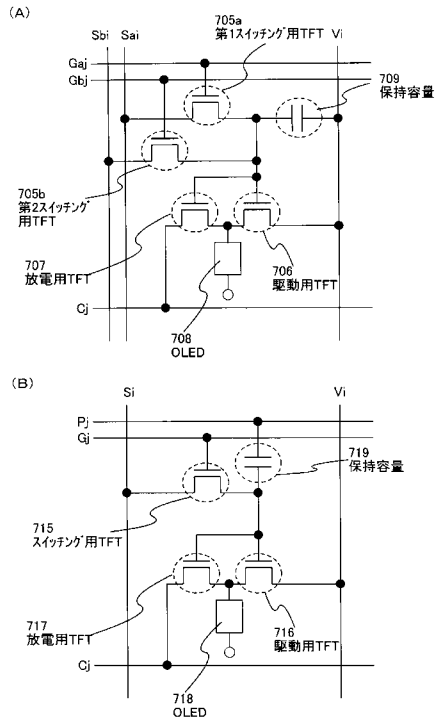
【図 5】



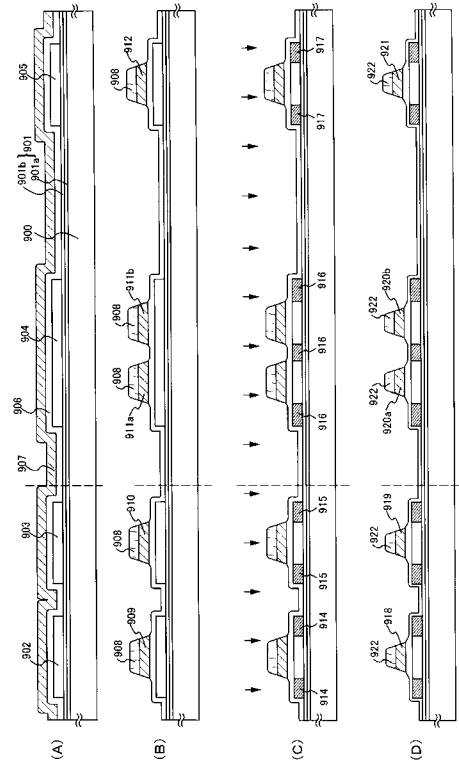
【図 6】



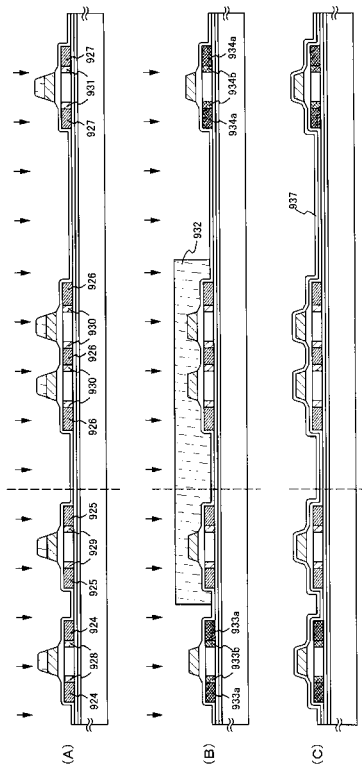
【図 7】



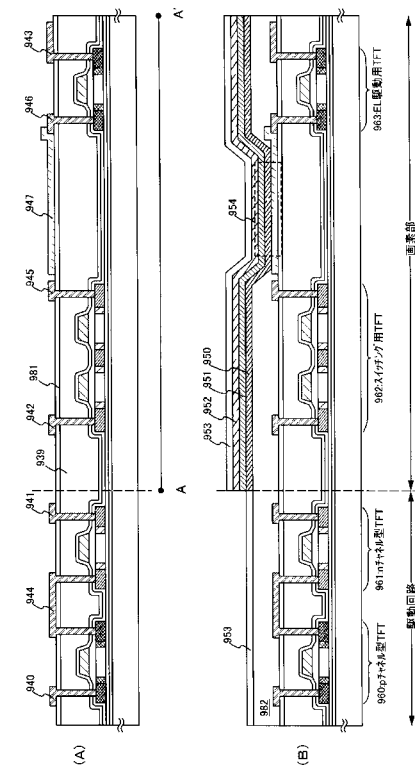
【図 8】



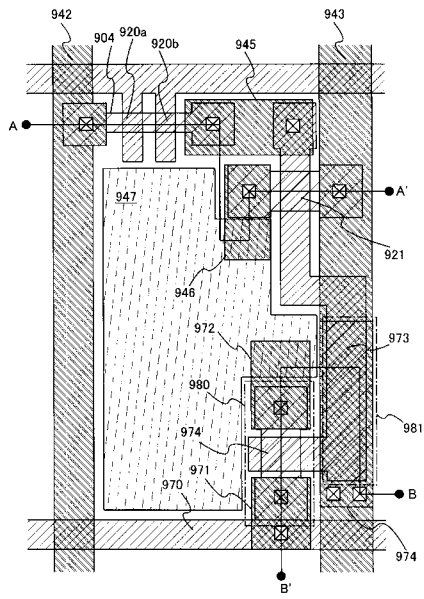
【図 9】



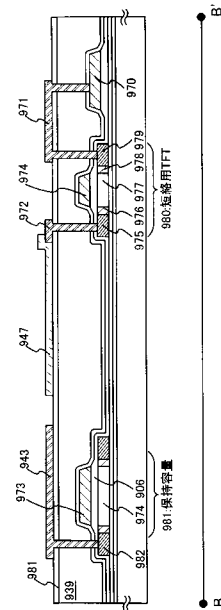
【図 10】



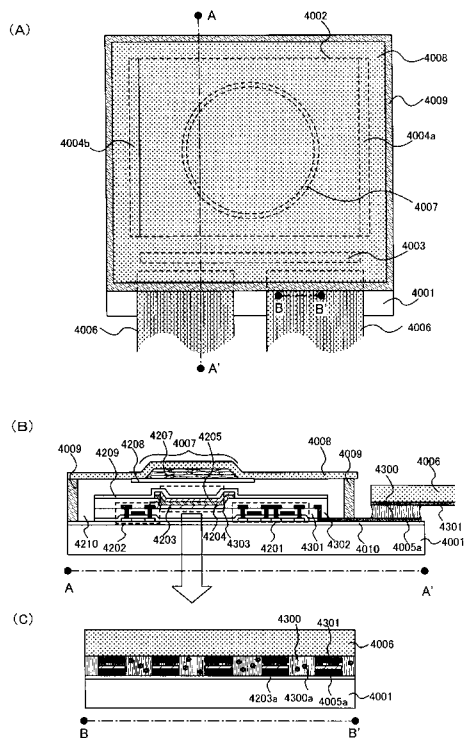
【図 1 1】



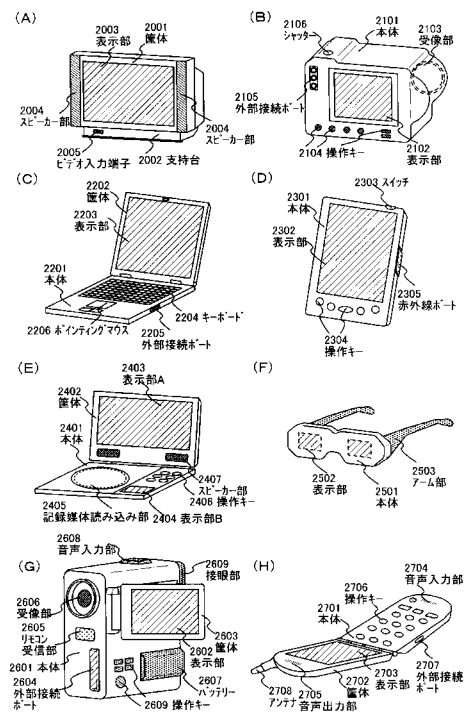
【図 1 2】



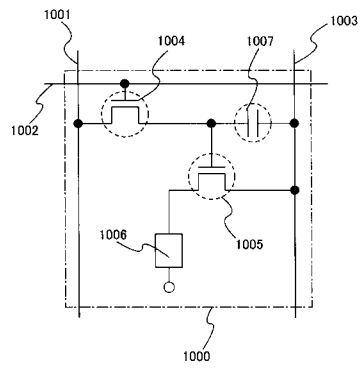
【図 1 3】



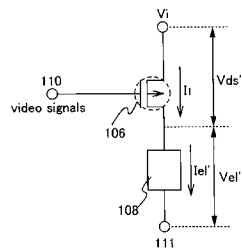
【図 1 4】



【図 15】

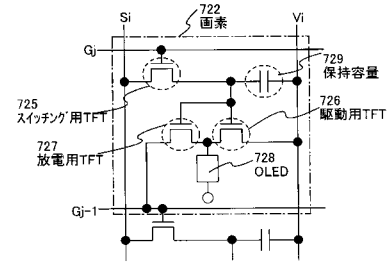


【図 16】

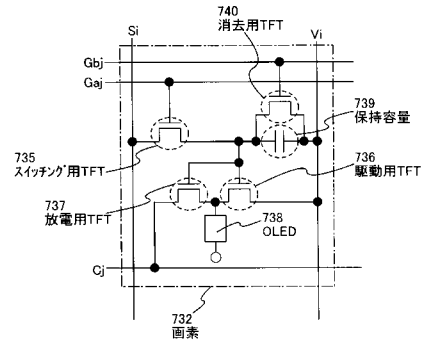


【図 17】

(A)



(B)



专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP2007179066A	公开(公告)日	2007-07-12
申请号	JP2007031491	申请日	2007-02-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村 肇		
发明人	木村 肇		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.641.E H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380 5C380/AA01 5C380/AB06 5C380/AB08 5C380/AB09 5C380/AB11 5C380/AB18 5C380/AB31 5C380/AB32 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA05 5C380/BA10 5C380/BA12 5C380/BB09 5C380/BB23 5C380/BC18 5C380/CA08 5C380/CA14 5C380/CB01 5C380/CB17 5C380/CB19 5C380/CB26 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC34 5C380/CC38 5C380/CC41 5C380/CC42 5C380/CC51 5C380/CC62 5C380/CC63 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/DA09 5C380/DA47		
优先权	2001044367 2001-02-21 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止由于驱动TFT的截止电流导致的OLED发光，抑制对比度劣化并显示美丽图像的发光器件。 解决方案：在具有第一TFT，第二TFT，第三TFT，存储电容器和像素电极的显示装置中，第一TFT的源极和漏极中的一个是第一TFT另一个电连接到像素电极，第二TFT的源极或漏极之一电连接到像素电极，另一个电连接到第二布线第三TFT的源极和漏极之一电连接到存储电容器，另一个电连接到第三布线，存储电容器电连接到第四布线，第三TFT的栅极电连接到第五布线。 点域7

