

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-148129

(P2007-148129A)

(43) 公開日 平成19年6月14日(2007.6.14)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 641D	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2005-344207 (P2005-344207)
 (22) 出願日 平成17年11月29日 (2005.11.29)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

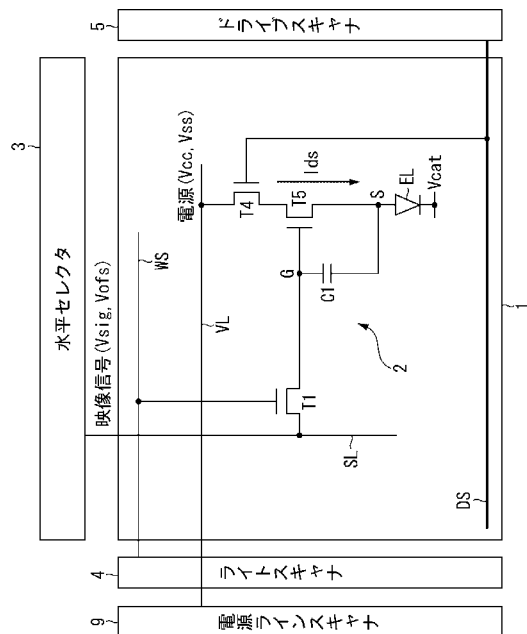
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 発光素子の経時劣化やドライブトランジスタの特性ばらつきを補正可能で、且つ画素回路の構成素子数を可能な限り少なくした表示装置を提供する。

【解決手段】 表示装置は、画素アレイ部1とスキャナ部4、5と信号部3とを含む。各画素2は、サンプリングトランジスタT1と画素容量C1とドライブトランジスタT5と発光素子ELとドライブトランジスタT5を電源ラインVLに接続するスイッチングトランジスタT4とを含む。スキャナ部4、5は、第1走査線WS及び第2走査線DSに夫々制御信号を出力し、サンプリングトランジスタT1及びスイッチングトランジスタT4をオンオフ制御して、ドライブトランジスタT5の閾電圧に対する依存性をキャンセルするため画素容量C1に補正をかける補正動作と、補正された画素容量C1に映像信号を書き込むサンプリング動作とを実行する。

【選択図】 図14



【特許請求の範囲】

【請求項 1】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、第 1 走査線及び第 2 走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源ラインに接続するスイッチングトランジスタとを含み、

前記サンプリングトランジスタは、第 1 走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スイッチングトランジスタは、第 2 走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源ラインに接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源ラインから切り離し、

前記スキャナ部は、該第 1 走査線及び第 2 走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性をキャンセルするため該画素容量に補正をかける補正動作と、補正された該画素容量に該映像信号の信号電位を書き込むサンプリング動作とを実行することを特徴とする表示装置。

【請求項 2】

前記信号部は、該補正動作と該サンプリング動作に合わせて、該映像信号を固定電位と信号電位との間で切り替え、以って該補正動作と該サンプリング動作に必要な電位を各画素に信号線を介して供給することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記信号部は、該補正動作に合わせて該固定電位を信号線に供給し、その後該サンプリング動作に合わせて該信号電位に切り替えることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記電源ラインは、該第 1 走査線及び第 2 走査線と並行して画素アレイ部に配されており、

前記スキャナ部は、該電源ラインを走査線と同様に走査する電源ラインスキャナを含んでおり、以って該補正動作に必要な電位を各画素に該電源ラインを介して供給することを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記電源ラインスキャナは、該補正動作が行われる期間に該電源ラインから供給する電源電位を、該発光期間に供給する通常の電源電位から切り替え、以って該補正動作に必要な電位を各画素に該電源ラインを介して供給することを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記スキャナ部は、当該画素の行に割り当てられた水平走査期間で該第 1 走査線及び第 2 走査線に夫々制御信号を出力し、以って該水平走査期間内で該補正動作と該サンプリング動作とを実行することを特徴とする請求項 1 記載の表示装置。

【請求項 7】

10

20

30

40

50

画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源ラインに接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、

前記サンプリングトランジスタが、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、

前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スイッチングトランジスタが、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源ラインに接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源ラインから切り離し、

前記スキャナ部が、該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性をキャンセルするため該画素容量に補正をかける補正動作と、補正された該画素容量に該映像信号の信号電位を書き込むサンプリング動作とを実行することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して画像を表示するフラットパネル型の表示装置及びその駆動方法に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL素子などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

10

20

30

40

50

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

10

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

20

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一樣性(ユニフォームリティ)が得られるはずである。

30

【0007】

しかしながら実際には、発光素子の電流-電圧特性が経時的に劣化するため、この影響を受けて発光素子の輝度が変化してしまう。従来の画素回路は、発光素子の電流-電圧特性($I-V$ 特性)の変動を吸収もしくは補正することが出来ず、解決すべき課題となっている。

40

【0008】

より重要な問題は、ポリシリコンなどの半導体薄膜で形成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがあることである。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォームリティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

50

【0009】

しかしながら、閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ従来の画素回路は構成が複雑であり、画素の微細化もしくは高精細化の障害になっていた。又従来の閾電圧補正機能を備えた画素回路は、構成素子数が比較的多いため歩留りの低下を招いていた。

【課題を解決するための手段】

【0010】

上述した従来の技術の課題に鑑み、本発明は発光素子の経時劣化やドライブトランジスタの特性ばらつきを補正可能で、且つ画素回路の構成素子数を可能な限り少なくしたアクティブマトリクス型の表示装置及びその駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、画素アレイ部とスキャナ部と信号部とを含む。前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査する。各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源ラインに接続するスイッチングトランジスタとを含む。前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源ラインに接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源ラインから切り離す。前記スキャナ部は、該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性をキャンセルするため該画素容量に補正をかける補正動作と、補正された該画素容量に該映像信号の信号電位を書き込むサンプリング動作とを実行する。

【0011】

具体的に前記信号部は、該補正動作と該サンプリング動作に合わせて、該映像信号を固定電位と信号電位との間で切り替え、以って該補正動作と該サンプリング動作に必要な電位を各画素に信号線を介して供給する。この場合前記信号部は、該補正動作に合わせて該固定電位を信号線に供給し、その後該サンプリング動作に合わせて該信号電位に切り替える。

【0012】

前記電源ラインは、該第1走査線及び第2走査線と並行して画素アレイ部に配されており、前記スキャナ部は該電源ラインを走査線と同様に走査する電源ラインスキャナを含んでおり、以って該補正動作に必要な電位を各画素に該電源ラインを介して供給する。この場合前記電源ラインスキャナは、該補正動作が行われる期間に該電源ラインから供給する電源電位を、該発光期間に供給する通常の電源電位から切り替え、以って該補正動作に必要な電位を各画素に該電源ラインを介して供給する。好ましくは、前記スキャナ部は、当該画素の行に割り当てられた水平走査期間で該第1走査線及び第2走査線に夫々制御信号を出力し、以って該水平走査期間内で該補正動作と該サンプリング動作とを実行する。

【0013】

又本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素

とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源ラインに接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、前記サンプリングトランジスタが、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートとソース間に入力電圧を印加し、前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スイッチングトランジスタが、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源ラインに接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源ラインから切り離し、前記スキャナ部が、該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性をキャンセルするため該画素容量に補正をかける補正動作と、補正された該画素容量に該映像信号の信号電位を書き込むサンプリング動作とを実行する。

10

【発明の効果】

【0014】

20

本発明によれば、表示装置の画素アレイ部を線順次走査するスキャナ部は、各画素に含まれるサンプリングトランジスタとスイッチングトランジスタをオンオフ制御して、ドライブトランジスタの閾電圧補正動作と、映像信号サンプリング動作を実行している。この様に本表示装置は各画素に含まれるドライブトランジスタの閾電圧のばらつきを抑えることが出来るため、むらやざらつきのない均一な画質を得ることが出来る。また各画素に含まれる画素容量は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタのゲートとソース間に入力電圧を印加している。画素容量によってドライブトランジスタのゲート/ソース間電圧は一定値に保たれているので、ドライブトランジスタは定電流源として動作し、発光素子に流れる電流は変化しない。よって発光素子のI-V特性が劣化しても、常に一定電流が流れ続け発光素子の輝度が変化することはない。この様にドライブトランジスタの特性ばらつきや発光素子のI-V特性の経時劣化に対処可能な画素回路は、サンプリングトランジスタとドライブトランジスタとスイッチングトランジスタと画素容量とで構成されている。本発明の表示装置に含まれる画素回路は3個のトランジスタと1個の容量素子からなり、計4個の素子で構成されている。本発明の画素回路は3個のトランジスタと1つの画素容量という少ない素子数で形成されているため、高精細化及び高歩留り化が期待できる。この結果本発明の表示装置はRGB3画素当り3本のゲートラインと3本の電源ラインで構成できるため、各画素に対して電源ライン及びゲートラインの占める割合を小さくすることができ、高精細化及び高歩留り化が期待できる。

30

【発明を実施するための最良の形態】

【0015】

40

以下図面を参照して本発明の実施の形態を詳細に説明する。まず本発明の背景を明らかにするため図1を参照してアクティブマトリクス型表示装置の一般的な構成を説明する。図示する様にこの表示装置は、画素アレイ1と水平セクタ3とライトスキャナ4とで構成されている。画素アレイ1は1枚のパネルに集積形成される。水平セクタ3とライトスキャナ4はパネルに内蔵される場合と外付けされる場合とがある。画素アレイ1は行状に配列した走査線WSと列状に配列した信号線SLと両者の交差部に配された画素回路2とで構成されている。走査線WSはライトスキャナ4に接続されており、順次制御信号を出力して、画素回路2を行単位で順次選択する。水平セクタ3は各信号線SLに接続されており、選択された画素回路2に映像信号を書き込む。

【0016】

50

図2は、図1に示した画素回路2の一例を示す回路図である。この画素回路2は最も単純な構成を有しており、2個のトランジスタT1、T5と1個の画素容量C1と1個の発光素子ELとで構成されている。サンプリングトランジスタT1はNチャンネル型の薄膜トランジスタである。ドライブトランジスタT5はPチャンネル型の薄膜トランジスタである。画素容量C1は薄膜容量である。発光素子ELは例えば有機EL薄膜を発光層とする2端子素子(ダイオード)である。これらの素子T1、T5、C1、ELはパネルを構成する絶縁基板の上に集積形成される。

【0017】

サンプリングトランジスタT1は信号線SLとドライブトランジスタT5のゲートとの間に接続されている。サンプリングトランジスタT1のゲートは走査線WSを介してライトスキャナ4に接続されている。ドライブトランジスタT5のゲートには、画素容量C1が接続されている。ドライブトランジスタT5のソースは電源Vccに接続されている。ドライブトランジスタT5のドレインは発光素子ELのアノードに接続されている。発光素子ELのカソードは接地されている。

10

【0018】

サンプリングトランジスタT1は水平走査期間になるとライトスキャナ4から制御信号が印加され、導通状態になる。これによりサンプリングトランジスタT1は水平セクタ3から信号線SLに供給された映像信号をサンプリングし、画素容量C1に書き込む。ドライブトランジスタT5は画素容量C1に書き込まれた映像信号に応じてドレイン電流Idsを発光素子ELに供給する。これにより、発光素子ELは映像信号に応じた輝度で発光する。

20

【0019】

図2に示した方式では、ドライブトランジスタのゲート印加電圧Vgsを映像信号に応じて変化させることで、発光素子ELに流れる出力電流Idsをコントロールしている。本例ではPチャンネル型のサンプリングトランジスタT5のソースは電源Vccに接続されており、常に飽和領域で動作するように設計されているので、前述の式1にしたがって動作する定電流源となる。即ちこのPチャンネル型のドライブトランジスタT5は、発光素子EL側に接続されたドレインの電位に依存することなく、常にゲートとソース間の電圧Vgsに従って一定の出力電流Idsを発光素子ELに供給できる。

30

【0020】

図3は、発光素子ELのI-V特性を示すグラフである。有機EL素子などによって代表される発光素子は、I-V特性が経時的に変化する傾向があり、実線が初期状態を表す一方点線が経時変化後のI-V特性を表している。グラフで電圧Vはアノード電圧である。図2と対応させると、このアノード電圧VはドライブトランジスタT5のドレイン電圧となっている。一方電流Iは、ドライブトランジスタT5から供給される出力電流Idsである。前述したように、図2の画素回路2はドライブトランジスタT5がドレイン電圧に依存することなく、常に一定の出力電流Idsを発光素子ELに供給できる。したがって発光素子ELのI-V特性が経時的に変化しても、この影響を受けることなく定電流を供給することが可能である。したがって、発光素子ELには輝度の変化が生じない。

40

【0021】

図4は、従来の画素回路2の他の例を示す回路図である。理解を容易にするため、図2に示した先の従来例と対応する部分には対応する参照番号を付してある。異なる点は、ドライブトランジスタT5がPチャンネル型ではなくNチャンネル型となっていることである。この場合、ドライブトランジスタT5のソース側が発光素子ELのアノード側と接続することになる。したがってソース電位が発光素子ELのI-V特性の経時変化に影響を受けて変動することになる。発光素子の経時変化と共にゲート/ソース間電圧Vgsが変化してしまう。これにより発光素子ELに流れる出力電流Idsの量が変化し、発光輝度が変わってしまう。これに加え、ドライブトランジスタT5は個々の画素回路毎に閾電圧Vthがばらついている。したがって、前述の式1に示すように、ドレイン電流IdsはVgsやVthの変動によってばらつきが生じ、発光輝度が画素毎に変化してしまう。

50

【0022】

発光素子の経時劣化やドライブトランジスタの特性ばらつきを補正する表示装置が出願人によって既に開発されており、その先行開発例を図5に示す。図示する様に本表示装置は、画素アレイ1と水平セレクタ3とライトスキャナ4とドライブスキャナ5と補正用スキャナ7と第2補正用スキャナ8とで構成されている。画素アレイ1はマトリクス状に配された画素回路2を含んでいる。図示を簡略化するため、1個の画素回路2を表してある。この画素回路2は5個のトランジスタT1ないしT5と1個の画素容量C1と1個の発光素子ELとで構成されており、比較的素子数が多い。またこの画素回路2を駆動するラインは、走査線がWS, DS, AZ, AZ2の4本、信号線SLが1本、電源ラインがVcc, Vss, Vofs, Vcatの4本で、比較的多い。制御ラインは計9本もあり、画素の占める面積を圧迫している。なお走査線WSはライトスキャナ4によって走査され、DSはドライブスキャナ5によって走査され、AZは補正用スキャナ7によって制御され、AZ2は第2補正用スキャナ8によって制御される。信号線SLには水平セレクタ3から入力信号(Vsig)が供給される。本例は全てのトランジスタT1ないしT5がNチャンネル型である。中心となるドライブトランジスタT5のソースSは発光素子ELのアノードに接続されている。発光素子ELのカソードはVcatに接続されている。ドライブトランジスタT5のドレインはスイッチングトランジスタT4を介してVccに接続している。スイッチングトランジスタT4のゲートは走査線DSに接続している。ドライブトランジスタT5のゲートGはサンプリングトランジスタT1を介して信号線SLに接続している。サンプリングトランジスタT1のゲートは走査線WSに接続している。ドライブトランジスタT5のゲートGはスイッチングトランジスタT3を介してVofsに接続している。スイッチングトランジスタT3のゲートは走査線AZ2に接続している。ドライブトランジスタT5のゲートGとソースSの間には画素容量C1が接続されている。ドライブトランジスタT5のソースSはスイッチングトランジスタT2を介してVssに接続している。スイッチングトランジスタT2のゲートは走査線AZに接続している。

10

20

【0023】

図6は、図5に示した画素回路2の動作説明に供するタイミングチャートである。時間軸Jに沿ってトランジスタT1ないしT4のオン/オフの変化を表している。T1ないしT4のオン/オフ制御は、それぞれ対応する走査線を介して対応するスキャナによって行われる。このタイミングチャートはドライブトランジスタT5のゲートGとソースSの電位変化も合わせて表してある。タイミングJ1に入る前はトランジスタT4がオンしているため、発光素子ELにはドライブトランジスタT5を介して出力電流が供給され発光状態にある。

30

【0024】

タイミングJ1になるとトランジスタT3がオンし、ドライブトランジスタT5のゲートGがVofsまで低下する。またスイッチングトランジスタT2がオンするため、ドライブトランジスタT5のソースSはVssまで低下する。Vssは発光素子ELの閾電圧Vthelよりも低いので、発光素子ELには電流が流れず非発光期間に入る。またVofsとVssの電位差はドライブトランジスタT5の閾電圧Vthよりも大きい。この様に画素容量C1の両端の電位を設定することで、閾電圧補正動作の準備が行われる。

40

【0025】

タイミングJ2でスイッチングトランジスタT2がオフする。これによりドライブトランジスタT5のソースSがVssから切り離され、上昇を始める。ドライブトランジスタT5から画素容量C1に電流が流れ込み、両端の電圧Vgsが丁度ドライブトランジスタT5の閾電圧Vthに等しくなったところでカットオフする。この結果画素容量C1の両端にはドライブトランジスタT5の閾電圧Vthに相当する電圧が書き込まれる。以上により閾値キャンセル動作が行われた。

【0026】

タイミングJ3でスイッチングトランジスタT4をオフしさらにタイミングJ4でスイッチングトランジスタT3もオフする。この時点でトランジスタT1ないしT4は全てオ

50

フとなる。

【0027】

タイミングJ5でサンプリングトランジスタT1がオンし、信号線SLから供給された映像信号VsigがドライブトランジスタT5のゲートGに書き込まれる。当該画素回路2に割り当てられた水平走査期間(1H)が経過するタイミングJ6でサンプリングトランジスタT1はオフする。この期間J5-J6で信号書き込みが行われた。

【0028】

この後タイミングJ7に進みスイッチングトランジスタT4がオンする。これによりドライブトランジスタT5は電源Vccに接続されるので出力電流を供給する。この出力電流の値は画素容量C1に保持された入力電圧Vgsによって一定に制御される。ドライブトランジスタT5のソースSの電位が上昇し始め、発光素子ELの閾電圧Vthelを超えた時点で発光が始まる。ブートストラップ効果で、ソース電位の上昇に伴いこれと連動してドライブトランジスタT5のゲート電位も上昇する。ドライブトランジスタT5のゲート/ソース間電圧Vgsは、常に画素容量C1によって一定に保持されている。

10

【0029】

以下図7ないし図13を参照して、図5及び図6に示した先行開発にかかる画素回路の動作を詳細に説明する。まず、発光素子ELの発光状態は図7のようにスイッチングトランジスタT4のみがオンした状態である。この時ドライブトランジスタT5は飽和領域で動作するように設定されているため、発光素子ELに流れる電流IdsはドライブトランジスタT5のゲート/ソース間電圧Vgsに応じて特性式1に示される値をとる。

20

【0030】

次に非発光期間においてスイッチングトランジスタT3、スイッチングトランジスタT2をオンする。この時、ドライブトランジスタT5のゲート電圧はVofs、ソース電圧はVssという値に充電される。ドライブトランジスタT5のゲート/ソース間電圧はVofs-Vssという値をとり、それに応じた電流Ids'がVccからVssに流れる。(図8)ここで、発光素子ELを非発光とするために、発光素子ELにかかる電圧Velを発光素子ELの閾電圧Vthelとカソード電圧Vcatの和よりも小さくなるようにVofsとVssの電圧を設定する必要がある。また、スイッチングトランジスタT3、スイッチングトランジスタT2はどちらが先にオンしてもよい。

30

【0031】

さらにスイッチングトランジスタT2をオフ状態とする(図9)。発光素子ELの等価回路は図10に示されるようにダイオードTelと容量Celで表されるため、VelVcat+Vthel(発光素子ELのリーク電流がドライブトランジスタT5に流れる電流よりもかなり小さい)である限り、ドライブトランジスタT5の電流は画素容量C1と発光素子容量Celを充電するために使われる。この時発光素子のアノード電圧Vel(即ちドライブトランジスタのソース電圧)は時間と共に図11のように上昇して行く。一定時間経過後、ドライブトランジスタT5のゲート/ソース間電圧はVthという値をとる。この時、Vel=Vofs-VthVcat+Vthelとなっている。

【0032】

閾値キャンセル動作終了後スイッチングトランジスタT4、スイッチングトランジスタT3をオフする。スイッチングトランジスタT4をスイッチングトランジスタT3よりも先にオフすることでドライブトランジスタT5のゲート電圧の変動を抑えることが可能となる。次に、サンプリングトランジスタT1をオンしてドライブトランジスタT5のゲート電圧を信号電圧Vsigとする(図12)。この時、ドライブトランジスタT5のゲート/ソース間電圧は画素容量C1、発光素子ELの寄生容量Cel、ドライブトランジスタT5の寄生容量C2によって以下の式2のように決定される。しかし、発光素子容量Celは画素容量C1及び寄生容量C2に比べて大きいためドライブトランジスタT5のゲート/ソース間電圧VgsはほぼVsig+Vthとなる。但し簡便のため、Vofs=0とした場合である。

40

【数 1】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_1 + C_2} (V_{sig} - V_{ofs}) + V_{th}$$

式 2

【0033】

10

書き込みが終了した後にスイッチングトランジスタ T4 をオンしてドライブトランジスタ T5 のドレイン電圧を電源電圧 Vcc まで上昇させる。ドライブトランジスタ T5 のゲート/ソース間電圧は一定であるのでドライブトランジスタ T5 は一定電流 I_{ds} を発光素子 EL に流し、 V_{el} は発光素子 EL に I_{ds} という電流が流れる電圧 V_x まで上昇し、発光素子 EL は発光する (図 13)。

【0034】

本回路においても発光素子 EL は発光時間が長くなるとその I - V 特性は変化してしまう。そのため図中 B 点の電位も変化する。しかしながら、ドライブトランジスタ T5 のゲート/ソース間電圧は一定値に保たれているので発光素子 EL に流れる電流は変化しない。よって発光素子 EL の I - V 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、発光素子 EL の輝度が変化することはない。

20

【0035】

ここでこの先行開発にかかる画素回路における電源ライン、ゲートラインについて考える。本画素回路では RGB トリオあたり電源ラインは Vcc、Vofs、Vss、Vsig の 12 本、ゲートラインは WS、AZ、AZ2、DS の 4 本で構成されているため、画素に対して電源ライン、ゲートラインの占める割合が多い。ゆえにパネルの高精細化、高歩留まり化という点では難しい。

【0036】

本発明では上記問題点を対策するために、図 14 に示す回路構成をとる。本回路構成は 1 画素あたり 3 トランジスタと 1 容量で構成されており、電源ラインが RGB トリオあたり 3 本のゲートライン、3 本の電源ラインとなっている。

30

【0037】

図示する様に本実施形態にかかる表示装置は、画素アレイ部 1 とスキャナ部と信号部とを含む。スキャナ部はライトスキャナ 4 とドライブスキャナ 5 と電源ラインスキャナ 9 とで構成されている。信号部は水平セレクタ 3 で構成されている。画素アレイ部 1 は、行状に配された走査線 WS、DS と列状に配された信号線 SL と両者が交差する部分に配された行列状の画素回路 2 とからなる。信号部を構成する水平セレクタ 3 は信号線 SL に映像信号 Sig を供給する。スキャナ部を構成するライトスキャナ 4 は第 1 走査線 WS に制御信号 WS を供給し、同じくスキャナ部に含まれるドライブスキャナ 5 は第 2 走査線 DS に制御信号 DS を供給し、以って順次行毎に画素回路 2 を走査する。各画素回路 2 は、サンプリングトランジスタ T1 と、これに接続する画素容量 C1 と、これに接続するドライブトランジスタ T5 と、これに接続する発光素子 EL と、ドライブトランジスタ T5 を電源ライン VL に接続するスイッチングトランジスタ T4 とを含む。サンプリングトランジスタ T1 は第 1 走査線 WS から供給される制御信号 WS に応じ導通して信号線 SL から供給された映像信号 Sig の信号電位 Vsig を画素容量 C1 にサンプリングする。画素容量 C1 はサンプリングされた映像信号 Sig の信号電位 Vsig に応じてドライブトランジスタ T5 のゲート G とソース S 間に入力電圧 Vgs を印加する。ドライブトランジスタ T5 は、入力電圧 Vgs に応じた出力電流 Ids を発光素子 EL に供給する。この出力電流 Ids はドライブトランジスタ T5 の閾電圧 Vth に対して依存性を有する。発光素子 EL はドライブトランジスタ T5 のソース S とカソード電位 Vcat の間に接続されており

40

50

、発光期間中ドライブトランジスタT5から供給される出力電流 I_{ds} により映像信号 S_{ig} の信号電位 V_{sig} に応じた輝度で発光する。スイッチングトランジスタT4は、第2走査線DSから供給される制御信号DSに応じ導通して発光期間中ドライブトランジスタT5を電源ラインVLに接続し、非発光期間では非導通状態になってドライブトランジスタT5を電源ラインVLから切り離す。

【0038】

本発明の特徴事項としてスキャナ部を構成するライトスキャナ4とドライブスキャナ5は、第1走査線WS及び第2走査線DSにそれぞれ制御信号WS, DSを出力し、サンプリングトランジスタT1及びスイッチングトランジスタT4をオンオフ制御して、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性をキャンセルするため画素容量C1に補正をかける補正動作と、補正された画素容量C1に映像信号 S_{ig} の信号電位 V_{sig} を書き込むサンプリング動作とを実行する。この場合、信号部を構成する水平セレクタ3は、この補正動作とサンプリング動作に合わせて、映像信号 S_{ig} を固定電位 V_{ofs} と信号電位 V_{sig} との間で切り換え、以って補正動作とサンプリング動作に必要な電位を各画素回路2に信号線SLを介して供給する。具体的には、水平セレクタ3は、補正動作に合わせて固定電位 V_{ofs} を信号線SLに供給し、その後サンプリング動作に合わせて信号電位 V_{sig} に切り換える。

10

【0039】

電源ラインVLは第1走査線WS及び第2走査線DSと並行して画素アレイ部1に配されている。前述したようにスキャナ部は、電源ラインVLを走査線WS, DSと同様に走査する電源ラインスキャナ9を含んでおり、以って補正動作に必要な電位 V_{cc} , V_{ss} を各画素回路2に電源ラインVLを介して供給する。具体的には、この電源ラインスキャナ9は、補正動作が行われる期間に電源ラインVLから供給する電源電位 V_{ss} を、発光期間に供給する通常の電源電位 V_{cc} から切り換え、以って補正動作に必要な電位を各画素回路2に電源ラインVLを介して供給している。本実施形態ではスキャナ部は、当該画素の行に割り当てられた水平走査期間で第1走査線WS及び第2走査線DSにそれぞれ制御信号を出力し、以って水平走査期間内で前述した補正動作とサンプリング動作を実行している。

20

【0040】

図15は、図14に示した表示装置の動作説明に供するタイミングチャートである。時間軸Jに沿ってサンプリングトランジスタT1及びスイッチングトランジスタT4のオンオフ変化を表してある。合わせて電源ラインVLに現れる電源電圧の変化と、信号線SLに現れる信号電圧の変化も示してある。加えてドライブトランジスタT5のゲートGとソースSの電位変化も示してある。

30

【0041】

図示する様にタイミングJ1までとタイミングJ8以降が発光期間であり、その間のタイミングJ1~J8までが非発光期間となっている。タイミングJ4~J5までの間が閾値キャンセル期間で閾電圧補正動作を行っている。またタイミングJ6~J7が信号書き込み期間で前述したサンプリング動作を行っている。加えてタイミングJ1~J4までが補正のための準備期間となっている。

40

【0042】

まずタイミングJ1でスイッチングトランジスタT4がオフする。これによりドライブトランジスタT5が電源電位 V_{cc} から切り離されるので、そのゲートGとソースSの電位が低下する。ソースSの電位は丁度発光素子ELのカソード電位 V_{cat} に閾電圧 V_{thel} を足したレベルになる。タイミングJ2で電源電位が V_{cc} から V_{ss} に切り換えられた後、タイミングJ3でサンプリングトランジスタT1とスイッチングトランジスタT4がオンする。この時電源電位は引き続き V_{ss} で信号線SLは所定の固定電位 V_{ofs} になっている。サンプリングトランジスタT1がオンすることでドライブトランジスタT5のゲートGには固定電位 V_{ofs} が書き込まれる。またスイッチングトランジスタT4がオンすることで、ドライブトランジスタT5のソースSは V_{ss} まで低下する。

50

【 0 0 4 3 】

この後タイミング J 4 で電源電圧が V_{ss} から V_{cc} に切換る。これによりドライブトランジスタ T 5 から電流が画素容量 C 1 に流れ込み、ソース S の電位が上昇し始める。なおこの時点で発光素子 E L は逆バイアス状態にあるため、発光しない。ドライブトランジスタ T 5 のゲート G / ソース S 間電圧が丁度 V_{th} になったところでドライブトランジスタ T 5 がカットオフする。よって閾電圧 V_{th} に相当する電圧が画素容量 C 1 に書き込まれる。

【 0 0 4 4 】

この後タイミング J 5 でスイッチングトランジスタ T 4 がオフした後タイミング J 6 で信号線 S L が固定電位 V_{ofs} から信号電位 V_{sig} に切換る。この時サンプリングトランジスタ T 1 は引き続きオン状態なので、信号電位 V_{sig} が閾電圧 V_{th} に足し込まれる形で画素容量 C 1 に書き込まれる。タイミング J 7 でサンプリングトランジスタ T 1 がオフし、信号書き込み動作が完了する。この後タイミング J 8 でスイッチングトランジスタ T 4 がオンし、発光期間に入る。

【 0 0 4 5 】

以下図 1 6 ~ 図 2 1 を参照して、図 1 4 及び図 1 5 に示した本発明にかかる画素回路の動作を詳細に説明する。まず、発光素子 E L の発光状態は図 1 6 に示すようにスイッチングトランジスタ T 4 のみがオンした状態である。この時ドライブトランジスタ T 5 は飽和領域で動作するように設計されているため、発光素子 E L に流れる電流値はドライブトランジスタ T 5 のゲート / ソース間電圧 V_{gs} に応じて特性式 1 に表される値をとる。

【 0 0 4 6 】

次に非発光期間においてスイッチングトランジスタ T 4 をオフする (図 1 7)。スイッチングトランジスタ T 4 をオフすることで電源電圧からカソードに電流が供給されなくなるので発光素子 E L は消光し、ドライブトランジスタ T 5 のソース電圧はカソード電圧 V_{cat} と発光素子 E L の閾値電圧 V_{thel} の和、つまり $V_{cat} + V_{thel}$ という値となる。

【 0 0 4 7 】

その後電源電圧を V_{ss} 、信号電圧を V_{ofs} としてサンプリングトランジスタ T 1、スイッチングトランジスタ T 4 をオンする (図 1 8)。サンプリングトランジスタ T 1 をオンすることでドライブトランジスタ T 5 のゲート電圧は V_{ofs} という値に充電される。また、 V_{ss} が $V_{cat} + V_{thel}$ よりも小さいので、図中 A 点がドライブトランジスタ T 5 のソース電位となり、B 点はドレインとなる。また $V_{ofs} - V_{ss}$ がドライブトランジスタ T 5 の閾値電圧 V_{th} よりも大きいので、電流は図のように流れ B 点の電位は V_{ss} という値に充電される。ここで V_{ss} がカソード電圧 V_{cat} と発光素子 E L の閾値電圧 V_{thel} の和 $V_{cat} + V_{thel}$ よりも小さいので、つまり $V_{ss} < V_{thel} + V_{cat}$ であるので、発光素子 E L は発光することはない。

【 0 0 4 8 】

この状態で更に電源電圧を V_{cc} とする (図 1 9)。この動作で図中 B 点は再びドライブトランジスタ T 5 のソース電圧、A 点はドレイン電圧となる。発光素子 E L の等価回路は図に示されるようにダイオード T_{el} と容量 C_{el} で表されるため、 $V_{el} = V_{cat} + V_{thel}$ (発光素子 E L のリーク電流がドライブトランジスタ T 5 に流れる電流よりもかなり小さい) である限り、ドライブトランジスタ T 5 の電流は画素容量 C 1 と発光素子容量 C_{el} を充電するために使われる。この時 V_{el} は時間と共に上昇して行く。一定時間経過後、ドライブトランジスタ T 5 のゲート / ソース間電圧は V_{th} という値をとる。この時、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ となっている。

【 0 0 4 9 】

一定時間経過後スイッチングトランジスタ T 4 をオフし、次に信号線を V_{sig} としてドライブトランジスタ T 5 のゲートに所望の信号電圧を書き込む (図 2 0)。この時、ドライブトランジスタ T 5 のゲート / ソース間電圧は画素容量 C 1、発光素子 E L の寄生容量 C_{el} 、トランジスタ T 5 の寄生容量 C 2 によって先の式 2 のように決定される。しか

10

20

30

40

50

し、発光素子容量 C_{e1} は画素容量 C_1 や寄生容量 C_2 に比べて大きいためにドライブトランジスタ T_5 のゲート/ソース間電圧 V_{gs} はほぼ $V_{sig} + V_{th}$ となる。

【0050】

書き込みが終了した後にサンプリングトランジスタ T_1 をオフ、スイッチングトランジスタ T_4 をオンとしてドライブトランジスタのドレイン電圧を電源電圧 V_{cc} まで上昇させる。ドライブトランジスタ T_5 のゲート/ソース間電圧は一定であるのでドライブトランジスタ T_5 は一定電流 $I_{ds'}$ を発光素子 EL に流し、 V_{e1} は発光素子 EL に $I_{ds'}$ という電流が流れる電圧 V_x まで上昇し、発光素子 EL は発光する(図21)。

【0051】

本回路においても発光素子 EL は発光時間が長くなるとその $I-V$ 特性は変化してしまう。そのため図中 B 点の電位も変化する。しかしながら、ドライブトランジスタ T_5 のゲート/ソース間電圧は一定値に保たれているので発光素子 EL に流れる電流は変化しない。よって発光素子 EL の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、発光素子 EL の輝度が変化することはない。本発明における電源の値は二値である。これにより既存のゲートドライバが使用可能となり、低コスト化が実現できる。

【0052】

本発明の変形例を図22に示す。本変形例では上記実施形態とスイッチングトランジスタ T_4 の動作タイミングが異なっている。本変形例ではスイッチングトランジスタ T_4 の立ち上がり時間分だけ閾値補正期間のマージンを延ばすことができる。

【0053】

本発明により、ドライブトランジスタの閾値バラツキを抑えることができるため、ムラ、ザラツキのない均一な画質を得ることができる。本発明により、電源は二値をもつパルスであるので既存のゲートドライバが使用可能であり、低コスト化が実現できる。本発明の画素回路は3つのトランジスタ、1つの画素容量という少ない素子数で形成されているため、高精細化、高歩留まり化が期待できる。本発明の画素回路は RGB トリオあたり3本のゲートライン、3本の電源ラインから構成されているため、画素に対して電源及びゲートラインの占める割合を小さくすることができ、高精細化、高歩留まり化が期待できる。本発明により、ドライブトランジスタのゲート/ソース間電圧は一定値に保たれているので発光素子 EL に流れる電流は変化しない。よって発光素子 EL の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続け、発光素子 EL の輝度が変化することはない。

【図面の簡単な説明】

【0054】

【図1】表示装置の一般的な構成を示すブロック図である。

【図2】表示装置の参考例を示す回路図である。

【図3】図2に示した表示装置の動作説明に供するグラフである。

【図4】表示装置の別の参考例を示す回路図である。

【図5】先行開発にかかる表示装置を示す回路図である。

【図6】図5に示した表示装置の動作説明に供するタイミングチャートである。

【図7】同じく図5に示した表示装置の動作説明に供する回路図である。

【図8】同じく動作説明に供する回路図である。

【図9】同じく動作説明に供する回路図である。

【図10】同じく動作説明に供する回路図である。

【図11】同じく動作説明に供するグラフである。

【図12】同じく動作説明に供する回路図である。

【図13】同じく動作説明に供する回路図である。

【図14】本発明にかかる表示装置を示すブロック図である。

【図15】図14に示した表示装置の動作説明に供するタイミングチャートである。

【図16】図14に示した本発明にかかる表示装置の動作説明に供する画素回路図である。

【図17】同じく動作説明に供する画素回路図である。

10

20

30

40

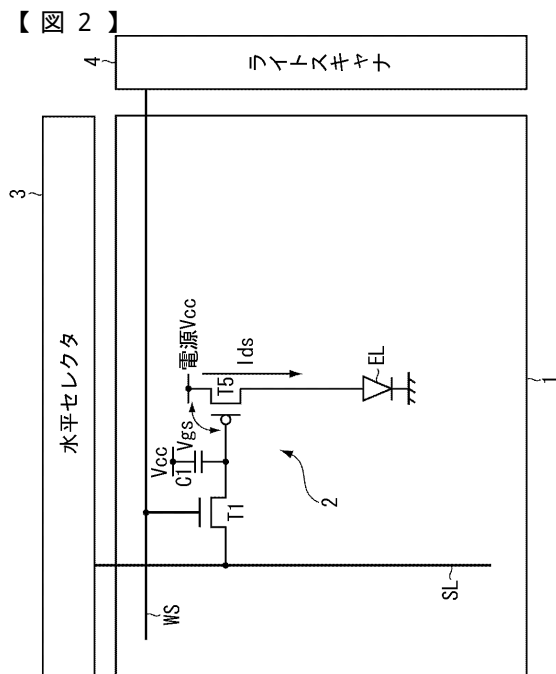
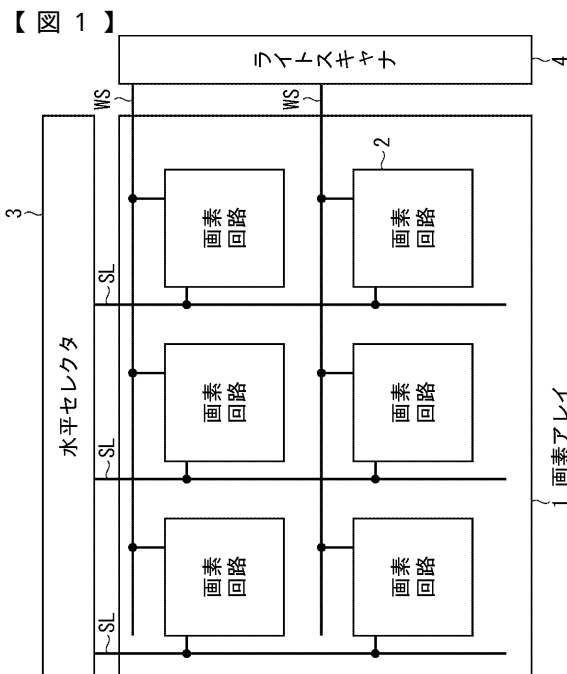
50

- 【図18】 同様に動作説明に供する画素回路図である。
- 【図19】 同様に動作説明に供する画素回路図である。
- 【図20】 同様に動作説明に供する画素回路図である。
- 【図21】 同様に動作説明に供する画素回路図である。
- 【図22】 本発明にかかる表示装置の変形例を示すタイミングチャートである。

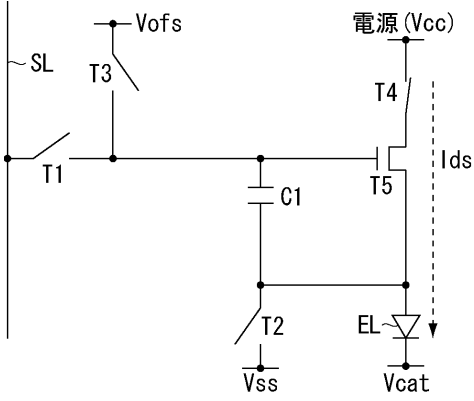
【符号の説明】

【0055】

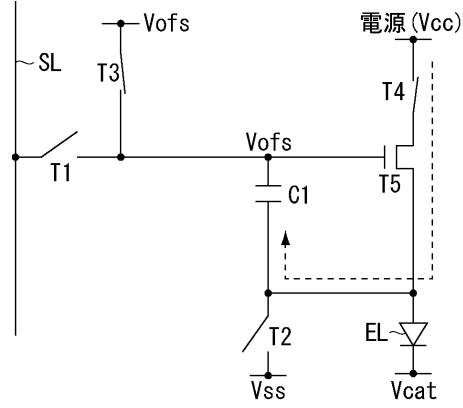
1・・・画素アレイ部、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、9・・・電源ラインスキャナ、T1・・・サンプリングトランジスタ、T4・・・スイッチングトランジスタ、T5・・・ドライブトランジスタ、EL・・・発光素子、C1・・・画素容量



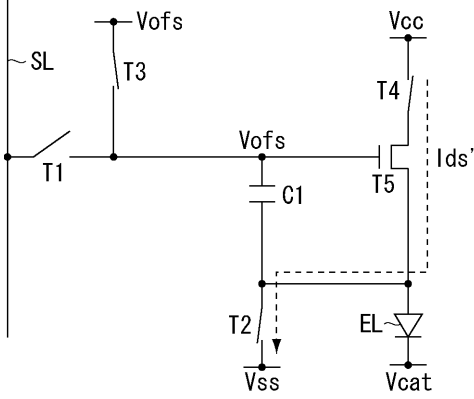
【 図 7 】



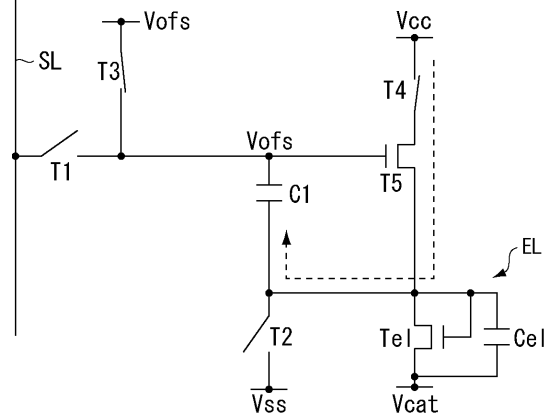
【 図 9 】



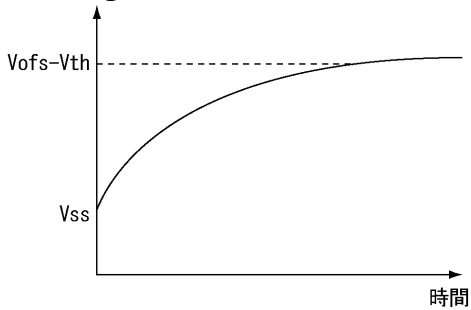
【 図 8 】



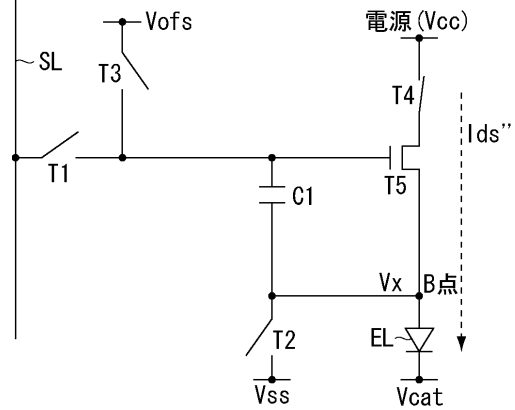
【 図 10 】



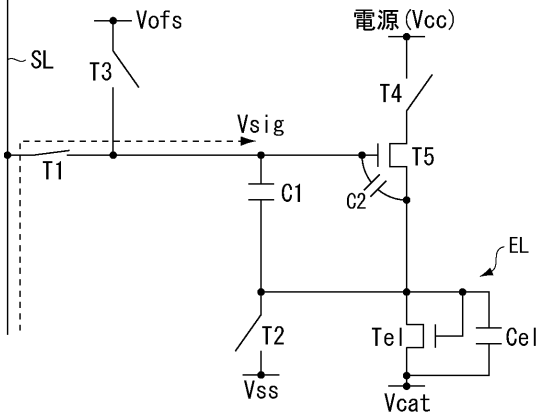
【 図 11 】
T5のソース電圧



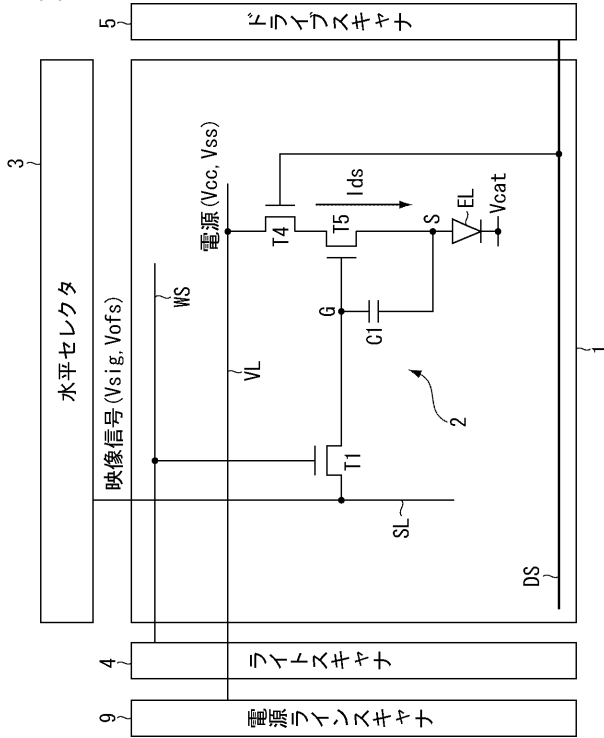
【 図 13 】



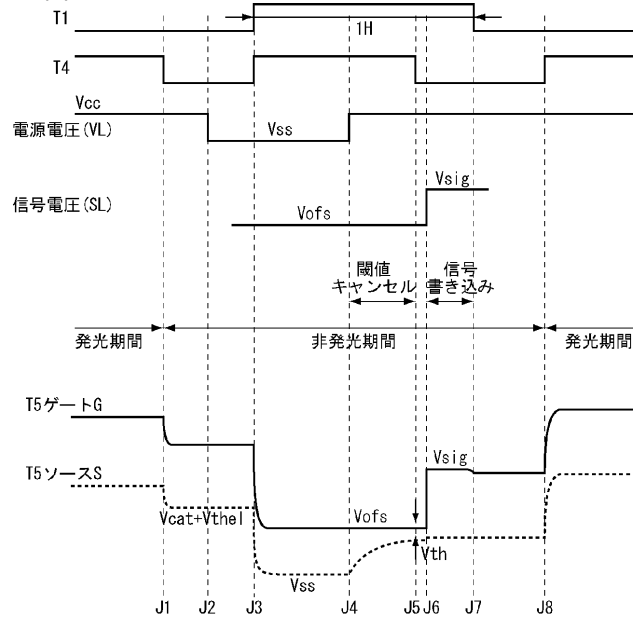
【 図 12 】



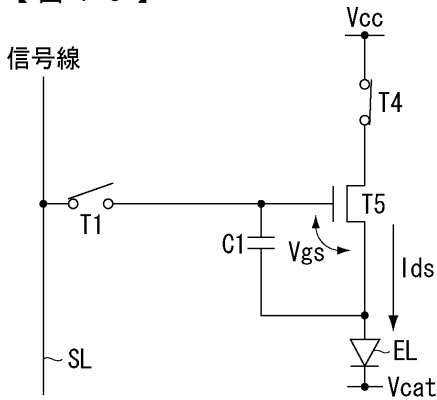
【図14】



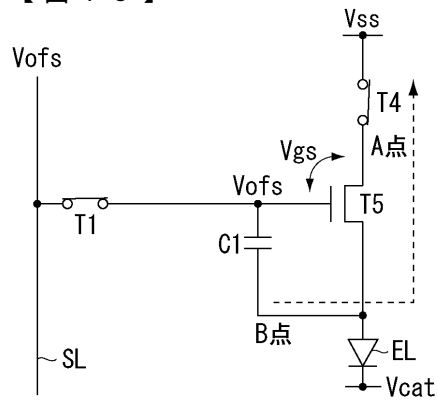
【図15】



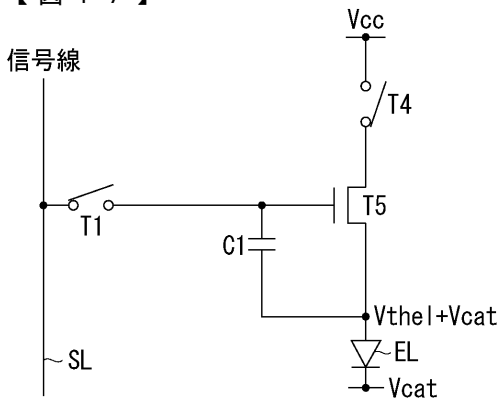
【図16】



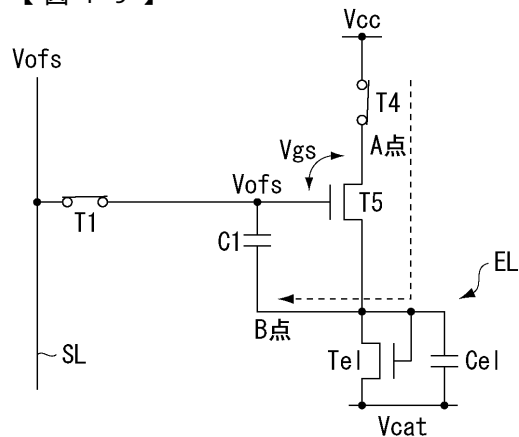
【図18】



【図17】



【図19】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45 EE03 HH00 HH04 HH05
5C080 AA06 BB05 DD03 DD28 DD29 EE28 FF11 JJ02 JJ03 JJ04
JJ05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007148129A	公开(公告)日	2007-06-14
申请号	JP2005344207	申请日	2005-11-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野 勝秀 山下 淳一 山本 哲郎		
发明人	内野 勝秀 山下 淳一 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD28 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB34 5C380/BA13 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD05 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC63 5C380/CC71 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD025 5C380/DA02 5C380/DA06 5C380/DA47		
外部链接	Espacenet		

摘要(译)

提供一种能够校正发光元件的老化劣化和驱动晶体管的特性变化并尽可能减少像素电路的构成元件数量的显示装置。显示装置包括像素阵列部分，扫描仪部分和信号部分。每个像素2包括：开关晶体管T4连接到采样晶体管T1和像素电容器C1和驱动晶体管T5的发光元件EL和驱动晶体管T5到电源线VL。扫描单元4和5，并输出相应的控制信号提供给第一扫描线WS和第二扫描线DS，以及接通和截止采样晶体管T1和开关晶体管T4，取消驱动晶体管T5的阈值电压的依赖关系执行用于校正像素电容C1的校正操作和用于将视频信号写入校正像素电容C1的采样操作。 .The

14

