

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-515810

(P2004-515810A)

(43) 公表日 平成16年5月27日(2004.5.27)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/40	G09F 9/40 301	3K007
G09F 9/00	G09F 9/00 338	5C080
G09F 9/30	G09F 9/00 346D	5C094
G09G 3/20	G09F 9/00 348Z	5G435
G09G 3/30	G09F 9/30 330Z	

審査請求 未請求 予備審査請求 有 (全 72 頁) 最終頁に続く

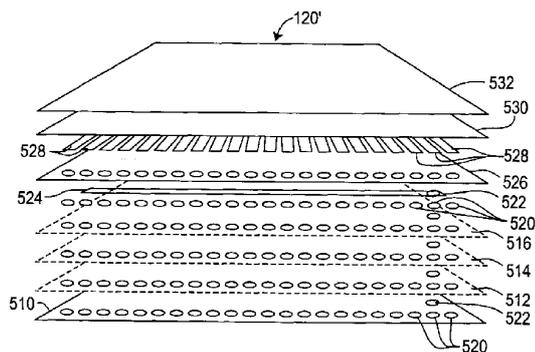
(21) 出願番号	特願2002-548911 (P2002-548911)	(71) 出願人	597079016 サーノフ コーポレーション アメリカ合衆国, ニュージャージー州 O 8543, プリンストン シーエヌ 53 00, ワシントン ロード 201
(86) (22) 出願日	平成13年11月9日 (2001. 11. 9)	(74) 代理人	100094318 弁理士 山田 行一
(85) 翻訳文提出日	平成15年5月12日 (2003. 5. 12)	(74) 代理人	100104282 弁理士 鈴木 康仁
(86) 国際出願番号	PCT/US2001/046455	(72) 発明者	マッシス, デニス, リー アメリカ合衆国, ニュージャージー州, プリンストン, ナッソー ストリート 387
(87) 国際公開番号	W02002/047310	Fターム(参考)	3K007 BA00 BA06 CA01 DB03
(87) 国際公開日	平成14年6月13日 (2002. 6. 13)		
(31) 優先権主張番号	09/709, 904		
(32) 優先日	平成12年11月10日 (2000. 11. 10)		
(33) 優先権主張国	米国 (US)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR) , JP		

最終頁に続く

(54) 【発明の名称】 有機の光放射材料を使用するディスプレイタイル構造

(57) 【要約】

単一の基板上に、タイル張りのディスプレイ構造が、製造され、電子部品を含む回路基板としても機能する。電極が基板上で形成され、ディスプレイ部分の残りが電極上で形成される。ピクセル素子は、パターニングしたディスプレイ材料を使用し、一部のピクセル構造だけを占める。電子部品は、タイルの温度管理面を補助する非常に長いリードを使用して基板上に取り付けられる。代替えとして、各々のタイルは、回路基板表面上にフィン構造を含み、上に電子部品が取り付けられ基板と接触しない。或いは、各々のタイルは、基板上に取り付けられるフレキシブル回路基板を含み、その一部は基板から離れるように曲げられる。電子部品は、フレキシブル回路基板のこの部分に接続され、温度管理面を補助するようにコンポーネントが基板と接触しない。



【特許請求の範囲】

【請求項 1】

上面と底面を有する基板を備え、
前記基板の底面が、複数の電気信号を提供するための回路が接続される回路基板であり、
前記基板の上面上に形成される第 1 の電極と、
底面と上面を有するディスプレイ材料であって前記底面は第 1 の電極に近傍にあるディスプレイ材料と、
ディスプレイ材料の上面の近傍に配置される第 2 の電極と、を含む所定の領域を有するピクチャーエレメント（ピクセル）構造を備え、
複数の電気信号の第 1 の電気信号を受け取るために第 1 の電極を接続する前記基板の底面
から延びた第 1 の接続パイアを備え、
基板の底面から延び、ピクセル構造を通して複数の電気信号の第 2 の電気信号を受け取る
ために第 2 の電極を接続する第 2 の接続パイアを備え、第 2 の接続パイアが、第 1 の電極
又はディスプレイ材料と干渉しないように第 1 の電極とディスプレイ材料が寸法決めされ
て配置される電子表示装置構造。

10

【請求項 2】

前記基板がセラミック材料を含む請求項 1 に記載の電子表示装置構造。

【請求項 3】

前記基板が低温共焼成セラミックと金属構造を含む請求項 1 に記載の電子表示装置構造。

【請求項 4】

前記ディスプレイ材料が有機発光ダイオードを形成する材料を含む請求項 1 に記載の電子表示装置構造。

20

【請求項 5】

複数のイメージタイルを含むタイル張りのディスプレイ構造であって、各タイルが、
上面と底面を有する基板と、
基板の上面に接続するディスプレイセクションであって、ガラス製の基板と複数の画素構造
を含み、各画素構造は画素エリアを定義し、画素エリアの部分を占めるアクティブ領域
を有し、画素構造の複数のローとカラムを有するマトリクスに配置され、電気的な信号を
受信するために複数のコンタクトを含むディスプレイセクションと、
基板の底面に接続する画素駆動回路であって、複数の電気的な信号を画素構造の電気的な
コンタクトのそれぞれのものに提供するように適合し、選択的に画素構造の複数の活性化
する画素駆動回路と、
複数のローと暗い色のラインのカラムを有する透明前面パネルであって、複数のラインの
幅が実質的に等しく、タイル張りのディスプレイデバイスで画素位置に対して前面パネル
上で透明領域を定義する透明前面パネルと、
複数のタイルのディスプレイセクションのガラス基板を透明前面パネルに固定するための
手段であって、前面パネルの上で定義された透明領域のそれぞれ異なる 1 つと各タイルの
上で各画素エリアのアクティブ領域を整列させる手段と、を備えるタイル張りのディス
プレイ構造。

30

【請求項 6】

複数のイメージタイルを備えるタイル張りディスプレイ構造であって、
上面と底面を有する基板と、
基板の上面に接続するディスプレイセクションであって、前面と裏面を有し、前記ディス
プレイセクションが複数の画素構造を更に含み、ガラス製の基板の裏面に接続するガラス
製の基板を含み、各画素構造は画素エリアを定義し、画素エリアの部分を占めるアクティ
ブ領域を有し、画素構造の複数のローとカラムを有するマトリクスに配置され、電気的な
信号を受信するために複数のコンタクトを含み、ガラス製の基板の前面が画素構造の複数
のアクティブ領域を囲んでいるブラックマトリクスを形成する所定の幅を有する複数の暗
い色のラインを含むディスプレイセクションと、
基板の底面に接続する画素駆動回路であって、複数の電気的な信号を画素構造の電気的な

40

50

コンタクトのそれぞれのものに提供するように適合し、選択的に画素構造の複数を活性化
する画素駆動回路と、
を備えるタイル張りディスプレイ構造。

【請求項7】

上面と底面を有する基板の上で、電子回路ディスプレイ構造を作成する方法であって、
基板の底面から、基板の上面まで延びる複数のビアを形成するステップと、
基板の底面の上で基板構造を形成するステップであって、前記基板構造が複数のビアが
接続する複数の電氣的なコンタクトを含むステップと、
基板構造の上に画素駆動回路を取り付け、複数の電氣的な信号を提供するために駆動回路
を複数のビアの複数の接続させるステップと、
基板の上面の上で複数のロー電極を形成するステップと、
複数のロー電極に対してビアのうちの少なくとも1つに各ロー電極を接続させ、複数の
電氣的な信号のそれぞれのロー電気信号を受信するステップと、
少なくとも1つの明瞭なアクティブ画素エリアを各々含む複数の画素領域を形成し、画素
エリアがディスプレイ材料の少なくとも1つの層から成り、明瞭なアクティブ画素エリア
のうちの少なくとも1つが各ロー電極の上部の上にあるステップと、
明瞭なアクティブ画素エリアの上に複数の透明カラム電極を形成し、各明瞭なアクティブ
画素エリアが透明カラム電極の複数の1つの透明カラム電極に接続するステップと、
ビアのうちの少なくとも1つに透明カラム電極の複数の各透明カラム電極を接続させ、
複数の電氣的な信号のそれぞれのカラム電気信号を受信するステップとを含む方法。

10

20

【請求項8】

上面、底面、一对の水平エッジと一对の垂直エッジを有する基板を含み、各基板の上面は
ローとカラムのマトリクスに配置される複数の画素領域によってカバーされている電子表
示装置タイルを作成する方法であって、
基板の底面から、基板の上面まで延びる複数のビアを形成するステップと、
基板の底面の上で基板構造を形成するステップであって、前記基板構造が複数のビアが
接続する複数の電氣的なコンタクトを含むステップと、
基板の上面の上で複数のロー電極を形成するステップと、
複数のロー電極に対してビアのうちの少なくとも1つに各ロー電極を接続させ、複数の
電氣的な信号のそれぞれのロー電気信号を受信するステップと、
画素領域の複数の各々で少なくとも1つの明瞭なアクティブ画素エリアを形成し、明瞭な
アクティブ画素エリアがディスプレイ材料の少なくとも1つの層を含み、ロー電極の複数
の1つのロー電極に接続するステップと、
複数の明瞭なアクティブ画素エリアの上に複数の透明カラム電極を形成し、各明瞭なアク
ティブ画素エリアが透明カラム電極の複数の1つの透明カラム電極に接続するステップと
、
ビアのうちの少なくとも1つに透明カラム電極の複数の各透明カラム電極を接続させ、
複数の電氣的な信号のそれぞれのカラム電気信号を受信するステップとを含む方法。

30

【請求項9】

複数のイメージタイルを含むタイル張りのディスプレイ構造であって、各タイルが、
前面と裏面を有するガラス製の基板と、
ガラス製の基板の裏面に接続するディスプレイセクションであって、複数の画素構造を含
み、各画素構造が画素エリアを定義し、画素エリアの部分占めるアクティブ領域を有し
、複数の画素構造がローとカラムを有するマトリクスに配置され、電氣的な信号を受信す
るための複数のコンタクトを含むディスプレイセクションと、
不活性化層と、
ガラス製の基板の裏面に接続する画素駆動回路であって、画素構造のアクティブ領域を、
妨げないために配置され、選択的に画素構造の複数を活性化するために、画素構造の電氣
的コンタクトのそれぞれのものに、複数の電氣的な信号を提供するのに適している画素
駆動回路。

40

50

【請求項 10】

複数のディスプレイタイルを有しているタイル張りのディスプレイ構造であって、少なくとも1つのエッジを有している基板と、ローとカラムのマトリクスで、基板に配置される複数のアクティブ画素エリアであって、各アクティブ画素エリアは残っているアクティブ画素エリアから電氣的及び光学的に実質的に分離され、物理的に、所定の距離によって隣接のアクティブ画素エリアと分離した複数のアクティブ画素エリアとを備え、少なくとも1つのエッジに最も近いアクティブ画素エリアが、所定の距離より少ない少なくとも1つのエッジから分離を有し、それによって、複数の画像タイルが一体に適合するとき、1枚の画像タイルの少なくとも1つのエッジに最も近い能動ピクセル領域は、所定の距離によって隣接の画像タイルの隣接の能動ピクセル領域から分離されるタイル張りディスプレイ構造。

10

【発明の詳細な説明】

【0001】

【発明の背景】

本発明は、電子ディスプレイデバイスに関し、特に、タイル張りのディスプレイデバイスのアレイとして形成される形成される大領域のディスプレイデバイスに関する。

【0002】

大領域フラットディスプレイの今までにない必要性がある。明らかな解法は、市場において明白でない。情報の進歩が、表示すデータ量を増加させる結果になるに従って、この今までにない必要性は、ますます重要になっている。大領域ディスプレイに対する解法は、情報支配時代の中で、センサー、コンピュータ、データベース、カメラその他から情報を伝達するために、ヒューマンインターフェースとして役に立つために必要である。多くの重要な用途が大領域ディスプレイを要求する。そして、これらは以下を含む。

20

【0003】

ホームシアター用途

複数ビューワを必要とする用途

ユーザーがエリアでを中心として移動する必要がある用途

実世界のシミュレーションがトレーニングのために必要とされる用途。

【0004】

各々の用途のための要求は、サイズ、形、画像素子（ピクセル）の総数と明るさで異なる。大部分の用途に共通である要求は、ピクセルの比較的大きい数、色、粗さ、携帯性（最小厚さ及び重さ）、信頼性、低消費電力と手頃な費用である。存在する技術を使用した、これらの必要性のために良好なディスプレイ解法は存在しない。

30

【0005】

スケーリング則を強いて、製造されることができディスプレイの複雑さとサイズを制限する基本的な技術の問題がある。これらの基本的な限界は、大領域ディスプレイの必要性に合った技術の解法が達成されなかった1つの理由である。

【0006】

ディスプレイデバイスの複雑さの1つの尺度は、ピクセルの総数である。ディスプレイテクノロジーの進化は、VGA、SVGA、XGAとSXGA等の、可能なより新しく且つより複合したピクセル形式を作成した。増加する複雑さは、付加される費用によって一般的に伴われる。この経験的な複雑さ法則の根本的な原因は、ランダム材料又は粒子欠陥によって引き起こされる歩留まり損失である。これらの欠陥は、ディスプレイでのピクセルの数が増加するとき製造歩留まりを低減させる。

40

【0007】

ディスプレイのサイズの1つの尺度は、その領域である。費用は、サイズによって指数的に増加される。各々の技術、LCD、PDP、EL、その他は最大寸法でそれ自身の限界を有する。この経験的な関係の根本的な技術の原因は、誤差である。サイズが増加すると、熱膨張、湿度、残留応力と物理的なたるみの影響がより重要になるので、ディスプレイ

50

を製造する際に厳しい誤差を保持することは望ましい。

【0008】

より少ないタイルから大領域ディスプレイを作ることは、望ましい解法であると認識されている。タイリングは、サイズと形のために大きな柔軟性を提供するアプローチである。タイリングは、モノリシックディスプレイテクノロジーのサイズを制限する問題の多くを被らない。複雑さの法則は適用されない。タイルのサイズに依存して、タイル張りのディスプレイの製造の基本単位は、大きなモノリシックマルチピクセルディスプレイより複雑でないからである。製造の基本単位が比較的少ないので、サイズ法則は制限因子でない。タイル張りのディスプレイは、表示領域に対して指数的ではなく、線形のスケーリング則に従う。この基本的に異なるスケーリング動作は、タイル技術の1つの利点である。それは、ディスプレイを可能にし製造原価を低減する。

10

【0009】

実際のタイル張りのディスプレイシステムは、まだ開発されなかった（隣接ディスプレイ間は広く分離されているため、接している通常のCRTディスプレイによって形成されるビデオ壁はタイル張りであると思われぬ）。ピクセルをかなりエッジ（実際に、エッジの1/2ピクセルスペーシングピリオド内）までもってきて、一方、同時に、それらのタイル他のタイルによって完全に囲まれてもエレクトロニクスが各々のタイルのアドレス指定を行うことができるようにディスプレイを作ることができるようにする製作技術は存在していなかった。タイル張りのアプローチを実施することへの2つの障害があった。それは、1) タイルとの間に継ぎ目の可視性を排除すること、2) ピクセルへの電氣的アクセスを提供することである。

20

【0010】

タイル張りのディスプレイの1つの型は、Onyskevych他の、「多層セラミック基板を有しているモザイク状の電界発光ディスプレイ」という名称の米国特許第5,644,327号明細書で開示されており、それは、タイル張りのディスプレイを教示するために本明細書に援用されている。この特許は、電界発光ディスプレイ及び電界放射と電界発光ディスプレイとの組み合わせを説明し、それは、大領域ディスプレイデバイスを提供するために一体に接合されることのできるタイルとして形成される。例示的なタイルは、金属コアにラミネートしたセラミック回路-ボード材料の複数層からなる低温共焼成セラミックと金属(LTCCM)構造を使用して形成される。

30

【0011】

ディスプレイのための駆動回路が構造体の裏に取り付けられ、バイアがディスプレイデバイスの正面でピクセル電極と接続させるため裏から正面まで構造体を通す。更に、接続がピクセルバイピクセルベース上に、又はピクセルの少ないグループに対して作られる。従って、参照された特許によればディスプレイデバイスは、比較的大きな数のバイアを必要とするだろう。説明したタイルは、複数タイルが相互接続することのできるそれらのエッジでコネクタを含む。

【0012】

【発明の概要】

本発明は、改良されたタイル張りのディスプレイ構造で具体化される。本発明の1つの見地によれば、ディスプレイのタイルは、単一の基板の上で製造される。

40

【0013】

本発明の別の見地から述べると、電子部品は、タイルの温度管理面を補助する非常に長いリードを使用して回路基板に接続される。

【0014】

本発明の別の見地から述べると、各々のタイルは、その基板の回路基板表面の上で、フィン構造を含む。電子部品は、温度管理面で補助するこれらのフィン構造に接続する。

【0015】

本発明の更なる他の見地によれば、各々のタイルは、その基板の回路基板側面の上で、フレキシブル回路基板を含む。電子部品は、温度管理面で補助するこれらのフレキシブル回

50

路基板に接続する。

【0016】

【実施形態の詳細な説明】

図で示す例示的な実施形態に関して、本発明を説明する。図面は、スケールで表されていない。実際に、図面の寸法は、本発明の説明の補助のため誇張されている。本発明は光学の発光ダイオード(OLED)ディスプレイデバイスに関して説明されるが、電界発光、発光ダイオード(LED)、プラズマ技術等の他の放射ディスプレイテクノロジー、又は双安定反射コレステリック(BRC)液晶技術等の反射ディスプレイテクノロジーで行われることができることは、予想される。

【0017】

図1は、本発明に従った、部分的にアセンブルされた大領域ディスプレイ100の前部の平面図である。ディスプレイ100は、タイル張りディスプレイであり、そこでは、イメージピクセルが形成される放射又は反射する素子がタイル120上に比較的小さなアレイとして作られ、フレームにアセンブルされ、素子を形成する多数のピクセルを有する大領域ディスプレイを作り出す。或いは、タイルは、フレームなしでローとカラムで整列されたピクセルで端から端までアセンブルされることができる。この場合、個々のタイルは、縦仕切りによって一体に保持されることができる。

10

【0018】

タイルは、タイルのエッジまで均一に間隔を置いて配置された素子を形成するピクセルで作られる。図8~図13を参照しながら下で説明するように、接合されるとき、タイルは、2枚の隣接のタイルのエッジピクセル間の内部ピクセル距離が、タイルの内部での隣接のピクセルの内部ピクセル距離と同じになるように形成される。図1で示すディスプレイは、2枚のタイル122と124をはずしている。これらのタイルは、位置102と104に挿入され、ディスプレイが仕上げられる。

20

【0019】

ディスプレイ100は、4x4アレイで素子を形成している16のピクセルを有するタイルから形成されるように示すが、各々のタイルがより多くのピクセルを含むことができることが予想される。本発明の1つの例示的な実施形態で、下で説明する各々のタイルは、80x80のマトリックスとして配置される素子を形成している6400のピクセルを含む。これらのタイルサイズは、単なる例示である。各々のタイルが、素子を形成するより多く又はかより少しのピクセルを含むことができることが予想される。更に、単一のディスプレイが、素子を形成するピクセルの異なる数を有するタイルから形成されることができることが予想される。例えば、ディスプレイは、中心付近で素子を形成する比較的大きな数のピクセルを有するタイルと、エッジ付近で素子を形成する比較的少ない数のピクセルを有するタイルと、を有することができる。

30

【0020】

図1Aと1Bは、例示的なタイル120の後部及び前部の表面を示した斜視図である。図1Aで示すように、タイルは最小の1つの集積回路134に取り付けられる回路基板130を含む。集積回路は、回路基板上に伝導トレース132を通して素子を形成するピクセルに接続され、それは、ディスプレイデバイスのロー又はカラム電極を有するコンタクトを作るために回路基板を通して延びるバイア(図示せず)に接続する。図1Aで示すタイルの中で、バイアは、米国特許出願番号09/250324号明細書において説明されるように、表示領域内部に素子を形成しているピクセルを通して延びる。或いは、バイアは図3~図4Aに関して、下で説明するようにディスプレイの2つのエッジに沿って素子を形成する貫通ピクセルを延びることができる。

40

【0021】

本発明の1つの例示的な実施形態で、ピクセル成形素子は、有機の発光ダイオード(OLED)材料から作られる。基本的な光放射構造は、一对の適切に選択されてパターンニングされた電極にはさまれる薄い有機重合体層から構成されている。1つの電極から他の電極への電流の流れは、有機重合体の光放射を引き起こす。電極のうちの少なくとも1つは、

50

放出光に望ましくは透過性である。インジウム酸化スズ（ITO）は、この目的のために使用される普通の材料である。ポリアニリン等の伝導重合体も、使用されることができる。OLED材料は、高明らさと高効率を提供し且つ比較的低い費用材料である。

【0022】

本発明に従った例示的なディスプレイ構造は、ディスプレイ部分とエレクトロニクス部分の2つの部分で形成される。これらの2つの部分は、別個に作られてと完全なタイルを形成するために次に接合される。ディスプレイ部分は、透過性カラム電極が堆積された透過性ガラス層から構成されている。アクティブ式（即ち光を放射する）媒体、この例示的な実施形態でのOLED材料は、個々のピクセル又はサブピクセルのパターンで、この層上へ堆積される。ロー電極は、最終的ディスプレイ層として堆積される。ブロッキング又は不活性化層等の追加の層が、ディスプレイ層の機能又は寿命を改良するために存在することができる。透明電極は好ましくはホール-注入電極であり、他の電極は好ましくは電子-注入電極である。電極間のOLED材料は、好ましくは膜厚プロセスによって所望のピクセルパターンに加えらる共役ポリマ材料であるが、少ない分子の材料が、種々の薄膜堆積技術によって、代わりに適用されることができる。1つ以上の点でローとカラムの各々への電気的アクセスがあるように、層は作られる。

10

【0023】

OLED材料の代わりに、タイルの素子を形成しているピクセルは、電界発光素子、発光ダイオード、電界放射素子、プラズマ素子又は陰極ルミネッセンス素子等の多くのいずれの放射デバイスでもあることができる。

20

【0024】

エレクトロニクス部分は、回路基板を通して、パンチカドリルによってバイアを開け、次に回路基板の上にプリントか、さもなければ伝導トレースを堆積させることによって形成される。伝導トレースを形成するために使用される伝導インク又はペーストも、バイアを充てんすることができる。エレクトロニクス部分とディスプレイ部分がタイルを形成するために接合されるとき、バイアはディスプレイ部分のローとカラム電極とコンタクトを作る。

【0025】

図示しないが、本発明の他の例示的な実施形態は、反射又は低パワーディスプレイが必要な用途に対して妥当な構造体を形成するピクセルを含む。この新しい構造の基板とエレクトロニクスは、OLEDの実施形態に対して下記に説明したものと本質的に同じものである。しかし、この代替実施形態でのディスプレイ層は、反射ディスプレイ材料である。例えば、低パワー（双安定ディスプレイ）を提供する双安定反射コレステリック（BRC）液晶材料である。開示されたタイル構造は、初めて、大きい領域BRCディスプレイでビデオレートディスプレイを可能にする。これらの材料は、平らな、反射状態と比較的透過性の焦点円すい状態との間をスイッチする。ブラックバックキングを利用して、これらの2つの状態は、色つきとブラックのように見えることができる。BRC材料は、大領域のタイル張りのディスプレイに対して異なる利点を提供する。それは反射状態と透過状態との間の動作であり、ブラックバックプレーンと組み合わせられて、いろいろな照明条件の下で、可能な明るい、ハイコントラストディスプレイを作り、双安定はパワーの適用なしで静

30

40

【0026】

1つの例示的なタイル構造は、基板として機能する多層セラミック回路基板132から構成されている。ディスプレイ材料は、ビューワ側に取り付けられ、一方、ドライブ又は他の機能のためのエレクトロニクス134（能動と受動）が後側に大部分取り付けられる。導体素子132はエレクトロニクスとディスプレイ材料との間に相互接続を提供するために個々の層にプリントされ、バイアは異なる層で導体を相互接続し、コネクタは外部電源と信号源に接続するために裏面の上に提供される。タイル構造は、また、セラミック材料の処理中に、ゆがみからの自由及び/又はディスプレイの動作中の温度管理を提供する高軟化点金属又は絶縁体等の構造的層を有することができる。タイル構造も、ビューワ表面

50

の上で透過性層（例えば浮子ガラス）を含み、ディスプレイ材料を保護又は含む。バックパネル構造が、個々のタイルを取り付けるために提供され、各々の個々のタイル構造によって必要とされるパワーとドライブ信号に電氣的接続を提供する。

【0027】

多層セラミック回路基板130が、セラミック材料層に形成されることができる。層は初めに形成されて、ビア、導体及び他の特徴部を形成し、次に、各々の層を、隣接する層と整列するように注意深く積み重ねて、層をアセンブルする。ここで、セラミック材料は、最も広義であり、セラミックス、結晶化ガラス、ガラス、及びアルミナ等の他の高温絶縁材料を含む。コネクタとビアとを合わせた複数層は、能動と受動電気デバイスと回路が置かれることができる回路基板の基本的な機能を提供する。

10

【0028】

導体132は、例えばプレーティング、蒸着、スパッタリング、プリンティング及びラミネート加工を含む、いかなる標準プロセスによって形成されうる、薄い及び/又は厚膜導体であることができる。材料は、金属又は有機電導体であることができる。例えば、プリンティング又はフォトリソグラフィを含むことができるプロセスによって、導体はパターンニングされることができる。これらの導体パターンは、開示された構造で個々の層の表面上に形成され、ビアに接続され、デバイスの設計に従って、ディスプレイ材料に開示された構造上及び外部にエレクトロニクスを相互接続する手段を提供する。

【0029】

導体の他のクラスは、層を相互接続するために使用される。これらの導体は、ビアと呼ばれる。ビアは、最も広義で使用され、基板を含み、層のエッジを回る層の開口を通り抜ける導体を含む。例えば、層を通り抜けるビアは、層にホールを作り、導体でそのホールを充てんすることによって形成されることができる。或いは、予め形成された物理的な導体が、層に埋め込まれることができる。層のエッジを越えるビアは、（丸又は平らな）ワイヤ、又はワイヤのレイ、相互接続される表面に端部を結合するワイヤを物理的に置くことによって形成されることができる。或いは、厚い又は薄いフィルム導体に対してプレーティング又は他の製作プロセスによって所定箇所に形成されることができる。

20

【0030】

回路基板は、単一のセラミック材料から形成されることができる。単一の材料セラミック回路基板は、選択される材料によって非常に耐久性を有することができる。この種の回路基板は、単一の膨張係数を提供するが、温度管理にいくつかの困難を示すだろう。この性能の問題を克服する例示的ないくつかの方法を、図14～16に関して下で説明する。

30

【0031】

代替実施形態で、コア層も、この構造に含まれることができる。この層は、セラミック材料の組立体と処理のための基板として役立つ。コア層は水平収縮を排除するために作用し、多層システムに対して単一の膨張係数を確立し、多層組立体に機械的な耐久性を提供する。層が良好な電気伝導体である場合、RFシールドを提供することができる。層がまた、良好な熱導体である場合、ディスプレイの温度管理に寄与する。伝導層は、しかしビア接続のために特殊な問題を提示する。金属層を通したビア接続は、いくつかの方法において製造されることができる。それは、金属導体が中央を通り抜けさせる前に絶縁材料でホールの周辺を充てんすること、又は、導体を伝導金属コアから離して間隔を置いて導体を中央部だけを通るようにすることである。

40

【0032】

画像情報処理を形成するエレクトロニクスとピクセル駆動回路が層の上に取り付けられる。エレクトロニクスは、能動と受動デバイスを含み、層の上で取り付けられる両方のディスプレイ素子、及び、例えば次に種々の高温基板の上のディスプレイにアクティブマトリックス回路を作るために使用されるプロセスによって所定箇所に形成されるデバイスを含むように広義に使用される。これらのエレクトロニクスはどこにも置かれることができるが、最も都合がいい位置は裏面である。これは、標準組立体とアタッチメント装置とに使用されるプロセスを容認する。更に、能動又は受動デバイスを間の層又はビューワ表面

50

に置くことは、システム設計により大きな柔軟性を容認する。ディスプレイ材料は、ビューワに見える表面に適用される。開示された構造の構造の柔軟性のため、異なるディスプレイ材料が使用されることができる。例示的な構造で、ディスプレイ材料は、ディスプレイ材料を保護して含むために透過性層によってカバーされる。個々のピクセルのためにこの層が透明電極であることが可能であるが、しばしば、電極とディスプレイ材料上にフロートガラス等の、導光体の追加の、実質的に平らな層を接続させることが望ましい。

【0033】

タイルのエッジは、望ましくは、タイル張りのディスプレイがタイルとの間に見える継ぎ目を有しないことを確実にするために注意深く形成される。タイルに対する1つの基準は、タイル継ぎ目によって分離されるピクセルとの間のスペーシングが、タイルのピクセルのスペーシングと同じ物であることである。この基準を満たすために、タイルエッジは、望ましく寸法的に正確である。更に、エッジがまた導体のために使用されるならば、或いは、縦仕切りが隣接のタイルを接合するために使用されるならば、タイルの設計と配置でこれらの導体又は縦仕切りの厚みを考えることは、望ましい。

10

【0034】

バックパネルが、ディスプレイを形成するためにmタイルの物理的なマウンティング及び相互接続に対して提供されることができる。ディスプレイ上にスペースをおいたピクセルに連続性があるように、タイルのマウンティングがなされる。タイルの形は、最も一般的には平方であるか長方形である。しかし、形はより大きいディスプレイを形成するためにタイル張りが不可能いかなる形でもあり得ることができる。また、タイルは一般的に平らであるが、カーブした又はドーム型ディスプレイを形成するために一方又は両方の寸法に沿って曲がることのできる。カーブした又はドーム型ディスプレイは、また、カーブした又はドーム型バックパネルの上に取り付けられる平タイルを使用して作られることができる。タイルは、はんだ付け等の永久接続又はタイルがバックパネルに接続されることができるようにするコネクタを使用してバックパネルにも取り付けられることができる。この後者の方法は、個々のタイルの修理と補充を容認する。異なる型のタイルが、バックパネルの異なる領域に取り付けられることができる。例えば、より高い解像度領域が、大きいディスプレイの中心又は他の領域に置かれることができる。更に、異なる大きさ又は異なる形に作られたタイルが、単一のディスプレイに組み合わせられることができる。例えば、大パネルのエッジの近くのタイルは、より大きくなることができ、パネルの中心の近くのタイルはより小さいピクセル密度を有することができる。

20

30

【0035】

バックパネルは、また、タイルを、タイル作動のために必要な操作可能なパワーとデータ信号に接続するための手段を提供することができる。マッチングコネクタが、この接続を提供するためにタイルとバックパネルの両方の後部側の上で提供されることができる。代替の物理接続として、データ単独結合の場合、光学の接続が使用されることができる。

【0036】

バックパネルの電気構造が、タイルにパワーと信号の分散を提供し、タイルの電気構造が、ディスプレイピクセルのアドレス指定を提供する。構造の両方のレベルを説明する。タイル張りのディスプレイの情報必要性は、ピクセルの総数において測定されるディスプレイのサイズに伴って増加する。タイルが画像データ記憶装置を含む場合、タイルのより大きな数のピクセルは、タイル上でストアされるより大きなデータ量及びより速い情報伝達で翻訳する。画像データが、タイル上でストアされない場合、次に更なる構造が、タイムリーな態様でディスプレイに対してデータを提供するために使用される。

40

【0037】

タイル張りのディスプレイの1つの利点は、スキャンエレクトロニクスがタイルの内部であり、全ての1枚のタイルの走査速度も、小さいディスプレイ又は大きいディスプレイに対して同じものであることである。各々のタイルの上に駆動及びタイミング回路を含むことは、ディスプレイの明るさとグレースケールが増加するサイズによってグレードが落ちないことを確実にする方法を提供することができる。下で詳述するタイル張りのディスプ

50

レイは、そしてそれは、タイルのエッジでさえ、離隔配置されているピクセルの連続性を中断することなくピクセルに信号を接続する構造を有する。開示されたタイル張りのディスプレイは、信号処理回路を有することもでき、それは、信号情報からそのタイルに対する信号情報を抜き出し、抜き出された情報をタイルのアドレス指定を行うために必要な信号に変える。更に、本発明の例示的なディスプレイタイルは、画像データをストアするために使用されるメモリを含むことができる。

【0038】

一般に、フロント バック接続は、タイル上に、ピクセルの各々のローに対して少なくとも1つ及びピクセルの各々のカラムに対して少なくとも1つ含む。本発明の例示的な実施形態は、ローに対して10 - 20の接続、及びローに対して4 - 8の接続を利用する。タイル張りディスプレイは、比較的少ないピクセルを有し、タイルごとの相互接続の数が比較的少なく、個々のタイルの歩留まりが高い可能性がある。単一の基板からの大きいディスプレイの製作と比較して、これはタイル張りのディスプレイのかなりの利点である。一般に、歩留まりは、ディスプレイデバイスでのピクセルの数の関数である。ロー又はカラムごとに1以上の接続を加えることによって提供される冗長性は、更に歩留まり及び信頼性を増加させることができ、また、ロー及びカラムに対するラインインピーダンスを低減することができる。

10

【0039】

タイルの裏面から延びるバイアで、ロー又はカラムへの接続は、作られる。このバイアは、ピクセルのスペーシングより少ない直径を有する。これを達成するために、ディスプレイ層でのバイアの部分は、他の間に入っている層を通したバイアより小さく作られることができ、下で述べるが、より広い相互接続の間に最大のスペースを提供するために、接続はタイルの領域の上に互い違いにされることができる。これらの接続は、ピクセルへのディスプレイ信号の分散のリンクである。

20

【0040】

図2は、電子回路回路のブロック図であり、本発明に記載のディスプレイタイルの用途に好適である。この図は、本発明の例示的な実施形態の回路基板120の上で取り付けられるエレクトロニクス3つの主要な素子、即ち、メモリ212、ピクセル駆動回路214、216、218、220、及びタイミング回路210を示す。明確のために、操作可能電力接続(例えばパワーとグランド)は、図2で示さない。

30

【0041】

図2で示すように、例示的な実施形態は、フィールドプログラマブルゲートアレイ(FPGA)210を含み、それは、タイミングとシーケンスロジックを含み、タイミングと制御信号と画像データ信号を受け取る。下で述べるが、これらの信号は、電気ワイヤリングハーネスによって又は任意の光インターフェース224(想像線で示す)を通してタイルに提供されることができる。タイミングと制御信号は、ディスプレイエレクトロニクスによって実行される機能を変えることができるシステムクロック信号、同期化信号と管理値を含む。光インターフェース224が、データ信号とタイミングと制御信号を受け取ると、タイミングとシーケンスロジック回路210は、光インターフェース224へのクロック信号(CLOCK)を提供することができる。

40

【0042】

図2で示す回路は、4つの機能を有するように、見ることができる。それは、個々のタイルのための補正データのローディング及びストアリングすること、タイルのために表示データをローディングしてストアリングすること、記憶データを表示すること、及び個々のピクセルの明るさの性能の変化を補償するために調整することである。

【0043】

本発明の例示的な実施形態で、各々のタイルは、全てのタイルの表示されたピクセルが、一様な色を備えた一様な明るさを有することを確実にするように、別個に補正されることができる。タイルを補正する例示的な方法が、OLEDディスプレイ材料に関して説明される。しかし、同様の方法が、放射及び光変調ディスプレイ材料の他の型で使用されるこ

50

とができることが予想される。

【0044】

特定のOLEDピクセルによって放射される光のレベルは、そのピクセルに提供される電流のレベルの関数である。従って、ディスプレイでの各々のピクセルの明るさは、正常運転時に、そのピクセルに供給される電流の大きさを制御することによって制御される。本発明の例示的な実施形態で、各々のピクセルは、オン又はオフされる。グレースケールは、各々のピクセルがターンオンされる相対的な時間を変えることによって達成される。ターンオンされるときにピクセルによって放射される光の量は、オン状態でピクセルに加えられる電流のレベルを制御することによって制御される。本発明の例示的な実施形態で、各々のピクセルに加えられる電流のレベルは調整されることができ、ピクセルによって放射される光の量ディスプレイデバイスでその他のピクセルによって放射される光の量と一致するようにされる。ピクセルを駆動するパルスのパルス幅は、画像がタイルの上で表示されている時、ピクセルの明るさを変調するようにされる。

10

【0045】

本発明の例示的な実施形態は、ピクセルの1つのローだけがいつも照らされるブロック内の受動アドレス指定技術を使用する。スキャン回路は、タイルの各ロー中を進んで、所定の間隔に対してそのローを照らす。各タイルが各個にスキャンされるので、タイルの全ては同時にローを照らすだろう。このように、1つのタイルがその画素をリフレッシュするたびに、全体のディスプレイデバイスもその画素をリフレッシュする。ディスプレイアーチファクトを最小にするために、タイルによって使用されるスキャン信号に同期させることは、望ましいだろう。例えば、そのローの上のタイルの中で明白な差を最小にするためにローの上で全てのタイルのために同じスキャンタイミングを使用することは、望ましいだろう。更に、同じスキャンタイミングを有するようにディスプレイの上でタイルの全てに同期させることは、望ましいだろう。この場合、タイルの1つのローがそのスキャンを完了した直後に、タイルの次のローはそのスキャンを開始する。このように、他のスキャンラインがまた、タイル張りのディスプレイデバイスの下で動いている一方、スキャンラインはディスプレイデバイスの下で一緒に動くように見える。この構成で、ディスプレイデバイスはデバイスのアドレス指定ブロックのローの数と等しい多くのスキャンラインを有するように見えるだろう。例えば、ロー選択回路222は、アドレス指定ブロックのローの数と等しい多くのステージを有する従来のクロックされたシフトレジスタであるだろう。シフトレジスタは、アドレス指定ブロックのローを通して、1つのロジック・ハイ値をクロックする。ロジック・ハイ値が各ローに加えられるとき、そのローでの画素は選択される。

20

30

【0046】

再び、図2に言及すると、不揮発性メモリ214でストアされるピクセル電池に対する値に反応して、ディスプレイデバイスの上でピクセル電池に加えられる電流は制御される。タイルのピクセルの各列がアドレス指定されるとき、ライン上のピクセルのアドレスが、メモリ214に加えられ、プログラム可能な電流源216に多くの補正值を提供する。提供される値の数は、ディスプレイデバイスでカラムの数に等しい。各値は、選択されたローで画素にそれぞれの現在の値を提供するためにそれぞれ異なるプログラム可能な電流源に加えられる。このように、図2で示すように、プログラム可能な電流源は、カラムドライバ220に結合する。カラムドライバがイネーブルされるとき、ローの中のそれぞれの画素を調整し、OLED材料に、プログラム可能な電流源216のそれぞれの1つによって決定される電流のレベルを提供するようにする。

40

【0047】

先に述べたように、画素データのディスプレイは、画素の選択されたローに提供される電流信号を調整しているパルス幅によって制御される。本発明の例示的な実施形態で、任意のランダムアクセスメモリー212は、例えば、タイルの上で画素の数と一致する多数のピクセル値を記憶する。タイルがデータのラインを表示することになっているとき、タイミングとシーケンスロジック210がローを選択し、選択されたローと一致しているデー

50

タのラインを引き出し、選択されたデータをパルス幅変調器 (P W M) 2 1 8 に加える。 P W M 2 1 8 は、二進値をそれぞれのパルス幅に変換して、タイルのカラム電極に、プログラム可能な電流源 2 1 6 によって提供される電流レベルを加えるようにカラムドライバーを制御する。 1 つのローだけが選択されるので、これらの電流値は 1 つのローの上でディスプレイ材料の中を流れ、ローが発光するようにする。メモリ 2 1 2 は、タイルの上で画素の数を作動するために要求されるより、より多く又は少ないデータを保持するだろう。メモリがより少ないデータを保持するならば、前に記憶されたデータが表示されている間に、新しいデータはタイルに記憶される必要があるだろう。メモリ 2 1 2 がより多くのデータを保持するならば、次に、図 2 で示す回路は、次のイメージフレームからのデータのローがメモリ 2 1 2 にロードされている間 1 つのイメージフレームから画素のローに対してイメージデータを表示するだろう。一般に、図 2 で示す電子回路によって実行される多様な機能 (例えば補償データをロードして、画素データをロードして、画素データを表示すること) が並行して実行されるだろうことが企図される。

10

【 0 0 4 8 】

タイミング及びシーケンスロジック 2 1 0 は、タイミングと制御信号を受信して、制御信号をデコードし、どの機能が実行されることになっているかについて決定する。製造工程の間、例えば、各タイルは、各画素位置と一致している光電池を有するテスト治具の上へ、完成されたタイルを取り付けることによって公称輝度値に校正されるだろう。各画素は各個にターンオンされ、その輝度は公称輝度と比較され、画素に対する管理値はその画素のためにプログラム可能な電流源 2 1 6 に加えられる。公称輝度レベルが到達されるとき、電流源 2 1 6 に加えられる値は不揮発性メモリ 2 1 4 に記憶される。

20

【 0 0 4 9 】

タイルは、また、ディスプレイ材料のエージングを補償するために自動的に画素輝度を調整する回路を含むだろう。この回路は、例えば、ビューアーが所定の輝度値を表示して、個々のタイルを選択して、その隣り合うものにマッチするために選択されたタイルの輝度にマッチするために輝度値の上下を調整することができるようにするだろう。或いは、タイルは、 1 つ以上の画素位置の上に小さな光センサーを含むことができ、それは、絶えずその画素の輝度をモニターし、その画素に加えられる電流レベル (ディスプレイの上で他の画素の全てに加えられる電流レベル) を調整し、ディスプレイのエージングのために画素輝度の変化を補償する。光センサーの鮮明度を最小にするために、散乱した光に反応するようにアクティブ画素エリアから離れて置かれるだろう。

30

【 0 0 5 0 】

或いは、回路 1 3 4 はエージングを補償するために絶えず個人画素の輝度を調整する全電子補償システムを含むだろう。発明者は、エージングで起こる O L E D 画素の輝度での崩壊は、特定の画素のための時間と電流とを計り、電流と時間の結果を集積化することによって予測されることができると決定した。この結果は、特性曲線に適合されることができて、画素のオリジナルの輝度レベルを元に戻す新しい駆動電流を予測するために駆動電流を調整するために用いられる。更なる改善として、異なる画素のための崩壊の率がわずかに異なることを分かった。そして、最初の崩壊が、スロープがバーンインの間、測定されることができ、その画素に対する駆動電流のいかなる変更をも計算するためのアルゴリズムでの第二の順序補正ファクタとして使用される。この調整の正確なフォームは、画素を形づくるために使用される画素と材料の幾何学に依存する。適当な調整は、時間にわたる例示的な画素の性能をモニターすることによって O L E D ディスプレイを設計する技術に熟練したものによって、容易に決定されるだろう。

40

【 0 0 5 1 】

エージングによる輝度の損失を補償する他の方法は、画素に加えられる電圧をモニターすることである。例えば、時間 T_0 で、最初に第一画素の輝度レベルが調整されるとき、電圧 V_0 での電流 I_0 は輝度 B_0 を生じる。若干後の時間 T_2 で、 2 つの変化が、起こる。それは、今、電圧 V_2 をとり、同じ一定の電流 I_0 を生じ、この I_0 での輝度は、現在 B_2 ($B_2 < B_0$) である。発明者は、電圧 $dV = (V_2 - V_0)$ の変化 $dB = ($

50

B 2 (B 0)) の変化に比例すると決定した。この釣り合い定数を知ると、オリジナルの B 0 を生じる新しい電流 I 2 を電子的に計算することができる。このアルゴリズムは、電子駆動ブロックの上のエレクトロニクスで取り入れられることができ、その結果は輝度がマニュアル調整なしで自動的に定数輝度で維持されることができるといことである。この釣り合い定数は、異なる画素幾何学と異なる O L E D 材料に対して変化する。それは、時間にわたって例示的な画素の性能をモニターすることによって O L E D ディスプレイを設計する技術に熟練したものによって、容易に決定されることができ。

【 0 0 5 2 】

或いは、輝度均一性を復旧する外部システムが使用されるだろう。そのようなシステムは、例えば、個々の画素輝度を検出し、測定するセンサーとディスプレイエレクトロニクスと通信する若干の手段とを組み入れるだろう。そして、その要求された輝度を確定する必要な正しい駆動電圧が、ディスプレイタイルメモリーで記憶されることができ。

10

【 0 0 5 3 】

特定の例が与えられる一方、所定の輝度レベルを維持するために画素に加えられる電流を調整するためのこれらの方法のいかなるものも、検査としてか、或いは、他の方法の性能を増やすために他のどの方法とも組み合わせられるだろうことが企図される。

【 0 0 5 4 】

例示的なディスプレイデバイスは、方法（即ち電流制御）を使用している画素の輝度を校正し、それは、画素を制御してグレースケールを達成するために使用される方法（即ちパルス幅変調方式）に対して直角である。個々の画素が、ディスプレイの全ダイナミックレンジにわたって合致している輝度レベルを表示するために校正されることができるので、これは有利である。

20

【 0 0 5 5 】

図 3 は、タイル 1 2 0 の例示的な構造を図示する分解透視図である。図 3 で示す例示的なタイルは、別個のエレクトロニクスセクションとディスプレイセクションとして形成され、また 1 つの構造として形成されるだろう。更に、タイルのローとカラム電極への接続は、タイルの 2 つのエッジに沿って作られる。

【 0 0 5 6 】

図 3 で示すタイルのための基板は、底部層 5 1 0 である。例えば、この基板は、図 1 A で示す回路 1 3 4 のようなエレクトロニクスモジュール及び、エレクトロニクスモジュールのコンポーネントを接続する相互接続の層を含むだろう。エレクトロニクスモジュールは、カラムバイア 5 2 0 とローバイア 5 2 2 を通してディスプレイデバイスのローとカラム電極に結合する。1 つのローバイア 5 2 2 だけを図 3 で示す。図 3 で示す例示的なタイルでの、レベル 5 1 0、そして、任意のレベル 5 1 2、5 1 4 と 5 1 6（想像線で示す）の基板は層を相互接続している。これらはより高い層及び層の 1 つの表面にペイント又はプリントされた伝導性のトレースに接続するためのバイアを有するセラミック層であるだろう。タイル構造が L T C C M 材料から形成されるならば、層 5 1 2 又は 5 1 4 のうちの 1 つは、金属層又は絶縁構造の基板であるだろう。層 5 1 6 は、カラムバイア 5 2 0 とローバイア 5 2 2 を有するセラミック層である。セラミック層 5 1 6 の上で形成されるローバイアは、例示的なディスプレイタイルのロー電極 5 2 4 に接続する。

30

40

【 0 0 5 7 】

図 3 で示すタイルは分離エレクトロニクスとディスプレイセクションから形成される場合、エレクトロニクスセクションは、層 5 1 0 と任意の層 5 1 2、5 1 4 と 5 1 6 だけを含む。タイルが 1 つのピースとして形成される場合、ディスプレイ材料 5 2 6 は、ロー電極 5 2 4 の上部に堆積される。図 3 で、ディスプレイ材料 5 2 6 は固体のシートとして図で示す。この材料は、しかし明瞭な電子注入層であり、ロー電極の上で堆積される区別可能な O L E D 電池であろう。ディスプレイ材料の区別可能な電池を使用して、物理的及び電氣的に、近隣の電池と分離し、図 4 A、5、6 A、6 B 及び 1 2 において図示するように、画素とサブピクセルとの間で電氣的且つ光学的クロストークかなり減らすことによってディスプレイコントラストを増加させる。ロー電極は、例えばアルミニウム、チタン、タ

50

ングステン、金又は銅などの金属から、ポリシリコンから、又は、そのような導体を含む多層構造から形成されるだろう。

【0058】

カラム電極528が、ディスプレイ材料526の上部の上で形成される。カラム電極は、レベル510からレベル526を通してディスプレイタイトルの各レベルを通して延びるバイア520を通して基板に接続される。各カラム電極は、それぞれ異なるバイア520に結合する。カラム電極528は、インジウム-スズ酸化物(ITO)又はポリアニリンのような透明導電材料から、通常形成される。本発明の例示的な実施形態で、カラム電極528より上に形成されるレベル530は、光学フィルター、又はブラックラインでディスプレイ層526の非アクティブエリアをおおい、ディスプレイ材料のアクティブ素子のため開口を提供するパターンニングされたブラックマトリクスであろう。図3で示すディスプレイタイトルの最終の層は、フロートガラスフロントカバー532である。

10

【0059】

図3で示すタイトルが、分離エレクトロニクスとディスプレイセクションとして形成される場合、ディスプレイセクションは、以下の方法において形成されるだろう。最初に、フィルター又はブラックマトリクス層530が、フロートガラスカバー532の上で堆積される。次に、透明カラム電極528が堆積され、次に、OLED材料が、カラム電極の上で形成され、ロー電極522が、OLED材料をカバーするために形成される。図3で示す例示的な分離エレクトロニクスとディスプレイセクションは、それらのエッジに沿ってローとカラムバイアをバンプ結合(bump-bonding)すること、又は伝導素子、例えばワイヤを伝導素子がバイアから突き出るように、セクションのうちの1つのローとカラムバイアに挿入することによって接合されるだろう。セクションが接合されるとき、伝導素子は次に他のセクションの上で対応するバイアで組み合わせるだろう。

20

【0060】

図3で示すタイトル構造は、層510、512、514と516のために、最初にグリーンテープブランクを準備することによって形成されるだろう。次に、バイア520と522が形成されるホールで、ブランクはパンチされる。ブランクがパンチされたあと、バイアを充てるためにそれらは、適当な導電材料でペイント又はプリントされ、ディスプレイタイトルにおいて他の回路を相互接続するために必要な何らかの伝導トレースを提供する。グリーンテープシート516に印刷されるトレースは、ロー電極524を含むだろう。バイア520と522とロー電極524と同様に層510、512、514と516を含むこの構造は、次に積層されて、ディスプレイデバイスの回路コンポーネントのために、セラミック基板を形成するために焼成される。この点で、平坦化層が表面平滑性を改良するためにセラミック基板に加えられ、それによって画素構造の製造を援助するだろう。非常になめらかな表面(例えばスピノンガラス)を形成する多数の材料で、平坦化層は、形成されるだろう。次に、ディスプレイ材料526が、ロー電極524上で堆積される。ディスプレイ材料526を堆積させた後に、カラム電極は、ITOを堆積させるために従来のプロセスを使用しているタイトルの上で形成される。

30

【0061】

セラミック構造を形成するために焼成されるかグリーンラミネート構造を形成する代わりに、基板510は、平らなセラミック材料(例えばアルミナ)であるだろう。OLEDディスプレイ層は、水蒸気と酸素に敏感である。これらのエージェントは、ベース基板を通り抜けることからブロックされなければならない。アルミナの利点は、それが十分な障壁層を形成するという点である。水蒸気と酸素をブロックするように、バイアは中部で製造されるだろう。この場合、図3で示す層512、514と516は、存在しないだろう。或いは、層512はスピノンガラスであるだろう。平坦化層が表面平滑性を改良して、それによって画素構造の製造を援助するためには、スピノンガラス層は望ましいだろう。更に、満足な障壁層を形成しないセラミック材料に対して、スピノンガラス層は、障壁層であるという更なる利点を提供するだろう。

40

【0062】

50

アルミナ基板は、必要なバイアを提供するために、機会加工され、又はプロセス（例えばエッチング）によって作用され、作用された基板は、上記の焼成されたセラミック回路ボードと同様に処理されるだろう。

【0063】

別個のステップで、ブラックマトリクス又はフィルター530は、フロートガラスカバー532の上で形成されるだろう。結合されたマスクとカバーは、次にディスプレイデバイスに整列され、マスクの中の開口がディスプレイ材料のアクティブ画素領域と一致するようになる。ガラス製のカバー532は、次に、例えば、フリットガラスを使用して、アルミナ基板又はコンポジット焼成セラミック構造に密封される。或いは、上述した2つのセクション構造の場合のように、画素構造は、ガラス製のカバーの上で形成され、次に、アルミナ基板又はコンポジット焼成セラミック構造に整列されて、密封される。

10

【0064】

図17A-Fは、本発明の例示的なディスプレイタイルを示している平面図である。連続した各図は、ガラス製の基板に加えられた更なる層を示す。この実施形態で、ディスプレイセクションとエレクトロニクスセクションは、エレクトロニクスセクションに対する分離基板なしで単一ガラス基板の同じ側で形成される。図17A-Fにおいて表される例示的な実施形態は、4つの画素だけを有する。示す画素の数は、図で明確のために選択され、本発明のこの実施形態によって作成されるディスプレイタイルにおいて使用されるだろう画素の数の上で、制約を示すことを意味しない。

【0065】

図17Aは、ガラス製の基板532の内部の表面の上で堆積したブラックマトリクスマスク2010を示す。ブラックマトリクスマスクは、アクティブ画素エリアと一致しているウィンドウを除いて、ガラス製の基板の全内部の表面をカバーするためにパターンニングされる。或いは、ブラックマトリクスマスクは、ガラス製の基板の外部表面の上で堆積するだろう。この場合、ブラックマトリクスマスクは、図10と11に関して前に述べられる寸法に従うだろう。

20

【0066】

次の図（図17B）は、ブラックマトリクスマスク2010の上部の上で堆積した透明カラム電極528を示す。これらの電極は、複数の層から成るだろう。電極は、ブラックマトリクスマスクでウィンドウの高さにかなりマッチすることを示す。透明カラム電極が、これらのウィンドウより小さいか又は大きいだろうことが企図される。ウィンドウの外に延びる電極の部分は、不透明だろう。

30

【0067】

図17Cは、透明カラム電極の上部の上にパターンニングされた部分で形成されたディスプレイ材料526を示す。更に、不活性化層（図示せず）が透明電極528のエリアをカバーするために加えられるだろう。ロー電極とカラム電極の間のコンタクトを防ぐためにディスプレイ材料によってカバーされない。

【0068】

図17Dは、ディスプレイ材料526をカバーして形成されたロー電極522を示す。ロー電極は、透明カラム電極と同じように、多重積層プロセスによって又は導電材料の単一層で形成されるだろう。

40

【0069】

図17Eは、不活性化層1702を示す。この不活性化層は、両方とも電気的にディスプレイセクション（特にディスプレイ材料526）の層をを分離して、密封するために使用される。不活性化層は、透明か不透明な材料どちらからでも成り、ここでは、カバーされないエッジに沿って小さな間隔を残すように示すが、ディスプレイタイル120の全後ろの表面をカバーする。不活性化層は、それを通して接続が透明ロー電極528とカラム電極522に作られるだろうバイアを含むようにパターンニングされる。

【0070】

図17Fは、ガラス製の基板532の部分の上に、直接にディスプレイタイル120のセ

50

クションで取り付けられるエレクトロニクスモジュール1704を示し、それは、ブラックマトリクスマスク2010によってカバーされた。エレクトロニクスモジュールのこの方向は、エレクトロニクスモジュールがディスプレイを見るビューアーに、見えないことを保証する。また、ブラックマトリクスマスクによってカバーされるセクションだけにエレクトロニクスモジュールを置くことによって、エレクトロニクスモジュールに起因する可能なホットスポットの効果を低減することが可能になる。図17Fで示すものは、コンタクト1706であり、不活性化層1702でエレクトロニクスモジュールからギャップまで延び、下でエレクトロニクスモジュールをローとカラム電極に電氣的に結合させる。

【0071】

図17Fでのエレクトロニクスモジュールは不活性化層1702に配置されて示すが、エレクトロニクスモジュールが方法によってこの実施形態でディスプレイタイトルの裏に結合するだろうことが企図され、それによってエレクトロニクスモジュールは、例えばはんだバンプ又はフリップチップ技術によって、不活性化層と直接接触しない。これらのケースで、ディスプレイタイトルの温度管理で援助するために長いリードを使用する方法が、この実施形態で使用されるだろう。更に、不活性化層1702が不透明材料から成るならば、エレクトロニクスモジュールはエリアで配置され、それは、タイル張りのディスプレイシステムのビューアーに見えるようになることなくブラックマトリクスマスクによってカバーされない。

【0072】

保護層がタイルのエレクトロニクスセクションの上に堆積し、タイルを密封して、ディスプレイ材料を水蒸気と酸素から保護するだろうことがまた企図される。

【0073】

図4は、図3で示すディスプレイタイトルの底部平面図である。図4で示すように、基板510は、電子回路回路134'を含み、それはそれぞれバイア520と522を通して、ディスプレイのローとカラムに接続される。本発明の例示的な実施形態で、バイア520と522への回路134'を接続する導体602は、上述のように、焼成の前にグリーンテープの上へプリントされるかペイントされるだろう。或いは、これらのバイアは、作用されたアルミナ基板の上へペイントするか、プリントされるだろう。コネクタ602は、回路134'のエッジに沿って、バイア520と522に結合する。回路134'は、導体610を介して操作可能な電源を受信して、導体612とコネクタ614を介してデータ信号と時間情報を受信するために結合する。タイル120'が図1で示すデバイス100のようなタイル張りのディスプレイデバイスに組み立てられるとき、コネクタ614は、ケーブルハーネスに結合するだろう。図4Aは、図3で示すタイルにおいて使用されるだろう例示的な画素スペーシングを示す画素ダイアグラムである。この画素スペーシングは、伝導バイアが、組み立てられたタイル張りのディスプレイでピクセル間の距離を局所的にゆがめることなく、タイルのエッジに沿って配置されることができるようになる。

【0074】

図4Aは、4枚のタイル、630、640、650及び660の部分を示す。破線624と622は、タイル境界を示す。これらのラインは、画素レイアウトを理解するためのガイドとしてのみ提供され、画素のアクティブ部分526は、全体の画素エリアのおよそ1/4だけを占める。これは、ほぼ25%の画素アパーチャーを定義する。本発明のこの例示的な実施形態で、アクティブ領域は、画素エリアで中央を占めず、図4Aで示すように左上部にオフセットされる。

【0075】

図4Aで示すように、画素のこのスペーシングは、バイア520と522のために、ディスプレイのエッジに沿って場所を残し、タイル境界にわたる画素の通常のスペーシングを妨げることなく、画素のローとカラム電極に電子回路駆動回路を接続する。バイアは、それらがローとカラム電極と直接接触せずに、一方電氣的に電極に結合するように置かれるだろう。この電氣的な結合は、金属の小さなタブ、又は電極から又は金のボンディング又は他の標準のエレクトロニクスの慣例によって延びている他の電極材によって達成される

10

20

30

40

50

だろう。図 4 A で示す例示的な実施形態で、アクティブ領域 5 2 6 からタイルのエッジへの距離である距離 d_e は、画素境界 5 2 2 又は 5 2 4 への画素 5 2 6 のアクティブ領域のエッジからの内部距離である距離 d_I のほぼ 2 倍である。

【 0 0 7 6 】

図 4 A で示す画素ダイアグラムが、水平及び垂直に画素オフセットのアクティブ領域を有するが、アクティブ領域が垂直にオフセットされるだけであろうことが企図される。この構成で、ロー電極へのコンタクトは、アクティブ画素材料の下にあり、従って、画素のアクティブ領域をオフセットする必要がある。空間的にバイアを切り離すためにバイアとコンタクトを互い違いにすることも可能である。

【 0 0 7 7 】

図 5 は、代替りの画素レイアウトである。図 5 で示すレイアウトで、画素のアクティブ部分 5 2 6 はそれらのそれぞれの画素領域で中心におかれ、エレクトロニクスにディスプレイのローとカラム電極を接続するバイアがそれぞれの画素素子の間で形成される。アクティブ領域 5 2 6 のエッジとディスプレイのエッジ 7 1 2 の間の距離はタイルの全ての側で等しく、アクティブ画素領域の中心からエッジへの距離は画素ピッチの $1/2$ である。図 1 3 と 1 3 A に関して下で述べるが、エッジ画素の中心とタイルのエッジの間の距離は、縦仕切りが隣接のタイルの間で挿入されることができるようにならずに画素ピッチの $1/2$ 未満であるだろう。下で述べるが、縦仕切りが、ディスプレイデバイスのタイルを接合し、タイルが対処するエッジを隠すために通常使用される。

【 0 0 7 8 】

一般に、上で述べたディスプレイは、モノクロディスプレイであった。画素は、単一ローとカラム電極対によって制御される単一放射エリアを有する。色画素は、図 6 A 及び 6 B で示すように実施されるだろう。図 6 A は、分離したレッド (R) 8 2 0、グリーン (G) 8 2 2、そして、ブルー (B) 8 2 4 サブピクセル有する単一画素を示す。3つのサブピクセル 8 2 0、8 2 2 と 8 2 4 は、各々がそれぞれのカラム電極 (図示せず) 有し、それは、それぞれ、バイア 8 1 0、8 1 2 と 8 1 4 によって、エレクトロニクスセクションに接続されるだろう。本発明の例示的な実施形態で、バイア 8 1 0、8 1 2 と 8 1 4 のうちの 1 つだけが、与えられた画素の範囲内で形成される。少なくとも 1 つのバイアが各カラム電極のために存在する限り、至当な接続性は、達成されるだろう。単一ロー電極 (図示せず) は、3つのサブ画素のすべてのものによって使用される。このロー電極は、そして、想像線で示すバイア 8 1 6 によってエレクトロニクスセクションに結合する。三重のサブピクセル構造の幾何学は、 d_{SH} (サブピクセルの高さ)、 d_{SW} (サブピクセルの幅) と d_e (アクティブサブピクセルエリアから画素エリアのエッジへの距離) によって定義される。本発明の 1 つの例示的な実施形態に対して、これらの寸法は、画素ピッチ (P) に関して表 1 で与えられる。

【 0 0 7 9 】

表 1

d_{SH}	. 5 P
d_{SW}	. 1 6 P
d_e	. 2 5 P

その基板層の範囲内の電極のための数接点層がバイアの数によって拘束されない点に留意する必要がある。マルチプル接点は、単一バイアから枝分かれするだろう。

【 0 0 8 0 】

図 6 B は、代替りのカラー画素構造を示す。この構造は、4つのサブピクセル素子、8 3 0、8 3 2、8 3 4 と 8 3 6 を含む。1つの例示的な実施形態で、これらのサブピクセル素子、8 3 0 と 8 3 6 のうちの 2 つは、刺激されるとグリーン光を発生し、一方、他の 2 つの画素素子、8 3 2 と 8 3 4 は各々レッドでブルー光を発生する。この構造は 4 倍サブ画素として知られている。構造は、2つのグリーンサブピクセルを使用する。それは、カラーディスプレイの輝度情報のより多くが、レッド又はブルー画素のいずれかよりもグリーン画素であるからである。このように、2つのグリーンサブピクセルの使用は、より明る

10

20

30

40

50

いディスプレイをできる。或いは、画素 830 と 836 は両方ともレッドであるかブルー画素であるだろう。いくつかの表示技術で、レッド又はブルー画素材料によって発される光の量は、グリーン画素によって発される光の量より少ないだろう。この場合、画素 830 と 836 に両方を各々のレッド又はブルー画素で作ることは、全体的な表示の濃淡を改良するだろう。いくつかの表示技術で、その他に、又は加えて、レッド、ブルー又はグリーンで、別の色を使用することが望ましいことが企図される。図 6 B で示す画素構造は、2つのロー電極（図示せず）と2つのカラム電極（図示せず）を使用する。ロー電極は、バイア 816' 及び 818（想像線で示す）によってエレクトロニクスセクションに結合し、カラム電極はバイア 810' 及び 812' によってエレクトロニクスセクションに接続される。四倍の広さのサブピクセル構造の幾何学は、寸法 d_{SH} （サブピクセルの高さ）、 d_{SW} （サブピクセルの幅）、 d_e （アクティブサブピクセルエリアから画素エリアのエッジへの距離）、そして、 d_{SI} 隣接のサブピクセルの間で距離によって定義される。これらの値は、本発明の例示的な実施形態に対して、表 2 で定義される。

10

【0081】

表 2

d_{SH}	. 25 P
d_{SW}	. 25 P
d_e	. 125 P
d_{SI}	. 25 P

図 6 A 及び 6 B が、水平及び垂直方向で等しい距離 d_e と d_{SI} を示す一方、これらの値が異なるだろうことが企図される。図 6 A と 6 B で示す例示的な画素構造は、両方とも、ほぼ画素エリアの 25 のパーセントをカバーしているアクティブ画素部分を有し、ほぼ 25 のパーセントの画素アパーチャーを生じる。この値は、例示的なだけである。本発明は、両方のより大きく及びより小さな画素アパーチャーを企図する。

20

【0082】

図 7 は、本発明に従う例示的なセルフ整列タイルアセンブリ構造の展開前面図である。図 7 で、フレーム 1410 は複数のバネ素子 1418 を含む。更に、パワー、タイミングとデータ信号は、それぞれのフレキシブルコネクタ 1416 によって個々のタイルに導かれる。コネクタ 1416 は、また、フロート - ガラスフロントプレート（図示せず）と接触するためにタイルを前に押すために行動するだろう。コネクタ 1416 は、ワイヤリングハーネス 1422 を通してパワー、データとタイミング信号を受信するために接続する。図 7 で示す発明の例示的な実施形態で、タイルの各々は、各々のフレキシブルコネクタ 1416 のフレーム 1410 内で取り付けられる。タイルのロー又はカラムが完全に組み立てられるとき、フレーム 1410 のばね 1418 は、タイルを破線ボックス 1420 によって示すエリアに制限するのに役立つ。タイルの全てがフレーム 1410 に組み立てられるとき、ばね 1418 はアラインメントでタイルを保持するように作用する。セルフ整列構造を増加するために、各タイルのエッジは、相補パターン（図示せず）で形成され、隣接のタイルのパターンが一致し、整列してタイルを保持する。例えば、タイルの対向したエッジは、相補鋸歯があるエッジでパターンングされ、それは、1つの位置だけで各タイルを隣接のタイルとかみ合うことができる。タイルが2つのパーツで形成されるならば、これらのエッジパターンがディスプレイセクションの上で又はエレクトロニクスセクションの上で作られるだろうことが、企図される。ディスプレイセクションに対してエッジ製造を単純化するので、エレクトロニクスセクションの上でエッジパターンを作ることは望ましい。タイルが単一基板の上で形成されるならば、基板は、相補エッジパターンで形成されるだろう。

30

40

【0083】

図 8 ~ 13 は、タイル 120 がコンポジットタイル張りのディスプレイ 100 を形成するために接合される例示的な他の方法を示す。明確さのために、タイル張りのディスプレイにタイルの間の物理的なギャップがある。この物理的なギャップをビューアーに見えないようにすることは望ましい。この前後関係で見えないことは、ギャップで散乱させ又は屈

50

折するだろう画素によって発せられた光が、ビューアーによって見る事ができず、ビューアーが物理的なギャップを検出することを可能にする外部見通し線は存在しないことを意味する。

【0084】

しかし、CRT又はプロジェクションディスプレイを使用している最新技術のタイル張りのディスプレイは、物理的なギャップを隠すために個々のディスプレイの間で縦仕切りを使用する。これらの縦仕切りは、オブザーバーに見え、それらがイメージの連続性を壊すため、ビューアーに好ましくない。従って、ギャップを見えなくするあらゆる構造が、より大きいイメージの連続性を壊さないことが望ましい。

【0085】

タイル張り又はタイル張りされていないディスプレイで一般に見いだされる他の構造は、ブラックマトリクスである。ブラックマトリクスは、ディスプレイコントラストを増加させるために、これらのエリアで環境光を吸収するために画素のアクティブ部分の間で置かれるブラックラインから製造されるだろう。例えば、CRTのフロントスクリーン上の蛍光体の間で又は液晶ディスプレイに対して定義される画素位置の間で、ブラックマトリクスラインは、見いだされるだろう。タイル張りのディスプレイで、ブラックマトリクスラインは、縦仕切りより通常小さくて、画素の平面に通常置かれる。ブラックマトリクスラインが周期的で、画素の間で置かれるので、それらはイメージの連続性を壊す傾向がない。

10

【0086】

本発明は、タイル張りのディスプレイに取り入れられるだろう光学構造を使用し、タイルの間で物理的なギャップをブラックマトリクスから見分けがつかなくし、従ってビューアーに見えなくする。この構造の説明図を、図13と13Aで示す。図13は、部分的に組み立てられたディスプレイデバイスの切取透視図である。図13Aは、図13で示すディスプレイデバイスの部分の詳細を示す。図13で示す構造の主要なコンポーネントは、フレーム2014、例えばガラス又はプラスチックの透明シート2020、ブラックマトリクスを形成する複数のブラックライン2010及びディスプレイを形成するタイル120である。光学のインテグレート構造の主な特長は、ブラックライン2010のパターンであり、それは、それらが等しい幅と画素ピッチと等しいスペーシングを有するという点においてブラックマトリクスラインに似ている。これらのブラックライン2010は、タイル120の間のギャップ2012の両側にそれらの画素を含むディスプレイの全ての画素の間に位置するように整列するだろう。ブラックラインの光学のインテグレートパターンは、また、いくつかの光学のインテグレート構造のブラックラインのディスプレイタイルの間のギャップの上部の上で位置し、それらの鮮明度をブロックする点で縦仕切りに似ている。組み立てられるとき、タイル120のガラス製の基板532は、透明シート2020の後ろの表面の上で、ブラックライン2010に隣接して配置され、集積構造を形成する。

20

30

【0087】

従来のブラックマトリクスと違い、ディスプレイタイルを集積化するための開示された光学構造は、タイル120のビューアー側の上で、画素(縦仕切り構造のような)を含んでいる平面より上に置かれ、ディスプレイタイルと接触する、ブラックラインでパターンニングされている。縦仕切りと違い、光学的集積構造2020のブラックラインは、縦仕切りをカバーするブラックラインが本質的にブラックマトリクスを形成するブラックラインと同じ幅であるように比較的狭い。このように、開示された構造は、同時にブラックマトリクスと縦仕切りの機能を提供するが、縦仕切りは、このように、ラインはビューアーに見えない。それは、光学的インテグレート構造2020のパターンでの全てのラインが本質的に同じものであって、実際上見分けがつかないからである。従って、視聴者は単にブラックラインの均等なパターンを見る。

40

【0088】

図13で示す光学のインテグレート構造をより容易に説明するために、分離した縦仕切り

50

を使用するタイルを接合する方法を最初に述べる。図 8 は、本発明によれば、縦仕切りでつながれた 2 枚のタイル 1 2 0 の部分の横断面である。タイルの各々は、タイル構造 1 5 1 0 のガラス製の基板 5 3 2 と残りを含む。例示的なタイルは、ガラス製の基板 5 3 2 の底面にすぐ近くに位置するアクティブディスプレイ材料 1 5 1 4 を含む。例示的なタイルも、ブラックマトリクスの部分形成する縦仕切り 1 5 1 2 とブラックライン 1 5 1 3 を含む。

【0089】

図 9 は、従属する発明に従うディスプレイデバイスの用途に適切な、例示的な縦仕切り 1 5 1 2 の透視図である。縦仕切り 1 5 1 2 は、ブラック材料から形成され又はプリント又はペイントされたブラックであろう上面 1 6 1 0 を含む。縦仕切りがディスプレイデバイスの上でアーチファクトを作らないことを確実にするために、縦仕切りの上面がサイズ、色と光沢でブラックストライプにしっかりと適合させることは、望ましい。縦仕切り 1 5 1 2 も、明るい色の材料（例えば白）から望ましく形成される側表面 1 6 1 2 を有する底部ステムを含む。或いは、縦仕切りの底部ステムは透明で、フロートガラス基板 5 3 2 のそれと近い屈折率を有するだろう。縦仕切りの近くで散乱するあらゆる光がタイルの内部で画素の中で散乱する光と同じ特性を有するように、縦仕切りの底部ステムが明るい色であるか又は透明であることは、望ましい。光が、中心の近くよりもタイルの端に異なって散乱する場合、例えば、エッジは表示されたイメージでの低減された輝度のバンドとして見えるだろう。縦仕切りの上部バーの下側 1 6 1 4 と横の表面 1 6 1 2 のうちの 1 つ以上は、それが接合する 2 枚のタイルに、縦仕切り 1 5 1 2 を付けるために接着材で覆われているだろう。これらの表面の全てが接着材で覆われているならば、縦仕切りは、ディスプレイデバイスにタイルを接合するために使用されるだろう。

【0090】

放射ディスプレイのガラス基板の前面上で、ブラックストライプ又は縦仕切りに対して最適の配置を決定するために、ディスプレイによって発される光の特性を理解することは役に立つ。図 10 は、底面 1 7 1 0 と上面 1 7 1 2 を含む例示的なガラス基板 5 3 2 の横断面を示す。多数の代表的な光学的光、1 7 1 4、1 7 1 6 及び 1 7 1 8 が、底面 1 7 1 0 の上点から発することを示す。いくつかの光線 1 7 1 4 はガラスを出る、そして、いくつかの光線 1 7 1 8 は上面から完全に内部に反射されて、ガラスのシートにトラップされる。基板 5 3 2 の上面 1 7 1 2 と平行な角度で屈折する光線 1 7 1 6 が光線のこれらの 2 つの型光線の間の変換点にある。

【0091】

変換点にある光線 1 7 1 6 の入射角は、臨界角と呼ばれている (c)。臨界角より小さい角度で表面 1 7 1 2 に到達する光は、ガラスを出て、臨界角がより大きい角で表面 1 7 1 2 に到達している光は全体的に内部に反射される。臨界角は、方程式 (1) で示すガラス製の基板 5 3 2 の屈折率 (n_{glass}) に依存する。

【0092】

$$c = \sin^{-1} (1 / n_{glass}) \quad (1)$$

本発明の例示的な実施形態で、 $n_{glass} = 1.55$ 、 $c = 40^\circ$ である。

【0093】

タイル張りのディスプレイは、アレイで置かれるタイルでできており、タイルの間のギャップにわたる画素の間のスペーシングがディスプレイタイルの範囲内の画素の間のピッチに実質的に同じものであるようになっている。このように、ディスプレイタイルエッジは、最後の画素の中心からの 0.5 のピッチ距離（又はわずかに少ない）である。臨界角のため、ガラスのシートの内部の点から発される光は最高でも $d_c = t_{glass} \tan(c)$ の横方向距離を移動することができる。なお、 t_{glass} はガラスの厚さである。従って、ギャップ領域のあらゆる部分からの光は、ギャップ領域の上に幅 $W_m > 2d_c$ のブラックストライプを置くことによってブロックされるだろう。そのようなブラックストライプを、図 11 の縦仕切り 1 5 1 2 の上部に示す。光学部品の対称のため、同じブラックストライプは、ギャップ領域に見えるようにすることからあらゆる外部

10

20

30

40

50

光線をブロックする。このように、このブラックストライプはギャップ領域をオブザーバーに見えなくする。実際問題として、ブラックストライプは、ギャップのあらゆる有限幅に対して $2d_c$ よりわずかに広い必要があるだろう。

【0094】

再び、図13と13Aにおいて示す構造に言及すると、個々のタイルは、分離した縦仕切りでつながれる必要はない。その代わりに、タイルは、光学の集積構造2020の後面上に、ギャップが幅 W_m を有するブラックストライプの上に、直接に配置されるように直接に組み立てられるだろう。図13と13Aで示すように、例示的な光学の集積構造2020は、構造の表面のブラックラインがタイルのガラス製の基板532と接触している状態でタイルのアレイの上部上に配置される。ブラックラインの中心は、タイル間のギャップで整列し、ギャップ領域が、オブザーバーによって見られないようになってい 10
る。本発明のこの実施形態は分離した縦仕切りを必要としないが、タイルが縦仕切り1512によって接続されるならば、積分構造2020は、縦仕切りの上面1610をカバーするブラックラインを含むだろう。この場合、タイル120の上面と積分構造2020の後ろの表面の間であらゆるギャップを最小にするために可能な限り、縦仕切りの上部バーを狭くすることは望ましいだろう。或いは、縦仕切り1512はブラックマトリクスラインで積分構造2020上へ組み立てられるだろう。この構成で、縦仕切りはタイル120が合成ディスプレイを形成するために挿入されるポケットを形成する。この構造は、接着材を使用積分構造2020に直接に縦仕切りを接着し、次に、ディスプレイにタイルを挿入する前に接着材をクロスバー1610の下側とステムの側に加えるすることによって形 20
成されるだろう。

【0095】

タイル内ギャップをカバーするために使用される縦仕切りを形成する光学的積分構造2020のブラックラインは、代表的なブラックマトリクスラインより広い傾向があり、タイルのエッジの近くの画素から発するいくらか又は全ての光をブロックするだろう。光の最大の量が通過することができるようにし、更に、組み立てられたディスプレイデバイスであらゆるアーチファクト歪みを避けるために、積分構造2020のブラックストライプとディスプレイタイルと、望ましく特に特定の関係を有するように設計されている。

【0096】

図12は、2つの画素領域を含む画素の横断面を示す。ガラス製の基板532の底の放射 30
する領域1910は、幅 d_p を有する。ガラス製のセクションを出ることができて、見るために有効である光線は、幅 $w = 2d_c + d_p$ を有するエリアで、ガラス532の上部を出る。ディスプレイタイルは、等しく、 P (画素ピッチ) として知られた間隔をあけた画素のアレイを有する。従って、全ての見える光をブロックするためには、ブラックマトリクスが幅 $W_m < P - d_p - 2d_c$ を有することが望ましい。図12で示す寸法は、ブラックマトリクスストライプが完全にギャップを隠して、まだ放出光をブロックしないケースを表す。

【0097】

ブラックマトリクスを形成するブラックストライプ及び縦仕切りの上部バーによって適合 40
される2つの幅の基準がある。それは、 $W_m > 2d_c$ (ギャップを隠すため) と $W_m < P - d_p - 2d_c$ (画素からブロック光を避けるため) である。最も望ましい解決は最も大きいガラス厚さによる設計点であり、そこで、両方の基準が適合する。その設計点は、ガラスの厚さが P (画素ピッチ) の0.15倍、及び、ブラックストライプの幅が画素ピッチの0.25倍であるときである。その条件に一致するためにディスプレイタイルとブラックマトリクスストライプを設計することは、大きいエリアディスプレイを作る結果になり、光学の集積構造の後に個々のタイルを集積化することによって個々のタイルが、検出されることができないタイル内ギャップを有する結果を有する。

【0098】

ガラス製の基板532の厚さとブラックストライプの幅が上で述べられる基準を満たすとき、ディスプレイの前で直接にビューアーの方へ導かれる光(例えば標準的な角度から見 50

ること)はブロックされず、より大きな視角からの光は、ブロックされない。ガラス製の基板532の厚さ及び/又はブラックストライプの幅が上記の基準より大ききとき、ディスプレイの前で直接にビューアーの方へ導かれる光(例えば標準的な角度から見ること)はブロックされず、しかし、より大きな視角からのいくつかの光は、ブロックされるだろう。

【0099】

先に述べたように、本発明の例示的な実施形態で、タイルの画素は、ほぼ25%のアパーチャを有し、ビアのための画素内の余地がカラム電極との電氣的なコンタクトを作ることができるようになっていいる。このように、発明の例示的な実施形態で、 d_p はほぼ $P/2$ である。この比較的小さなアパーチャーも、利点を有する。それは、インタータイルギャップを隠すことをより容易にすることと、比較的大きいストライプブラックマトリクスがディスプレイのコントラストを改良することができることである。

10

【0100】

無反射コーティングで集積構造2020のビューアー側を覆うこと、及び/又は環境光アブソーバー又は、光学の集積構造2020が作成される材料(例えばガラス又はプラスチック)の内部又はその表面上のカラーフィルターを加えることによってコントラストが更に改良されるだろうことが企図される。

【0101】

集積構造2020がビューアー側表面の上で拡散コーティングを含むだろうことが企図される。このディフューザは、個々の画素とブラックマトリクス構造の鮮明度を低減している画素の明白なサイズを拡大する。このように、ディフューザは表示されたイメージの粗さを低減するために作用するだろう。これは、特に比較的大きい画素を有するか、又はそれはより小さな画素を有するが、ディスプレイデバイスに近接して見られるように設計されているディスプレイデバイスに対して有意であるだろう。画素構造の鮮明度が低減されるだろう他の方法は四倍の広さの画素構造(例えば図6Bで示すそれ)を使用することである。そこにおいて、間隔をあけられた単一カラーサブピクセルは単一色画素を形成する。

20

【0102】

集積構造2020も、ディスプレイタイルを整列させて、取り付ける単純な方法を提供する。特に、集積構造2020のパターンは、タイルを配置するために、例えばモアレパターンを使用して、画素と正確に整列するだろう。次に、タイルは光学上クリアな接着材で構造2020の上へ取り付けられるだろう。

30

【0103】

図14~16は、ビデオタイルの温度管理を改良するための例示的な方法を示す。多くのディスプレイ材料の出力強さが熱的に敏感であるので、温度管理は問題である。基板の電子部品は、ビデオタイルの操作の間、熱を生成するだろう。この熱が放散させられないとき、タイルは、暖かくなり、それは、タイルの出力特性の変化に至るだろう。タイルが熱をよく伝導するならば、これは重大な問題でないだろう。この種類の全体的な加熱で、加熱を補償することは可能だろう。又は、全てのタイルが均一に熱くなるならば、変化は注目されなくなるだろう。より大きな問題は、基板が熱の貧弱な導体であるとき、個々の電子部品は、ディスプレイのホットスポット(タイルの包囲部分よりかなり熱い小さな領域)を引き起こす。ホットスポットの問題は、貧弱な熱伝導率を有する基板上に直接作成されるタイルにおいてより大きいが、それはこの構造のタイルに特有である。いくつかのケースで、ホットスポットは十分に小さく、補われる範囲である。他のケースでは、補償は難しく、これらのホットスポットを避けるステップが望ましい。

40

【0104】

図14は、単一基板2101の上で製造される例示的なビデオタイルの側面図である。この実施形態で、画素構造2103は、基板と透明前面パネル2102の一方にはさまれる。基板の向こう側で、エレクトロニクス2104は、例外的に長いリード2105によって基板に接続される。そのような長いリードでエレクトロニクスを基板に接続させること

50

によって、本発明のこの実施形態は、エレクトロニクスから基板までの熱伝達を低減し、それによってホットスポットの下で画素の性能に影響を及ぼす可能性のある基板上でホットスポットを避ける。

【0105】

図15Aは、基板表面でホットスポットを避けるために使用される本発明の例示的な他の実施形態を例証する。図15Aで、基板2101は、もう一度基板と透明前面パネル2102に挟まれる画素2103を有する。この実施形態で、基板の上で直接に取り付けられるフィン構造2201によって、エレクトロニクス2104は基板の表面から切り離される。

【0106】

図15Bは、フィン構造の上へ取り付けられたエレクトロニクス2104を含むこのフィン構造2201の平面図を示す。また、電氣的にフィン構造を基板に接続させるために使用される伝導トレース2203とバイア2202が、この図で見られることができる。フィン構造は放熱器として作用し、熱を放散し、それによってビデオタイルのより一様な性能を確実にして基板でのホットスポットの形成を防ぐ。

【0107】

図16は、本発明の例示的な他の実施形態を例証する。そこで、単一基板2101、透明前面パネル2102及び画素2103は、図14と15Aにおいて示された前の2つの実施形態の場合と同じ機能を有する。本発明のこの実施形態で、フレキシブル基板2301は、単一基板の背面に接続された。フレキシブル基板2302の一端は、基板の表面から離れるように曲げられた。フレキシブル基板のこの部分上に、エレクトロニクス2104は取り付けられる。これは、基板でホットスポットを軽減するためにもう一度される。

【0108】

本発明の実施形態は、OLEDディスプレイデバイスに関して説明されたが、他のタイプのディスプレイデバイスで同様のコンセプトが実施されることが意図される。添付の請求項によって定められるように、本発明の範囲から逸脱しない多くの他の修正が存在することは、当該技術に熟練した者に理解されるだろう。

【図面の簡単な説明】

【図1】

2枚のタイルが除去された大領域ディスプレイデバイスの前部の平面図である。

【図1A】

図1で示した大領域ディスプレイに対する、好適なタイルの裏面の斜視図である。

【図1B】

図1で示した大領域ディスプレイに対する、好適なタイルの前面の斜視図である。

【図2】

図2は、図1Aと1Bで示すタイルのために、好適な画像情報処理と駆動回路のブロック図である。

【図3】

図3は、図1Aと1Bで示すタイルを実施するために使用されるだろう代替構造を図で示す分解斜視図である。

【図4】

図4は、図3で示す構造を有しているタイルのバック平面図である。

【図4A】

図4Aは、図3で示す構造を有している4枚のタイルの部分のために、例示的なピクセルレイアウトを示すピクセル図である。

【図5】

図5は、構造を有している4枚のタイルの部分のために、代わりの例示的なピクセルレイアウトを示すピクセル図である。

【図6A】

図6Aは、分離したサブピクセルを含む単色ピクセル構造の前部の平面図である。

10

20

30

40

50

【図 6 B】

図 6 B は、分離したサブピクセルを含む代替単色ピクセル構造の前部の平面図である。

【図 7】

図 7 は、図 1 で示すタイル張りのディスプレイの用途に、好適な例示的な取り付け方法を図で示す分解等角図である。

【図 8】

図 8 は、隣接のタイルを接合する例示的な方法を図で示す図 1 で示した一部のタイル張りのディスプレイの切取側面平面図である。

【図 9】

図 9 は、図 8 で示した接合方法の用途に、好適な縦仕切りの斜視図である。

10

【図 10】

図 10 は、タイルのためのブラックマトリクスを形成する方法を説明するための有効な構造を有するタイルのピクセルのガラスプレートの切取側面平面図である。

【図 11】

図 11 は、タイルが図 9 で示す縦仕切り等によって接合されることができる方法を示す 2 枚の隣接のタイルの一部のガラスプレートの切取側面平面図である。

【図 12】

図 12 は、ディスプレイのためにブラックマトリクスを形成する方法を説明するために有効な 2 枚の隣接のタイルの 2 つの隣接のピクセルのガラスプレートの切取側面平面図である。

20

【図 13】

図 13 は、例示的な取り付け方法を説明するために有効な図 1 で示すタイル張りのディスプレイとタイル張りのディスプレイのためのブラックマトリクスの例示的な実現形態の部分分解斜視図である。

【図 13 A】

図 13 A は、図 13 で示した一部部分分解斜視図の詳細図である。

【図 14】

図 14 は、熱放散を改良し且つディスプレイでホットスポットを軽減するためにエレクトロニクスが表面から持ち上がった例示的なビデオタイルの側面図である。

【図 15 A】

図 15 A は、熱放散を改良し且つディスプレイでホットスポットを軽減するためにフィン構造を利用した例示的なビデオタイルの側面図である。

30

【図 15 B】

図 15 B は、図 15 A でのフィン構造の上面図である。

【図 16】

図 16 は、熱放散を改良し且つディスプレイでホットスポットを軽減するためにフレキシブル回路基板を利用した例示的なビデオタイルの側面図である。

【図 17 A】

図 17 A は、ガラス基板の同じ側面に接続されているディスプレイセクションとエレクトロニクスセクションを有する例示的なビデオがタイルの第 1 の層の上面図である。

40

【図 17 B】

図 17 B は、図 17 A の例示的なビデオタイルの 2 つの層の上面図である。

【図 17 C】

図 17 C は、図 17 A の例示的なビデオタイルの 3 つの層の上面図である。

【図 17 D】

図 17 D は、図 17 A の例示的なビデオタイルの 4 つの層の上面図である。

【図 17 E】

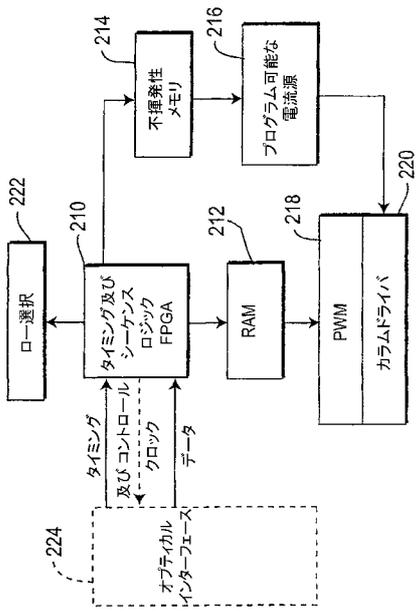
図 17 E は、図 17 A の例示的なビデオタイル 5 つの層の上面図である。

【図 17 F】

図 17 F は、図 17 A の完全な例示的なビデオタイルの上面図である。

50

【 図 2 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
13 June 2002 (13.06.2002)

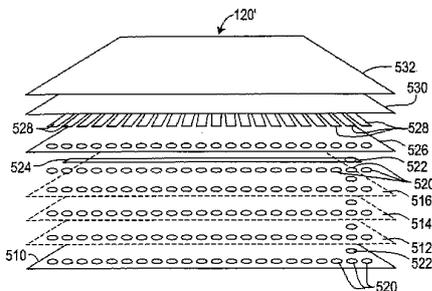
PCT

(10) International Publication Number
WO 02/47310 A2

- (51) International Patent Classification: **H04L**
 - (21) International Application Number: PCT/US01/46455
 - (22) International Filing Date: 9 November 2001 (09.11.2001)
 - (25) Filing Language: English
 - (26) Publication Language: English
 - (30) Priority Data: 09/709,904 10 November 2000 (10.11.2000) US
 - (71) Applicant: SARNOFF CORPORATION [US/US]; 201 Washington Road, CN5300, Princeton, NJ 08543-5300 (US).
 - (74) Agents: NIGON, Kenneth, N.; Ratner & Prestia, 301 One Westlakes (Berwyn), P.O. Box 980, Valley Forge, PA 19482-0980 et al. (US).
 - (81) Designated State (national): JP.
 - (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- Published:**
— without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

(72) Inventor: MATTHIES, Dennis, Lee; 387 Nassau Street, Princeton, NJ 08540 (US).

(54) Title: DISPLAY TILE STRUCTURE USING ORGANIC LIGHT EMITTING MATERIALS



(57) Abstract: A tiled display structure is fabricated on a single substrate that also serves as a circuit board containing electronic components. Electrodes are formed on the substrate and the remainder of the display section is formed on the electrodes. The pixel elements used patterned display material, and occupy only a portion of the pixel structure. The electronic components are mounted on the substrate using exceptionally long leads to assist in the thermal management of tiles. Alternatively, each tile includes a fin structure on the circuit board surface onto which electronic components are mounted and are not in contact with the substrate. Alternatively, each tile includes a flexible circuit board mounted on the substrate, a portion of which is bent away from the substrate. Electronic components are coupled to this portion of the flexible circuit boards such that the components are not in contact with the substrate to assist in thermal management.



WO 02/47310 A2

WO 02/47310

PCT/US01/46455

1

DISPLAY TILE STRUCTURE USING ORGANIC LIGHT EMITTING MATERIALS**BACKGROUND OF THE INVENTION**

The present invention concerns electronic display devices and, in particular, large-area display devices which are formed as an array of tiled display devices.

5 There is an unmet need for large-area flat displays. No clear solution is apparent in the market place. This unmet need is becoming increasingly critical as the advancement of information results in increasing amounts of data to be displayed. A solution for large-area displays is needed to serve as the human interface for conveying information from sensors, computers, databases, cameras etc. in this information dominated age. Many critical applications demand large-area
10 displays, these include:

Home theater applications

Applications that require multiple viewers

Applications in which the user needs to move about in an area

Applications where simulation of the real world is needed for training.

15 The requirements for each application differ in size, shape, total number of picture elements (pixels), and brightness. Requirements that are common to most applications include, a relatively large number of pixels, color, ruggedness, portability (minimum thickness and weight), reliability, low power, and affordable cost. A good display solution does not exist for these needs using present technology.

20 There are fundamental technical issues that impose scaling-laws and limit the complexity and size of displays that can be manufactured. These fundamental limitations are one reason why a technical solution that meets the need for large-area displays has not been achieved.

One measure of the complexity of a display device is its total number of pixels. The evolution of display technology has made newer and more complex pixel formats possible - such as

WO 02/47310

PCT/US01/46455

2

VGA, SVGA, XGA, and SXGA. Increased complexity typically is accompanied by added costs. The underlying cause of this empirical complexity law is yield losses caused by random material or particle defects. These defects cause manufacturing yields to diminish as the number of pixels in the display increases.

- 5 One measure of the size of the display is its area. Costs increase exponentially with size. Each technology, LCD, PDP, EL, etc., has its own limit on maximum size. The underlying technical cause of this empirical relationship is tolerance. It is desirable to hold tight tolerances in manufacturing displays because, as the size increases, the effects of thermal expansion, humidity, residual stresses, and physical sag become more important.
- 10 Building a large-area display out of smaller tiles has been recognized as a desirable solution. Tiling is an approach that provides great flexibility for size and shape. Tiling is not subject to many of the problems that limit the size of monolithic display technologies. The complexity law does not apply because, depending on the size of the tile, the basic unit of manufacture in tiled displays is less complex than a large, monolithic multi-pixel display. The size law is not a limiting factor
- 15 because the basic unit of manufacture is relatively small. Tiled displays obey a scaling-law which is not exponential but linear with display area. This fundamentally different scaling behavior is one advantage of tile technology. It makes these displays possible and reduces manufacturing costs.

- No practical tiled display system has yet been developed (video walls formed by abutting conventional CRT displays are not considered tiled because of their wide separations between
- 20 adjacent displays). What has been missing is a fabrication technology that allows a display to be constructed so that pixels can be brought up to the very edge (actually, within 1/2 pixel spacing period of the edge), while at the same time allowing for electronics to address each tile, even those tiles completely surrounded by other tiles. Two barriers to implementing the tiled approach have been: 1) eliminating the visibility of the seams between tiles, and 2) providing electrical access to
- 25 the pixels.

- One type of tiled display is disclosed in U.S. patent no. 5,644,327 entitled TESSELLATED ELECTROLUMINESCENT DISPLAY HAVING A MULTILAYER CERAMIC SUBSTRATE to Onyskevych et al., which is incorporated herein by reference for its teaching on tiled displays. This patent describes an electroluminescent display and a combination field emissive and
- 30 electroluminescent display which are formed as tiles that may be joined together to provide a large-area display device. The exemplary tiles are formed using low-temperature co-fired ceramic and metal (LTCCM) structures consisting of multiple layers of ceramic circuit-board material laminated to a metal core.

WO 02/47310

PCT/US01/46455

3

Driving circuitry for the displays is mounted on the back of the structures and vias are passed through the structure from the back to the front in order to make connection with the pixel electrodes on the front of the display device. In addition, connections are made on a pixel-by-pixel basis or for a small group of pixels. Thus, a display device according to the referenced patent may need a relatively large number of vias. The described tiles include connectors at their edges through which multiple tiles may be interconnected.

SUMMARY OF THE INVENTION

The present invention is embodied in an improved tiled display structure. According to one aspect of the invention, tiles of the display are fabricated on a single substrate.

According to another aspect of the invention, electronic components are coupled to circuit boards using exceptionally long leads to assist in thermal management of tiles.

According to another aspect of the invention, each tile includes a fin structure on the circuit board surface of its substrate. Electronic components are coupled to these fin structures to assist in thermal management.

According to yet another aspect of the invention, each tile includes a flexible circuit board on the circuit board side of its substrate. Electronic components are coupled to these flexible circuit boards to assist in thermal management.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a front plan drawing of a large area display device from which two tiles have been removed.

Figure 1A is a perspective drawing of the back side of a tile suitable for use in the large area display shown in Figure 1.

Figure 1B is a perspective drawing of the front side of a tile suitable for use in the large area display shown in Figure 1.

Figure 2 is a block diagram of image processing and driving circuitry suitable for use in the tile shown in Figures 1A and 1B.

WO 02/47310

PCT/US01/46455

4

Figure 3 is an exploded perspective drawing which illustrates an alternative structure that may be used to implement the tile shown in Figures 1A and 1B.

Figure 4 is a back plan view of a tile having the structure shown in Figure 3.

Figure 4A is a pixel diagram which shows an exemplary pixel layout for portions of four tiles having the structure shown in Figure 3.

Figure 5 is a pixel diagram which shows an alternate exemplary pixel layout for portions of four tiles having the structure.

Figure 6A is a front-plan view of a single color pixel structure which includes separate sub-pixels.

Figure 6B is a front-plan view of an alternative single color pixel structure which includes separate sub-pixels.

Figure 7 is an exploded isometric drawing which illustrates an exemplary mounting method suitable for use with the tiled display shown in Figure 1.

Figure 8 is a cut-away side plan view of a portion of the tiled display shown in Figure 1 which illustrates an exemplary method for joining adjacent tiles.

Figure 9 is a perspective view of a mullion suitable for use with the joining method shown in Figure 8.

Figure 10 is a cut-away side plan view of the glass plate of a pixel of a tile having the structure which is useful for describing a method for forming a black matrix for the tile.

Figure 11 is a cut-away side plan view of a portion of the glass plates of two adjacent tiles which shows how the tiles may be joined by a mullion such as that shown in Figure 9.

Figure 12 is a cut-away side plan view of the glass plate of two adjacent pixels of two adjacent tiles which is useful for describing a method for forming a black matrix for the display.

Figure 13 is a partially exploded perspective view of the tiled display shown in Figure 1 which is useful for describing an exemplary mounting method and an exemplary implementation of a black matrix for the tiled display.

WO 02/47310

PCT/US01/46455

5

Figure 13A is a detailed view of a portion of the partially exploded perspective view shown in Figure 13.

Figure 14 is a side view of an exemplary video tile in which the electronics have been raised from the surface to improve heat dissipation and alleviate hot spots in the display.

- 5 Figure 15A is a side view of an exemplary video tile utilizing a fin structure to improve heat dissipation and alleviate hot spots in the display.

Figure 15B is a top view of the fin structure in Figure 15A.

Figure 16 is a side view of an exemplary video tile utilizing a flexible circuit board to improve heat dissipation and alleviate hot spots in the display.

- 10 Figure 17A is a top view of the first layer an exemplary video tile with the display section and electronic section coupled to the same side of a glass substrate.

Figure 17B is a top view of two layers the exemplary video tile of Figure 17A.

Figure 17C is a top view of three layers the exemplary video tile of Figure 17A.

Figure 17D is a top view of four layers the exemplary video tile of Figure 17A.

- 15 Figure 17E is a top view of five layers the exemplary video tile of Figure 17A.

Figure 17F is a top view of the complete exemplary video tile of Figure 17A.

DETAILED DESCRIPTION

- The invention is described in terms of exemplary embodiments which are illustrated in the drawing figures. The drawing figures are not to scale. Indeed, dimensions of the drawing figures are exaggerated to aid in the description of the invention. Although the invention is described in terms of an optical light emitting diode (OLED) display device, it is contemplated that it may be practiced with other emissive display technologies such as electroluminescent, light emitting diode (LED) or plasma technology; or with reflective display technologies such as Bistable, Reflective Cholesteric (BRC) liquid crystal technology.
- 20

WO 02/47310

PCT/US01/46455

6

Figure 1 is a front plan view of a partially assembled large-area display 100 according to the present invention. The display 100 is a tiled display in which emissive or reflective elements, on which the image pixels are formed, are built as relatively small arrays on tiles 120 and assembled into a frame to produce the large-area display having a large number of pixel forming elements.

5 Alternatively, the tiles may be assembled side-to-side with their pixels aligned in rows and columns without a frame. In this instance, the individual tiles may be held together by mullions.

The tiles are constructed with pixel forming elements evenly spaced up to the edges of the tiles. As described below with reference to Figures 8 through 13, the tiles are formed such that, when they are joined, the inter-pixel distance between the edge pixels of two adjacent tiles is the same as the inter-pixel distance of adjacent pixels in the interior of a tile. The display shown in 10 Figure 1 is missing two tiles 122 and 124. These tiles are inserted into the positions 102 and 104 to complete the display.

Although the display 100 is shown as being formed from tiles having 16 pixel forming elements in a four by four array, it is contemplated that each tile may include many more pixels. In 15 one exemplary embodiment of the invention, described below, each tile includes 6400 pixel forming elements arranged as a 80 by 80 matrix. These tile sizes are only exemplary. It is contemplated that each tile may include more or fewer pixel forming elements. In addition, it is contemplated that a single display may be formed from tiles having different numbers of pixel forming elements. For example, a display may have tiles with relatively large numbers of pixel forming elements near the 20 center and tiles having relatively small numbers of pixel forming elements near the edges.

Figures 1A and 1B are perspective drawings showing the back and front surfaces of an exemplary tile 120. As shown in Figure 1A, the tile includes a circuit board 130 on which is mounted at least one integrated circuit 134. The integrated circuit is connected to the pixel forming elements through conductive traces 132 on the circuit board which are coupled to vias (not shown) 25 that extend through the circuit board to make contact with the row or column electrodes of the display device. In the tile shown in Figure 1A, vias extend through the pixel forming elements internal to the display area, as described in U.S. Patent application number 09/250,324. Alternatively, the vias may extend through pixel forming elements along two edges of the display, as described below with reference to Figures 3 through 4A.

30 In one exemplary embodiment of the invention, the pixel forming elements are made from an organic light emitting diode (OLED) material. The basic light emitting structure consists of a thin organic polymer layer sandwiched between a pair of appropriately selected and patterned electrodes. Current flowing from one electrode to the other electrode causes the organic polymer to

WO 02/47310

PCT/US01/46455

7

emit light. At least one of the electrodes is desirably transparent to the emitted light. Indium tin-oxide (ITO) is the usual material used for this purpose. Conductive polymers such as polyaniline may also be used. OLED materials provide high brightness and high efficiency, and are relatively low cost materials.

5 An exemplary display structure according to the present invention is formed in two parts: a display section and an electronics section. These two parts are made separately and then joined to form a complete tile. The display section consists of a transparent glass layer on which transparent column electrodes are deposited. The active (i.e., light emitting) medium, an OLED material in this exemplary embodiment, is deposited onto this layer in a pattern of individual pixels, or subpixels.
10 Row electrodes are deposited as the final display layer. Additional layers such as blocking or passivation layers may be present to improve the function or life of the display layers. The transparent electrode is preferably the hole-injecting electrode and the other electrode is preferably the electron-injecting electrode. The OLED materials between the electrodes are preferably conjugated polymer materials that are applied in the desired pixel pattern by thick film processes,
15 however, small molecule materials can alternatively be applied by various thin film deposition techniques. The layers are patterned so that there is electrical access to each row and column at one or more points.

As an alternative to the OLED materials, the pixel forming elements of the tiles may be any of a number of emissive devices such as electroluminescent elements, light emitting diodes, field
20 emissive elements, plasma elements or cathodoluminescent elements.

The electronics section is formed by punching or drilling vias through the circuit board and then printing or otherwise depositing the conductive traces on the circuit board. The conductive ink or paste used to form the conductive traces may also fill the vias. The vias make contact with the row and column electrodes of the display section when the electronics section and the display
25 section are joined to form a tile.

Although it is not illustrated, another exemplary embodiment of the present invention includes a pixel forming structure that is appropriate for applications in which either a reflective or low power display is needed. The substrate and the electronics of this new structure are essentially the same as described below for the OLED embodiments. The display layer in this alternative
30 embodiment, however, is a reflective display material. For example, a Bistable, Reflective Cholesteric (BRC) liquid crystal material which provides for a low power, bistable display. The disclosed tile structure enables, for the first time, video-rate displays in large area BRC displays. These materials switch between a planar, reflective state and a relatively transparent focal conic

WO 02/47310

PCT/US01/46455

8

state. Utilizing a black backing, these two states may appear colored and black. The BRC materials offer distinct advantages for large area tiled displays: the operation between a reflecting and transparent state, combined with a black back-plane makes possible bright, high contrast displays under a variety of lighting conditions; and the bistability also allows for maintaining static images with no power applied.

One exemplary tile structure consists of a multilayer ceramic circuit board 132 that serves as a substrate upon which: the display material is mounted on the viewer side while the electronics 134 (active and passive) for drive or other functions are mounted mostly on the back side. Conductor elements 132 are printed on the individual layers to provide interconnections between the electronics and the display material, vias interconnect the conductors in different layers; and connectors are provided on the back surface to connect to external power and signal sources. The tile structure may also have a structural layer(s) such as a high softening point metal or insulator to provide freedom from distortion during the processing of the ceramic materials, and/or thermal management during the operation of the display. The tile structure also contains a transparent layer (e.g. float glass) on the viewer surface to protect or contain the display material. A back panel structure is provided to mount the individual tiles and to provide electrical connection to the power and drive signals needed by each individual tile structure.

The Multilayer ceramic circuit board 130 may be formed of layers of ceramic material. The layers are first formed and processed to form vias, conductors, and other features and then assembled in a stack taking care to carefully align each layer with those layers adjacent to it. Ceramic material here is meant in the broadest sense to include ceramics, glass ceramics, glass, and other high temperature insulating materials, such as alumina. The multiple layers together with the connectors and vias provide the basic function of a circuit board upon which active and passive electrical devices and circuits can be placed.

The conductors 132 may be thin and/or thick film conductors formed by any of the standard processes including, for example plating, evaporation, sputtering, printing and laminating. The materials may be metals or organic conductors. The conductors may be patterned by processes that may include, for example, printing or photolithography. These conductor patterns are formed on the surfaces of the individual layers in the disclosed structure and connect to the vias to provide, according to the design of the device a means of interconnecting the electronics on and external to the disclosed structure to the display material.

Another class of conductors is used to interconnect the layers. These conductors are called vias. Via is used in the broadest sense and includes conductors that go through openings in the

WO 02/47310

PCT/US01/46455

9

layers, including the substrate, and those that go around an edge of the layers. Vias that go through a layer can be formed, for example, by making a hole in the layer and filling that hole with a conductor. Alternatively, pre-formed physical conductors may be imbedded in the layer. Vias that go over the edge of the layers can be formed by physically placing a wire (round or flat), or array of wires, and wire bonding the ends to the surfaces to be interconnected. Alternatively they can be formed in place by plating or other fabrication process for thick or thin film conductors.

The circuit board may be formed from a single ceramic material. A single material ceramic circuit board may be quite rugged depending on the material selected. This type of circuit board provides a single expansion coefficient, but may exhibit some difficulties with thermal management. Several exemplary methods to overcome this performance issue are discussed below in reference to Figures 14 through 16.

In an alternative embodiment, a core layer may also be included in this structure. This layer serves as a substrate for the assembly and processing of the ceramic material. The core layer acts to eliminate horizontal shrinkage, establish a single coefficient of expansion for the multilayer system, and provide mechanical ruggedness to the multilayer assembly. If the layer is a good electrical conductor it may also provide RF shielding. If the layer is also a good thermal conductor, it contributes to the thermal management of the display. Conductive layers, however, present a special problem for via connections. Via connections through metal layers can be fabricated in several ways: filling the periphery of the hole with an insulating material before putting a metal conductor through the middle, or by putting the conductor only through the middle leaving space separating the conductor from the conductive metal core.

The electronics which form the image processing and pixel driving circuitry are mounted on the layers. Electronics are used in the broadest sense to include both active and passive devices, and both discrete devices mounted on the layers and devices formed in place by processes such as those now used to make active matrix circuits for displays on various high temperature substrates. While

WO 02/47310

PCT/US01/46455

10

often desirable to couple an additional, substantially flat layer of transparent material, such as float glass, over the electrodes and display material.

The edges of the tiles are desirably carefully formed to ensure that the tiled display has no visible seams between the tiles. One criterion for the tiles is that the spacing between the pixels separated by the tile seam is the same as the spacing of pixels on the tile. To satisfy this criterion, the tile edges are desirably dimensionally precise. Furthermore, if the edges are also used for conductors or if mullions are used to join adjacent tiles, it is desirable to account for the thickness of these conductors or mullions in the design and placement of the tiles.

A back panel may be provided for the physical mounting and interconnection of the tiles to form a display. The mounting of the tiles is done such that there is continuity in the pixel spacing over the display. The shape of the tiles is most typically square or rectangular, however the shape can be any shape that can be tiled to form a larger display. Also, the tile is typically flat, but may be curved along one or both dimensions to form curved or domed displays. Curved or domed displays can also be made using flat tiles mounted on a curved or domed back panel. Tiles may be attached to the back panel either by permanent connection such as soldering or using connectors which allow the tiles to be plugged into the back panel. This latter method permits the repair and replacement of individual tiles. Different types of tiles may be attached to different areas of the back panel - for example, higher resolution areas may be placed in the center or other areas of the large display. In addition, different sized or different shaped tiles may be combined in a single display. For example, tiles near the edges of a large panel may be larger and have a lesser pixel density than tiles near the center of the panel.

The back panel may also provide the means for connecting the tiles to the operational power and data signals needed to operate the tile. Matching connectors may be provided on both the back side of the tile and the back panel to provide this connection. In the case of the data signal connections, optical connection may be used as an alternative to physical connection.

The electrical structure of the back panel provides for the distribution of power and signals to the tiles, and the electrical structure of the tiles provide for the addressing of the display pixels. Both levels of structure are described. The information needs of a tiled display increase with the size of the display as measured in total number of pixels. If the tile includes image data storage, a greater number of pixels on a tile translates to greater amounts of data stored on the tile and greater rates of information transfer. If the image data is not stored on the tile then extra structures are used to provide the data for display in a timely manner.

WO 02/47310

PCT/US01/46455

11

One advantage of the tiled display is that the scan electronics can be internal to the tile and the scan rate of any one tile is the same for a small display or for a large display. Including driving and timing circuitry on each tile may provide a method to ensure that the brightness and gray scale of the display do not degrade with increasing size. The tiled displays described in detail below have an architecture which connects the signals to the pixels without interrupting the continuity of the pixel spacing, even at the edges of the tiles. The disclosed tiled displays may also have signal processing circuitry which extracts the signal information for that tile from a broadcast information signal and transforms the extracted information into the signals needed to address the tile. Additionally exemplary display tiles of the present invention may include a memory used to store image data.

In general, the front-to-back connections include at least one for each row of pixels and at least one for each column of pixels on the tile. An exemplary embodiment of the present invention utilizes 10-20 connections per column and 4-8 connections per row. Tiled displays have relatively few pixels so that the number of interconnects per tile is relatively small and the yield on individual tiles can be high. This is a significant advantage of tiled displays when compared to fabrication of large displays from single substrates. In general, the yield is a function of the number of pixels in the display device. The redundancy provided by adding more than one connection per row or column may further increase yield and reliability, and may also reduce line impedance for the rows and columns.

The connection to the row or column is made with a via that extends from the back surface of the tile. This via has a diameter less than the spacing of a pixel. To accomplish this, the portions of the vias in the display layer(s) may be made smaller than the vias through the other intervening layers, and, as described below, the connections may be staggered over the area of the tile to provide maximum spacing between the wider interconnects. These connections are a link in the distribution of the display signals to the pixels.

Figure 2 is a block diagram of electronic circuitry which is suitable for use with a display tile according to the present invention. This figure illustrates three major elements of electronics mounted on the circuit board 120 of an exemplary embodiment of the present invention: a memory 212; pixel driving circuitry 214, 216, 218 and 220; and timing circuitry 210. For the sake of clarity, the operational power connections (e.g. power and ground) are not shown in Figure 2.

As shown in Figure 2, the exemplary embodiment includes a field programmable gate array (FPGA) 210 which comprises the timing and sequence logic, and receives timing and control signals and an image data signal. As described below, these signals may be provided to the tile by an

WO 02/47310

PCT/US01/46455

12

electrical wiring harness or through an optional optical interface 224 (shown in phantom). The timing and control signal includes a system clock signal, a synchronization signal, and control values which may change the functions performed by the display electronics. When the optical interface 224 is used to receive the data signal and the timing and control signal, the timing and sequence logic circuitry 210 may provide a clock signal, CLOCK, to the optical interface 224.

The circuitry shown in Figure 2 may be viewed as having four functions: loading and storing compensation data for an individual tile, loading and storing display data for the tile, displaying the stored data, and adjusting to compensate for changes in the brightness performance of individual pixels.

In the exemplary embodiment of the invention, each tile may be separately compensated to ensure that the displayed pixels of all tiles have a uniform brightness with uniform colors. The exemplary method for compensating the tiles is described in terms of an OLED display material. It is contemplated, however, that a similar method may be used with other types of emissive and light modulating display materials.

The level of light emitted by a particular OLED pixel is a function of the level of current provided to that pixel. Thus, the brightness of each pixel in the display is controlled by controlling the magnitude of current that is supplied to that pixel during normal operation. In the exemplary embodiment of the invention, each pixel is either turned on or off. Gray scale is achieved by changing the relative amount of time that each pixel is turned on. The amount of light emitted by a pixel when it is turned on is controlled by controlling the level of current applied to the pixel in the on state. In the exemplary embodiment of the invention, the level of current applied to each pixel may be adjusted to match the amount of light emitted by the pixel to the amounts of light emitted by every other pixel in the display device. The pulse width of the pulse which drives the pixel is changed to modulate the brightness of the pixel when an image is being displayed on the tile.

The exemplary embodiment of the invention employs a passive addressing technique within a block in which only one row of pixels is illuminated at any time. The scanning circuitry steps through each row on the tile and illuminates that row for a predetermined interval. Because each tile is individually scanned, all of the tiles may illuminate a row simultaneously. Thus, each time a single tile refreshes its pixels, the entire display device also refreshes its pixels. To minimize display artifacts, it may be desirable to synchronize the scanning signals used by the tiles. For example, it may be desirable to use the same scan timing for all tiles on a row to minimize apparent differences among the tiles on that row. In addition, it may be desirable to synchronize all of the tiles on the display to have the same scan timing. In this instance, immediately after one row of tiles

WO 02/47310

PCT/US01/46455

13

completes its scan, the next row of tiles begins its scan. Thus, the scan line appears to move uniformly down the display device while other scan lines are also moving down the tiled display device. In this configuration, the display device would appear to have a number of scan lines equal to the number of rows of addressing blocks in the device. The row selection circuitry 222 may be, for example, a conventional clocked shift register having a number of stages equal to the number of rows in the addressing block. The shift register clocks a single logic-high value through the rows of the addressing block. As the logic-high value is applied to each row, the pixels in that row are selected.

Referring, again, to Figure 2, the current applied to a pixel cell on the display device is controlled responsive to a value for the pixel cell that is stored in the non-volatile memory 214. As each line of pixels on the tile is addressed, the addresses of the pixels on the line are applied to the memory 214, which provides a number of compensation values to the programmable current sources 216. The number of values provided equals the number of columns in the display device. Each value is applied to a respectively different programmable current source to provide respective current values to the pixels in the selected row. Thus, as shown in Figure 2, the programmable current sources are coupled to the column drivers 220. When the column drivers are enabled, they condition the respective pixels in the row to provide a level of current, determined by a respective one of the programmable current sources 216, to the OLED material.

As described above, the display of pixel data is controlled by pulse-width modulating the current signals provided to the selected row of pixels. In the exemplary embodiment of the invention, an optional random access memory 212 stores a number of pixel values which may, for example, correspond to the number of pixels on the tile. When the tile is to display a line of data, the timing and sequence logic 210 selects a row, fetches the line of data corresponding to the selected row and applies the selected data to the pulse width modulator (PWM) 218. The PWM 218 converts the binary values into respective pulse widths and controls the column drivers to apply the current levels provided by the programmable current sources 216 to the column electrodes of the tile. Because only one row is selected, these current values flow through the display materials only on the one row, causing the row to emit light. The memory 212 may hold more or less data than would be required to operate the number of pixels on the tile. If the memory holds less data, then new data may need to be stored into the tile while previously stored data is being displayed. If the memory 212 holds more data, then the circuitry shown in Figure 2 may display image data for a row of pixels from one image frame while a row of data from the next image frame is being loaded into the memory 212. In general, it is contemplated that the various functions performed by the electronic circuitry shown in Figure 2, such as loading compensation data, loading pixel data and displaying pixel data, may be performed concurrently.

WO 02/47310

PCT/US01/46455

14

The timing and sequence logic 210 receives the timing and control signal and decodes the control signal to determine which functions are to be performed. During the manufacturing process, each tile may be calibrated to a nominal brightness value by, for example, mounting the completed tile onto a test fixture which has a photocell corresponding to each pixel position. Each pixel is individually turned on and its brightness is compared to the nominal brightness and a control value for the pixel is applied to the programmable current source 216 for that pixel. When the nominal brightness level is reached, the value applied to the current source 216 is stored into the non-volatile memory 214.

The tile may also include circuitry which automatically adjusts the pixel brightness to compensate for aging of the display material. This circuitry may, for example, allow a viewer to display a predetermined brightness value, select an individual tile and adjust the brightness value up or down to match the brightness of the selected tile to match its neighbors. Alternatively, the tile may include a small light sensor over one or more pixel positions which continually monitors the brightness of that pixel and adjusts the current level applied to that pixel - and the current levels applied to all of the other pixels on the display - to compensate for variations in pixel brightness due to aging of the display. To minimize the visibility of the light sensor, it may be placed away from the active pixel area so that it is responsive to scattered light.

Alternatively, the circuitry 134 may include an all electronic compensation system which continually adjusts the brightness of individual pixels to compensate for aging. The inventor has determined that the decay in the brightness of an OLED pixel that occurs with aging can be predicted by measuring the current and time for a particular pixel, and integrating the product of current and time. This product can be fitted to a characteristic curve and used to adjust the drive current to predict a new drive current which restores the original brightness level of the pixel. As a further improvement, it has been found that the rate of decay for different pixels differs slightly, and the initial decay slope can be measured during burn in and used as a second order correction factor in the algorithm for calculating any change in drive current for that pixel. The exact form of this adjustment depends on the geometry of the pixels and the materials that are used to form the pixels. A suitable adjustment may be readily determined by one skilled in the art of designing OLED displays by monitoring the performance of an exemplary pixel over time.

Another method of compensating for loss in brightness due to aging is to monitor the voltage that is applied to the pixel. For example, at time T_0 , when the brightness level of the pixels is first adjusted, a current I_0 at a voltage V_0 produces brightness B_0 . At some later time T_2 , two changes occur; it now takes voltage V_2 to produce the same constant current I_0 , and the brightness at this I_0 is now B_2 ($B_2 < B_0$). The inventors have determined that the change in voltage $dV = (V_2 -$

WO 02/47310

PCT/US01/46455

15

V₀) is proportional to the change in brightness $\Delta B = (B_2 - B_0)$. Knowing this proportionality constant allows for electronically calculating a new current I₂ that will produce the original B₀. This algorithm can be incorporated in the electronics on the electronic drive block, and the result is that the brightness can be maintained at constant brightness automatically without manual adjustments.

5 This proportionality constant varies for different pixel geometries and different OLED materials. It can be easily determined by one skilled in the art of designing OLED displays by monitoring the performance of an exemplary pixel over time.

Alternatively, an external system of reestablishing the brightness uniformity may be employed. Such a system may, for example, incorporate a sensor that detects and measures

10 individual pixel brightness and some means to communicate with the display electronics so that the correct drive voltage needed to establish the desired brightness can be stored in the display tile memory.

While specific examples have been given, it is contemplated that any of these methods for adjusting the current applied to a pixel in order to maintain a predetermined brightness level may be

15 combined with any other method either as a check or to augment the performance of the other method.

The exemplary display device calibrates the brightness of the pixels using a method (i.e. current control) which is orthogonal to the method (i.e. pulse-width modulation) which is used to control the pixels to achieve gray scale. This is advantageous as it allows the individual pixels to be

20 calibrated to display brightness levels which are consistent across the entire dynamic range of the display.

Figure 3 is an exploded perspective drawing which illustrates an exemplary structure of a tile 120. The exemplary tile shown in Figure 3 may be formed as a separate electronics section and display section or it may be formed as a single structure. In addition, the connections to the row and

25 column electrodes of the tile are made along two edges of the tile.

The circuit board for the tile shown in Figure 3 is the bottom layer 510. This circuit board may include, for example, an electronics module such as the circuit 134 shown in Figure 1A and layers of interconnects to connect the components of the electronics module. The electronics module is coupled to the row and column electrodes of the display device through column vias 520

30 and row vias 522. Only one row via 522 is shown in Figure 3. In the exemplary tile shown in Figure 3, the circuit board is level 510 and optional levels 512, 514 and 516, shown in phantom, are interconnecting layers. These may be ceramic layers having vias to connect to higher layers and

WO 02/47310

PCT/US01/46455

16

conductive traces painted or printed on one surface of the layer. If the tile structure is formed from an LTCCM material, one of the layers 512 or 514 may be a metal layer or an insulating structural substrate. Layer 516 is a ceramic layer having column vias 520 and row vias 522. The row vias formed on the ceramic layer 516 connect to the row electrodes 524 of the exemplary display tile.

5 If the tile shown in Figure 3 is formed from separate electronics and display sections, then the electronics section includes only the layer 510 and the optional layers 512, 514 and 516. If the tile is formed as a single piece then the display material 526 is deposited on top of the row electrodes 524. In the drawing Figure 3, the display material 526 is illustrated as a solid sheet. This material, however, may be distinct electron injecting layers and distinct OLED cells deposited on
10 the row electrodes. Using distinct cells of display material, physically and electrically separate from neighboring cells, as illustrated in Figures 4A, 5, 6A, 6B, and 12, increases display contrast by greatly reducing both electrical and optical crosstalk between pixels, and sub-pixels. The row electrodes may be formed from a metal; such as aluminum, titanium, tungsten, gold, or copper; from polysilicon; or from a multilayer structure including such conductors.

15 The column electrodes 528 are formed on top of the display material 526. The column electrodes are connected to the circuit board through the vias 520 which extend through each level of the display tile from level 510 through level 526. Each column electrode is coupled to a respectively different via 520. The column electrodes 528 are typically formed from a transparent conductive material such as indium-tin oxide (ITO) or polyaniline. In the exemplary embodiment of
20 the invention, level 530, formed above the column electrodes 528 may be an optical filter or it may be a patterned black matrix which covers the inactive areas of the display layer 526 with black lines while providing openings for the active elements of the display material. The final layer of the display tile shown in Figure 3, is a float glass front cover 532.

If the tile shown in Figure 3 is formed as separate electronics and display sections, then the
25 display section may be formed in the following manner. First, the filter or black matrix layer 530 is deposited on the float glass cover 532. Next, the transparent column electrodes 528 are deposited, then the OLED materials are formed on the column electrodes and the row electrodes 522 are formed to cover the OLED materials. The exemplary separate electronics and display sections shown in Figure 3 may be joined by bump-bonding the row and column vias along their edges or by
30 inserting conductive elements, for example wires, into the row and column vias on one of the sections such that the conductive elements protrude from the vias. The conductive elements would then mate with the corresponding vias on the other section when the sections are joined.

WO 02/47310

PCT/US01/46455

17

The tile structure shown in Figure 3 may be formed by first preparing green tape blanks for the layers 510, 512, 514 and 516. Next, the blanks are punched with holes through which the vias 520 and 522 will be formed. After the blanks are punched, they may be painted or printed with suitable-conductive material to fill in the vias and to provide any conductive traces which may be needed to interconnect other circuitry in the display tile. The traces printed on the green tape sheet 516 may include the row electrodes 524. This structure including layers 510, 512, 514 and 516 as well as the vias 520 and 522 and the row electrodes 524 is then laminated and fired to form a ceramic substrate for the circuit component of the display device. At this point, a planarization layer may be added to the ceramic substrate to improve surface smoothness and thereby assist in fabrication of the pixel structures. The planarization layer may be formed of a number of materials that form a highly smooth surface, such as spin-on-glass. Next, the display materials 526 are deposited on the row electrodes 524. After depositing the display material 526, the column electrodes are formed on the tile using conventional processes for depositing ITO.

As an alternative to forming a laminate green tape structure, which is fired to form a ceramic structure, the circuit board 510, may be planar ceramic material, such as alumina. OLED display layers are sensitive to water vapor and oxygen. These agents must be blocked from passing through the base substrate. An advantage of alumina is that it forms a satisfactory blocking layer. Vias may be fabricated in so that they also block water vapor and oxygen. In this instance, the layers 512, 514, and 516 shown in Figure 3 may not exist. Alternatively, layer 512 may be spin-on-glass. The spin-on-glass layer may be desirable as a planarization layer to improve surface smoothness and thereby assist in fabrication of the pixel structures. Additionally, for ceramic materials that do not form a satisfactory blocking layer, the spin-on-glass layer may provide the additional advantage of being a blocking layer.

The alumina circuit board may be machined, or otherwise worked by processes such as etching, to provide the necessary vias and the worked circuit board may then be processed in the same way as the fired ceramic circuit board described above.

In a separate step, the black matrix or filter 530 may be formed on the float glass cover 532. The combined mask and cover is then aligned with the display device such that the openings in the mask correspond to the active pixel regions of the display material. The glass cover 532 is then sealed to the alumina circuit board or composite fired ceramic structure using, for example, a frit glass. Alternatively, the pixel structures may be formed on the glass cover, as in the two section construction described above, and then aligned to the alumina circuit board or composite fired ceramic structure and sealed.

WO 02/47310

PCT/US01/46455

18

Figures 17A-F are top view drawings showing an exemplary display tile of the present invention. Each successive figure shows an additional layer which has been added to the glass substrate. In this embodiment both the display section and the electronics section are formed on the same side of a single glass substrate without a separate circuit board for the electronics section. The exemplary embodiment depicted in Figures 17A-F has only four pixels. The number of pixels shown has been selected for clarity in the drawings and is not meant to illustrate a constraint on the number of pixels that may be employed in a display tile constructed according to this embodiment of the present invention.

Figure 17A illustrates a black matrix mask 2010 that has been deposited on the inner surface of the glass substrate 532. The black matrix mask is patterned to cover the entire inner surface of the glass substrate except for windows corresponding to the active pixel areas. Alternatively, the black matrix mask may be deposited on the outer surface of the glass substrate. In this case the black matrix mask may conform to the dimensions previously described with regard to Figures 10 and 11.

The next figure, Figure 17B, illustrates transparent column electrodes 528 which have been deposited on top of the black matrix mask 2010. These electrodes may be composed of multiple layers. The electrodes are shown substantially matching the height of the windows in the black matrix mask. It is contemplated that the transparent column electrodes may be either smaller or larger than these windows. Portions of the electrodes that extend outside of windows may be opaque.

Figure 17C shows display material 526 which has been formed in patterned portions on top of the transparent column electrodes. Additionally a passivation layer, not shown, may be added to cover areas of the transparent electrodes 528 that are not covered by the display material to prevent contact between the row electrodes and the column electrodes.

Figure 17D shows row electrodes 522 which have been formed covering the display material 526. The row electrodes, similarly to the transparent column electrodes, may be formed by a multi-layer process or in a single layer of conductive material.

Figure 17E shows a passivation layer 1702. This passivation layer is used to both electrically isolate and seal the layers of the display section, particularly the display material 526. The passivation layer may be composed of either a transparent or opaque material and may cover the entire back surface of display tile 120, although here it is illustrated as leaving a small gap along

WO 02/47310

PCT/US01/46455

19

the edges uncovered. The passivation layer is patterned to contain vias through which connections may be made to both the transparent row electrodes 528 and the column electrodes 522.

Figure 17F shows an electronics module 1704 mounted in section of display tile 120 directly over a portion of the glass substrate 532 which has been covered by the black matrix mask 2010. This orientation of the electronics module insures that the electronics module is not visible to a viewer viewing the display. Also by placing the electronics module only in sections covered by the black matrix mask it may be possible to reduce the effect of possible hot spots caused by the electronics modules. Also shown in Figure 17F are contacts 1706 which extend from the electronics module to the gaps in the passivation layer 1702 and electrically couple the electronics modules to the row and column electrodes below.

Although the electronics modules in Figure 17F are shown disposed upon the passivation layer 1702 it is contemplated that the electronics modules may be coupled to the back side of the display tile in this embodiment by a method whereby the electronics modules are not in direct contact with the passivation layer such as by solder bumps or flip chip technology. In these cases the method of using long leads to assist with thermal management of the display tile may be employed in this embodiment. Further if the passivation layer 1702 is composed of an opaque material then the electronics modules may be arranged in areas which are not covered by the black matrix mask without becoming visible to viewers of the tiled display system.

It is also contemplated that a protective layer may be deposited over the electronics section of the tile to seal the tile and protect the display materials from water vapor and oxygen.

Figure 4 is a bottom plan view of the display tile shown in Figure 3. As shown in Figure 4, the circuit board 510 includes electronic circuitry 134' which is connected to the rows and columns of the display through the vias 520 and 522 respectively. In the exemplary embodiment of the invention, the conductors 602 which connect the circuitry 134' to the vias 520 and 522 may be printed or painted onto the green tape prior to firing, as described above. Alternatively, these vias may be painted or printed onto the worked alumina circuit board. The connectors 602 are coupled to the vias 520 and 522 along the edge of the circuitry 134'. The circuitry 134' is coupled to receive operational power via conductors 610 and to receive the data signal and timing information via conductors 612 and a connector 614. The connector 614 may be coupled to a cable harness when the tile 120' is assembled into a tiled display device such as the device 100 shown in Figure 1.

Figure 4A is a pixel diagram which illustrates an exemplary pixel spacing that may be used in the tile shown in Figure 3. This pixel spacing allows the conductive vias to be arranged along the

WO 02/47310

PCT/US01/46455

20

edge of the tile, without locally distorting the inter-pixel distance in the assembled tiled display. Figure 4A illustrates portions of 4 tiles, 630, 640, 650, and 660. The dashed lines 624 and 622 illustrate tile boundaries. These lines are provided only as a guide in understanding the pixel layout. The active portion 526 of the pixels occupies only about 1/4 of the total pixel area. This defines a pixel aperture of approximately 25%. In this exemplary embodiment of the invention, the active region is not centered in the pixel area but is offset to the left and top as shown in Figure 4A.

As shown in Figure 4A, this spacing of the pixels leaves room along the edges of the display for the vias 520 and 522 to connect electronic driving circuits to the row and column electrodes of the pixel without interfering with the regular spacing of the pixels across tile boundaries. The vias may be placed such that they are not directly in contact with the row and column electrodes, but are otherwise electrically coupled to the electrodes. This electrical coupling may be accomplished by small tabs of metal or other electrode material extending from the electrodes, or by gold bonding, or other standard electronics practice. In the exemplary embodiment shown in Figure 4A, the distance d_c , which is the distance from the active region 526 to the edge of the tile, is approximately twice the distance d_i which is the internal distance from the edge of the active area of the pixel 526 to the pixel boundary 522 or 524.

Although the pixel diagram shown in Figure 4A has the active region of the pixel offset both horizontally and vertically, it is contemplated that the active area may be offset only vertically. In this configuration, the contacts to the row electrodes are beneath the active pixel material and, thus, do not need to offset the active region of the pixel. It is also possible to stagger the vias and contacts to spatially separate the vias.

Figure 5 is an alternative pixel layout. In the layout shown in Figure 5, the active portions 526 of the pixels are centered in their respective pixel regions and the vias which connect the row and column electrodes of the display to the electronics are formed between respective pixel elements. The distance between the edge of an active region 526 and the edge 712 of the display is equal on all sides of the tile and the distance from the center of the active pixel region to the edge is 1/2 of the pixel pitch. As described below with reference to Figure 13 and 13A, however, the distance between the center of an edge pixel and the edge of the tile may be slightly less than 1/2 of the pixel pitch in order to allow a mullion to be inserted between adjacent tiles. As described below, mullions are typically used both to join tiles on the display device and to hide the edges where the tiles meet.

The displays described above have been, in general, monochrome displays. The pixels have a single emissive area which is controlled by a single row and column electrode pair. Color pixels

WO 02/47310

PCT/US01/46455

21

may be implemented as shown in Figures 6A and 6B. Figure 6A shows a single pixel having separate red (R) 820, green (G) 822 and blue (B) 824 sub-pixels. The three sub-pixels 820, 822 and 824 each has a respective column electrode (not shown) which may be connected to the electronics section by the vias 810, 812 and 814, respectively. In an exemplary embodiment of the present invention, only one of vias 810, 812, and 814 is formed within a given pixel. As long as at least one via exists for each column electrode proper connectivity may be achieved. A single row electrode (not shown) is used by all three of the sub pixels. This row electrode is coupled to the electronics section by the via 816, shown in phantom. The geometry of the triple sub-pixel structure is defined by d_{SH} , the height of the sub-pixel, d_{SW} , the width of the sub-pixel, and d_e , the distance from the active sub-pixel areas to the edge of the pixel area. For one exemplary embodiment of the invention, these dimensions are given in Table 1 in terms of the pixel pitch, P.

Table 1

 $d_{SH} \quad .5P$ $d_{SW} \quad .16P$ $d_e \quad .25P$

It should be noted that the number contact points layers for an electrode within the circuit board layers is not constrained by the number of vias. Multiple contact points may branch out from a single via.

Figure 6B illustrates an alternative color pixel structure. This structure includes four sub-pixel elements, 830, 832, 834 and 836. In one exemplary embodiment, two of these sub-pixel elements, 830 and 836 emit green light when stimulated while the other two pixel elements, 832 and 834 emit red and blue light, respectively. This structure is known as a quad sub-pixel structure. The structure uses two green sub-pixels because more of the luminance information in a color display is in the green pixels than is in either of the red or blue pixels. Thus, the use of two green sub-pixels allows for a brighter display. Alternatively, the pixels 830 and 836 may both be red or blue pixels. In some display technologies, the amount of light emitted by the red or blue pixel material may be less than the amount of light emitted by the green pixels. In this instance, making the pixels 830 and 836 both red or blue pixels, respectively, would improve the overall brightness of the display. It is also contemplated that it may be desirable to use colors other than, or in addition to, red, blue, and green in some display technologies. The pixel structure shown in Figure 6B employs two row electrodes (not shown) and two column electrodes (not shown). The row

WO 02/47310

PCT/US01/46455

22

electrodes are coupled to the electronics section by the vias 816' and 818 (shown in phantom) while the column electrodes are coupled to the electronics section by the vias 810' and 812'. The geometry of the quad sub-pixel structure is defined by the dimensions d_{SH} , the height of the sub-pixel, d_{SW} , the width of the sub-pixel, d_c , the distance from the active sub-pixel areas to the edge of the pixel area, and d_{SI} the distance between adjacent sub-pixels. These values are defined in Table 2 for the exemplary embodiment of the invention.

Table 2

	d_{SH}	.25P
	d_{SW}	.25P
10	d_c	.125P
	d_{SI}	.25P

While Figures 6A and 6B show the distances d_c and d_{SI} as being equal in the horizontal and vertical directions, it is contemplated that these values may be different. The exemplary pixel structures shown in Figures 6A and 6B both have active pixel portions covering approximately 25 percent of the pixel area to produce a pixel aperture of approximately 25 percent. This value is exemplary only. The invention contemplates both larger and smaller pixel apertures.

Figure 7 is an exploded front plan view of an exemplary self-aligning tile assembly structure according to the present invention. In Figure 7, the frame 1410 includes a plurality of spring elements 1418. In addition, the power, timing, and data signals are brought to the individual tiles by respective flexible connectors 1416. The connectors 1416 may also act to push the tile forward to make contact with a float-glass front plate (not shown). The connectors 1416 are coupled to receive the power, data and timing signals via a wiring harness 1422. In the exemplary embodiment of the invention shown in Figure 7, each of the tiles is mounted, within the frame 1410, on its respective flexible connector 1416. When a row or column of the tiles is fully assembled, the springs 1418 of the frame 1410 tend to confine the tiles to an area indicated by the dashed line box 1420. When all of the tiles are assembled into the frame 1410, the springs 1418 act to hold the tiles in alignment. To augment the self-aligning structure, the edges of each tile may be formed in complementary patterns (not shown) such that the patterns of adjacent tiles mate, holding the tiles in alignment. For example, opposite edges of a tile may be patterned with complementary serrated edges which allow each tile to mate with an adjacent tile in only one position. If the tiles are formed in two parts, it is

WO 02/47310

PCT/US01/46455

23

contemplated that these edge patterns may be made on the display section or on the electronics section. Making the edge patterns only on the electronics section is desirable as it simplifies the edge fabrication for the display sections. If the tiles are formed on single substrates, the substrates may be formed with complementary edge patterns.

5 Figures 8 through 13 illustrate another exemplary method by which tiles 120 may be joined to form a composite tiled display 100. By definition, there is a physical gap between the tiles in a tiled display. It is desirable to make this physical gap invisible to the viewer. Invisible in this context means that light emitted by the pixels that may be scattered or refracted at the gap should not be seen by a viewer, and that no external line-of-sight exists which would enable a viewer to
10 detect the physical gap.

State-of-the-art tiled displays using CRTs or projection displays use a mullion between the individual displays to hide the physical gap, however, these mullions are visible to the observer and are also objectionable to the viewer because they break the continuity of the image. It is, therefore, desirable that any structure used to make the gap invisible does not break the continuity of the larger
15 image.

Another structure commonly found in both tiled and non-tiled displays is a black matrix. A black matrix may be fabricated from black lines, placed between the active portions of the pixels to absorb ambient light in these areas in order to increase the display contrast. Black matrix lines may be found, for example between the phosphors on the front screen of a CRT or between the pixel
20 positions defined for a liquid crystal display. In tiled displays, black matrix lines are typically smaller than mullions and are typically placed in the plane of the pixels. Because the black matrix lines are periodic and placed between the pixels, they do not tend to break the continuity of the image.

The present invention employs an optical structure that may be incorporated in a tiled
25 display to make the physical gaps between the tiles indistinguishable from the black matrix and, thus, invisible to the viewer. An illustration of this structure is shown in Figures 13 and 13A. Figure 13 is a cut-away perspective drawing of a partially assembled display device. Figure 13A shows details of a portion of the display device shown in Figure 13. The main components of the structure shown in Figure 13 are a frame 2014, a transparent sheet 2020 of, for example, glass or plastic, a
30 plurality of black lines 2010 that form a black matrix and the tiles 120 which form the display. The key feature of the optical integrator structure is a pattern of black lines 2010 which are similar to black matrix lines in that they have equal widths and a spacing equal to the pixel pitch. These black lines 2010 may be aligned to lie between all pixels in the display, including those pixels on either

WO 02/47310

PCT/US01/46455

24

side of the gaps 2012 between the tiles 120. The optical integrator pattern of black lines are also similar to mullions in that some of the black lines in the optical integrator structure lie on top of the gaps between the display tiles and block their visibility. As assembled, the glass substrates 532 of the tiles 120 are positioned adjacent to the black lines 2010 on the back surface of the transparent sheet 2020, which forms the integrating structure.

Unlike a conventional black matrix, the disclosed optical structure for integrating display tiles is placed above the plane containing the pixels (like mullion structures), on the viewer-side of the tiles 120, with the black line pattern being in contact with the display tiles. Unlike mullions, the black lines on the optical integrator structure 2020 are relatively narrow, so that the black lines which cover the mullions are essentially the same width as the black lines which form the black matrix. Thus the disclosed structure simultaneously provides the functions of the black matrix and the mullions, but the mullion lines are not visible, as such, to the viewer because all lines in the pattern on the optical integrator structure 2020 are essentially the same and are virtually indistinguishable. Accordingly, the viewer simply sees a uniform pattern of black lines.

To more easily explain the optical integrator structure shown in Figure 13, a method of joining tiles using discrete mullions is first described. Figure 8 is a cross section of portions of two tiles 120, according to the present invention, which are joined by a mullion. Each of the tiles includes a glass substrate 532 and the remainder of the tile structure 1510. The exemplary tiles include active display material 1514 located proximate to the bottom surface of the glass substrate 532. The exemplary tiles also include a mullion 1512 and black lines 1513 which form a portion of the black matrix.

Figure 9 is a perspective drawing of an exemplary mullion 1512 suitable for use with a display device according to the subject invention. The mullion 1512 includes a top surface 1610 which may be formed from a black material or may be printed or painted black. To ensure that the mullion does not create artifacts on the display device, it is desirable for the top surface of the mullion to closely match the black stripes in size, color and gloss. The mullion 1512 also includes a bottom stem having side surfaces 1612 which are desirably formed from a light-colored material (e.g. white). Alternatively, the bottom stem of the mullion may be transparent and have an index of refraction close to that of the float glass substrate 532. It is desirable for the bottom stem of the mullion to be light-colored or transparent so that any light scattered in the vicinity of the mullion has the same properties as light that is scattered among pixels at the interior of a tile. If light scatters differently at the edge of a tile than near the center then the edge may be visible, for example, as a band of reduced brightness in the displayed image. One or more of the side surfaces 1612 and the underside 1614 of the top bar of the mullion may be coated with adhesive to attach the mullion 1512

WO 02/47310

PCT/US01/46455

25

to the two tiles which it joins. If all of these surfaces are coated with adhesive, the mullions may be used to join the tiles into a display device.

To determine the optimum placement for a black stripe or a mullion on the front surface of the glass substrate of an emissive display, it is helpful to understand the properties of light emitted by the display. Figure 10 shows a cross section of an exemplary glass substrate 532 which includes a bottom surface 1710 and a top surface 1712. A number of representative optical rays, 1714, 1716 and 1718 are shown emanating from a point on the bottom surface 1710. Some rays 1714 exit the glass and some rays 1718 are totally internally reflected from the top surface and are trapped in the sheet of glass. At the transition between these two types of rays are rays 1716 which are refracted to an angle parallel to the top surface 1712 of the substrate 532.

The angle of incidence of the rays 1716 which are at the transition is called the critical angle (θ_c). Light reaching the surface 1712 with angles less than the critical angle exits the glass, and light reaching the surface 1712 with angles larger than the critical angle are totally internally reflected. The critical angle is dependent on the index of refraction, n_{glass} , of the glass substrate 532 as shown in equation (1):

$$\theta_c = \text{Sin}^{-1}(1/n_{\text{glass}}) \quad (1)$$

In the exemplary embodiment of the invention, $n_{\text{glass}} = 1.55$ and $\theta_c \cong 40^\circ$.

A tiled display is made of tiles that are placed in an array so that the spacing between pixels across the gap between tiles is substantially the same as the pitch between pixels within the display tiles. Thus, the display tile edge is one half pitch distance (or slightly less) from the center of the last pixel. Because of the critical angle, light emitted from a point within a sheet of glass can travel at most a lateral distance of $d_c = t_{\text{glass}} \text{Tan}(\theta_c)$, where t_{glass} is the thickness of glass. Therefore, light from any part of a gap region may be blocked by putting a black stripe of width $W_m > 2d_c$ over the gap region. Such a black stripe is shown in Figure 11 as the top of the mullion 1512. Because of the symmetry of optics, the same black stripe blocks any external rays from making the gap region visible. Thus this black stripe makes the gap region invisible to an observer. In practice, the black stripe may need to be slightly wider than $2d_c$ to account for any finite width of the gap.

Referring, again, to the structure shown in Figures 13 and 13A, the individual tiles do not need to be joined by discrete mullions. Instead, the tiles may be assembled directly on the back surface of the optical integrating structure 2020 such that the gaps are positioned directly over black stripes having a width W_m . As shown in Figures 13 and 13A, the exemplary optical integrating

WO 02/47310

PCT/US01/46455

26

structure 2020 is positioned on top of the array of tiles, with the black lines on the surface of the structure in contact with the glass substrates 532 of tiles. The centers of the black lines are aligned with the gaps between the tiles so that the gap regions can not be seen by an observer. Although this embodiment of the invention does not need discrete mullions, if the tiles are connected by mullions 1512, the integrating structure 2020 may include black lines that cover the top surfaces 1610 of the mullions. In this instance it would be desirable for the top bar of the mullion to be as narrow as possible to minimize any gap between the top surface of the tile 120 and the back surface of the integrating structure 2020. Alternatively, the mullions 1512 may be assembled onto the integrating structure 2020 with the black matrix lines. In this configuration, the mullions form pockets into which tiles 120 are inserted to form the composite display. This structure may be formed by attaching the mullions directly to the integrating structure 2020 using an adhesive and then applying an adhesive to the undersides of the crossbars 1610 and to the sides of the stems before inserting a tile into the display.

The black lines on the optical integrating structure 2020 that form the mullions which are used to cover the inter-tile gap tend to be wider than the typical black matrix line and may block some or all of the light emitted from the pixels near the edge of the tile. To allow the maximum amount of light to pass and yet avoid any artifact distortion in the assembled display device, the display tiles and the black stripes on the integrating structure 2020 are desirably specifically designed to have particular relationships.

Figure 12 shows a cross section of a pixel which includes two pixel regions. The emissive regions 1910 at the bottom of the glass substrate 532 have a width d_p . The light rays that can exit the glass section and are useful for viewing, exit the top of the glass 532 in an area having a width $w = 2d_c + d_p$. A display tile has an array of pixels equally spaced a distance known as P, the pixel pitch. Therefore, to not block any viewable light, it is desirable for the black matrix to have a width, $W_m < P - d_p - 2d_c$. The dimensions illustrated in Figure 12 depict the case where the black matrix stripe completely hides the gap and yet, blocks no emitted light.

There are two width criteria to be met by the black stripes that form the black matrix, and the top bar of the mullions: $W_m > 2d_c$ (to hide the gap), and $W_m < P - d_p - 2d_c$ (to avoid blocking light from the pixels). The most desirable solution is the design point with the largest glass thickness, where both criteria are met. That design point is met when the thickness of the glass is 0.15 times P, the pixel pitch, and the width of the black stripe is 0.25 times the pixel pitch. Designing the display tile and black matrix stripes to meet that condition results in making a large area display by integrating individual tiles behind the optical integrating structure has the result that the individual tiles having inter-tile gaps that cannot be detected.

WO 02/47310

PCT/US01/46455

27

When the thickness of the glass substrate 532 and the width of the black stripe satisfy the criteria described above, no light that is directed toward a viewer directly in front of the display (e. g. viewing from a normal angle) is blocked, and no light from greater viewing angles is blocked. When the thickness of the glass substrate 532 and/or the width of the black stripe are greater than the criteria described above, no light that is directed toward a viewer directly in front of the display (e. g. viewing from a normal angle) is blocked, but some light from greater viewing angles may be blocked.

As described above, in the exemplary embodiment of the invention, the pixels on the tiles have an aperture of approximately 25% in order to allow room within the pixel for a via to make electrical contact with a column electrode. Thus, in the exemplary embodiment of the invention, d_p is approximately $P/2$. This relatively small aperture also has advantages by making it easier to hide the inter-tile gap and allowing a relatively large-stripe black matrix to improve the contrast of the display.

It is contemplated that the contrast may be further improved by coating the viewer-side of the integrating structure 2020 with an antireflection coating and/or by adding an ambient light absorber or color filter on that surface or in the bulk of the material (e.g. glass or plastic) from which the optical integrating structure 2020 is constructed.

It is also contemplated that the integrating structure 2020 may include a diffuser coating on the viewer-side surface. This diffuser enlarges the apparent size of the pixels reducing the visibility of the individual pixels and black matrix structure. Thus, a diffuser may act to reduce the graininess of the displayed image. This may be significant, especially for display devices having relatively large pixels or which have smaller pixels but are designed to be viewed at close proximity to the display device. Another method by which the visibility of the pixel structure may be reduced is to use a quad pixel structure, such as that shown in Figure 6B, in which spaced single-color sub-pixels form a single color pixel.

The integrating structure 2020 also provides a simple way to align and mount the display tiles. In particular the patterns on the integrating structure 2020 may be accurately aligned with the pixels using, for example moiré patterns, to position a tile and then the tile may be mounted onto the structure 2020 with an optically clear adhesive.

Figures 14 through 16 illustrate exemplary methods to improve the thermal management of video tiles. Thermal management is an issue because the output intensity of many display materials is thermally sensitive. Electronic components on the circuit board may generate heat during

WO 02/47310

PCT/US01/46455

28

operation of the video tile. When this heat cannot be dissipated, the tile may become warm which may lead to changes in the output characteristics of the tile. If the tile conducts heat well, this may not be a serious problem. With general heating of this sort it may be possible to compensate for the heating, or if all tiles heat evenly, the changes may go unnoticed. A greater issue is when the circuit board is a poor conductor of heat and the individual electronic components cause *hot spots* in the display, small regions that are significantly hotter than surrounding sections of the tile. Though the issue of hot spots is greater in tiles constructed directly on circuit boards with poor thermal conductivity, it is peculiar to tiles of this construction. In some cases the hot spots small enough in magnitude and extent to be compensated. In other cases compensation may be difficult and steps to avoid these hot spots are desirable.

Figure 14 is a side view of an exemplary video tile fabricated on a single substrate **2101**. In this embodiment, pixel structures **2103** are sandwiched between one side of the substrate and a transparent front panel **2102**. On the other side of the substrate, electronics **2104** are coupled to the substrate by exceptionally long leads **2105**. By coupling the electronics to the substrate with such long leads, this embodiment of the present invention reduces heat transfer from the electronics to the substrate thereby avoiding hot spots in the substrate which may affect the performance of pixels beneath the hot spots.

Figure 15A demonstrates another exemplary embodiment of the present invention which may be used to avoid hot spots in the substrate surface. In Figure 15A the substrate **2101** once again has pixels **2103** sandwiched between the substrate and the transparent front panel **2102**. In this embodiment, the electronics **2104** are separated from the surface of the substrate by a fin structure **2201** which is mounted directly on the substrate.

Figure 15B shows a top view of this fin structure **2201** including the electronics **2104** which have been mounted onto the fin structure. Also in this view can be seen the conductive traces **2203** and the via **2202** which are used to electrically couple the fin structure to the substrate. The fin structure itself works as a heat sink to dissipate heat, thereby preventing formation of hot spots in the substrate ensuring more uniform performance of the video tile.

Figure 16 demonstrates another exemplary embodiment of the present invention in which the single substrate **2101**, transparent front panel **2102** and pixels **2103** have the same functions as in the previous two embodiments which were illustrated in Figures 14 and 15A. In this embodiment of the present invention, a flexible circuit board **2301** has been connected to the back of the single substrate. One end of the flexible circuit board **2302** has been bent away from the surface of the

WO 02/47310

PCT/US01/46455

29

substrate. On this portion of the flexible circuit board, the electronics 2104 are mounted. This is done once again to alleviate hot spots in the substrate.

Although the embodiments of the invention described above have been in terms of an OLED display device, it is contemplated that similar concepts may be practiced with other types of display tiles. Also, it will be understood to one skilled in the art that a number of other
5 modifications exist which do not deviate from the scope of the present invention as defined by the appended claims.

WO 02/47310

PCT/US01/46455

30

What is Claimed:

- 1 1. An electronic display structure comprising;
2 a substrate having a top surface and a bottom surface;
3 the bottom surface of the substrate being a circuit board onto which circuitry for providing a
4 plurality of electrical signals is coupled;
5 a picture element (pixel) structure having a predetermined area including:
6 a first electrode, formed on the top surface of the substrate;
7 a display material having a bottom surface and a top surface, the bottom surface
8 being in close proximity to the first electrode; and
9 a second electrode, positioned in close proximity to the top surface of the display
10 material;
11 a first connecting via extending from the bottom surface of the substrate to couple the first
12 electrode to receive a first electrical signal of the plurality of electrical signals; and
13 a second connecting via extending from the bottom surface of the substrate and through the
14 pixel structure to couple the second electrode to receive a second electrical signal of the plurality of
15 electrical signals, wherein the first electrode and the display material are sized and arranged such
16 that the second connecting via does not interfere with the first electrode or the display material.
- 1 2. The electronic display structure of claim 1, wherein the substrate comprises a ceramic
2 material.
- 1 3. The electronic display structure of claim 1, wherein the substrate comprises a low-
2 temperature co-fired ceramic and metal structure.
- 1 4. The electronic display structure of claim 1, wherein the display material comprises materials
2 that form an organic light emitting diode.
- 1 5. A tiled display structure comprising a plurality of image tiles, each tile comprising;

WO 02/47310

PCT/US01/46455

31

2 a substrate having a top surface and a bottom surface;

3 a display section coupled to the top surface of the substrate, including a glass substrate and
4 a plurality of pixel structures, each pixel structure defining a pixel area and having an active region
5 which occupies a portion of the pixel area, the plurality of pixel structures being arranged in a
6 matrix having rows and columns and including a plurality of contacts for receiving electrical
7 signals;

8 pixel driving circuitry coupled to the bottom surface of the substrate and adapted to provide
9 a plurality of electrical signals to respective ones of the electrical contacts of the pixel structures to
10 selectively activate the plurality of pixel structures;

11 a transparent front panel having a plurality of rows and columns of dark-colored lines, the
12 plurality of lines being substantially equal in width and defining transparent regions on the front
13 panel for pixel positions in the tiled display device; and

14 means for securing the glass substrate of the display sections of the plurality of tiles to the
15 transparent front panel to align the active region of each pixel area on each tile with a respectively
16 different one of the defined transparent regions on the front panel.

1 6. A tiled display structure comprising a plurality of image tiles, each tile comprising;

2 a substrate having a top surface and a bottom surface;

3 a display section coupled to the top surface of the substrate, including a glass substrate
4 having a front surface and a back surface, the display section further including a plurality of pixel
5 structures, coupled to the back surface of the glass substrate, each pixel structure defining a pixel
6 area and having an active region which occupies a portion of the pixel area, the plurality of pixel
7 structures being arranged in a matrix having rows and columns and including a plurality of contacts
8 for receiving electrical signals, wherein the front surface of the glass substrate includes a plurality of
9 dark-colored lines having a predetermined width which form a black matrix surrounding the active
10 regions of the plurality of pixel structures; and

11 pixel driving circuitry coupled to the bottom surface of the substrate and adapted to provide
12 a plurality of electrical signals to respective ones of the electrical contacts of the pixel structures to
13 selectively activate the plurality of pixel structures.

WO 02/47310

PCT/US01/46455

32

1 7. A method of constructing an electronic display structure on a substrate having a top surface
2 and a bottom surface comprising the steps of;

3 forming a plurality of vias extending from the bottom surface of the substrate to the top
4 surface of the substrate;

5 forming a circuit board structure on the bottom surface of the substrate, the circuit board
6 structure including a plurality of electrical contacts coupled to the plurality of vias;

7 mounting pixel driving circuitry on the circuit board structure and coupling the driving
8 circuitry to the plurality of vias to provide a plurality of electrical signals;

9 forming a plurality of row electrodes on the top surface of the substrate;

10 coupling each row electrode for the plurality of row electrodes to at least one of the vias to
11 receive a respective row electrical signal of the plurality of electrical signals;

12 forming a plurality of pixel regions each containing at least one distinct active pixel area,
13 each distinct active pixel area composed of at least one layer of display material, wherein at least
14 one of the distinct active pixel areas is on top of each row electrode;

15 forming a plurality of transparent column electrodes over the distinct active pixel areas,
16 wherein each distinct active pixel area is coupled to one transparent column electrode of the
17 plurality of transparent column electrodes; and

18 coupling each transparent column electrode of the plurality of transparent column electrodes
19 to at least one of the vias to receive a respective column electrical signal of the plurality of electrical
20 signals.

1 8. A method of constructing an electronic display tile including a substrate having a top surface,
2 a bottom surface, a pair of horizontal edges, and a pair of vertical edges, the top surface of each
3 substrate being covered by a plurality of pixel regions arranged in a matrix of rows and columns,
4 comprising the steps of;

5 forming a plurality of vias extending from the bottom surface of the substrate to the top
6 surface of the substrate;

WO 02/47310

PCT/US01/46455

33

- 7 forming a circuit board structure on the bottom surface of the substrate, the circuit board
8 structure including a plurality of electrical contacts coupled to the plurality of vias;
- 9 forming a plurality of row electrodes on the top surface of the substrate;
- 10 coupling each row electrode of the plurality of row electrodes to at least one of the vias to
11 receive a respective row electrical signal of the plurality of electrical signals;
- 12 forming at least one distinct active pixel area in each of the plurality of pixel regions,
13 wherein the distinct active pixel area includes at least one layer of display material and is coupled to
14 one row electrode of the plurality of row electrodes;
- 15 forming a plurality of transparent column electrodes over the plurality of distinct active
16 pixel areas, wherein each distinct active pixel area is coupled to one transparent column electrode of
17 the plurality of transparent column electrodes; and
- 18 coupling each transparent column electrode of the plurality of transparent column electrodes
19 to at least one of the vias to receive a respective column electrical signal of the plurality of electrical
20 signals.
- 1 9. A tiled display structure comprising a plurality of image tiles, each tile comprising;
- 2 a glass substrate having a front surface and a back surface;
- 3 a display section coupled to the back surface of the glass substrate, including a plurality of
4 pixel structures, each pixel structure defining a pixel area and having a active region which occupies
5 a portion of the pixel area, the plurality of pixel structures being arranged in a matrix having rows
6 and columns and including a plurality of contacts for receiving electrical signals;
- 7 a passivation layer; and
- 8 pixel driving circuitry coupled to the back surface of the glass substrate and arranged so as
9 not to interfere with the active regions of the pixel structures, the pixel driving circuitry adapted to
10 provide a plurality of electrical signals to respective ones of the electrical contacts of the pixel
11 structures to selectively activate the plurality of pixel structures.
- 1 10. A tiled display structure having a plurality of display tiles comprising;

WO 02/47310

PCT/US01/46455

34

2 a substrate having at least one edge; and

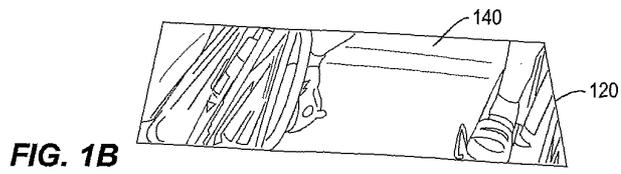
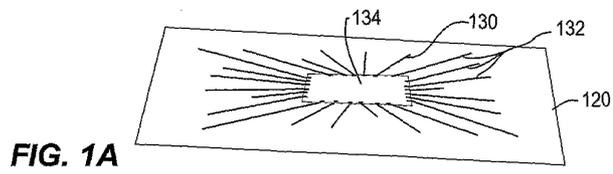
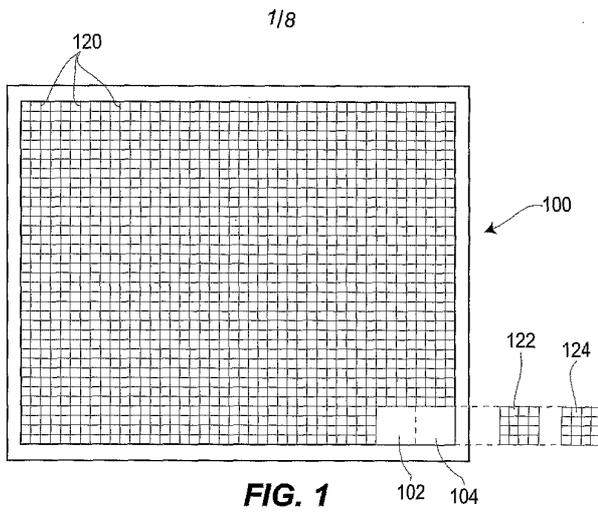
3 a plurality of active pixel areas arranged on the substrate in a matrix of rows and columns,
4 each active pixel area substantially isolated, electrically and optically, from remaining active pixel
5 areas and physically separated from an adjacent active pixel area by a predetermined distance;

6 wherein active pixel areas nearest to the at least one edge have a separation from the at least
7 one edge that is less than the predetermined distance;

8 whereby, when the plurality of image tiles are fit together, the active pixel areas nearest to
9 the at least one edge of one image tile are separated from an adjacent active pixel area of an adjacent
10 image tile by the predetermined distance.

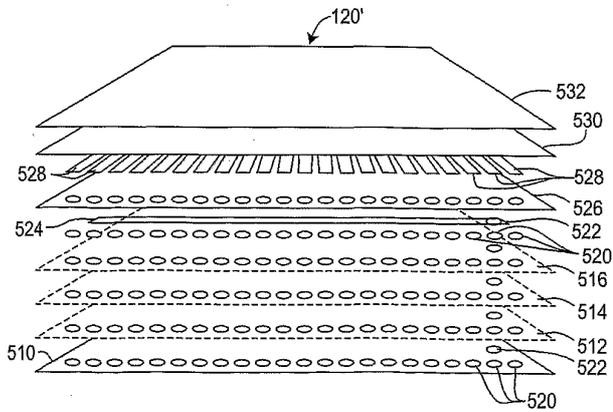
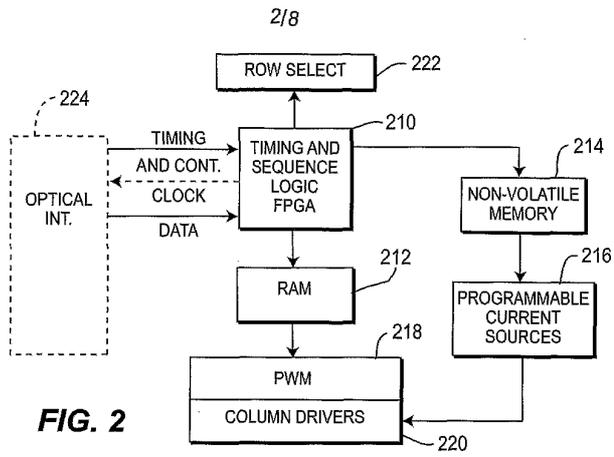
WO 02/47310

PCT/US01/46455



WO 02/47310

PCT/US01/46455



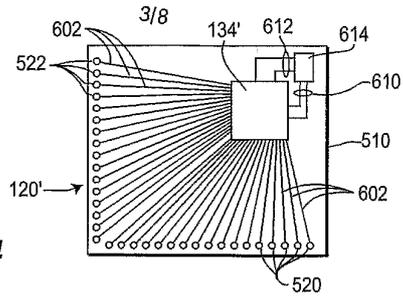


FIG. 4

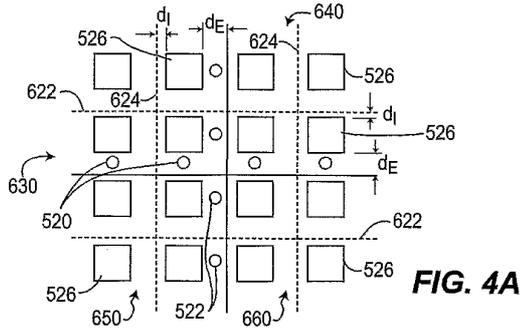


FIG. 4A

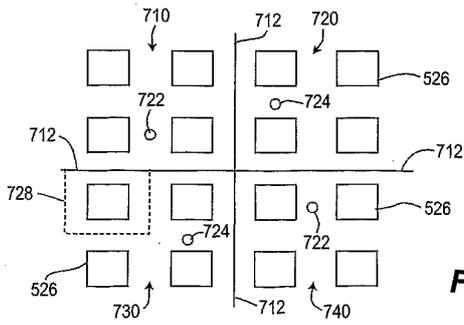


FIG. 5

WO 02/47310

PCT/US01/46455

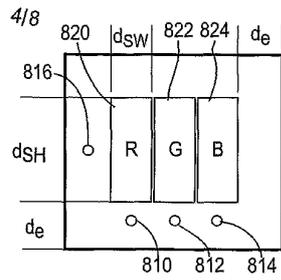


FIG. 6A

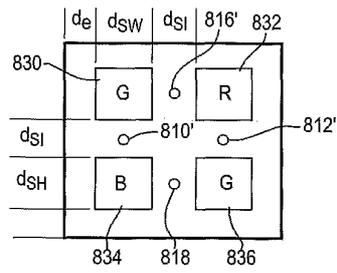


FIG. 6B

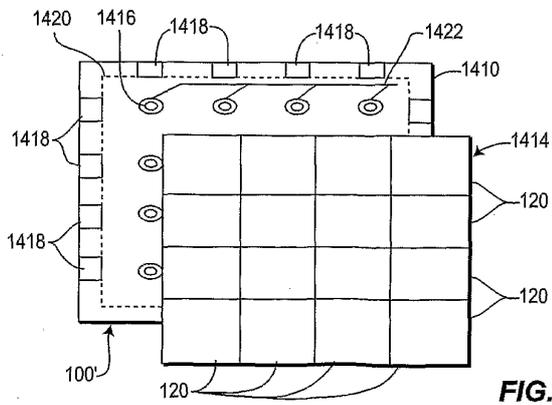


FIG. 7

WO 02/47310

PCT/US01/46455

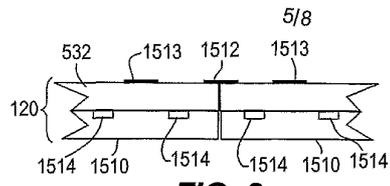


FIG. 8

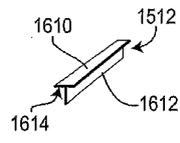


FIG. 9

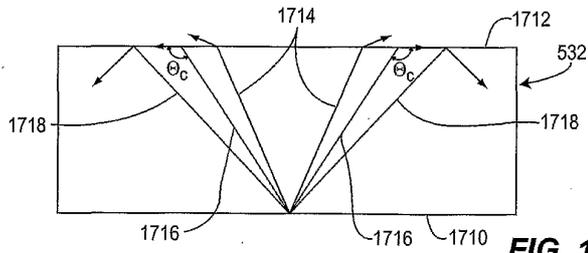


FIG. 10

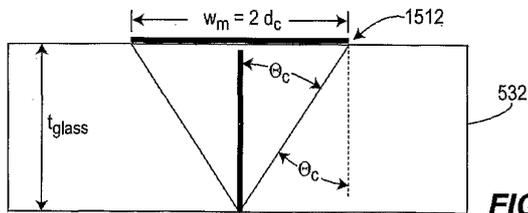


FIG. 11

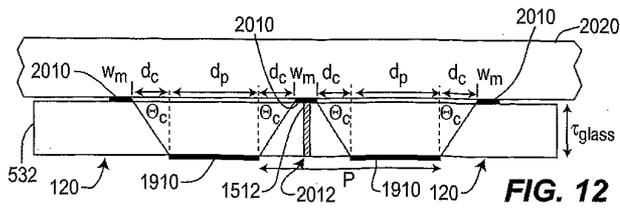


FIG. 12

6/8

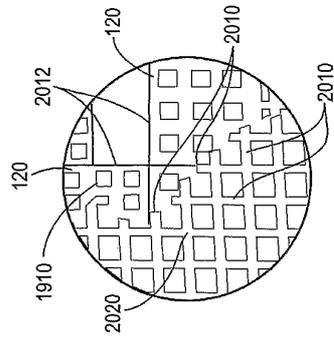


FIG. 13A

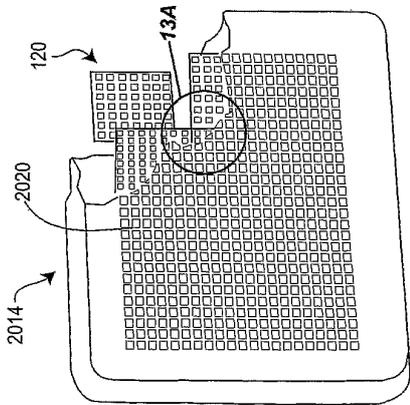


FIG. 13

WO 02/47310

PCT/US01/46455

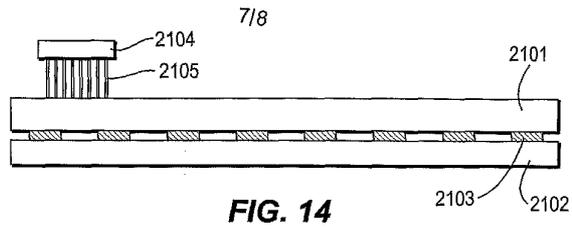


FIG. 14

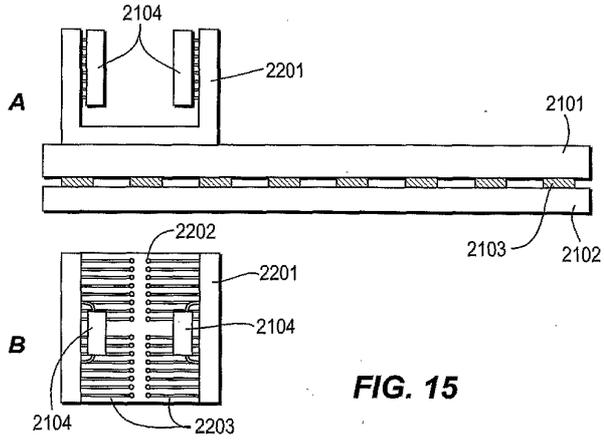


FIG. 15

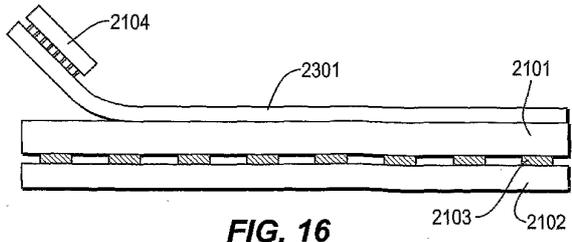


FIG. 16

WO 02/47310

PCT/US01/46455

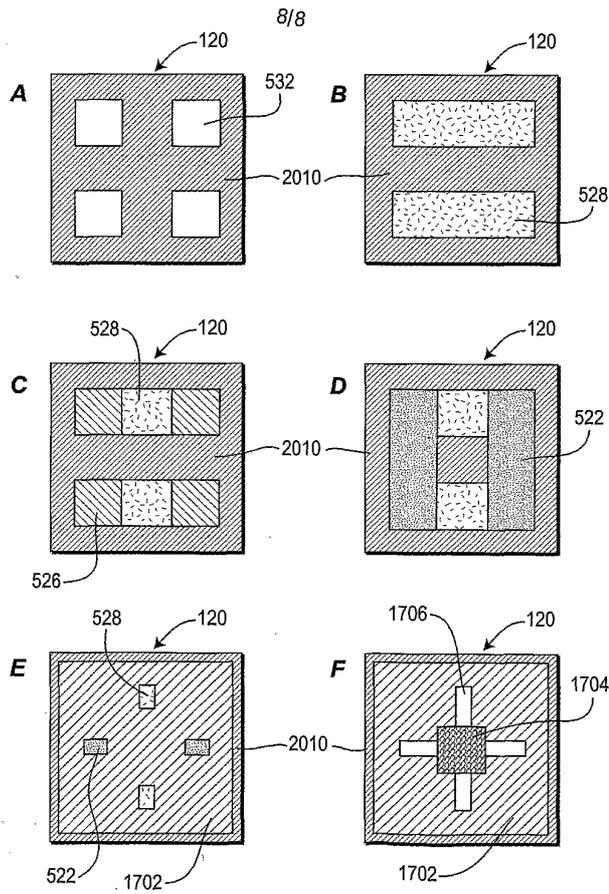


FIG. 17

【国際公開パンフレット(コレクション)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
13 June 2002 (13.06.2002)

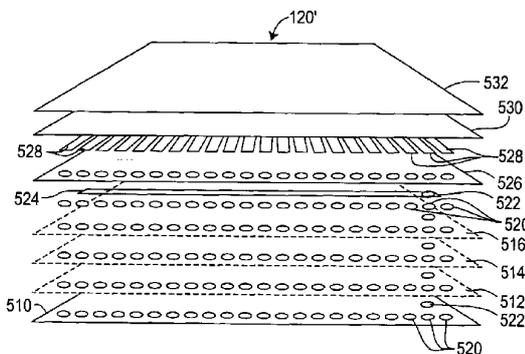
PCT

(10) International Publication Number
WO 02/047310 A3

- (51) International Patent Classification: G09G 3/36
- (74) Agents: NIGON, Kenneth, N.; Ratner & Prestia, 301 One Westlakes (Berwyn), P.O. Box 980, Valley Forge, PA 19482-0980 et al. (US).
- (21) International Application Number: PCT/US01/46455
- (81) Designated State (national): JP.
- (22) International Filing Date: 9 November 2001 (09.11.2001)
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/709,904 10 November 2000 (10.11.2000) US
- Published: with international search report
- (71) Applicant: SARNOFF CORPORATION [US/US]; 201 Washington Road, CN5300, Princeton, NJ 08543-5300 (US).
- (88) Date of publication of the international search report: 12 September 2002
- (72) Inventor: MATTHIES, Dennis, Lee; 387 Nassau Street, Princeton, NJ 08540 (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: DISPLAY TILE STRUCTURE USING ORGANIC LIGHT EMITTING MATERIALS



(57) Abstract: A tiled display structure (100) is fabricated on a single substrate that also serves as a circuit board (130) containing electronic components. Electrodes are formed on the substrate and the remainder of the display section (310) is formed on the electrodes (322, 328). The electronic components are mounted on the substrate using exceptionally long leads (132) to assist in the thermal management of tiles.

WO 02/047310 A3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/46455
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G09G 3/36 US CL : 345/1 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/1, 11, 903 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5,703,394 A(WEI et al) 30 December 1997, column 1, lines 5-7; column 2, lines 60-67; column 3, lines 1-21, 51-59, 63-67; column 4, lines 1-9, 10-12 and 15-25; Abstract and Fig. 3.	1-10
Y	US 5,805,117 A(MAZUREK et al) 8 September 1998, column 3, lines 15-40; column 6, lines 7-21 and 58-60; column 7, lines 33-49; column 9, lines 2-36 and 56-67; column 10, lines 15-46; Abstract and Fig. 1.	1-10
Y	US 6,005,649 A(KRUSIUS et al) 21 December 1999, column 2, lines 38-39 and column 7, lines 13-33.	7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may show doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claim(s) "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 May 2002 (02.05.2002)		Date of mailing of the international search report 28 JUN 2002
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230		Authorizing officer Bipin Shalwala Telephone No. 703 306-0377

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US01/46455

Continuation of B. FIELDS SEARCHED Item 3:
West, East
search terms: tile display, modular display

フロントページの続き

(51) Int.Cl.⁷

H 0 5 B 33/14

F I

G 0 9 F	9/30	3 6 5 Z
G 0 9 G	3/20	6 8 0 E
G 0 9 G	3/20	6 8 0 H
G 0 9 G	3/30	Z
H 0 5 B	33/14	A

テーマコード(参考)

F ターム(参考) 5C080 AA06 BB05 CC03 CC06 DD01 DD20 DD28 EE29 FF01 FF13
 GG12 JJ02 JJ06
 5C094 AA08 AA13 AA14 AA33 AA43 AA48 AA53 BA12 BA27 CA19
 CA24 DA01 DA09 DA12 DA13 DB01 DB03 EA04 EA05 EA10
 EB10 FA01 FA02 FB01 FB02 FB12 FB15 FB20
 5G435 AA00 AA04 AA09 AA12 AA16 AA17 BB05 CC09 CC12 EE13
 EE32 EE36 EE42 HH01 HH12 HH14 HH18 HH20 KK05

专利名称(译)	使用有机发光材料显示瓷砖结构		
公开(公告)号	JP2004515810A	公开(公告)日	2004-05-27
申请号	JP2002548911	申请日	2001-11-09
[标]申请(专利权)人(译)	萨尔诺夫公司		
申请(专利权)人(译)	Sarnoff公司		
[标]发明人	マッシスデニースリー		
发明人	マッシス, デニース, リー		
IPC分类号	H01L51/50 G02F1/1333 G02F1/1345 G09F9/00 G09F9/30 G09F9/40 G09G3/20 G09G3/30 G09G3/32 H01L25/16 H01L27/32 H01L51/52 H04N9/12 H04N9/30 H05B33/14		
CPC分类号	H01L27/3288 G02F1/13336 G02F1/1345 G02F2201/42 G09G3/20 G09G3/2085 G09G3/2088 G09G3/3208 G09G2300/026 G09G2300/0426 G09G2310/0278 G09G2320/043 G09G2320/048 G09G2360/141 H01L25/167 H01L27/3276 H01L27/3293 H01L51/5203 H01L51/5281 H01L2924/0002 H01L2924/09701 H01L2924/3011 H04N9/12 H04N9/30		
FI分类号	G09F9/40.301 G09F9/00.338 G09F9/00.346.D G09F9/00.348.Z G09F9/30.330.Z G09F9/30.365.Z G09G3/20.680.E G09G3/20.680.H G09G3/30.Z H05B33/14.A		
F-TERM分类号	3K007/BA00 3K007/BA06 3K007/CA01 3K007/DB03 5C080/AA06 5C080/BB05 5C080/CC03 5C080/CC06 5C080/DD01 5C080/DD20 5C080/DD28 5C080/EE29 5C080/FF01 5C080/FF13 5C080/GG12 5C080/JJ02 5C080/JJ06 5C094/AA08 5C094/AA13 5C094/AA14 5C094/AA33 5C094/AA43 5C094/AA48 5C094/AA53 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DA01 5C094/DA09 5C094/DA12 5C094/DA13 5C094/DB01 5C094/DB03 5C094/EA04 5C094/EA05 5C094/EA10 5C094/EB10 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB02 5C094/FB12 5C094/FB15 5C094/FB20 5G435/AA00 5G435/AA04 5G435/AA09 5G435/AA12 5G435/AA16 5G435/AA17 5G435/BB05 5G435/CC09 5G435/CC12 5G435/EE13 5G435/EE32 5G435/EE36 5G435/EE42 5G435/HH01 5G435/HH12 5G435/HH14 5G435/HH18 5G435/HH20 5G435/KK05		
代理人(译)	铃木康仁		
优先权	09/709904 2000-11-10 US		
外部链接	Espacenet		

摘要(译)

在单个基板上制造平铺显示结构，该单个基板也用作包含电子元件的电路板。在基板上形成电极，在电极上形成显示部分的其余部分。像素元件使用图案化的显示材料，并且仅占据像素结构的一部分。使用特别长的引线将电子元件安装在基板上，以有助于瓷砖的热管理。或者，每个瓦片包括在电路板表面上的鳍片结构，电子元件安装在该鳍片结构上并且不与基板接触。或者，每个瓦片包括安装在基板上的柔性电路板，其一部分远离基板弯曲。电子元件耦合到柔性电路板的这部分，使得元件不与衬底接触以辅助热管理。

