

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-219624

(P2004-219624A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611A

G09G 3/20

612E

G09G 3/20

612U

G09G 3/20

622E

テーマコード (参考)

3K007

5C080

審査請求 未請求 請求項の数 14 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願2003-5574 (P2003-5574)

(22) 出願日

平成15年1月14日 (2003.1.14)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100079555

弁理士 梶山 信是

(74) 代理人 100079957

弁理士 山本 富士男

(72) 発明者 阿部 真一

京都市右京区西院溝崎町21番地 ローム
株式会社内

(72) 発明者 前出 淳

京都市右京区西院溝崎町21番地 ローム
株式会社内

最終頁に続く

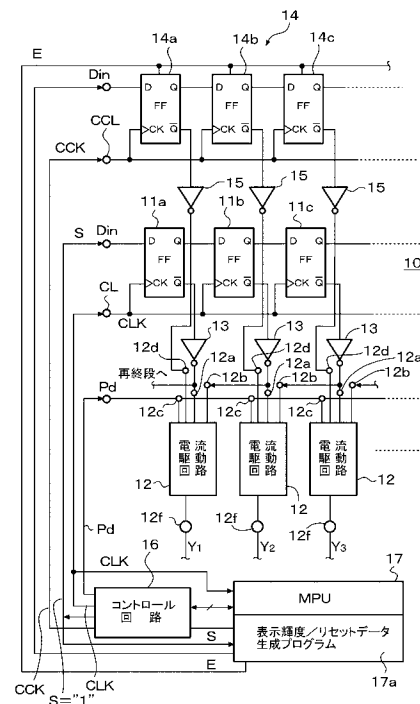
(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【要約】

【課題】マトリクス状に配置された有機EL素子の誤発光を防止しかつ消費電力を低減することができる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】この発明は、ロー側の走査対象の陰極接続ライン以外の任意の陰極接続ラインを各駆動回路に対応して発生する所定の駆動信号に応じて所定のバイアスライン（例えば、グランドGND）に接続するか、その出力をハイインピーダンスするかを選択できるものであり、さらに、走査対象となる陰極接続ラインより少なくとも1つ前に走査した陰極接続ラインに接続されるEL素子は逆バイアスになっている。このことにより、例えば、走査対象の陰極接続ラインに接続されたEL素子より後続に走査されるEL素子が接続された陰極接続ラインを所定の駆動信号により、選択して、任意の数だけ、同時にリセットすることができ、あるいはハイインピーダンス（Hi-Z）に設定することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリックス状に配置された複数の有機 E L 素子を有し、この複数の有機 E L 素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対してそれぞれ設けられ電流を吐出す複数の電流源と、複数の前記有機 E L 素子の陰極側にそれぞれ接続される複数の陰極接続ラインを順次走査してこのラインから流出される電流を走査に応じて所定のバイアスラインにシンクする駆動回路と、一定期間の間前記所定のバイアスラインに前記陽極接続ラインを接続して前記有機 E L 素子の電荷を放電する放電回路とを備える有機 E L 駆動回路において、

前記複数の陰極接続ラインのうち、走査対象となる陰極接続ラインの前記駆動回路が自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記走査対象となる陰極接続ラインより少なくとも 1 つ前に走査したライン（すべての走査ラインを除く）に接続される前記駆動回路が前記有機 E L 素子を逆バイアスにする電圧を自己が接続されている前記陰極接続ラインに印加し、これら以外の前記陰極接続ラインに接続される前記駆動回路が各前記駆動回路に対応して発生する所定の駆動信号を受けて自己が接続されている前記陰極接続ラインを前記一定期間の間あるいはこれに対応する期間の間、前記所定のバイアスラインに接続するか、その出力をハイインピーダンスすることを特徴とする有機 E L 駆動回路。 10

【請求項 2】

前記所定の駆動信号をビットデータとして各駆動回路に送出する記憶回路を有し、前記ビットデータが“1”および“0”のいずれか一方のときに自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記ビットデータがいずれか他方のときに前記駆動回路の出力をハイインピーダンスする請求項 1 記載の有機 E L 駆動回路。 20

【請求項 3】

前記記憶回路に記憶されるデータは、前記走査対象となる陰極接続ラインの前記駆動回路の前記陰極接続ラインに対して後ろに隣接する複数の前記陰極接続ラインを前記所定のバイアスラインに接続し、かつ、残りの前記陰極接続ラインに接続される前記駆動回路の出力をハイインピーダンスする前記駆動信号を発生する請求項 2 記載の有機 E L 駆動回路。

【請求項 4】

前記後ろに隣接する複数の駆動回路の個数は、前記走査対象となる陰極接続ラインの前記駆動回路が接続されている前記陰極接続ラインに接続された前記有機 E L 素子の輝度に応じて決定される請求項 3 記載の有機 E L 駆動回路。 30

【請求項 5】

前記所定のバイアスラインは接地ラインであり、各前記駆動回路は、論理回路と前記陰極接続ラインに接続されるプッシュプル動作の C M O S 回路とを有し、前記駆動信号を第 1 の駆動信号とし、前記論理回路は、前記第 1 の駆動信号と前記陰極接続ラインを走査するための第 2 の駆動信号とを受けて前記 C M O S 回路を駆動し、前記第 1 の駆動信号および前記第 2 の駆動信号を受けないときに前記 C M O S 回路の出力をハイインピーダンスにする請求項 4 記載の有機 E L 駆動回路。

【請求項 6】

前記放電回路は、放電パルスを受けて前記有機 E L 素子の電荷を前記接地ラインに放電するものであって、前記論理回路は、さらに前記放電パルスと次の前記陰極接続ラインが走査されたときにこのラインについての前記第 2 の駆動信号あるいはこれに応じた信号を第 3 の駆動信号として受けて、前記第 2 および第 3 の駆動信号を受けていないときには前記放電パルスと前記第 1 の駆動信号とに応じて前記陰極接続ラインを前記接地ラインに接続する信号を前記 C M O S 回路に送出し、前記放電パルスだけ受けたときに前記 C M O S 回路をハイインピーダンスにする請求項 5 記載の有機 E L 駆動回路。 40

【請求項 7】

さらに、前記第 2 の駆動信号を発生するシフトレジスタを有し、このシフトレジスタおよび前記記憶回路に記憶される前記データの各ビットの“1”あるいは“0”が前記駆動信 50

号に対応していて、前記第 1 の駆動信号のデータは、直前に查対象となった陰極接続ラインの表示開始から前記走査対象となる陰極接続ラインに対する前記放電パルスが発生するまでの間に外部から前記記憶回路に設定される請求項 6 記載の有機 E L 駆動回路。

【請求項 8】

マトリックス状に配置された複数の有機 E L 素子を有し、この複数の有機 E L 素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対してそれぞれ設けられ電流を吐出す複数の電流源と、複数の前記有機 E L 素子の陰極側にそれぞれ接続される複数の陰極接続ラインを順次走査してこのラインから流出される電流を走査に応じて所定のバイアスラインにシンクする駆動回路と、一定期間の間前記所定のバイアスラインに前記陽極接続ラインを接続して前記有機 E L 素子の電荷を放電する放電回路とを備える有機 E L 表示装置において、

前記複数の陰極接続ラインのうち、走査対象となる陰極接続ラインの前記駆動回路が自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記走査対象となる陰極接続ラインより少なくとも 1 つ前に走査したライン（すべての走査ラインを除く）に接続される前記駆動回路が前記有機 E L 素子を逆バイアスにする電圧を自己が接続されている前記陰極接続ラインに印加し、これら以外の前記陰極接続ラインに接続される前記駆動回路が各前記駆動回路に対応して発生する所定の駆動信号を受けて自己が接続されている前記陰極接続ラインを前記一定期間の間あるいはこれに対応する期間の間、前記所定のバイアスラインに接続するか、その出力をハイインピーダンスすることを特徴とする有機 E L 表示装置。

10

20

【請求項 9】

前記所定の駆動信号をビットデータとして各駆動回路に送出する記憶回路を有し、前記ビットデータが“1”および“0”のいずれか一方のときに自己が接続されている前記陰極接続ラインを前記所定のバイアスラインに接続し、前記ビットデータがいずれか他方のときに前記駆動回路の出力をハイインピーダンスする請求項 8 記載の有機 E L 表示装置。

【請求項 10】

前記記憶回路に記憶されるデータは、前記走査対象となる陰極接続ラインの前記駆動回路の前記陰極接続ラインに対して後ろに隣接する複数の前記陰極接続ラインを前記所定のバイアスラインに接続し、かつ、残りの前記陰極接続ラインに接続される前記駆動回路の出力をハイインピーダンスする前記駆動信号を発生する請求項 9 記載の有機 E L 表示装置。

30

【請求項 11】

前記後ろに隣接する複数の駆動回路の個数は、前記走査対象となる陰極接続ラインの前記駆動回路が接続されている前記陰極接続ラインに接続された前記有機 E L 素子の輝度に応じて決定される請求項 10 記載の有機 E L 表示装置。

【請求項 12】

前記所定のバイアスラインは接地ラインであり、各前記駆動回路は、論理回路と前記陰極接続ラインに接続されるプッシュプル動作の C M O S 回路とを有し、前記駆動信号を第 1 の駆動信号とし、前記論理回路は、前記第 1 の駆動信号と前記陰極接続ラインを走査するための第 2 の駆動信号とを受けて前記 C M O S 回路を駆動し、前記第 1 の駆動信号および前記第 2 の駆動信号を受けないときに前記 C M O S 回路の出力をハイインピーダンスにする請求項 11 記載の有機 E L 表示装置。

40

【請求項 13】

前記放電回路は、放電パルスを受けて前記有機 E L 素子の電荷を前記接地ラインに放電するものであって、前記論理回路は、さらに前記放電パルスと次の前記陰極接続ラインが走査されたときにこのラインについての前記第 2 の駆動信号あるいはこれに応じた信号を第 3 の駆動信号として受けて、前記第 2 および第 3 の駆動信号を受けないときには前記放電パルスと前記第 1 の駆動信号とに応じて前記陰極接続ラインを前記接地ラインに接続する信号を前記 C M O S 回路に送出し、前記放電パルスだけ受けたときに前記 C M O S 回路をハイインピーダンスにする請求項 12 記載の有機 E L 表示装置。

【請求項 14】

50

さらに、前記第 2 の駆動信号を発生するシフトレジスタを有し、このシフトレジスタおよび前記記憶回路に記憶される前記データの各ビットの“1”あるいは“0”が前記駆動信号に対応していて、前記第 1 の駆動信号のデータは、直前に查対象となった陰極接続ラインの表示開始から前記走査対象となる陰極接続ラインに対する前記放電パルスが発生するまでの間に外部から前記記憶回路に設定される請求項 13 記載の有機 EL 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機 EL 駆動回路および有機 EL 表示装置に関し、詳しくは、マトリックス状に配置された有機 EL 素子の誤発光を防止しかつ消費電力を低減することができるような有機 EL 駆動回路および有機 EL 表示装置の改良に関する。 10

【0002】

【従来の技術】

有機 EL 表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVD プレーヤ、PDA (携帯端末装置) 等に搭載される次世代表示装置として現在注目されている。この有機 EL 表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R (赤), G (緑), B (青) に感度差があることから制御が難しくなる問題点がある。

そこで、最近では、電流駆動のドライバを用いた有機 EL 表示装置が提案されている。

マトリックス状に配置した有機 EL 素子を電流駆動し、かつ、有機 EL 素子の陽極と陰極をグランドに落としてリセットする有機 EL 素子の駆動回路が公知である (特許文献 1 参照)。また、DC-DC コンバータを用いて有機 EL 素子を低消費電力で電流駆動する技術が公知である (特許文献 2 参照)。 20

【0003】

【特許文献 1】

特開平 9 - 232074 号公報

【特許文献 2】

特開 2001 - 143867 号公報

【0004】

前記の特開平 9 - 232074 号 (特許文献 1) に記載されるように、有機 EL 表示装置では、カラム側 (陽極側) の 1 ラインが電流吐出し側となり、ロー側 (陰極走査側) が電流吸い込み側 (シンク側) となって、ロー側の走査に応じてカラム側の電流駆動回路から電流が有機 EL 素子 (以下 EL 素子) の陽極側に出力される。EL 素子の陰極側は、通常、CMOS のプッシュプル回路を介してグランド GND に接続され、この駆動電流をシンクする。EL 素子は、容量性の素子であるので、このとき、駆動電流の一部を電荷として蓄積する。そのためマトリックス状に EL 素子を配置する表示装置にあっては、走査対象となっていない周囲の EL 素子からの電荷が流れ込み、誤発光する問題がある。 30

図 9 は、一般的な有機 EL 表示パネルの概要を示す説明図である。1 は、マトリックス状に配置された EL 素子 4 を有する有機 EL 表示パネル、2 は、カラム側の電流駆動回路、3 は、ロー側の駆動回路、4 は、EL 素子であって、説明の都合上、コンデンサとして示してある。また、ロー側の駆動回路 3 の CMOS のプッシュプル回路はスイッチとして示してある。 40

【0005】

有機 EL 表示パネル 1 にあっては、EL 素子 4 の接合容量で決定された一定期間だけ EL 素子 4 を駆動時点であらかじめ充電し、EL 素子 4 の輝度を向上させ、輝度むらなどを防止している。そのために駆動する前にスイッチ回路 SW を一定期間 ON にして EL 素子 4 の電荷を放電してリセットする。このリセットは、ロー側の駆動回路 3 のロー側の走査対象なるラインが Low レベル (以下 “L”) になった初期の一定期間、スイッチ回路 SW を ON にしてカラム側の電流駆動回路 2 の出力が接続される EL 素子 4 の陽極接続ライン (カラムライン) X1, X2, X3 ... をグランド GND へと落とすことで行われる。これ 50

により E L 素子 4 の残留電荷が放電され、その後にカラム側の電流駆動回路 2 の出力電流が E L 素子 4 に加えられる。このとき、ロー側の駆動回路 3 において走査対象以外の E L 素子 4 を逆バイアスしておかないと、走査対象の E L 素子 4 に流れ込む駆動電流が周囲の E L 素子 4 に流れ込み、誤発光の原因になる。そのため、走査対象以外の E L 素子 4 の陰極接続ライン（ローライン）Y 1 , Y 2 , Y 3 ... は、H i g h レベル（以下“ H ”）に固定される。

【 0 0 0 6 】

【発明が解決しようとする課題】

近年、駆動ピン数は高解像度の要請により増加する傾向にある。そのため、駆動周波数も高くなり、消費電力は増加する傾向にある。しかし、誤発光防止のために走査対象以外の E L 素子をロー側において逆バイアスにすると、逆バイアス分の電荷が E L 素子に駆動する方向とは逆方に蓄積される。そのため、それが走査対象となったときには、その分を相殺して駆動するだけの大きな過渡電流が流れる。その結果、逆バイアス分の電荷を蓄積する電流による電力消費と、前記の過渡電流とによる駆動電流の増加が駆動ピン数の増加に応じて無視できなくなっている。

この発明の目的は、このような従来技術の問題点を解決するものであって、マトリックス状に配置された E L 素子の誤発光を防止しかつ消費電力を低減することができる有機 E L 駆動回路および有機 E L 表示装置を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

このような目的を達成するためのこの発明の E L 駆動回路および E L 表示装置の特徴は、マトリックス状に配置された複数の E L 素子を有し、この複数の E L 素子の陽極側にそれぞれ接続される複数の陽極接続ラインに対してそれぞれ設けられ電流を吐出す複数の電流源と、複数の E L 素子の陰極側にそれぞれ接続される複数の陰極接続ラインを順次走査してこのラインから流出される電流を走査に応じて所定のバイアスラインにシンクする駆動回路と、一定期間の間所定のバイアスラインに陽極接続ラインを接続して E L 素子の電荷を放電する放電回路とを備える有機 E L 駆動回路において、

複数の陰極接続ラインのうち、走査対象となる陰極接続ラインの駆動回路が自己が接続されている陰極接続ラインを所定のバイアスラインに接続し、走査対象となる陰極接続ラインより少なくとも 1 つ前に走査したライン（すべての走査ラインを除く）に接続される駆動回路が E L 素子を逆バイアスにする電圧を自己が接続されている陰極接続ラインに印加し、これら以外の陰極接続ラインに接続される駆動回路が各駆動回路に対応して発生する所定の駆動信号を受けて自己が接続されている陰極接続ラインを一定期間の間あるいはこれに対応する期間の間、所定のバイアスラインに接続するか、その出力をハイインピーダンス（H i - Z）するものである。

【 0 0 0 8 】

【発明の実施の形態】

このように、この発明にあっては、ロー側の走査対象の陰極接続ライン以外の任意の陰極接続ラインを各駆動回路に対応して発生する所定の駆動信号に応じて所定のバイアスライン（例えば、グランド G N D）に接続するか、その出力をハイインピーダンスするかを選択できるものであり、さらに、走査対象となる陰極接続ラインより少なくとも 1 つ前に走査した陰極接続ラインに接続される E L 素子は逆バイアスになっている。

このことにより、例えば、走査対象の陰極接続ラインに接続された E L 素子より後続に走査される E L 素子が接続された陰極接続ラインを所定の駆動信号により、選択して、任意の数だけ、同時にリセットすることができ、あるいはハイインピーダンス（H i - Z）に設定することができる。

特に、所定の駆動信号をビットデータとして発生してビットデータが“ 1 ”および“ 0 ”のいずれか一方のときに自己が接続されている陰極接続ラインを所定のバイアスラインに接続し、ビットデータがいずれか他方のときに駆動回路の出力をハイインピーダンスするようにすれば、選択した任意の数だけ、同時にリセットし、それ以外の陰極接続ラインを

ハイインピーダンス (Hi-Z) に設定することができる。このときにも、走査が終了した手前の陰極接続ラインの EL 素子は、逆バイアスされているので、誤発光が防止される。

特に、後続の陰極接続ラインに接続される EL 素子については、走査対象となる陰極接続ラインに接続された EL 素子の輝度が高いときにはそれに応じて多くなるように選択すれば、現在走査しているラインの輝度が高くて、誤発光を防止でき、発光輝度に応じてダイナミックに消費電力を低減することができる。もちろん、走査対象の陰極接続ラインに隣接するラインとして前側のラインが複数選択されてもよい。

その結果、マトリクス状に配置された EL 素子の誤発光を防止しかつ消費電力を低減することができる有機 EL 駆動回路および有機 EL 表示装置を容易に実現することができる。 10

【0009】

【実施例】

図 1 は、この発明の EL 駆動回路を適用した一実施例のロー側の走査回路のブロック図、図 2 は、その電流駆動回路のブロック図、図 3 は、リセットデータがオール “1” のときの表示駆動動作の基本的な動作のタイミングチャート、図 4 は、リセットデータがオール “0” のときの表示駆動動作の基本的な動作のタイミングチャート、図 5 は、そのリセットデータ設定に応じた表示駆動動作のタイミングチャート、図 7 ~ 図 9 は、この発明の他の実施例の説明図である。なお、各図において同一の構成要素は同一の符号で示す。

図 1 において、10 は、ロー側走査回路であって、11 は、フリップフロップ (FF) 11a, 11b, 11c ... からなるシフトレジスタである。このシフトレジスタ 11 にはロー側の走査ライン数分の段数のフリップフロップが接続されている。フリップフロップ 11a, 11b, 11c ... は、それぞれデータ端子 D に前段のフリップフロップから Q 出力のデータを受け、クロック端子 CK にはロー側のクロックであるロークロック CLK を端子 CL を介して受けて動作する。 20

【0010】

初段のフリップフロップ 11a は、データ入力端子 Din にコントロール回路 16 から “1” のデータ (スタートパルス) を受ける。そして各段のフリップフロップの出力として Q 出力の反転出力である *Q 出力 (図面では Q バー出力) がインバータ 13 を介して各段に対応して設けられた電流駆動回路 12, 12, ... にそれぞれ送出される。各インバータ 13 の出力は、前段のフリップフロップに対応する電流駆動回路 12 にもその入力端子 12b を介して入力される。 30

なお、初段のフリップフロップに対応するインバータ 13 の出力は、最終段のフリップフロップに対応する電流駆動回路 12 に入力される。この場合、最終段のフリップフロップの後に初段のフリップフロップに対応するダミーフリップフロップを設けて、このダミーフリップフロップからの出力をインバータ 13 を介して最終段のフリップフロップに対応する電流駆動回路 12 に入力するようにしてもよい。このようにすれば、初段のフリップフロップに対応するインバータ 13 の出力を最終段の電流駆動回路 12 に入力するための引き回し配線は不要となり、配線接続ラインのレイアウトが簡単になる。

【0011】

14 は、フリップフロップ (FF) 14a, 14b, 14c ... からなるシフトレジスタで構成されるデータレジスタであり、MPU 17 からのリセットのためのデータ (リセットデータ) とクロックエネーブル信号 E とを受けて、リセットデータがシリアルに inputs され、シフトされて設定される。このデータレジスタ 14 もロー側の走査ライン数分の段数のフリップフロップが接続されている。そのフリップフロップ 14a, 14b, 14c ... は、それぞれデータ端子 D に前段のフリップフロップから Q 出力のデータを受け、クロック端子 CK にはロー側のクロックより周波数の高いカラムクロック CCK が入力端子 CCL から入力されて、入力されたリセットデータをシフトする動作をする。

なお、クロックエネーブル信号 E は、カラムクロック CCK を有効にするものであり、これは、コントロール回路 16 からのカラムクロック CCK を AND ゲートを介してデータ 40

レジスタ14の入力端子CCLに加えておき、このANDゲートにクロックエネーブル信号Eを加えてこのANDゲートで開くような構成であってもよい。

初段のフリップフロップ14aは、データ入力端子DinにMPU17からリセットデータを受ける。そして各段のフリップフロップの出力としてQ出力の反転出力である*Q出力(図面ではQバー出力)がインバータ15を介して各段に対応して設けられた電流駆動回路12, 12, ...の各入力端子12dにそれぞれ送出される。

【0012】

コントロール回路16は、ロークロックCLKと、カラムクロックCLKと、データ“1”(スタートパルスS)を発生して、図示するように、これらをシフトレジスタ11とデータレジスタ14とにそれぞれ入力する。また、放電パルスPdを発生して各電流駆動回路12に入力端子12cを介して入力する。さらに、ロークロックCLKとスタートパルスとをMPU17に送出する。

10

電流駆動回路12の入力端子12a, 12b, 12dに入力される信号は、インバータを介することで各フリップフロップのQ出力に対応している。

さらに、電流駆動回路12, 12, 12...は、コントローラ16から放電パルス(カラムリセットパルス)Pdを入力端子12cに受ける。

【0013】

シフトレジスタ11は、ロー側の走査開始時点で初段のフリップフロップ11aから最終段のフリップフロップに向かってコントロール回路16から入力されたビット“1”のデータ(スタートパルスS)をロークロックCLKに応じて順次シフトしていく。これによりビット“1”が立ったフリップフロップのQ出力に対応する電流駆動回路12は、そのときに走査対象の対象となるローライン(陰極接続ライン)に“L”の出力を発生して、ローラインY1, Y2, Y3...(図9参照)を順次駆動していく。このとき他のフリップフロップは、ビット“0”がセットされているのでその出力に対応する電流駆動回路12は走査の対象とはならない。

20

一方、データレジスタ14の各段には、手前の表示期間に初段のフリップフロップ14aから最終段のフリップフロップに向かってMPU17から次の表示期間の表示輝度に応じたりセットデータが入力されて、それがコントロール回路16から送出されるカラムクロックCLK(クロックエネーブル信号Eが発生しているときにこのカラムクロックCLKが有効になる。)に応じてシフトされて、セットされる。そこで、走査対象となるリセット期間には、表示輝度に応じたりセットデータがデータレジスタ14に記憶される。

30

【0014】

各電流駆動回路12は、図2に示すように論理回路121とレベルシフト回路122、バッファ123, 124、そしてCMOSトランジスタTrp, Trnを有するCMOS出力回路125とからなる。各電流駆動回路12のCMOS出力回路125の出力端子12fは、図1に示すように、それぞれロー側のラインY1, Y2, Y3...に接続されている。各電流駆動回路12は、自己の段に対応するインバータ15の出力(第1の駆動信号)と、自己の段に対応するインバータ13の出力(第2の駆動信号)、放電パルスPd、そして次段のインバータ13の出力(第3の駆動信号)とを受けて、現在走査対象となっている電流駆動回路12と1つ前に走査対象となっている電流駆動回路12を除いて、放電動作の一定期間だけローラインY1, Y2, Y3...をデータレジスタ14にリセットデータに応じて“L”にする。

40

この電流駆動回路12について図2を参照して説明すると、インバータ13の入力端子として自己のフリップフロップの段に対応するインバータ13の出力信号を入力端子12aに受け、次段のフリップフロップに対応するインバータ13から出力信号を入力端子12bに受ける。そして放電パルスPdを入力端子12cに受け、自己の段に対応するインバータ15の出力信号を入力端子12dに受ける。

論理回路121は、2つのORゲート121a, 121dと3つのANDゲート121b, 121c, 121eとで構成されている。論理回路121は、2入力ORゲート121aを介して入力端子12aから自己に対応する段のインバータ13の出力信号を受けてそ

50

れをレベルシフト回路 1 2 2 , バッファ 1 2 3 を介して C M O S 出力回路 1 2 5 のトランジスタ T r n のゲートへ出力する。この 2 入力 O R ゲート 1 2 1 a は、他方の入力として 3 入力 A N D ゲート 1 2 1 b の出力を受ける。

【 0 0 1 5 】

3 入力 A N D ゲート 1 2 1 b は、放電パルス P d を阻止するゲートである。入力端子 1 2 c から放電パルス P d を受け、さらに入力端子 1 2 b から次段のフリップフロップに接続されたインバータ 1 3 の出力信号を負論理入力に受け、そして自己に対応する段のフリップフロップに接続されたインバータ 1 3 の出力信号を負論理入力に受ける。

3 入力 A N D ゲート 1 2 1 b は、前記の 2 つの負論理入力により、自己の電流駆動回路 1 2 がロー側走査の対象となっているとき、あるいは次段に対応する電流駆動回路 1 2 がロー側走査の対象となっているときの 2 つの条件のいずれかにおいて、放電パルス P d を受けてもこれを阻止する回路となっている。

この 3 入力 A N D ゲート 1 2 1 b の出力は、2 入力 A N D ゲート 1 2 1 e を介して 2 入力 O R ゲート 1 2 1 a へ入力されて、これを介して “ H ” の信号で C M O S 出力回路 1 2 5 のトランジスタ T r n を駆動してこれを O N する。

【 0 0 1 6 】

同様に、2 入力 A N D ゲート 1 2 1 c も放電パルス P d を阻止するゲートである。入力端子 1 2 c から放電パルス P d を受け、さらに入力端子 1 2 b から次段のインバータ 1 3 の出力信号を負論理入力に受ける。そこで、次段のインバータ 1 3 の出力が “ H ” のときには、放電パルス P d が阻止される。言い換えれば、前記と同様に、次段に対応する電流駆動回路 1 2 がロー側走査の対象となっているときには放電パルス P d を阻止する。また、自己の電流駆動回路 1 2 がロー側走査の対象となっているときは、入力端子 1 2 a に入力された駆動信号（インバータ 1 3 の出力信号）“ H ” が O R ゲート 1 2 1 d を介してトランジスタ T r p のゲートへ出力されるので、放電パルス P d には無関係に動作する。

この 2 入力 A N D ゲート 1 2 1 c の出力は、放電パルス P d を阻止するゲートである。2 入力 O R ゲート 1 2 1 d へ入力されて、これを介して “ L ” の信号で C M O S 出力回路 1 2 5 のトランジスタ T r p を駆動する。“ H ” 信号のときにはトランジスタ T r p が O F F になる。

2 入力 A N D ゲート 1 2 1 e は、放電パルス P d を通過させるゲートである。

データレジスタ 1 4 のビットデータが “ 1 ” のときに開き、3 入力 A N D ゲート 1 2 1 b の放電パルス P d の “ H ” の出力を 2 入力 O R ゲート 1 2 1 a を介してトランジスタ T r n のゲートに加えてこれを O N させる。したがって、データレジスタ 1 4 のビットデータが “ 1 ” のときには、この 2 入力 A N D ゲート 1 2 1 e がなく、直接 3 入力 A N D ゲート 1 2 1 b の出力が 2 入力 O R ゲート 1 2 1 a に入力される。

【 0 0 1 7 】

そこで、まず、データレジスタ 1 4 のビットデータが “ 1 ” の場合から説明する。

この場合、電流駆動回路 1 2 がロー側走査の対象となっているときと、次段に対応する電流駆動回路 1 2 がロー側走査の対象となっているときの 2 つの条件のときには、論理回路 1 2 1 は、自己に対応する段のインバータ 1 3 の出力信号 “ H ” , “ L ” に応じて “ H ” , “ L ” の出力信号を C M O S 出力回路 1 2 5 に送出する。

すなわち、このような 3 入力 A N D ゲート 1 2 1 b と 2 入力 A N D ゲート 1 2 1 c とにより、ロー側走査の対象となっている C M O S 出力回路 1 2 5 は、その出力端子 1 2 f に “ L ” を発生し、1 つ前にロー側走査の対象となつて、いまはロー側走査の対象となっていない前段の C M O S 出力回路 1 2 5 は、その出力端子 1 2 f に “ H ” を発生し、従来と同様な走査制御になる。

これ以外の場合には、各段のフリップフロップに対応するインバータ 1 3 の出力は、“ L ” となっていて、かつ、次段のフリップフロップに対応するインバータ 1 3 の出力も、“ L ” となっているので、3 入力 A N D ゲート 1 2 1 b と 2 入力 A N D ゲート 1 2 1 c と 2 入力 A N D ゲート 1 2 1 e とはそれぞれ開き、“ H ” の放電パルス P d は、2 入力 O R ゲート 1 2 1 a 、 2 入力 O R ゲート 1 2 1 d へそれぞれ入力されて、レベルシフト回路 1 2

10

20

30

40

50

2, バッファ124を介してトランジスタTrn, トランジスタTrpのゲートへそれぞれ出力される。

【0018】

その結果、データレジスタ14のビットデータが“1”の場合には、放電パルスPdの“H”の期間の間、CMOS出力回路125のトランジスタTrnがONになり、トランジスタTrpがOFFになる。放電パルスPdの“H”の期間の間、トランジスタTrnがONになると、ロー側走査の対象となっているフリップフロップの前段のフリップフロップに対応する電流駆動回路12以外の電流駆動回路12が接続されるローラインは、“L”になる。

したがって、データレジスタ14のリセットデータがオール“1”のときには、図3に示すような波形でロー側走査が行われる。なお、図は、ロー側の現在走査対象となっているロー側ラインがライン2であり、これが“L”のときに、その手前がライン1が“H”となっている。そして、その他の走査ラインは、放電パルスPdがある期間だけ“L”に維持される。

なお、横軸は、それぞれの波形の時間である。

【0019】

次に、データレジスタ14のビットデータが“0”の場合について説明する。

このときには、2入力ANDゲート121eが閉じるので、3入力ANDゲート121bの放電パルスPdの“H”の出力が2入力ORゲート121aに加わらない。したがって、CMOS出力回路125のトランジスタTrnは、走査対象の電流駆動回路12以外は、すべてOFFになる。

一方、CMOS出力回路125のトランジスタTrpは、走査が終了した直前の電流駆動回路12以外は、放電パルスPdの“H”の出力がゲートに加えられるので、すべてOFFになる。

その結果、図4に示すような波形でロー側走査が行われる。なお、図4は、図3と同様にロー側の現在走査対象となっているロー側ラインがライン2であり、これが“L”のときに、その手前のライン1が“H”となっている。そして、その他の走査ラインは、選択パルスPzがある期間だけハイ・インピーダンス(Hi-Z)になる。

【0020】

次に、データレジスタ14のビットデータを現在走査対象となっている陰極接続ラインのEL素子の表示輝度に応じて設定する場合について説明する。

MPU17には、表示輝度/リセットデータ生成プログラム17aが設けられている。そこで、次のようなリセットデータをデータレジスタ14のMPU17から設定する。

例えば、ローランの走査開始の手前のリセット期間に発生する“H”の放電パルスPdに対応させて、これから走査するローラインに接続されたカラムライン分(水平1ライン分)のEL素子4の輝度に応じた本数分だけ後続のローラインをリセットするようにする。まず、表示輝度/リセットデータ生成プログラム17aを手前のローラインの表示期間の間にMPU17が実行して、次のローラインの走査におけるカラムライン分(水平1ライン分)のEL素子4の輝度を算出する。

すなわち、MPU17は、次にローラインが駆動されるカラムラインの出力電流の平均値を、その表示データ値から算出する。そして、コントロール回路16からロッククロックCLKを受けて、スタートパルスSが発生した時点からロッククロックCLKをカウントすることで、シフトレジスタ11の現在の走査位置を生成する。これらのデータに応じて、次のようなリセットデータを生成する。

なお、シフトレジスタ11の現在の走査位置のデータはシフトレジスタ11から直接得てもよい。

【0021】

このリセットデータは、出力電流の平均値を5段階の輝度に区分けして、その5段階を1本から5本のロー側走査ラインのリセットの本数とする。例えば、走査が終了してリセット期間後の次のカラム1ライン(水平1ライン)の明るさが5のときには、次に来る走査

対象のローラインの後ろのローライン 5 本分の走査ラインを放電期間にグランド GND へと落としてリセットし、他のラインは、ハイインピーダンス (Hi-Z) に設定する。明るさが 3 のときには、次に来る走査対象のローラインの後ろのローライン 3 本分である。このとき、MPU17 は、リセットラインの本数が 5 本ときには、次に走査対象となるローラインの位置の次のビット位置から 5 ビットのデータが “1” となり、他のデータが “0” となるデータを生成してデータレジスタ 14 に設定する。

具体的には、シフトレジスタ 11 の現在のデータが “00010000...” であると、次の走査位置が “000010000...” となるので、次の走査位置が 5 番目のときに、リセットラインの本数が 5 本ときには (明るさ 5 のときには)、MPU17 は、“000001111000...” のように 6 番目から 5 ビット “1” のデータを生成してこれをデータレジスタ 14 にセットする。 10

リセットラインの本数が 3 本ときには、MPU17 は、“00000111000...” のようなデータを生成してデータレジスタ 14 にセットする。

なお、輝度の 5 段階区分けは、出力電流の総計値に対応させても同様である。

その結果、図 5 に示すような波形でロー側走査が行われる。

【0022】

図 5 は、ロー側の走査対象となっているロー側ラインがライン 1 から開始して順次進むとし、各ローラン走査におけるカラムラインに接続された EL 素子 4 の輝度を 5 段階で区分けする明るさが 4、2、1、1 の場合を示している。なお、放電パルス Pd (カラムリセットパルス RS) が “H” の期間がリセット期間 R であって、通常の水平帰線期間に相当する。このパルスが “L” の期間が表示期間 D であり、通常の水平走査期間に相当する。図 5 の 2 番目に示すパルスは、ロークロック CLK であり、放電パルス Pd の立上がりから少し遅れた位置で立上がるパルスであり、このパルスに応じてロー側走査の切換え (垂直走査) が行われる。 20

なお、このリセットデータの設定は、直前に走査対象となった陰極接続ラインの表示開始から走査対象となる陰極接続ラインに対する放電パルス Pd が発生するまでの間に設定されればよい。

図 5 に示すように、走査対象となるラインとその手前の走査ライン以外は、データレジスタ 14 に設定されるリセットデータに応じて放電パルス Pd が “H” の放電期間では、ビット “1” がセットされたフリップフロップに対応する電流駆動回路 13 が接続されたローラインがグランド GND に落ち、ビット “0” がセットされたフリップフロップに対応する電流駆動回路 13 が接続されたローラインがハイ・インピーダンス (Hi-Z) になる。これにより、グランド GND に接続されたローラインの本数分だけ、リセットされる期間が短くなり、走査が終了したラインの残留電荷が残らず放電される。 30

【0023】

このような制御をすると、放電パルス Pd が “H” の放電期間では、走査対象となるラインとその手前の走査ライン以外では、データレジスタ 14 に設定されるリセットデータに応じて選択的にグランド GND に落したり、ハイ・インピーダンス (Hi-Z) にすることができる。 40

1 つ手前の走査ライン以外は、放電期間に逆バイアス状態とはならない。そこで、手前の走査ライン以外は、カラム側の電流駆動回路 2 による EL 素子 4 の電流駆動時に大きな過渡電流が流れないで済む。 40

また、1 つ手前の走査ラインは、1 つ前に駆動され、その駆動電流により EL 素子 4 に残留電荷が蓄積しているが、このラインが “H” に設定されて逆バイアス状態になっているので、誤発光が防止される。

これにより、逆バイアス分の電荷を蓄積する電流のラインが手前の 1 ラインだけとなり、過渡電流とによる駆動電流の増加が低減され、そのときどきの表示輝度に応じて電力消費を抑えることができる。

【0024】

ところで、放電パルス Pd は、いわゆる帰線期間に対応するリセットパルスであり、その 50

立上がりは、帰線期間の開始点に対応しているが、ロークロックCLKは、ロー側走査ラインの切換パルスであり、その立上がりは、帰線期間の中で行われ、次の走査ラインについて駆動タイミングとなっている。そこで、ローライン走査の各ラインの立上がり、立下がりタイミングは、ロークロックCLKの立上がりタイミングに一致していることが好ましい。図3～図5では、ロークロックCLKの立上がりタイミングしか一致していない。

そこで、図6～図9にローライン走査の各ラインの立上がり、立下がりタイミングがロークロックCLKの立上がりタイミングに一致させた実施例を示す。

【0025】

図6のロー側の走査回路100は、図1のロー側の走査回路10に対応する回路であって、図1の各電流駆動回路12が各電流駆動回路22に置き換わっている。電流駆動回路12がインバータ13を介した次段のフリップフロップの出力を受けるのに対して、この電流駆動回路22は、次段に加えて前段の電流駆動回路22へのインバータ13の出力を入力端子12eに受ける。この点で相違している。

図6は、電流駆動回路22の内部回路を示したものであり、その論理回路221は、図2の論理回路121に換えて設けられている。その他のレベルシフト回路122、バッファ123、124、そしてCMOS出力回路125は、図2に示す回路である。

論理回路221は、3つの2入力ORゲート221a、221c、221eと2入力ANDゲート221bと3入力ANDゲート221dとで構成されている。それぞれのANDゲート221b、221dは、1個の負論理入力を持っている。

論理回路221は、2入力ORゲート221aを介して入力端子12aから自己に対応する段のインバータ13の出力信号を受けてそれをレベルシフト回路122、バッファ123を介してCMOS出力回路125のトランジスタTrnのゲートへ出力する。この2入力ORゲート221aは、他方の入力として3入力ANDゲート221bの出力を受ける。

3入力ANDゲート221bは、放電パルスPdを阻止するゲートである。次段のインバータ13に接続された入力端子12bと前段のインバータ13に接続された入力端子12eからそれぞれインバータ13の出力を2入力ORゲート221cを介して負論理で受ける。さらにこれは、入力端子12dにデータレジスタ14のビットデータをインバータ15を介して受ける。これら端子からの信号に応じてゲートを開き、放電パルスPdを2入力ORゲート221aに送出する。

放電パルスPdを通過させる条件は、前後のインバータ13の出力が“L”のときでかつデータレジスタ14のビットが“1”のときである。したがって、データレジスタ14のビットが“1”になっている後段の電流駆動回路22に接続された走査ラインでは、図8に示すように、立下がる手前に細い“L”のパルスが発生する。

また、走査対象のラインでは、データレジスタ14のビットが“0”になっているので、ロークロックCLKの立上がり一致して立下がる。

その結果として、ローライン走査の各ラインの立上がり、立下がりタイミングがロークロックCLKの立上がりタイミングに一致した図8に示すようなタイミングチャートが得られる。

【0026】

以上説明してきたが、実施例では、次段のインバータ13の駆動信号を直接前段の論理回路121あるいは論理回路126が受けて動作するようになっているが、これは、次段の論理回路でインバータ13の駆動信号に応じた駆動を発生してそれを前段の論理回路に送出してもよいことはもちろんである。したがって、前段の論理回路121あるいは論理回路126の駆動は、次段のインバータ13の駆動信号そのものを用いる必要はない。

また、実施例では、走査が終了した1つ手前の陰極接続ラインのEL素子は、逆バイアスされるが、例えば、2入力ANDゲート121cをm入力ANDゲート121c（ただしmは3以上の整数）として、後段のインバータの出力を入力すれば、m本の走査ラインを放電期間中“H”に設定することができる。これにより、走査が終了したm個手前の陰

10

20

30

40

50

極接続ラインのＥＬ素子を逆バイアスすることができる。したがって、逆バイアスをするのは手前１走査ラインに限定されない。

【００２７】

【発明の効果】

以上説明してきたように、この発明にあっては、ロー側の走査対象の陰極接続ライン以外の任意の陰極接続ラインを各駆動回路に対応して発生する所定の駆動信号に応じて所定のバイアスライン（例えば、グランドＧＮＤ）に接続するか、その出力をハイインピーダンスするかを選択できるものであり、さらに、走査対象となる陰極接続ラインより少なくとも１つ前に走査した陰極接続ラインに接続されるＥＬ素子は逆バイアスになっている。

このことにより、例えば、走査対象の陰極接続ラインに接続されたＥＬ素子より後続に走査されるＥＬ素子が接続された陰極接続ラインを所定の駆動信号により、選択して、任意の数だけ、同時にリセットすることができ、あるいはハイインピーダンス（ H_i-Z ）に設定することができる。

その結果、マトリックス状に配置されたＥＬ素子の誤発光を防止しかつ消費電力を低減することができる有機ＥＬ駆動回路および有機ＥＬ表示装置を容易に実現することができる。

【図面の簡単な説明】

【図１】図１は、この発明のＥＬ駆動回路を適用した一実施例のロー側の走査回路のブロック図である。

【図２】図２は、その電流駆動回路のブロック図である。

【図３】図３は、リセットデータがオール“１”のときの表示駆動動作の基本的な動作のタイミングチャートである。

【図４】図４は、リセットデータがオール“０”のときの表示駆動動作の基本的な動作のタイミングチャートである。

【図５】図５は、そのリセットデータ設定に応じた表示駆動動作のタイミングチャートである。

【図６】図６は、この発明のＥＬ駆動回路を適用した他の実施例のロー側の走査回路の腰部のブロック図である。

【図７】図７は、図６に示すロー側の走査回路の電流駆動回路のブロック図である。

【図８】図８は、図６に示すロー側の走査回路のリセットデータ設定に応じた表示駆動動作のタイミングチャートである。

【図９】図９は、一般的な有機ＥＬ表示パネルの概要を示す説明図である。

【符号の説明】

１…有機ＥＬ表示パネル、２…カラム側の電流駆動回路、
 ３…ロー側の駆動回路、４…ＥＬ素子、
 １０…ロー側の走査回路、１１…シフトレジスタ、
 １１ａ，１１ｂ，１１ｃ，１４ａ，１４ｂ，１４ｃ…フリップフロップ、
 １２…電流駆動回路、１３，１５…インバータ、
 １４…データレジスタ、
 １６…コントロール回路、
 １２１…論理回路、１２２…レベルシフト回路、
 １２３，１２４…バッファ、１２５…ＣＭＯＳ出力回路、
 T_{rp} ， T_{rn} …ＭＯＳトランジスタ。

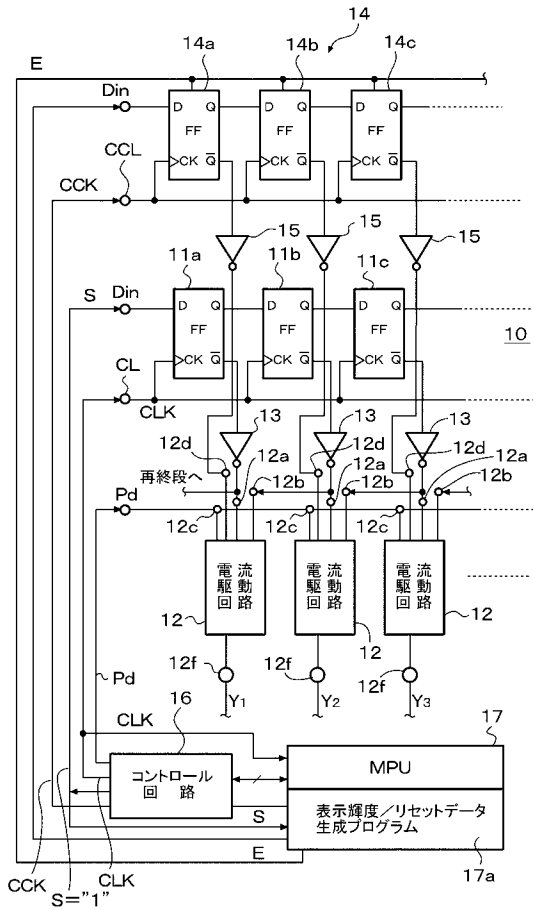
10

20

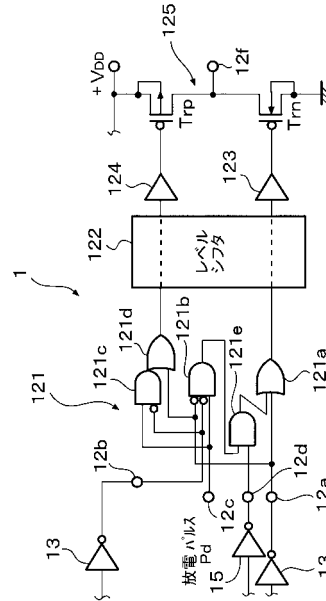
30

40

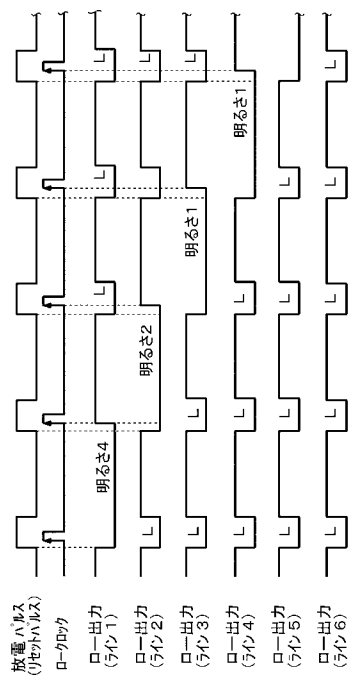
【 図 1 】



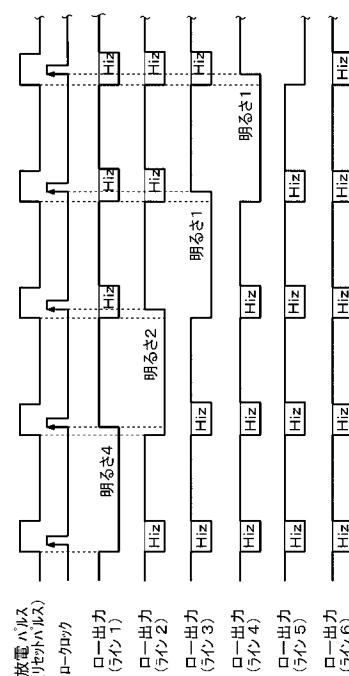
【 図 2 】



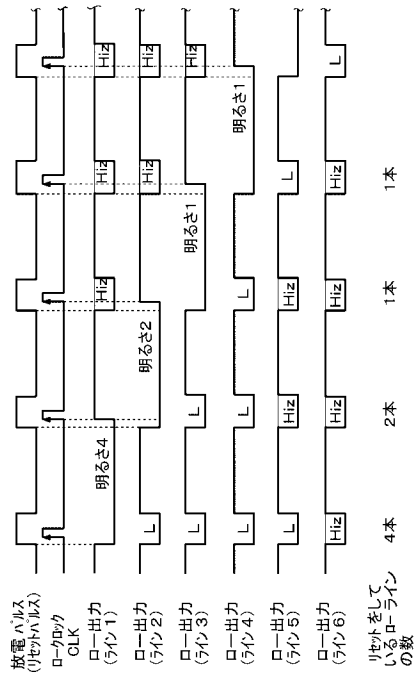
【 図 3 】



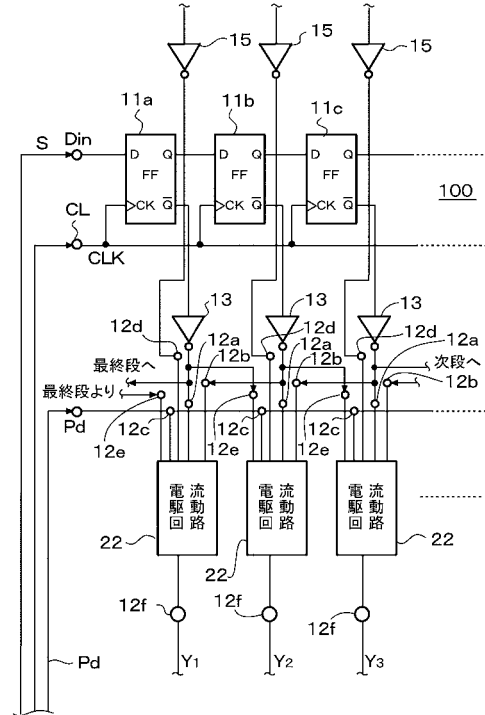
【 図 4 】



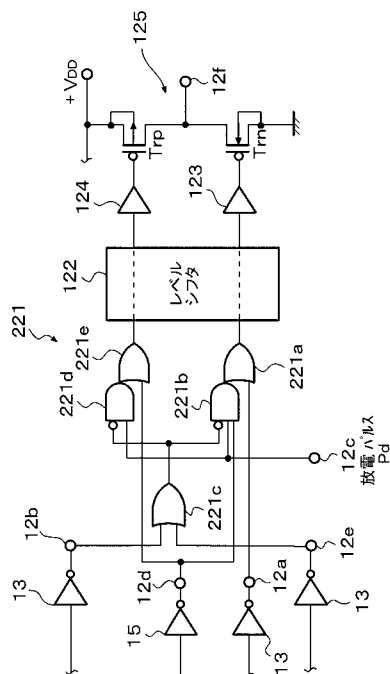
【図 5】



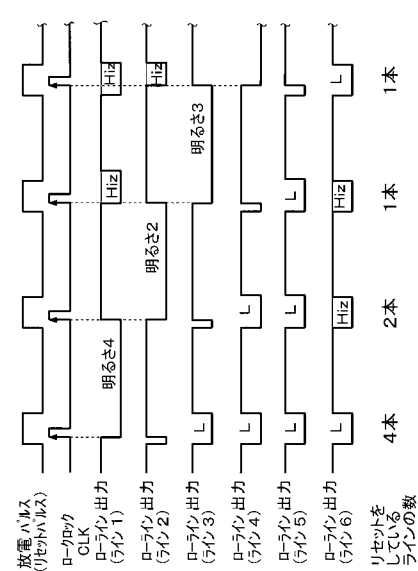
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 Q
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 3 1 U
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 7 0 E
	H 0 5 B 33/14	A

(72)発明者 藤川 昭夫

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 3K007 AB03 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 DD09 DD26 FF03 FF12 GG12 HH09 JJ03
JJ04 KK07

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP2004219624A	公开(公告)日	2004-08-05
申请号	JP2003005574	申请日	2003-01-14
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	阿部真一 前出淳 藤川昭夫		
发明人	阿部 真一 前出 淳 藤川 昭夫		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.612.E G09G3/20.612.U G09G3/20.622.E G09G3/20.622.Q G09G3/20.623.B G09G3/20.623.R G09G3/20.631.U G09G3/20.641.D G09G3/20.670.E H05B33/14.A G09G3/3216 G09G3/3266 G09G3/3275		
F-TERM分类号	3K007/AB03 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD09 5C080/DD26 5C080/FF03 5C080/FF12 5C080/GG12 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/KK07 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE02 3K107/HH00 3K107/HH04 5C380/AA01 5C380/AB05 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BC18 5C380/CA08 5C380/CB01 5C380/CB14 5C380/CB32 5C380/CF07 5C380/CF10 5C380/CF32 5C380/CF33 5C380/CF62 5C380/DA02 5C380/DA46		
代理人(译)	梶山 信是 山本富士雄		
其他公开文献	JP3970779B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有机EL驱动电路和有机EL显示装置，该有机EL驱动电路和有机EL显示装置能够防止以矩阵形式布置的有机EL元件的错误发光并且降低功耗。根据本发明，除了要在低侧扫描的阴极连接线以外的任意阴极连接线都设有预定的偏置线（例如，根据与每个驱动电路对应地生成的预定的驱动信号，接地GND）。或它的输出具有高阻抗，并且在要扫描的阴极连接线被反向偏置之前，连接到阴极连接线的EL元件至少扫描了一根。已成为。从而，例如，通过预定的驱动信号，从连接到要扫描的阴极连接线的EL元件中选择随后被扫描的连接到EL元件的阴极连接线，并且同时选择它们中的任意数量。可以将其重置或设置为高阻抗（Hi-Z）。[选型图]图1

