

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-138778

(P2004-138778A)

(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/12

H05B 33/14

F I

G09G 3/30

H

G09G 3/20

611A

G09G 3/20

612E

G09G 3/20

612G

G09G 3/20

612T

テーマコード(参考)

3K007

5C080

審査請求 有 請求項の数 8 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2002-302824(P2002-302824)

(22) 出願日 平成14年10月17日(2002.10.17)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100079555

弁理士 梶山 信是

(74) 代理人 100079957

弁理士 山本 富士男

(72) 発明者 前出 淳

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 阿部 真一

京都市右京区西院溝崎町21番地 ローム株式会社内

最終頁に続く

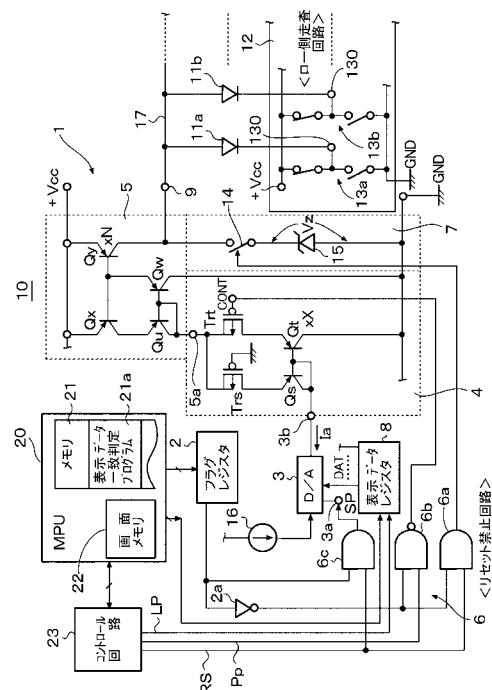
(54) 【発明の名称】 有機EL駆動回路およびこれを用いる有機EL表示装置

(57) 【要約】

【課題】有機EL表示装置の消費電力を低減することができる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】この発明は、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定し、表示データが同一のときには、あるピンに接続された次のEL素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止し、次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。ロー側走査回路の走査によりそのピンに接続された走査対象となるEL素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路の走査が終了したそのピンに接続されたEL素子の陽極側の電荷を次の走査対象となるEL素子の陽極側に供給して初期充電して次のEL素子を実質的に同一な電流で駆動する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機 EL パネルの端子ピンに接続された有機 EL 素子を電流駆動する有機 EL 駆動回路において、
前記端子ピンを介して前記有機 EL 素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、
前記有機 EL 素子の駆動電流にピークを発生させるピーク電流発生回路と、
前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、
次の前記水平 1 ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、
走査対象となる前記有機 EL 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機 EL 素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、
前記判定手段の判定結果が実質的に同じであるときに前記リセット禁止回路により前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機 EL 駆動回路。

10

【請求項 2】

さらに前記端子ピンを電流駆動する電流源を有し、前記所定の基準電位は接地電位であり、前記スイッチ回路は、前記表示期間と前記帰線期間とを切り分けるタイミングコントロール信号を受けてリセット動作をするものであって、前記リセット禁止回路は、前記タイミングコントロール信号を阻止することで、リセットを禁止し、前記リセットを禁止したときに前記電流源の動作を停止して前記端子ピンの出力インピーダンスをハイインピーダンスに設定する請求項 1 記載の有機 EL 駆動回路。

20

【請求項 3】

さらに、表示データを受けてこの表示データを D / A 変換して前記電流源を駆動する電流を発生する D / A 変換回路を有し、前記電流源の動作の停止は、前記 D / A 変換回路の変換動作を停止することで行われる請求項 2 記載の有機 EL 駆動回路。

【請求項 4】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機 EL パネルの R , G , B の表示色のそれぞれに対応して設けられた端子ピンに接続された有機 EL 素子を電流駆動する有機 EL 駆動回路において、
前記端子ピンを介して前記有機 EL 素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、
前記有機 EL 素子の駆動電流にピークを発生させるピーク電流発生回路と、
前記 R , G , B に対応して設けられ、前記 R , G , B に対応するそれぞれの前記スイッチ回路によるリセットを禁止しかつ前記 R , G , B に対応するそれぞれの前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、
前記 R , G , B に対応して設けられ、次の前記水平 1 ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、
走査対象となる前記有機 EL 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機 EL 素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、
前記 R , G , B のいずれかの前記判定手段の判定結果が実質的に同じであるときにこの判定回路に対応する前記 R , G , B のいずれかの前記リセット禁止回路により前記 R , G , B のいずれかの前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機 EL 駆動回路。

30

40

【請求項 5】

50

さらに前記端子ピンを電流駆動する電流源を有し、前記所定の基準電位は接地電位であり、前記スイッチ回路は、前記表示期間と前記帰線期間とを切り分けるタイミングコントロール信号を受けてリセット動作をするものであって、前記リセット禁止回路は、前記タイミングコントロール信号を阻止することで、リセットを禁止し、前記リセットを禁止したときに前記電流源の動作を停止して前記端子ピンの出力インピーダンスをハイインピーダンスに設定する請求項4記載の有機EL駆動回路。

【請求項6】

さらに、表示データを受けてこの表示データをD/A変換して前記電流源を駆動する電流を発生するD/A変換回路を有し、前記電流源の動作の停止は、前記D/A変換回路の変換動作を停止することで行われる請求項5記載の有機EL駆動回路。

10

【請求項7】

水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機ELパネルの端子ピンを電流駆動する有機EL駆動回路を有する有機EL表示装置において、

前記端子ピンを介してこの端子ピンに接続された有機EL素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記端子ピンを介して前記有機EL素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機EL素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

20

次の前記水平1ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機EL素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機EL素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記判定手段の判定結果が実質的に同じであるときに前記リセット禁止回路により前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機EL表示装置。

【請求項8】

30

水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを有し、前記表示期間に有機ELパネルのR、G、Bの表示色のそれぞれに対応して設けられた端子ピンに接続された有機EL素子を電流駆動する有機EL駆動回路を有する有機EL表示装置において、

前記端子ピンを介して前記有機EL素子の陽極側を前記リセット期間に所定の電位にリセットするスイッチ回路と、

前記有機EL素子の駆動電流にピークを発生させるピーク電流発生回路と、

前記R、G、Bに対応して設けられ、前記R、G、Bに対応するそれぞれの前記スイッチ回路によるリセットを禁止しかつ前記R、G、Bに対応するそれぞれの前記ピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、

40

前記R、G、Bに対応して設けられ、次の前記水平1ラインの走査期間における前記端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、

走査対象となる前記有機EL素子の陰極側を所定の基準電位に接続し、走査が終了した手前の前記有機EL素子の陰極側を前記所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備え、

前記R、G、Bのいずれかの前記判定手段の判定結果が実質的に同じであるときにこの判定回路に対応する前記R、G、Bのいずれかの前記リセット禁止回路により前記R、G、Bのいずれかの前記スイッチ回路によるリセットを禁止しかつ前記ピーク電流の発生を停止する有機EL表示装置。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

この発明は、有機 E L 駆動回路および有機 E L 表示装置に関し、詳しくは、有機 E L 表示装置の消費電力を低減することができるような有機 E L 駆動回路および有機 E L 表示装置の改良に関する。

【 0 0 0 2 】

【 従来技術 】

有機 E L 表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVD プレーヤ、PDA (携帯端末装置) 等に搭載される次世代表示装置として現在注目されている。この有機 E L 表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R (赤), G (緑), B (青) に感度差があることから制御が難しくなる問題点がある。そこで、最近では、電流駆動のドライバを用いた有機 E L 表示装置が提案されている。

10

【 0 0 0 3 】

携帯電話機用の有機 E L 表示装置の有機 E L 表示パネルでは、カラムラインの数が 3 9 6 個 (1 3 2 × 3) の端子ピン (以下ピン)、ローラインが 1 6 2 個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

ところで、マトリックス状に配置した有機 E L 素子を電流駆動し、かつ、有機 E L 素子の陽極と陰極をグラウンドに落としてリセットする有機 E L 素子の駆動回路が特許文献 1 として公知である。また、DC - DC コンバータを用いて有機 E L 素子を低消費電力で電流駆動する技術が特許文献 2 として公知である。

20

【 0 0 0 4 】

さて、有機 E L 表示装置では、カラム側 (陽極側) の 1 ラインが電流吐出し側となり、ロー側 (陰極走査側) が電流吸い込み側 (シンク側) となって、ロー側の走査に応じてカラム側の電流駆動回路から電流が有機 E L 素子 (以下 E L 素子) の陽極側に出力される。E L 素子の陰極側は、CMOS のプッシュプル回路を介してグラウンド GND に接続され、この駆動電流をシンクする。E L 素子は、容量性の素子であるので、このとき、駆動電流の一部を電荷として蓄積する。そのためマトリックス状に E L 素子を配置する表示装置にあっては、走査対象となっていない周囲の E L 素子からの電荷が流れ込み、誤発光する問題がある。

30

そのため、水平走査の帰線期間に相当する期間をリセット期間として設けて、ロー側走査 (垂直走査) の対象となる水平ラインの E L 素子の陽極側を定電圧リセットし、かつ、ロー側走査 (垂直走査) の走査対象以外の水平ラインの E L 素子の陰極側を逆バイアスすることで、誤発光の問題を解決している。

【 0 0 0 5 】

【 特許文献 1 】

特開平 9 - 2 3 2 0 7 4 号公報

【 特許文献 2 】

特開 2 0 0 1 - 1 4 3 8 6 7 号公報

【 0 0 0 6 】

【 発明が解決しようとする課題 】

近年、駆動ピン数は高解像度の要請により増加する傾向にある。そのため、駆動周波数も高くなり、消費電力は増加する傾向にある。しかし、誤発光防止のために走査対象以外の E L 素子をロー側において逆バイアスにすると、逆バイアス分の電荷が E L 素子に駆動する方向とは逆方に蓄積される。そのため、それが走査対象となったときには、その分を相殺して駆動するだけの大きな過渡電流が流れる。その結果、逆バイアス分の電荷を蓄積する電流による電力消費と、前記の過渡電流とによる駆動電流の増加が駆動ピン数の増加に応じて無視できなくなっている。

この発明の目的は、このような従来技術の問題点を解決するものであって、有機 E L 表示装置の消費電力を低減することができる有機 E L 駆動回路および有機 E L 表示装置を提供

50

することにある。

【 0 0 0 7 】

【課題を解決するための手段】

このような目的を達成するためのこの発明の有機 E L 駆動回路およびこれを用いる有機 E L 表示装置の特徴は、端子ピンを介して有機 E L 素子の陽極側をリセット期間に所定の電位にリセットするスイッチ回路と、有機 E L 素子の駆動電流にピークを発生させるピーク電流発生回路と、スイッチ回路によるリセットを禁止しかつピーク電流発生回路によるピーク電流の発生を停止するリセット禁止回路と、次の水平 1 ラインの走査期間における端子ピンから出力される駆動電流が実質的に同じか否かを判定する判定手段と、走査対象となる有機 E L 素子の陰極側を所定の基準電位に接続し、走査が終了した手前の有機 E L 素子の陰極側を所定の基準電位か、これ以上の高い電位にプルアップするロー側走査回路とを備えていて、

判定手段の判定結果が実質的に同じであるときにリセット禁止回路によりスイッチ回路によるリセットを禁止しかつピーク電流の発生を停止するものである。

【 0 0 0 8 】

【発明の実施の形態】

ところで、有機 E L 駆動回路の各カラムピン対応に加えられる E L 素子の電流駆動波形は、所定の定電圧にプリチャージする定電圧リセットが行われるので、図 3 (g) に示すように、この所定の定電圧 V_z からスタートするピーク電流波形 (実線) となる。なお、図 3 (g) の点線は、電圧波形である。

定電圧リセットは、水平走査の帰線期間に相当するリセット期間に行われ、このときの表示期間は、水平 1 ラインの水平走査期間に相当する。そこで、表示期間とリセット期間の切り分けが表示期間 + リセット期間に対応する周期 (水平走査周波数) のリセットコントロールパルス (タイミングコントロールパルス) により行われる。なお、図 3 は、ピンを電流駆動する電流の駆動波形とこれを発生するタイミング信号の説明図である。

そこで、これについて説明すると、図 3 (a) は、各制御信号のタイミングの基本となる同期クロック C L K であり、図 3 (b) は、ピクセルカウンタのカウントスタートパルス C S T P である。そして、ピクセルカウンタのカウント値が図 3 (c) に示されている。

図 3 (d) は、表示開始パルス D S T P であり、図 3 (e) がリセットコントロールパルス R S であり、(f) がピーク生成パルス P p である。そして、図 3 (h) があるローラインから次のローラインに走査 (垂直走査) を切換えるロー側走査のライン切換パルス R C L K である。

なお、前記した同期クロック C L K と、カウントスタートパルス C S T P、表示開始パルス D S T P、リセットコントロールパルス R S、ピーク生成パルス P p、そしてライン切換パルス R C L K 等は、タイミングパルス生成回路を有するコントロール回路 (図 1 のコントロール回路 2 3 参照) により発生する。

【 0 0 0 9 】

この発明にあっては、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定して、表示データが同一のときには、あるピンに接続された次の E L 素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止するとともに次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。そして、ロー側走査回路の走査によりそのピンに接続された走査対象となる E L 素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路による走査が終了したそのピンに接続された E L 素子の陽極側の電荷を次の走査対象となる E L 素子の陽極側に供給してこの次に駆動される E L 素子を初期充電する。

そこで、次の 1 水平走査におけるそのピンに接続された E L 素子は、リセット期間に初期充電されてその手前の 1 水平走査におけるそのピンの駆動電流と実質的に同一な電流が流されることになる。これにより、次の 1 水平走査における E L 素子の輝度は、ほとんど変動しないで済む。

10

20

30

40

50

その結果、リセットにより消費される電力とピーク電流による電力とが抑制されて、有機 E L 表示装置の消費電力全体を低減することができる。

【 0 0 1 0 】

また、別の発明として、R, G, Bそれぞれについて次の水平走査の1ライン分の表示データを読み出して現在の水平走査の1ライン分の表示データと比較し、水平1ライン分の表示データが同一か否かの判定して、同一であるときに、前記のリセット期間における水平走査1ライン分のピンのリセットをR, G, B対応に禁止し、かつ、水平走査1ライン分のピーク電流の発生を停止することで、R, G, Bに対応してそれぞれの電力消費を抑制するものである。

【 0 0 1 1 】

【実施例】

図1は、この発明の有機 E L 駆動回路を適用した一実施例の有機 E L パネルのカラムドライバにおける、各ピンに対応に設けられる電流駆動回路のブロック図、図2は、そのD/A変換回路の動作停止回路の説明図、図3は、ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図、図4は、リセット禁止動作と表示画面との関係の説明図、そして、図5は、R, G, Bの水平1ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

図1において、10は、有機 E L パネルにおける有機 E L 駆動回路としてのカラムICドライバ（以下カラムドライバ）であって、1は、カラムドライバ10において、各ピン対応に設けられた電流駆動回路である。

電流駆動回路1は、フラグレジスタ2と、D/A変換回路（D/A）3、ピーク電流生成回路4、出力段電流源5、リセット禁止回路6、リセット回路7、そして、表示データレジスタ8とからなる。

なお、フラグレジスタ2は、各ピン対応に設けられているのではなく、カラムドライバ10の内部に1個設けられ、フラグレジスタ2に記憶されたフラグデータのうちの1ビットが1個の電流駆動回路1に対応している。フラグデータの各ビットは、各ピン対応に設けられている。

20は、カラムドライバを制御するMPUであり、21はメモリであり、22は画面メモリである。23は、コントロール回路であって、リセットコントロールパルスRS、ピーク生成パルスPp等のタイミングパルスを発生し、MPU20により制御される。

【 0 0 1 2 】

MPU20は、ピン対応に次の表示データが現在の表示データと同一か否かを判定して、その判定の結果、同一の表示データのときにフラグレジスタ2のそのピン対応のデータ位置に“1”をセットし、同一ではないときには、“0”をセットしたフラグデータを生成する。

そのための処理プログラムとして、表示データ一致判定プログラム21aがメモリ21に格納されている。

また、MPU20は、現在表示対象となっている1画面分の表示データを記憶した画面メモリ22を有していて、表示データ一致判定プログラム21aを実行して、画面メモリ22から次の水平走査1ラインにおける表示データを読み出して、すでに読み出されている現在の水平走査1ラインにおける表示データと比較してカラム側の出力ピン対応に次の表示データが現在の表示データと同じか否かを判定する。そして、その判定結果得られた前記のフラグデータをフラグレジスタ2にセットする。

なお、前記したように、フラグデータの各ビットは、判定結果が同一のときには“1”であり、同一でないときには“0”になっている。

フラグデータのセットタイミングは、コントロール回路23からピーク生成パルスPp（図3（f）参照）を受けてその立下がりに同期して行われるが、このフラグデータは、ピーク生成パルスPp（図3（f）参照）の立下がりからリセットコントロールパルスRSの立上がりまでの間であれば、いつ行われてもよい。

画面メモリ22から読み出した次の水平走査1ライン分の表示データは、次の水平走査1ラ

10

20

30

40

50

インのタイミングまで保持され、これが次の水平走査タイミングで現在の水平走査 1 ラインの表示データとなる。これが次のリセット期間に表示データレジスタ 8 等に表示データとして各ピン対応にセットされる。したがって、水平 1 ライン分の表示データの読出は 1 回で済む。

なお、電源起動時点の初期では、表示データの比較のために、現在の水平走査 1 ラインの表示データと次の水平走査 1 ライン分の表示データを読出すことになるが、最初に現在の水平走査 1 ラインの表示データが読出されなくても何も問題はない。画面上で最後の水平走査ラインの表示データに対して次の水平走査 1 ラインを画面上の最初の水平走査ラインとし、水平走査 1 ラインをエンドレスに循環させて比較すればよい。

【 0 0 1 3 】

1 6 は、定電流源であって、ピン対応に設けられ、基準駆動電流を $D/A3$ に供給する。これは、例えば、 n 個の出力トランジスタを有するカレントミラー回路により、その入力側カレントミラートランジスタで基準電流を受けて、出力側カレントミラートランジスタで基準電流をピン対応に複製して分配する回路である。このような回路の場合には、定電流源 1 6 は、この場合の各出力側カレントミラートランジスタが対応している。

ピーク電流生成回路 4 は、ダイオード接続された pnp 型の入力側トランジスタ Q_s と出力側トランジスタ Q_t とからなり、それぞれのエミッタ側が P チャネル $MOSFET$ トランジスタ Trs , N チャネル $MOSFET$ トランジスタ Trt を介して出力段電流源 5 の入力端子 5 a に接続されている。

入力側トランジスタ Q_s のコレクタは、 $D/A3$ の出力端子 3 b に接続され、出力側トランジスタ Q_t のコレクタは、グランド GND に接続されている。トランジスタ Q_s とトランジスタ Q_t のエミッタ面積比は $1 : x$ である。

【 0 0 1 4 】

ここで、 $D/A3$ の出力電流を I_a とすると、ピーク電流生成回路 4 は、トランジスタ Trt が ON しているときには、入力端子 5 a に $(x + 1) I_a$ の駆動電流を発生する。トランジスタ Trs は、トランジスタ Trt に対応して設けられた負荷トランジスタであって、そのゲートはグランド GND に接続されていて、駆動ラインをバランスさせるために挿入されている。なお、トランジスタ Trt は、駆動初期の一定期間だけリセット禁止回路 6 を介して端子 $CONT$ に図 3 (f) に示すピーク生成パルス Pp を受ける。このパルスが “ H ” の期間の間、トランジスタ Trt は ON になる。

ピーク電流生成回路 4 は、出力段電流源 5 の pnp 型の入力側トランジスタ Q_x を、入力端子 5 a , ベース電流補正駆動用の pnp 型のカレントミラートランジスタ Q_u , Q_w を介して駆動する。

その結果、入力側トランジスタ Q_x によりトランジスタ Trt が ON したピーク駆動時の一定期間には $(1 + x) I_a$ の電流が流れる。その後に通常駆動電流として駆動電流 I_a が出力される。それらが出力段電流源 5 の pnp 型の出力側トランジスタ Q_y でさらに N 倍に電流増幅されて、有機 EL パネルのピン 9 に出力される。

出力段電流源 5 のトランジスタ Q_x とトランジスタ Q_y のエミッタ面積比は $1 : N$ であり、これらトランジスタのエミッタは、例えば、 $+15V$ 乃至 $+20V$ 程度の電源ライン V_{cc} に接続されている。出力側トランジスタ Q_y のコレクタは、カラム側のピン 9 に接続され、このピン 9 は、データ線 1 7 を介してロー方向 (垂直方向) に配列される各 EL 素子 1 1 a , 1 1 b , ... の陽極側に接続されている。

【 0 0 1 5 】

そこで、この電流駆動回路 1 は、水平走査期間 (表示期間) においては、ピーク電流として $N \times (1 + x) I_a$ の駆動電流を、定常電流として I_a の駆動電流をピン 9 に出力する。これにより容量性負荷となる特性を持つ EL 素子 1 1 (各 EL 素子 1 1 a , 1 1 b , ... の代表として) がピーク電流で初期充電されて電流駆動される。

ピン 9 は、さらにリセット回路 7 を介して接地されている。リセット回路 7 は、放電スイッチ回路 1 4 とツェナーダイオード 1 5 の直列回路で構成されている。放電スイッチ回路 1 4 側の一端がピン 9 に接続され、ツェナーダイオード 1 5 の一端が接地されている。

10

20

30

40

50

放電スイッチ回路 14 は、リセット禁止回路 6 からリセットコントロールパルス RS (図 3 (e) 参照) を受けてリセット期間に ON にされる。これにより、EL 素子 11 の陽極側は、リセットコントロールパルス RS が “H” の期間の間、ツェナーダイオード 15 により設定される定電圧 Vz にリセットされる。

各データ線 17 に接続される各 EL 素子 11 (11a, 11b, ...) の陰極は、ロー側走査回路 12 のプッシュ・プルスイッチ回路 13a, 13b, ... の各入力/出力端子 130 に接続されている。このスイッチ回路 13a, 13b, ... を介して各 EL 素子 11 は、グランド GND あるいは電源ライン + Vcc に選択的に接続される。

【0016】

リセット禁止回路 6 は、3 個の 2 入力アンド (AND) 回路 6a, 6c とナンド (NAND) 回路 6b とで構成されている。リセット禁止回路 6 は、フラグレジスタ 2 からのフラグデータのうちの 1 ビットのデータ (以下ビットデータ) とコントロール回路 23 からリセットパルス RS およびピーク発生パルス Pp とを受けて、その “0” (あるいは “L”) または “1” (あるいは “H”) に応じて、“1” のときに、言い換えればリセット禁止条件のときに、そのアンド回路 6a によりリセットコントロールパルス RS の発生を阻止する。また、ナンド回路 6b により表示期間においてピーク電流の発生を阻止する。さらに、アンド回路 6c によりリセット期間の間、出力段電流源 5 の電流出力動作を停止させる。なお、電流駆動回路 1 の出力が禁止されることで、ピン 9 の出力インピーダンスはハイインピーダンスになる。また、ピーク電流の発生が阻止されることで、EL 素子 11 は、次の水平走査期間においてピーク電流により初期充電されることなく、現在の水平走査期間の表示期間の駆動電流と実質的に同じ駆動電流が続いて流される。

【0017】

アンド回路 6a は、フラグレジスタ 2 からのビットデータをインバータ 2a を介してゲート信号として一方の入力に受ける。ビットデータが “0” のときに、インバータ 2a の出力が “H” となり、他方の入力に受けた図 3 のリセットコントロールパルス RS (図 3 (e) 参照) を放電スイッチ回路 14 に加えてリセットコントロールパルス RS が “H” の期間の間これを ON にして EL 素子 11 を定電圧 Vz (= ツェナーダイオード 15 のツェナー電圧) にリセットする。これ以外の期間では、リセットコントロールパルス RS が “L” (図 3 (e) 参照) となっているので、アンド回路 6a の出力は “L” であり、放電スイッチ回路 14 は、OFF となっている。

一方、ビットデータが “1” のときには、インバータ 2a の出力が “L” となるので、アンド回路 6a のアンド条件は成立しない。そこで、アンド回路 6a の出力は “L” のままとなり、リセットコントロールパルス RS はアンド回路 6a により阻止される。

ナンド回路 6b は、フラグレジスタ 2 からのビットデータをインバータ 2a を介してゲート信号として一方の入力に受ける。ビットデータが “0” のときに、他方の入力に受けた図 3 のピーク発生パルス Pp (図 3 (f) 参照) を端子 CONT に反転して加えて、ピーク発生パルス Pp が “H” の期間の間、“L” の信号を発生して P チャネルのトランジスタ Trt を ON にして EL 素子 11 をピーク電流で駆動する。これ以外の期間では、ピーク発生パルス Pp が発生しないので、ナンド回路 6b の出力は “H” であり、トランジスタ Trt は OFF になっている。一方、ビットデータが “1” のときには、インバータ 2a の出力が “L” となり、一方の入力が “L” となるので、ナンド条件が成立してナンド回路 6b の出力は “H” となる。それによりピーク発生パルス Pp がナンド回路 6b により阻止され、ピーク発生パルス Pp を反転した出力 “L” は発生しない。このとき、ナンド回路 6b の出力は “H” のままであり、表示期間中トランジスタ Trt は OFF である。

【0018】

アンド回路 6c は、フラグレジスタ 2 からのビットデータを直接ゲート信号として一方の入力に受ける。他方の入力には、図 3 のリセットコントロールパルス RS (図 3 (e) 参照) を受けるが、ビットデータが “0” のときには、常に、アンド回路 6c の出力が “L” となる。この “L” が入力端子 3a を介して D/A 3 に加えられる。このときの信号 “

L”は、D/A3に対しては無効な信号であり、D/A3の動作状態には影響しない。
 一方、フラグレジスタ2から受けるビットデータが“1”のときで、かつ、図3のリセットコントロールパルスRS（図3（e）参照）が“H”になったときには、言い換えれば、リセット期間に入ったときには、D/A3の動作を停止させる停止信号SP（“H”）がアンド回路6cから出力される。この停止信号SP（“H”）がD/A3の入力端子3aに加えられと、D/A3は、その動作を停止して、その変換出力電流が“0”になる。その結果、出力段電流源5bの動作が停止する。
 これにより、リセット期間の間、ピン9の出力インピーダンスがハイインピーダンスになる。

【0019】

その結果、リセット禁止回路6によりピン9がリセットされない場合には、言い換えれば、フラグレジスタ2から受けるビットデータが“1”のときには、EL素子11の陽極側は、1つ手現在の表示期間で駆動された電流に対応する所定の電圧が維持され、EL素子11には、この維持された電圧に対応する電荷が蓄積されている。そこで、ロー側走査が次のEL素子11に切換わると、次のEL素子11の陽極に手前のEL素子11の陽極から電荷が供給される。

ロー側走査が切換わると、ロー側走査回路12が走査対象となるEL素子11の陰極側を接地（所定の基準電位に接続）したときに、ロー側走査回路12による走査が終了した有機EL素子11の陽極側の電荷の一部が次の走査対象となる有機EL素子11の陽極側に供給される。このとき、ピン9の出力インピーダンスがハイインピーダンスになっているので、ピン9側への電荷の流出はほとんどない。

【0020】

ピン9がリセットされない場合には、次の1水平走査においてはピン9の駆動電流が同一であるので、次の1水平走査におけるピン9に接続されたEL素子11の輝度は、手前のEL素子11からの電荷供給により初期充電がリセット期間に行われる。その結果、ロー側走査が切換わる前の水平走査におけるそのピンに接続されたEL素子11の輝度とロー側走査が切換わった後に駆動されるEL素子11の輝度とが実質的に同一となり、リセットされないEL素子11の輝度の変化はほとんど生じない。

なお、ロー側の走査が終了したEL素子11から次のロー側の走査対象となったEL素子11への電荷の供給は、ロー側の走査が終了したEL素子11の陰極側がプッシュ・プル

のスイッチ回路13a, 13b, ...の1つにより“H”にプルアップされることで、瞬間的に走査対象となった次のEL素子11の陽極側に供給される。
 なお、この場合、ロー側の走査が終了したEL素子11の陰極側が“H”にプルアップされていなくても走査対象と同じ接地電位に設定されていても走査が終了したEL素子11からの電荷の供給は可能である。要するに、ロー側の走査において、ある程度の電荷が手前のEL素子11からその次のEL素子11に供給され、次のEL素子11が初期充電されればよい。次のEL素子11が同じ電流値で駆動されて発光する輝度であるので、輝度変化はほとんど目立たない。

【0021】

図2は、アンド回路6cの“H”の出力に応じて変換動作を停止するD/A3の回路である。

D/A3は、通常、カレントミラー回路により構成され、入力側のトランジスタTNaに定電流源16から基準駆動電流を受けて、それを表示データ倍にして出力する回路である。リセット禁止条件のときに、D/A3は、リセット禁止回路6のアンド回路6cから停止信号SP（“H”）をトランジスタTNpのゲートに受けてリセット期間の間、カレントミラー回路の各トランジスタをOFFにする。これによりD/A3は、変換動作を停止する。

図2に示すように、D/A3は、Nチャネルの入力側トランジスタTNaと、Nチャネルの出力側トランジスタTNb～TNn-1のカレントミラー回路で構成されている。さらに入力側トランジスタTNaのゲートとグランドGNDとの間にNチャネルのMOSトラ

10

20

30

40

50

ンジスタ T_{Np} を有している。そして、端子 $D_0 \sim D_{n-1}$ に表示データを受ける。そして、トランジスタ T_{Np} のゲートは入力端子 $3a$ に接続されている。

なお、出力側トランジスタ $T_{Nb} \sim T_{Nn-1}$ の下流に設けられた抵抗 $R_a \sim R_{n-1}$ は、カレントミラー回路の動作電流をバランスさせる抵抗であり、抵抗 $R_a \sim R_{n-1}$ の下流に設けられた N チャンネルのランジスタ $T_{rb} \sim T_{rn-1}$ は、表示データ $D_0 \sim D_{n-1}$ により ON/OFF されるスイッチングトランジスタである。

【0022】

ここで、リセット禁止状態のときに、トランジスタ T_{Np} は、アンド回路 $6c$ から入力端子 $3a$ を介して停止信号 SP (“ H ”) をゲートに受ける。これによりトランジスタ T_{Np} は ON となり、トランジスタ T_{Na} , トランジスタ $T_{Nb} \sim T_{Nn-1}$ が OFF になって、 $D/A3$ の動作が停止する。このとき、 $D/A3$ の出力端子 $3b$ の電流出力は “ 0 ” となり、表示データに応じた変換電流は発生しない。

10

一方、トランジスタ T_{Np} がアンド回路 $6c$ から “ L ” の信号をゲートに受けると、トランジスタ T_{Np} は、 OFF になり、トランジスタ T_{Na} , トランジスタ $T_{Nb} \sim T_{Nn-1}$ は、通常のカレントミラー回路として動作し、 $D/A3$ は、表示データに応じた D/A 変換を行う。

【0023】

以上のように、電流駆動回路 1 にリセット禁止回路 6 を設けてリセット禁止制御をするカラムドライバ 10 にあっては、図 4 に示すような表示画像 A において、表示される画像 B と、その背景 C とからなるものでは、背景 C のような同色の表示領域の場合あるいは R , G , B の各色においてあるピクセルが現在の水平走査と次の水平走査とにおいて同じ輝度の場合には、リセットされずにかつピーク電流を発生させずに、同じ輝度 (同じ駆動電流値) で画像表示が行われる。

20

この場合に、特に、背景 C の領域は同じ輝度となるので、リセットされずかつピーク電流が発生しない表示領域になる。その結果、その分、消費電流が低減する。

【0024】

図 5 は、 R , G , B の水平 1 ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

R , G , B の各水平 1 ライン分の各放電スイッチ回路は、 R , G , B のピン 9 に対応して設けられた $PMOS$ チャンネルトランジスタ $14R$, $14G$, $14B$ で構成されている。これらのトランジスタのソース側は、それぞれにピン 9 に接続され、ドレイン側は、それぞれ R , G , B それぞれに共通のツェナーダイオード DZR , DZG , DZB を介して接地されている。なお、ツェナーダイオード DZR , DZG , DZB は、図 1 のツェナーダイオード 15 に対応するものであり、これらは、 R , G , B に分けることなく、共通にツェナーダイオード 15 が使用されてもよい。なお、図中、 $G1$, $9R1$, $9B1$, $9G2$, $9R2$, ... は、 R , G , B それぞれのピンであり、それぞれが図 1 のピン 9 に対応するものである。

30

各放電スイッチ回路 $14R$, $14G$, $14B$ のゲートは、それぞれ R , G , B に対応して設けられた駆動ライン 16 , 17 , 18 を介して R , G , B に対応して設けられたリセット禁止回路 $6R$, $6G$, $6B$ からそれぞれにリセットコントロールパルス RS を受ける。

40

【0025】

$D/A3R$, $3G$, $3B$ は、それぞれの水平 1 ライン分の各入力端子 $3a$ が駆動ライン $16a$, $17a$, $18a$ に接続され、これら駆動ラインを介してリセット禁止回路 $6R$, $6G$, $6B$ からそれぞれに停止信号 SP を受ける。また、ピーク電流生成回路 $4R$, $4G$, $4B$ は、それぞれの水平 1 ライン分の各端子 $CONT$ が駆動ライン $16b$, $17b$, $18b$ に接続され、これら駆動ラインを介してリセット禁止回路 $6R$, $6G$, $6B$ からピーク発生パルス Pp を受ける。

ここで、リセット禁止回路 $6R$, $6G$, $6B$ は、 R , G , B に対応して設けられた図 1 のリセット禁止回路 6 であり、図示していないが、リセットコントロールパルス RS は、各リセット禁止回路のアンド回路 $6a$ から出力され、ピーク発生パルス Pp の反転信号がナ

50

ンド回路 6 b から出力され、停止信号 S P がアンド回路 6 c から出力される。

D / A 3 R , 3 G , 3 B は、R , G , B に対応して設けられた図 1 の D / A 3 であり、ピーク電流生成回路 4 R , 4 G , 4 B も R , G , B に対応して設けられた図 1 のピーク電流生成回路 4 である。

また、フラグレジスタ 2 b は、R , G , B 対応の 3 ビットのフラグデータを記憶する、図 1 のフラグレジスタ 2 に対応するレジスタである。

【 0 0 2 6 】

M P U 2 0 は、表示データ一致判定プログラム 2 1 a を実行して、この実施例では、画面メモリ 2 2 から次の水平 1 ライン分の表示データを R , G , B 対応にそれぞれ読出して、水平 1 ライン分の現在の表示データと同じか否かが判定して、R , G , B それぞれの判定結果に応じて 3 ビットのデータをフラグレジスタ 2 b にセットする。

10

これにより、水平 1 ライン分が同じ色、水平 1 ライン分が同じ輝度（同じ駆動電流値）のものについて、リセットを禁止し、ピーク電流の発生が阻止される。その結果、図 4 の画像表示の背景 B のように同じ色の領域は、リセットが禁止され、その分、消費電流を低減することができる。

【 0 0 2 7 】

以上説明してきたが、実施例では、ピン 9 のリセットを禁止した場合において、リセット期間中ピン 9 の出力インピーダンスをハイインピーダンスに保持するために、リセット期間に D / A 変換回路の動作を停止させて出力電流を阻止しているが、出力インピーダンスをハイインピーダンスに保持するのは、D / A 変換回路の動作の停止に限定されるものではない。ピン 9 に電流吐き出しの電流源が接続されている場合には、この電流源の動作を停止させれば、通常、ピン 9 の出力インピーダンスをハイインピーダンスにすることができる。また、このピン 9 は出力端子であるので、電流の逆流はほとんどない。

20

なお、ピン 9 をハイインピーダンスにすることなく、リセット期間の間、出力電流源を動作状態に維持することで、電流源現在の水平走査期間の駆動電流を流しっぱなしの状態にしてもよい。この場合、次の水平走査のための表示データをリセット期間の間に D / A 3 にセットしても、リセット期間に表示データがセットされるので、そのノイズは、画面上にほとんど現れない。

さらに、実施例では、ピン 9 に接続された E L 素子の陽極側を定電圧リセットしているが、ここでのリセットは、E L 素子の陽極側を接地してもよく、接地してからプリチャージすることで定電圧にリセットしてもよい。言い換えれば、ここでのリセットは、所定の電位に設定されるようリセットであれば、どのようなリセットであってもよい。

30

【 0 0 2 8 】

【 発明の効果 】

以上説明してきたように、この発明にあっては、判定手段により次の水平走査期間の表示データが現在の水平走査期間の表示データと同一であるか否かを判定して、表示データが同一のときには、あるピンに接続された次の E L 素子の駆動電流も実質的に同じ値になるので、そのピンについてリセット禁止回路によりスイッチ回路によるリセットを禁止するとともに次の水平走査期間のピーク電流発生回路によるピーク電流の発生を停止する。そして、ロー側走査回路の走査によりそのピンに接続された走査対象となる E L 素子の陰極側が所定の基準電位に接続されたときに、ロー側走査回路による走査が終了したそのピンに接続された E L 素子の陽極側の電荷を次の走査対象となる E L 素子の陽極側に供給してこの次に駆動される E L 素子を初期充電して手前の走査のときと実質的に同一な電流で駆動する。

40

その結果、リセットにより消費される電力とピーク電流による電力とが抑制されて、有機 E L 表示装置の消費電力全体を低減することができる。

【 図面の簡単な説明 】

【 図 1 】 図 1 は、この発明の有機 E L 駆動回路を適用した一実施例の有機 E L パネルのラムドライバにおける、各ピンに対応に設けられる電流駆動回路のブロック図である。

【 図 2 】 図 2 は、その D / A 変換回路の動作停止回路の説明図である。

50

【図 3】図 3 は、ピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

【図 4】図 4 は、リセット禁止動作と表示画面との関係の説明図である。

【図 5】図 5 は、R，G，B の水平 1 ラインのデータに対応してリセット禁止制御をする電流駆動回路のブロック図である。

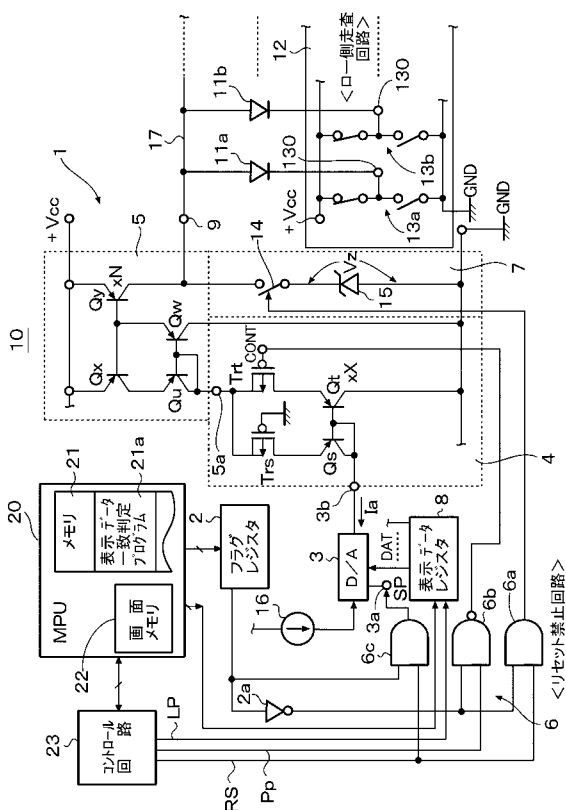
【符号の説明】

1 ... 電流駆動回路、 2 ... フラグレジスタ、
3 ... D / A 変換回路 (D / A)、
4 ... ピーク電流生成回路 4、
5 ... 出力段電流源、 6 ... リセット禁止回路、
7 ... リセット回路、 8 ... 表示データレジスタ w
9 ... ピン、 1 0 ... カラムドライバ、
1 1 ... 有機 E L 素子 (E L 素子)、 1 2 ... ロー側走査回路、
1 3 a , 1 3 b ... プッシュ・プルのスイッチ回路、
1 4 ... 放電スイッチ回路、
1 6 ... 電流源、 1 7 ... データ線、
2 0 ... M P U、 2 1 ... メモリ、
2 1 a ... 表示データ一致判定プログラム、
2 2 ... 画面メモリ、 2 3 ... コントロール回路、
T r a ~ T r n ... トランジスタ。

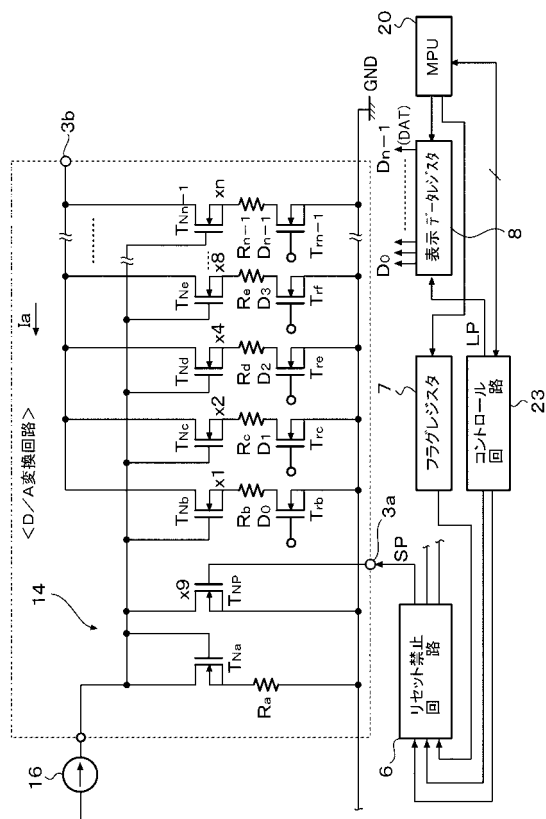
10

20

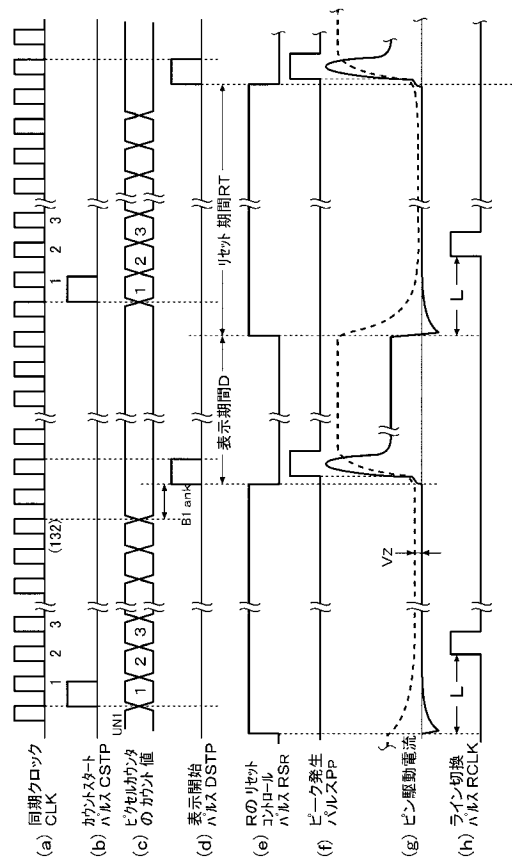
【 圖 1 】



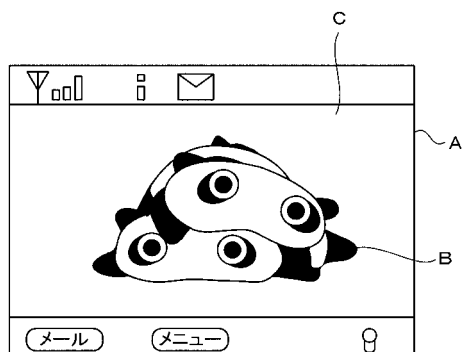
【 図 2 】



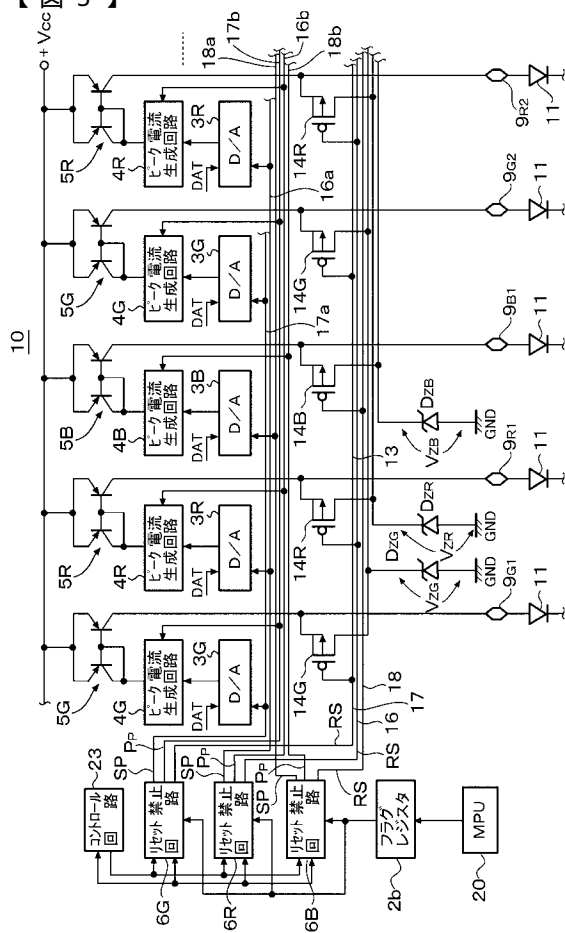
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 4 1 D
H 0 5 B	33/12	B
H 0 5 B	33/14	A

(72)発明者 藤川 昭夫

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 3K007 AB03 AB05 DB03 GA04

5C080 AA06 BB05 CC03 DD26 EE28 FF11 JJ01 JJ02 JJ03 JJ04

专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	JP2004138778A	公开(公告)日	2004-05-13
申请号	JP2002302824	申请日	2002-10-17
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	前出淳 阿部真一 藤川昭夫		
发明人	前出 淳 阿部 真一 藤川 昭夫		
IPC分类号	H05B33/12 G09G3/00 G09G3/10 G09G3/20 G09G3/30 G09G3/32 H01L51/50 H03M1/74 H05B33/00 H05B33/14		
CPC分类号	G09G3/3216 G09G3/3283 G09G2310/0251 G09G2310/027 G09G2330/021 H03M1/745		
FI分类号	G09G3/30.H G09G3/20.611.A G09G3/20.612.E G09G3/20.612.G G09G3/20.612.T G09G3/20.612.U G09G3/20.623.F G09G3/20.641.D H05B33/12.B H05B33/14.A G09G3/3216 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/AB03 3K007/AB05 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC31 3K107/HH04 5C380/AA01 5C380/AB05 5C380/AB34 5C380/AC11 5C380/AC12 5C380/AC20 5C380/BA01 5C380/BA05 5C380/BC01 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA29 5C380/CA34 5C380/CB01 5C380/CE05 5C380/CE06 5C380/CE20 5C380/CF01 5C380/CF02 5C380/CF06 5C380/CF23 5C380/CF26 5C380/CF32 5C380/CF36 5C380/CF41 5C380/CF46 5C380/CF48 5C380/CF51 5C380/CF56 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA57		
代理人(译)	梶山 信是 山本富士雄		
其他公开文献	JP3875173B2		
外部链接	Espacenet		

摘要(译)

提供一种能够降低有机EL显示装置的功耗的有机EL驱动电路和有机EL显示装置。根据本发明，确定装置确定下一水平扫描时段中的显示数据是否与当前水平扫描时段中的显示数据相同，并且当显示数据相同时，引脚被连接至某个引脚。由于已设置的下一个EL元件的驱动电流变为基本相同的值，因此复位电路禁止对该引脚进行复位电路的复位，并且在下一个水平扫描周期中禁止峰值电流产生电路产生峰值电流。别这样当通过低侧扫描电路的扫描连接到引脚的要扫描的EL元件的阴极侧连接到预定参考电位时，通过低侧扫描电路的扫描完成。将该元件的阳极侧上的电荷提供给接下来要扫描的EL元件的阳极侧，并且该EL元件首先被充电以用基本相同的电流驱动下一EL元件。[选型图]图1

