

【特許請求の範囲】

【請求項1】 一方の側に透明電極を具備する発光材料の層を持つ発光表示素子と、前記表示素子により放射される光に反応する受光素子とを各々有するアドレス可能なピクセルの配列を基板上に有する発光表示装置において、各受光素子は、前記基板上に横方向に隔てられた接触領域と、誘電材料が上に置かれる介在するゲート制御領域とを持つ半導体層を有するゲート感光性薄膜装置であり、前記発光表示素子の一部分は前記誘電材料及び前記ゲート制御領域上を前記部分における前記発光表示素子の透明電極が前記感光性装置のゲートとして作用し且つ、前記発光材料層により放射される光が前記半導体層に入射するように延びていることを特徴とする発光表示装置。

【請求項2】 前記ゲート感光性装置は、ドーパされた半導体材料の横方向に隔てられたソース及びドレイン接触領域と、前記ゲート制御領域を形成する前記接触領域間に延在する真性半導体材料の領域とを持つ薄膜トランジスタを有することを特徴とする請求項1に記載の発光表示装置。

【請求項3】 前記感光性装置は、反対にドーパされた型の半導体材料の横方向に隔てられた接触領域と、前記接触領域間に延在して前記ゲート制御領域を形成する真性半導体材料の領域とを持つゲートpinダイオード装置を有することを特徴とする請求項1に記載の発光表示装置。

【請求項4】 前記発光素子の前記透明電極は、当該装置の動作中に、前記ゲート制御領域に流れる電流が生成された光電流によるものとなるようにバイアスされるように配されることを特徴とする請求項1乃至3の何れか一項に記載の発光表示装置。

【請求項5】 前記表示素子は、電流駆動であり、駆動期間において前記表示素子を流れる電流は、先行するアドレス期間中に前記ピクセルに与えられ、前記トランジスタのゲートに結合される記憶キャパシタ上に電荷として記憶される駆動信号に基づき薄膜トランジスタにより制御され、前記感光性装置は、前記記憶キャパシタに結合され、前記表示素子の光出力に従って前記記憶キャパシタ上の前記電荷を調整するように、生成される光電流に応じて電荷漏れ装置として作用することを特徴とする請求項4に記載の発光表示装置。

【請求項6】 前記感光性装置は、スイッチとして動作可能であると共に、前記表示素子の前記透明電極の前記駆動期間における電位レベルのしきい値レベルへの到達に応答して導通するように配され、これにより該感光性装置の前記接触領域間に導通路を設けて前記記憶キャパシタを急速に放電させることを特徴とする請求項5及び2に記載の発光表示装置。

【請求項7】 前記表示素子の前記発光材料は、EL材料を有することを特徴とする先行する請求項の何れか一項に記載の発光表示装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、受光素子を具備する発光マトリックス配列表示装置に関する。本発明は特に、発光表示素子及び受光素子を有するアドレッシング可能なピクセルの配列を有するマトリックス配列表示装置に関する。本発明は、排他的にではなくエレクトロルミネッセンス (EL: electroluminescent) 表示素子、特にポリマー EL 素子 PLED を含む有機 EL 表示素子 OLED を用いたマトリックス表示装置に特に関係する。

【0002】**【従来技術】**

そのピクセルが EL 表示素子及び受光素子を有するマトリックス表示装置の例は、英国特許出願0005811.5号に記載されている。この記載された装置は、各ピクセルが一方は透明である2つの電極間に発光 EL 材料を有する電流駆動 EL 表示素子を含む、基板に担持されるピクセルの配列を持つアクティブマトリックス表示装置と、先行するアドレス期間内にピクセルに与えられる駆動(データ)信号に基づく駆動期間において、この表示素子を通る電流、故にその光出力を制御するように動作することが可能なスイッチング装置とを有する。

【0003】

例えばヨーロッパ公開公報EP-A-0717446号に記載される装置のような、他のアクティブマトリックス EL 表示装置において、光出力を生成するために連続的に電流を流す必要がある表示素子は、駆動期間中にその出力を決定するアドレス期間において、ピクセルに記憶されるデータ信号のレベルでの各々の行アドレス期間におけるピクセルのアドレッシングに後続するようなフレーム期間までの延長期間にわたり通電することが可能である。薄膜トランジスタ (TFT) 形式の駆動装置は、表示素子を通る電流を制御する役割を果たし、与えられるデータ信号は、この駆動 TFT の動作が記憶される電荷に依存するように、この TFT のゲートに結合されるキャパシタンス上に電荷として記憶される。

【0004】

英国特許出願0005811.5の装置におけるピクセルは更に、ピクセルの動作時に逆バイアスされるように配され、表示素子の光出力レベルに依存する割合でキャパシタンスから電荷が漏れるように、駆動期間のピクセルの表示素子によって放射される光に反応するような、前記記憶キャパシタンスに結合される(PiN)フォトダイオード又は光反応TF Tを有する薄膜感光性装置を含む。従って、感光性装置のために、(アドレッシング時に充電されると仮定する)キャパシタンスを漸進的に放電することによって、表示素子に流れる電流、故にその光出力を減少させるように駆動期間中の表示素子の通電を制御する駆動TF Tの動作を漸進的に調節する光電子フィードバックが設けられる。表示素子が通電する全部の利用可能駆動期間の比率は、これにより、素子の光出力に従うこのフィードバック装置に依存し、調整される。このように、駆動(フレーム)期間における表示素子からの集積された光出力は、とりわけ、動作する期間にわたり起こる表示素子のEL材料に関する老朽化又は劣化、特に与えられる駆動電流レベルに対する光出力レベルの減少の如何なる影響も打ち消し、前記ピクセルを供給する電流送電ラインに起こる電圧降下の影響を補償するようにも制御することが可能である。

【0005】

【発明が解決しようとする課題】

このような技術は、ピクセルの光出力が時間を通して一定且つ一様であることを保証することで高品質の表示を達成するのに価値がある。しかしながら、このようなピクセル回路の実施は問題を含んでいる。感光性装置により生成される光電流は、大きな記憶キャパシタンスを使用することを避ける場合、フレーム期間にわたりTF Tゲート電位を適当に制御するために、非常に低くする必要がある。更に、薄膜技術を使用する受光素子の各ピクセル回路における設備は、理想的には、製造を過度に複雑にすべきではない一方、同時に発光表示素子と感光素子との間の良好な光結合が保証される必要がある。

【0006】

【課題を解決するための手段】

本発明に従って、一方の側に透明電極を具備する発光材料の層を持つ発光表示

素子と、表示素子により放出される光に反応する受光素子とを各々有するアドレスリング可能なピクセル配列を基板上に有する発光表示装置を有し、ここで各受光素子は、基板上に横方向に隔てられた接触領域と、誘電材料が上に置かれる介在するゲート制御領域とを持つ半導体層を有するゲート感光性薄膜装置を有し、発光表示素子の一部分は誘電材料及びゲート制御領域上を前記部分における発光表示素子の透明電極がこの感光性装置のゲートとして作用し且つ、発光材料層により放射される光が半導体層に入射する。

【0007】

この装置に関し、受光素子の装備が比較的複雑ではない一方で、同時にこの構成部品と表示素子の発光材料との間の良好な光学結合が確実に保証される。これにより、このような装置は、例えば、上述した英国特許出願0005811.5に記載の表示装置の種類に使用されるときに高い有益性となる。ゲート感光性装置の基本構造は、マトリックス表示装置に通常に使用されているTFT、例えば上述の表示装置の駆動TFTの構造に一般的に類似している。この点において、ゲート感光性装置は、TFT又はゲートラテラル型(ピン)ダイオードを有する。従って、この構成部品の設備は、マトリックス表示装置に使用される薄膜技術と完全に互換性があり、この装置は、上記TFTと同時に普通の薄膜層から容易に形成することが可能である。発光素子の一部が前記感光性装置上を延在し、この装置のアクティブ領域が発光材料と直接且つ親密に関連するので、このとき、この装置は、発光材料からの光出力に関する変化に鋭く反応する。その上、発光素子の電極の一部は、感光性装置のゲートに利用されるので、このとき、この装置の動作中にこの電極の電位に対応する当該装置のゲート電位は、上述された型式の表示装置における電荷調整装置として使用されるとき、この構成部品に必要なやり方で発光層からの光の入射に応じてここに生成される光電流のために、感光性漏れ装置として作用するような動作中に都合よく適切にバイアスされる。

【0008】

本発明が上述される特定の種類のピクセル回路を実施するのに特に有益である一方、ピクセルが記載された特定のやり方で使用されるのでなく、他の目的のピクセルの表示素子の発光に応じる受光装置を含む他の発光マトリックス表示装置

において有利となるように使用可能であることが認識される。

【0009】

好ましくは、発光素子はOLED又はPLED素子のようなEL素子を有する。しかしながら、本発明は、他の種類の発光素子を使用する表示装置においても同様の利点を有し、記載されるやり方で電子光学フィードバック装置の一部として用いられる受光素子の場合には必ずしも使用されるわけではないことを認識する。

【0010】

【発明の実施の形態】

本発明による発光表示素子の実施例、特にアクティブマトリクスEL表示装置は、例として、添付する図を参照して説明される。

【0011】

これら図は、単に概略図である。同じ参照番号は、図面を通じて、同じ又は類似の部分を知るために用いられている。

【0012】

図1を参照し、アクティブマトリクスELディスプレイ装置は、ブロック10により示される規則的に隔てられたピクセルの行及び列マトリクス配列を持つパネルを有する。各ピクセルは、EL表示素子とこの表示素子を流れる電流を制御する関連する駆動装置とを有し、これらは、行（選択）及び列（データ）のアドレス導体、すなわちライン12及び14が交差する組の間の交点に置かれる。ここでは簡略化のために数個のピクセルしか示されていない。これらピクセル10は、アドレス導体の組を介して、個々の導体の組の端部に接続される行（走査）駆動回路16及び列（データ）駆動回路18を有する周辺の駆動回路によってアドレッシングされる。

【0013】

ピクセルの各行は、個々のデータ信号で行のピクセルをロードするように、前記回路16により関連する行導体12に与えられる選択信号を用いてフレーム期間内に順次アドレッシングされ、回路18により列導体に平行して供給される個々のデータ信号に従い、アドレス期間に後続するフレーム期間内にそれらの個々

の表示出力を決定する。各行がアドレッシングされるので、データ信号は、適切に同期化して回路18により与えられる。

【0014】

図2は、数個の典型的なピクセルの回路を説明している。各ピクセル10は、ここではダイオード素子(LED)と示される有機発光EL表示素子20を含み、有機EL発光材料の1つ以上のアクティブ層をその間に持つ1組の電極を有する。この特定の実施例において、この材料はポリマーLED材料を有するが、例えば低い分子量の材料である他の有機EL材料が使用されることもできる。前記配列の表示素子は、関連するアクティブマトリクス回路と一緒に、絶縁基板の表面上に担持されている。この基板は、例えばガラスのような透明材料からなり、この基板に最も近い個々の表示素子20の電極は、例えばITOのような透明導体材料からなるので、EL層によって生じた光は、基板の反対側にいる観察者が見ることができるように、これら電極及び基板を通り伝達される。表示素子の陰極は、例えばカルシウム、マグネシウムと銀との合金、又はバリウム/アルミニウムの二重層のような低い仕事関数を持つ金属を有する。使用可能である適切な有機共役ポリマー材料の実施例は、国際特許公開番号WO 96/36959号に記載されている。他の低い分子量の有機材料の実施例は、ヨーロッパ特許公開番号EP-A-0717446号に記載されており、これにはアクティブマトリクスEL装置の典型的な公知の形式の構成及び動作も記載され、これら特徴に関する開示は、ここで参照することによって含まれる。

【0015】

各ピクセル10は、ここではp型導体からなる低温ポリシリコンTF T 2 2形式の駆動装置を含み、この駆動装置は、このピクセルに与えられるデータ信号電圧に基づいて、表示装置20に流れる電流、故にその動作を制御する役割を持っている。ピクセルに対するデータ信号電圧は、個々のピクセルの列間に共有される列導体14を介して供給される。この列導体14は、p型でもあるアドレスTF T 2 6を介して電流制御駆動TF T 2 2のゲートに結合されている。ピクセルの行であるアドレスTF T 2 6に対するゲートは、全て共通の行導体12に接続されている。

【0016】

ピクセル10の各行は、既定の電位で保持され、全てのピクセルに共通な連続電極として通常は設けられる共通電圧供給ライン30及び個々の共通電流ライン32も共有する。表示素子20及び駆動TFT22は、電圧供給ライン30と、表示素子20を流れる電流の電流源として働く共通電流ライン32との間に直列に接続される。例えば前記ライン30は、接地電位でもよく、ライン32は例えば供給ライン30に対し約1.2Vの正電位でもよい。表示素子20を流れる電流は、駆動TFT22によって調節され、このTFT22上のゲート電圧の関数であり、これはデータ信号により決められる記憶される制御値に依存している。

【0017】

ピクセルの個々の行は、関連する行導体12に選択パルスを与える行駆動回路16によって選択され、アドレッシングされる。この列導体がこれらピクセルのアドレスTFT26をオンにして、各々の行アドレス期間を規定する。駆動回路18に供給され、この駆動回路18により列導体14へ与えられるビデオ情報から得られる電圧レベル形式であるデータ信号は、アドレスTFT26により駆動TFT22のゲートノード24へ転送される。行アドレス期間の終わりに、アドレストランジスタ26はオフとなり、ゲートノード24上の電圧は、後続する駆動期間中に表示素子の動作を維持するように、TFT22のゲートと共通電流ライン32との間に接続されるピクセル記憶キャパシタ36によって保持される。

【0018】

TFT22のゲートと共通電流ライン32との間の電圧が表示素子20を通過する電流を決定する。この表示素子に流れる電流は、(pチャンネル型のTFT22のソースは共通電流ライン32に接続され、このTFT22のドレインは表示素子20に接続される) 駆動TFT22のゲート-ソース電圧の関数である。この電流は、ピクセルの光出力レベル(グレイスケール)を順に制御する。TFT22は電流源としてバイアスされ、飽和状態で動作するので、このTFTに流れる電流は、ドレイン-ソース電圧には反応せず、ゲート-ソース電圧に依存している。結果的に、ドレイン電圧の僅かな変動が表示素子20を流れる電流に影響することはない。これによって、電圧供給ライン30の電圧がピクセルの正確

な動作に重要ではない。

【0019】

ピクセルの各行は、個々の駆動信号で各行のピクセルを順番にロードし、ピクセルが次にアドレッシングされるまで、フレーム期間とほぼ一致する後続する駆動期間中に所望の表示出力を供給するようにピクセルを設けるために、このようにして、順に個々の行アドレスパネルにおいてアドレッシングされる。

【0020】

各ピクセルにおいて、光電子装置は、表示素子の劣化の影響を補償するのに用いられ、これにより、既定の駆動電流に対し生成される光出力レベルに関して、この装置の動作への影響は減少する。このような劣化によって、長く且つハードに駆動した表示素子は、減少する輝度を示し、表示を一様にさせなくなる。この光電子装置は、それに応じて、駆動期間における素子から集積された合計の光出力を制御することによって、ある程度までこれらの影響を打ち消す。ピクセル回路は、英国特許出願第0005811.5号に記載の回路とこの点で類似して、上記動作を完全に記載することで参照としてもたらされ、この点におけるこの出願の開示は、参照することにより包含される。簡潔には、電気光学フィードバックは、駆動期間中に表示素子の瞬間的な発光に依存する割合でキャパシタを放電することによって、この駆動期間中において記憶キャパシタ上の電荷を調節するのに用いられる。その結果として、既定のデータ信号値に対しては、表示素子がアドレス期間に後続する駆動期間中に光を生成するように通電される時間の長さは、表示素子の存在する駆動電流 / 発光レベル特性と、劣化の影響、特に表示が一様でないことに関する影響が減少し、個々のピクセルからの光出力が、必要である場合に、品質が落ちていない表示素子で得られる光出力とほぼ同じであるような与えられたデータ信号のレベルとに従って調節される。

【0021】

図2を参照すると、本装置における電子光学放電手段は、ゲート感光性薄膜装置40を有する。この装置は、他のTFTの形式であり、このTFTの電流を搬送するソース及びドレイン電極は、記憶キャパシタ36を横断して駆動トランジスタ22のゲートノード24及び電流ライン32に接続され、ゲートは、駆動T

FT22と表示素子20との間のノード41に接続される。この特定の実施例において、駆動FT22（及びアドレスFT26）は、p型の低温ポリシリコンMOSFTを有し、このとき装置40は、反対の導電型、すなわちn型のポリシリコンMOSFTからなる。

【0022】

より詳細に説明されるように、ピクセルは、ゲート感光性装置40がこのピクセルの動作時に表示素子20により放出された光に曝されるように構成及び配置される。アドレッシングフェーズの終了時に、与えられたデータ信号のレベルに従って、電圧が駆動FT22のゲートノード24に定められ、この電圧レベルに充電されるキャパシタ36は、少なくとも最初は、後続する駆動フェーズにおいてFT22のゲート電圧を維持するように作用する。ライン32に結合された感光性装置40のドレイン接合は、逆バイアスされ、感光性である。駆動期間内に表示素子により放射された光は、小さな光電流が表示素子の瞬間的な光出力レベルにほぼ一次的に比例する装置40に生成される。この光電流の効果は、記憶キャパシタ36をゆっくりと放電することであり、光電流の量、従って放電率は、表示素子の光出力レベルに依存している。FT40のゲートは、ノード41における電圧に対応する電圧で正にバイアスされ、ノード24に対し常に0又は負であり、ライン32に対して常に負であり、これはFT40がオフの（導通しない）状態を維持することを補償する。従って、トランジスタ40は、逆バイアスされたフォトダイオード様式であり、単にキャパシタ36に電荷の漏れを生じさせる漏れ装置として作用する。駆動期間における結果的に生じたキャパシタ36の放電は、徐々に減少する駆動FT22のゲート電圧となり、これは、FT22がそのしきい値であるターンオフレベルに近づくまで、対応するやり方で徐々に減少させる表示素子の光出力で、順に表示素子20に流れる電流を漸進的に低くさせる。この表示素子20に流れる電流の減少は、ノード41での（正の）電圧レベルの漸進的な増大となるが、これは単にFT40が絶えずオフになることを補償する。そのうち、ゲートノード24の電圧がFTのしきい値電圧よりも落ち込むとき、前記光出力は終了する。ピクセルの動作を示す典型的な電圧の実施例として、例えばFT22は-5ボルトのしきい値を有すると仮

定する場合、電圧供給ライン30は、0ボルト周辺であり、共通電流ライン32は12ボルトであり、トランジスタ22のゲートノードでの電圧が4から12ボルトへ変化するので、ノード41での電圧は4から0ボルトへ変化することが可能である。

【0023】

観察者が明るいと分かる、駆動期間内において表示素子により放射された光の全体の集積される量を調整することにより、表示素子の劣化の影響が打ち消される。この集積される光出力（輝度）は、表示素子の初期の光レベルだけでなく表示素子が通電される駆動期間の時間の長さにも依存する。表示素子がこの駆動期間内に通電する期間を制御する放電手段を動作するので、このとき、同じデータ信号値を供給される配列内において異なるピクセルは、劣化による個々の表示素子の特性の変化に関係なく同様の感覚輝度レベルを生成する傾向にある。言い換えると、駆動期間の開始時に、劣化の影響により個々の光出力レベルが異なったとしても、同じデータ信号値でアドレッシングされた個々の表示素子からの光出力の全体は同じである。表示出力の改善された一様性は、これにより得ることができる。

【0024】

例のとおり、与えられたデータ信号のレベルは、前記ピクセルとは異なるグレイスケールレベルを供給するように適当に調節される。データ信号、従ってゲートノード24上の電荷が増大する場合、このとき、TFT22がオフになる前に、より多くの光子(photon)が駆動期間中に表示素子から要求されるので、より高いグレイスケールが達成される。逆もまた同様である。

【0025】

この動作の方法は、例えばTFTを形成するのに用いられる薄膜形成処理の性質によるそのしきい値電圧、大きさ及び可動性の変化から、結果生じた配列において異なるピクセルのTFT22の動作特性における変化を自動的に補償するのにも効果的である。これにより、前記配列にわたる表示素子からの光出力の一様性の更なる改良が達成される。

【0026】

図3及び図4を参照すると、感光性TF T 40を含む典型的なピクセルの一部を通る概略的な平面図及び断面図を示し、これは、この領域におけるピクセル構造を図示する。図4は、図3のI V - I V線に沿った断面図にほぼ対応している。TF T 40に加え、示される部分は、表示素子20及び記憶キャパシタ36の一部を含むが、アドレッシング及び駆動TF T 26及び22は含んでいない。しかしながら、これら後者の構成部品は、示される構成部品と一緒に同じプロセスを用いて、共通の堆積層から作成されると理解される。

【0027】

透明絶縁基板50上に、細長い形状であり、低温ポリシリコン材料の層を有する半導体の島52が設けられる。これは、CVD堆積された非結晶シリコン層をレーザー再結晶化し、マスクング及びフォトリソグラフィックプロセスを用いてこの層を適当にパターニングすることにより得られる。この半導体の細片は、形が概ね長方形で、ほぼ平行な主辺を有し、従ってその長さに沿ってほぼ一定の幅を持つ。この島の対向する端部は、TF T 40のゲート制御された、チャンネル領域を形成する真性半導体材料55の共面領域によって分離される、横方向に隔てられたドレイン及びソース接触電極領域53及び54を各々構成するように($n+$)にドーブされる。ポリシリコンからなる対応する同様形状の島が、同時且つアドレッシング及び駆動TF T 26及び22に対する半導体の島と一緒に基板上の他の意図するピクセル位置に形成される。もっともソース及びドレイン電極を構成するこれら後者のTF Tの領域が代わりに反対($p+$ 型)にドーブされる。例えば、二酸化シリコン又は窒化シリコンからなる絶縁層56は、これらの島々を覆うようにこの基板上に連続的に堆積され、ゲート誘電層として作用する。

【0028】

例えばアルミニウム又はアルミニウム合金からなる金属層は、前記層56上に堆積され、TF T 26及び22のゲート(図示せず)を構成する領域及び各感光性TF T位置において(ドレイン)領域53をオーバーレイする領域58を残すようにパターニングされる。同時に、必要とされる相互接続ラインは、この金属層から形成される。図3及び図4から明らかとなるように、前記領域58は、前記半導体の島52をほぼ横切って延在する長方形フィンガー又は細片として規定

される。従って、これらの交差領域において、島52とフィンガー58とは共に平行な辺のものであり、ほぼ一定の幅である。金属フィンガー58及びn+領域54のオーバーレイする部分と、誘電層56からなる介在する部分とが一緒にピクセルの記憶キャパシタンス36を構成し、このキャパシタンス値は、フィンガー58と島52との間の交差面積並びに前記層56の厚さ及び誘電率によって決まる。

【0029】

例えば窒化酸化シリコンからなる他の誘電層60はこの構造上に形成され、とりわけ、金属層からなる前記規定された領域58を覆う。他の金属化層は、このとき堆積され、電流ライン32を形成する領域62と他の必要な相互接続部とを残すようにパターニングされる。この層を堆積させる前に、接触開口64及び65は、ソース領域53及びドレイン領域54上の誘電層56及び60の両方を通りエッチングすることにより形成される。接触開口66は、前記領域58の端部に層60を通り形成される。従って、この金属の堆積及びパターニングに続いて、一体形成の延在アーム67を介する電流ライン32とドレイン電極53との間、(図示されない他の接触開口を通り)電流ラインを形成する金属化領域62の一部を介するソース領域54とゲートノード24との間、及び電流ライン32と金属フィンガー58との間に相互接続が設けられる。

【0030】

例えばITOのような透明な導電材料が次に、表示素子の所望の形状を規定するように適当に形成される表示素子の下側(陽極)電極を構成する領域を残すように堆積され、パターニングされる。この電極の一部は、(示されるのはその僅かな部分である)主要表示素子エリア71から離れ、ゲート制御領域55及びドレイン接合のすぐ上の半導体の島52を横断するように延在する一体形成の脚を形成する。

【0031】

例えば窒化シリコンからなる相対的に厚く連続する更なる誘電層73又は更に厚い(1~2µm)絶縁ポリマー層は、この構造体上に完全に堆積され、開口74は、前記アーム70と主要表示素子エリアとの両方においてパターニングされ

たITO領域上のこの層に形成される。

【0032】

ポリマー発光材料はこのとき、アンダーレイするITOと直接接触するように、誘電層73上と、この層に形成された開口74とに延在する連続層80として、例えばスピンコーティングをすることにより堆積される。この層80の上に、カルシウム、マグネシウムと銀との合金又はバリウム/アルミニウムからなる連続層82は、表示素子の陰極電極と供給ライン30とを構成する共通電極層を形成するように堆積される。

【0033】

各表示素子20は、層80及び82のオーバーレイ部分と一緒にITOの個々の領域71からなり、一体形成のITOのアーム70は、これら層80及び82の直にオーバーレイする部分と一緒に、表示素子の一体形成の延長部を形成し、これは、底部と頂部との電極間に適当な電位差が与えられるとき、主要表示素子領域で光を放射する。

【0034】

ゲート制御領域55を直にオーバーレイするITOアーム70の部分は、ゲートの誘電性を供給するアンダーレイする結合層56及び60を具備する感光性TF T 40のゲートとして作用する。

【0035】

ピクセルの動作時、電極71及び82間を電流が通るとき層80により放射される光は、表示出力を生成するために、ITOの下側電極及び基板50を通り伝達される。表示素子のアームも同様に光を生成し、これが感光性TF T 40のゲート制御領域55へ入射するようにITO延長部70並びにアンダーレイする透明な誘電層56及び60を通過する。特にドレイン接合に当たる光は、光電流を生成する。これにより、前記領域55の上を延在する表示素子のアームと、TF T 40のゲートのすぐ上にあり、TF T 構造に光を直接放射する発光ポリマー材料80との結果として、前記表示素子と感光性TF T 40との間の良好な光結合は、簡単且つ信頼できるやり方で補償され、達成される。

【0036】

その上、TF T 4 0のゲートは、表示素子の陽極部分によって構成されるので、このとき、ゲートは、TF T 4 0がオフ（すなわち、高抵抗、不導通状態）であり、生成した光電流による漏れ電流だけがそのソース及びドレイン電極間を流れることを補償するために、常にソース及びドレイン両方に対し必要とされる（負の）バイアスとなる。

【0037】

典型的な入力光レベルに応じて生成される光電流のレベル及び記憶キャパシタ36に記憶される電荷量に関する感光性TF T 4 0と記憶キャパシタ36との間の関係は、最も効果的に実行されるように、電気光学のフィードバック制御に対し適切にしっかりと制御される必要がある。この点におけるTF T 4 0のアクティブエリアは、横方向の $(n+i)$ ドレイン接合の端部を有し、それは光電流に寄与するドレイン接合における単なる相対的に狭いエリアである。このアクティブエリアは、基本的にフォトダイオードと同等であり、生成される光電流の典型的なレベルが、駆動（フレーム）期間にわたり必要とされるやり方で駆動TF T 2 2のゲート電位を制御し、より大きな記憶キャパシタを使用する必要性を回避するのに十分低いことを保証するために、好ましくは非常に小さくすべきである。記憶キャパシタ36は、その構造のみにおいて、層56をキャパシタの誘電体として使用するので、このとき、既定のキャパシタンス値を供給するキャパシタ構造に必要とされるエリアは、層56及び60の両方が使用された場合よりも小さくなる。

【0038】

薄膜技術を使用するとき、例えば、フォトリソグラフィックパターンニング処理に使用されるマスキング及びエッチング段階のような、構成部品を規定するのに用いられる処理の性質のため、非常に正確な寸法値を持つ構成部品を作成することは難しい。上述の構造において、記憶キャパシタ36及び感光性TF T 4 0は両方とも同じクリティカル層、すなわち半導体の島52を共有し、これらは空間的に閉じられていることが分かる。従って、製造時の許容誤差によるこの部分の如何なるライン幅の変化は共に共通である。このクリティカルの幾何学的形状、すなわち図3のXで示されるストリップ形状の島52の幅は、TF T 4 0及び記

憶キャパシタの両方に対し一定であり、この共通部分の物理的な寸法に関する、意図される値からの偏差は、同様な対応するやり方で、TFTのアクティブエリアと記憶キャパシタのキャパシタンス値との両方に影響する。更に正確には、TFTのアクティブエリア及びキャパシタンス値は、一緒に計測される。記憶キャパシタの大きさ、故にキャパシタンスを増大させがちな島52の幅に関する如何なる変化もTFTのアクティブエリアの大きさを増大する、及びその反対となるので、これら2つの構成部品の電気特性間のバランスが保たれる。従って、これら2つの構成部品の所望且つ規定の相関関係が保証される。

【0039】

横方向のゲートPINダイオードは、TFT40の場所において都合よく用いられてもよい。このような装置の構造は、半導体の島52の領域53が領域54と反対(すなわちp+型)にドーピングされている以外、図3に示される構造と一般的には同じである。逆バイアス時、p+領域53は、n+領域54よりもプラス(positive)である。この場合、装置全体を横断して入射する光がフォト電流を生成することができる。フォトアクティブ接合は、従って、前のTFT構造の場合よりも大きな前記装置を横断する距離に延びる。

【0040】

上述したピクセルの実施例において、感光性TFT40は、アドレスTFT26及び駆動TFT22の両方に対し反対の導電型であり、TFT40のゲートがバイアスされるために、このTFT40のゲートがこのやり方でバイアスされ、TFT40がオフに保たれ、駆動期間中にキャパシタ26上の電荷を漏らすように逆バイアスされたフォトダイオードのやり方で簡単に動作することを保証する。

【0041】

しかしながら、このピクセル回路の他の形式において、TFT40が駆動TFT22と同じ型式でもよく、単なる漏れ装置以外のスイッチング装置としても動作可能である。この代替回路の動作時において、初めに少なくとも駆動期間において、表示素子の下側の電極/ノード41の電位に対応するゲート電位は、例えばTFTが簡単な逆バイアスされた漏れ装置として働くのを保証することである。

。この放電が続くので、このとき、表示素子を流れる電流における重大な減少がノード41(図2)の(負の)電圧レベルにおける漸進的な増大となるだろう。この電流レベルがある下限に達するとき、ライン32に係するノード41における電圧は、TFT40を急にオン(導通)にして、駆動TFT22をオフにして表示素子の通電が終了するようにキャパシタ26を迅速に放電させるTFT40のしきい値電圧に達する。このやり方におけるTFT40のスイッチング動作は、表示素子の光出力がより正確な制御方法で決められるという利点を有する。上記スイッチングをすることなく、表示素子をオフにすることは、比較的到低い光出力レベルで反応する感光性TFT22の動きが、表示素子の通電フェーズの終了付近で発生するように、あまりはっきりせず、正確ではなくなるという事実のためにあまり上手く制御することができない。

【0042】

感光性TFT40は、好ましくは、如何なる光電流も単に表示素子からの発光であるように、それに当てられる周囲光の影響から遮蔽される。このために、金属電極層82は、パネルの一方の側において前記装置を周囲光から遮蔽するように作用する。透明基板50を通る他方の側からの光を遮蔽することは、半導体の島52と基板の表面との間に光遮蔽層を置くことにより達成される。

【0043】

しかしながら、好ましくは、本発明による装置の他の実施例において、ピクセルの構造は、記憶キャパシタの構造の一部が光遮蔽として働くのにも使用されるように改良される。図5は、図4と比較して改良されたピクセル構造の一部を通る断面を概略的に説明するものである。この構造において、金属層は、基板50の表面に置かれ、その全体の大きさがTFT40(又は代わりに横方向のピンダイオード)に使用される後に形成される半導体の島52の大きさよりも僅かに大きい光遮蔽90を各ピクセルに形成するようにパターンニングされる。例えば窒化シリコンからなる絶縁層92は、平らな表面を作成するために、前記基板表面及びこれらの金属層90上に連続する層として完全に置かれる。この表面上に、ピクセルの構造が上述したように一般的に形成されるが、この場合、先に使用した金属フィンガー58は省略され、半導体の島52の領域53に接触するように用

いられる金属層62の一部が、前記半導体の島52から離れた誘電層60及び92に形成される接触ホールを介して、これら誘電層を通り、光遮蔽層90の一方の端部に接触するようにも配される。誘電層56は、このバージョンの場合に必要な。

【0044】

この構成において、記憶キャパシタ36は、その間に挟まれ、前記誘電層を設ける絶縁層92の一部と一緒に、前記島52の接触領域54をオーバーレイする光遮蔽層90の一部により形成される。このピクセルの等価回路は、図6に示される。この場合の感光性TFT40は、ボトムゲートを構成する光遮蔽層90を備える二重のゲートを効果的に有する。この第2のゲートは、チャンネル55に関して正であり、絶縁層92は、TFTのしきい値レベルに達せず、このTFTがオンになるのを防ぐことを保証するのに十分な厚さが必要がある。

【0045】

上述の装置のように、島52を完全にオーバーレイする代わりに、層90は、キャパシタを形成するようにドレイン接合の領域とソース領域との上に完全に延在することにより、光遮蔽のためのTFT40の光アクティブ領域53を適切に覆うが、チャンネル領域上を十分には延びないように構成される。このために、前記層90は、2つの接触領域をオーバーレイする層90の領域が相互接続されるように、前記チャンネル領域の両側に、前記島と平行に延在する一体形成のアームによって、境界付けられたチャンネル領域55をオーバーレイする中央開口を持つ。この装置の場合、このとき、前記層がチャンネル領域55のすぐ上を延在しないので、第2のゲートとして働く危険性が避けられる。

【0046】

この他の実施例において、再びTFT40及び記憶キャパシタ36が共に同じクリティカル層、すなわち島52を供給するので、製作過程の許容誤差による如何なる空間的变化は、両方の構成部品に対し共通であり、これらは一緒に計測される。

【0047】

本発明は、例えば、国際特許出願公開公報WO 99/65012に記載の方法で、上述

された実施例における電圧データ信号以外の電流データ信号を用いたピクセル駆動にも使用することが可能である。

【0048】

要約すると、表示装置は、基板上に担持される例えばEL素子のような発光表示素子と、表示素子により放射される光に反応する関連する受光素子とを有するピクセルの配列を有する。この受光素子は、例えばTFT構造のようなゲート感光性薄膜装置又は基板上において横方向に隔てられ、ゲート制御領域により分離される接触領域を具備する半導体層を持つ横方向ゲートピン装置を各々有する。関連する表示素子の一部は、感光性装置のゲートとして作用する表示素子の電極を具備するゲート制御領域上を延在し、これにより、表示素子と感光性装置との間に良好な光学結合を保証し、ゲートが適当にバイアスされることを可能にする。このような装置は、例えば、比較的簡単なやり方で、ピクセルにおける電気光学的なフィードバック制御を提供することを可能にする。

【0049】

本開示を読むことにより、他の改良が当業者に明白となるであろう。このような改良は、アクティブマトリクスEL表示装置及びその構成部品分野において既に既知である他の特徴を含んでもよく、ここに既に記載された特徴の代わりに又はそれに加えて用いてもよい。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクスEL表示装置の実施例の簡単な概略図である。

【図2】 図1の装置における数個の典型的なピクセルの等価回路を示す。

【図3】 ピクセルの一部の平面図である。

【図4】 ピクセルの一部の断面図である。

【図5】 他の実施例におけるピクセルの他の形式の一部を通る断面図である。

【図6】 他の実施例における典型的なピクセルの等価回路を示す。

【図1】

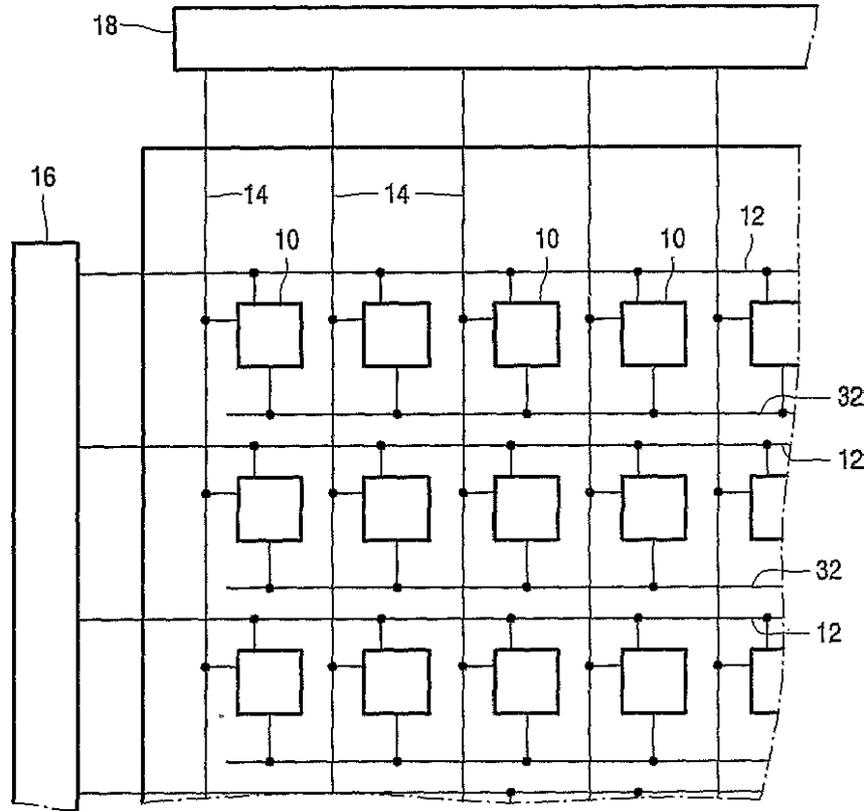


FIG. 1

【図2】

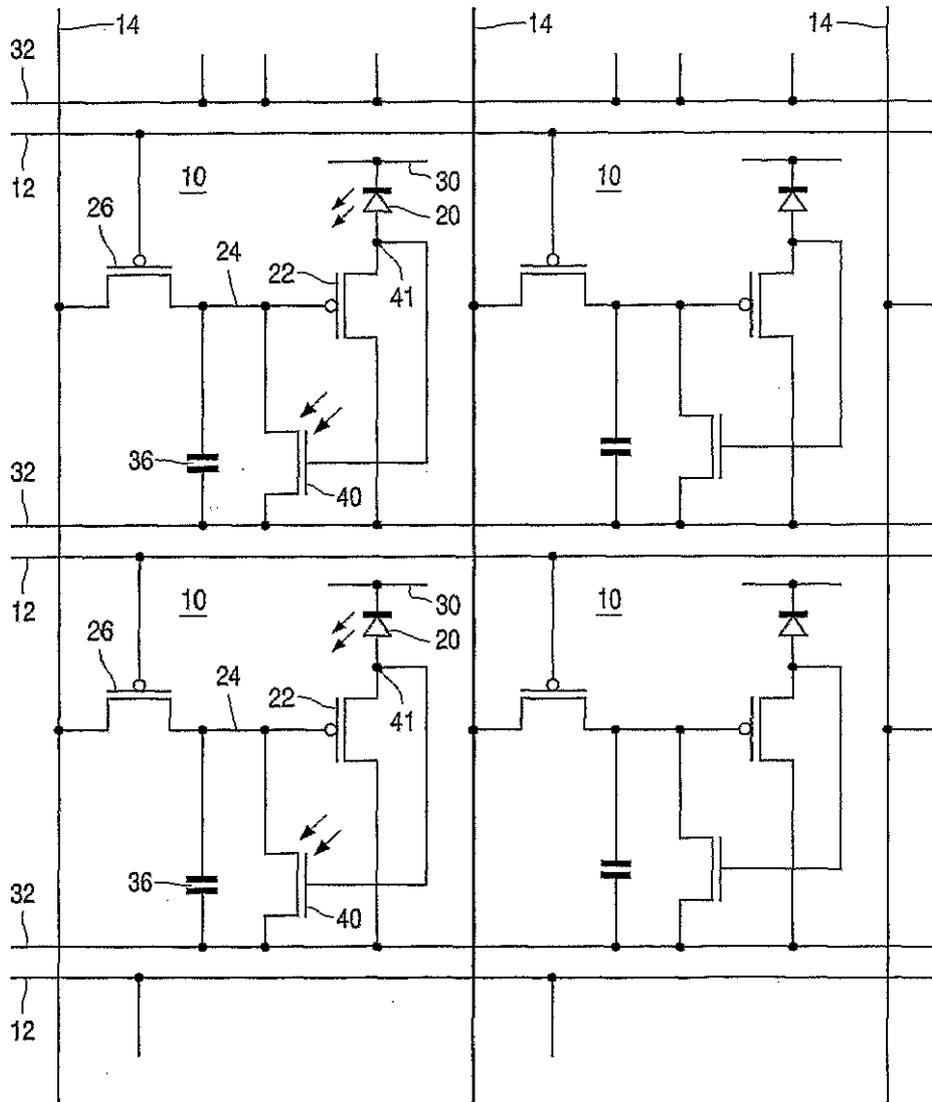


FIG. 2

【図3】

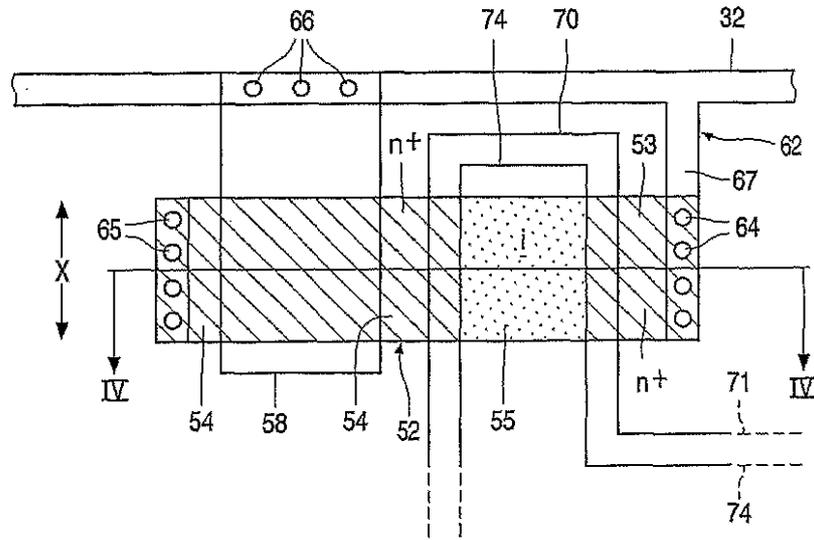


FIG. 3

【図4】

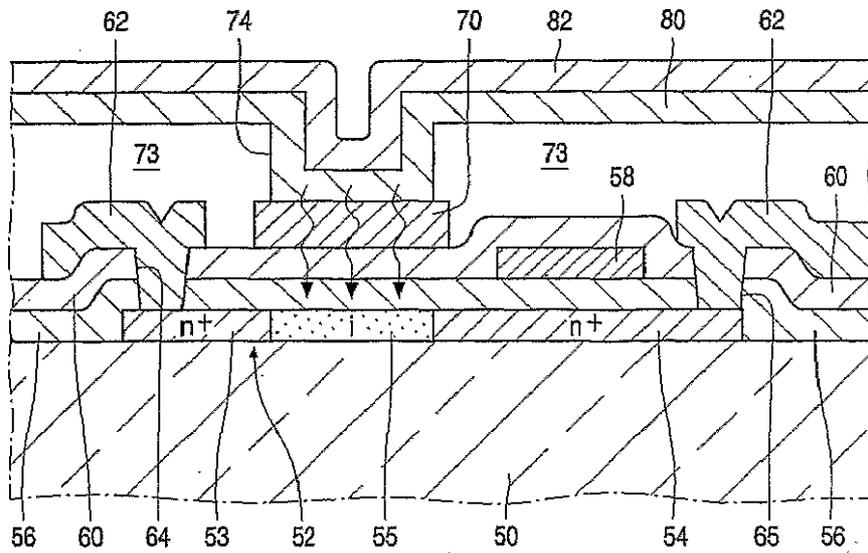


FIG. 4

【図5】

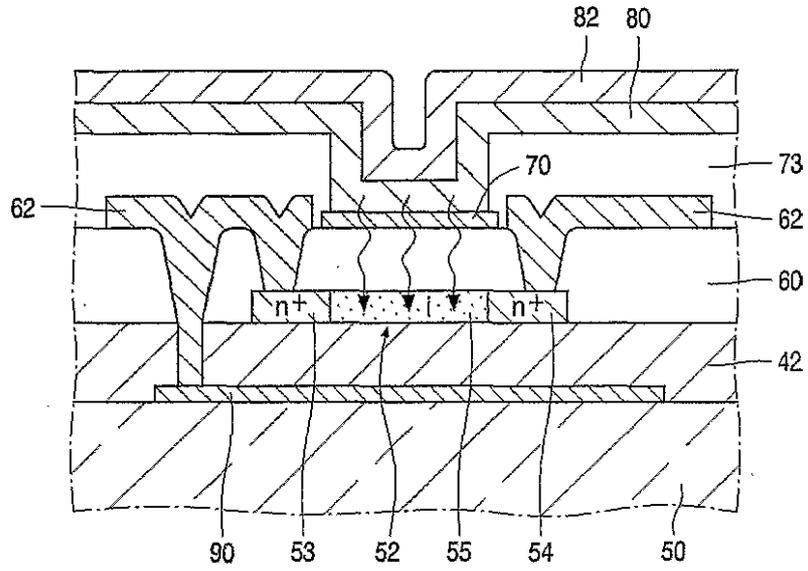


FIG. 5

【図6】

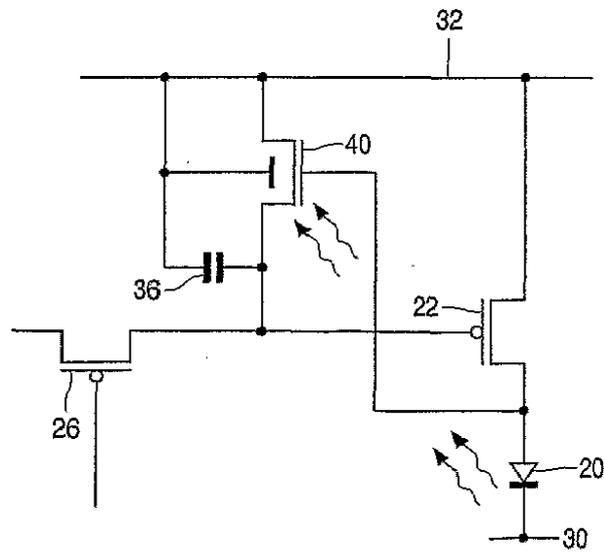


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP 01/06448
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 HO1L27/00 HO1L31/14 HO1L31/16 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 HO1L G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16) examples 9,10	1
A	EP 0 491 436 A (PHILIPS ELECTRONICS LTD) 24 June 1992 (1992-06-24) the whole document	1
P, A	WO 01 20591 A (PHILIPS ELECTRONICS NV) 22 March 2001 (2001-03-22) cited in the application page 15, paragraph 2 -page 22, paragraph 3	1
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 10 October 2001		Date of mailing of the international search report 17/10/2001
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2230 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer van der Linden, J.E.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 01/06448

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0923067	A	16-06-1999	EP 0923067 A1	16-06-1999
			WO 9840871 A1	17-09-1998
EP 0491436	A	24-06-1992	DE 69113418 D1	02-11-1995
			DE 69113418 T2	15-05-1996
			EP 0491436 A2	24-06-1992
			JP 3188498 B2	16-07-2001
			JP 4343387 A	30-11-1992
			US 5485177 A	16-01-1996
WO 0120591	A	22-03-2001	WO 0120591 A1	22-03-2001
			EP 1129446 A1	05-09-2001

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト' (参考)
G 0 9 G 3/20	6 8 0	G 0 9 G 3/20	6 8 0 H
	3/30		J
H 0 1 L 29/786		H 0 5 B 33/14	A
H 0 5 B 33/14		H 0 1 L 29/78	6 2 2
			6 1 4

(72)発明者 シャンノン ジョーン エム
 オランダ国 5656 ア-ア- アイन्द-
 フェン プロフ ホルストラ-ン 6

F タ-ム(参考) 3K007 AB17 DB03 GA00 GA04
 5C080 AA06 BB05 DD05 EE29 FF11
 JJ03 JJ06
 5C094 AA03 BA03 BA27 CA19 EA04
 EA07 FB19
 5F110 AA30 BB01 BB09 CC02 DD14
 EE03 EE06 EE07 EE30 FF02
 FF03 FF04 FF09 GG02 GG13
 GG35 GG44 HL03 HL06 NN04
 NN24 NN27 NN36 NN44 NN46
 NN73 PP03

专利名称(译)	具有光接收元件的发光矩阵阵列显示装置		
公开(公告)号	JP2003536115A	公开(公告)日	2003-12-02
申请号	JP2002503943	申请日	2001-06-07
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヤングニゲルディー シャンノンジョーンエム		
发明人	ヤング ニゲル ディー シャンノン ジョーン エム		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H01L29/786 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2320/043 G09G2360/148 H01L27/3269		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.D G09G3/20.642.P G09G3/20.680.H G09G3/30.J H05B33/14.A H01L29/78.622 H01L29/78.614		
F-TERM分类号	3K007/AB17 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ06 5C094/AA03 5C094/BA03 5C094/BA27 5C094/CA19 5C094/EA04 5C094/EA07 5C094/FB19 5F110/AA30 5F110/BB01 5F110/BB09 5F110/CC02 5F110/DD14 5F110/EE03 5F110/EE06 5F110/EE07 5F110/EE30 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/GG02 5F110/GG13 5F110/GG35 5F110/GG44 5F110/HL03 5F110/HL06 5F110/NN04 5F110/NN24 5F110/NN27 5F110/NN36 5F110/NN44 5F110/NN46 5F110/NN73 5F110/PP03		
优先权	2000014961 2000-06-20 GB		
外部链接	Espacenet		

摘要(译)

显示装置具有像素(10)，其具有承载在基板(50)上的发光显示元件(20)，例如EL元件，以及响应于显示元件发出的光的光接收元件(40)。该光接收元件具有半导体层(52)，该半导体层(52)包括在TFT结构的栅极光敏薄膜器件或基板上横向分开的接触区域(53、54)，例如被栅极控制区域(55)分开。每个都具有侧向浇口销装置。相关的显示元件(20)的一部分在包括用作光敏器件的栅极的显示元件电极(70)的栅极控制区域上延伸，从而提供了显示元件和光敏器件。确保两者之间良好的光耦合，并允许栅极正确偏置。这样的设备使得例如可以以相对简单的方式在像素中提供电光反馈控制。

