

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A) (11)特許出願公表番号

特表2003 - 520356

(P2003 - 520356A)

(43)公表日 平成15年7月2日(2003.7.2)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	338 3 K 0 0 7
	365		365 Z 5 C 0 9 4
H 0 5 B 33/14		H 0 5 B 33/14	A
33/26		33/26	Z

審査請求 未請求 予備審査請求 (全 14数)

(21)出願番号 特願2001 - 552448(P2001 - 552448)

(86)(22)出願日 平成12年12月18日(2000.12.18)

(85)翻訳文提出日 平成13年9月7日(2001.9.7)

(86)国際出願番号 PCT/EP00/12916

(87)国際公開番号 W001/052327

(87)国際公開日 平成13年7月19日(2001.7.19)

(31)優先権主張番号 0000290.7

(32)優先日 平成12年1月7日(2000.1.7)

(33)優先権主張国 イギリス(GB)

(71)出願人 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
KONINKLIJKE PHILIP
S ELECTRONICS N.V.
オランダ国 5621 ベーアー アインドー
フェン フルネヴァウツウェッハ 1

(72)発明者 スティーヴン イェー バタースピー
オランダ国 5656 アーアー アインドー
フェン プロフ ホルストラーン 6

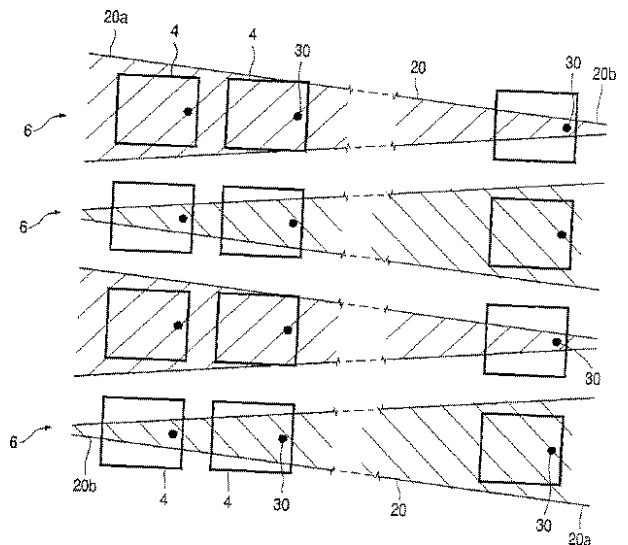
(74)代理人 弁理士 杉村 興作 (外 1 名)

最終頁に続く

(54)【発明の名称】 エレクトロルミネセンスのアクティブマトリクス表示装置

(57)【要約】

エレクトロルミネセンスのアクティブマトリクス表示装置(2)は、行(6)及び列(8)に配置された表示画素(4)の阵列を具えている。各画素(4)は電流駆動されるエレクトロルミネセンスの表示素子(10)を具えている。各行(6)の画素(4)は共通ライン(20)を共有しており、1つの行(6)の画素の表示素子(10)を流れる電流がこの共通ライン(20)を流れる。各共通ライン(20)の幅には一方の端部(20a)から他方の端部(20b)へテーパが付されており、共通ライン(20)は、幅広な端部(20a)において行駆動回路に結合されている。従って、共通ラインの抵抗値は行駆動回路付近の共通ラインの端部において減少され、この端部に流れる電流は1つの行のすべての画素から生じる。これによって、本発明は、1つの行内の画素間のクロストークの原因となる共通ラインに沿って生じる電圧降下を減少させる。



【特許請求の範囲】

【請求項1】 行及び列に配置された表示画素のアレイを有するエレクトロルミネセンスのアクティブマトリクス表示装置であって、これら表示画素の各々が、エレクトロルミネセンスの表示素子と、この表示素子に流れる電流を、前記表示画素に印加される信号電圧に基づいて制御するスイッチング手段とを有し、各行の前記表示画素が共通ラインを共有し、1つの行の前記表示画素の前記表示素子に流れる電流がこの共通ラインを通過して流れるようになっており、各共通ラインの幅に、一方の端部から他方の端部へ向かってテーパが付されており、前記共通ラインが、幅広な端部において行駆動回路に結合されている表示装置。

【請求項2】 請求項1に記載の表示装置であって、順次の行の共通ラインに互いに反対方向のテーパが付されている表示装置。

【請求項3】 請求項2に記載の表示装置であって、前記表示画素の行の両端に、第1及び第2行駆動回路が設けられている表示装置。

【請求項4】 請求項1～3のいずれか一項に記載の表示装置であって、前記共通ラインが基板上に配置され、これら共通ライン上に前記表示画素が配置され、これら表示画素が前記基板の側とは反対側から光を放出するようになっている表示装置。

【発明の詳細な説明】**【0001】**

本発明は、行及び列に配置されたエレクトロルミネセンス表示画素のアレイを有しているエレクトロルミネセンスのアクティブマトリクス表示装置に関するものである。本発明は特に、行の画素が共通ラインを共有し、行の表示素子を通る電流が共通ラインを流れるようになっている表示装置に関するものである。

【0002】

エレクトロルミネセンス発光表示素子を用いているマトリクス表示装置は周知である。これら表示素子は、例えば重合体材料を用いている有機の薄膜エレクトロルミネセンス素子、又は、従来のIII-V族半導体化合物を用いている発光ダイオード(LED)を有することができる。有機エレクトロルミネセンス材料、特に重合体材料における最近の開発によって、これらの材料がビデオ表示装置に実際に用いることが明らかになっている。これらの材料は代表的に、一對の電極間に挟み込まれた半導体共役重合体の1つ以上の層を有し、これら電極の一方は透明で、他方は、正孔又は電子を重合体層中に注入するのに適した材料より成っている。このような材料の一例は、文献“Applied Physics Letters”58(18)第1982~1984頁(1991年5月6日)の論文(D.Braun及びA.J.Heeger氏著)に記述されている。

【0003】

重合体材料層は、CVD(化学蒸着)処理を用いて、或いは、単に可溶性共役重合体の溶液を用いるスピコート技術により形成しうる。

有機のエレクトロルミネセンス材料はダイオードのようなI-V(電流-電圧)特性を呈するので、これら材料は表示機能及びスイッチング機能の双方を具備することができ、従ってパッシブ形表示装置に用いうる。

【0004】

しかし、本発明は、各画素が表示素子と、この表示素子に流れる電流を制御するスイッチング装置とを具備しているアクティブマトリクス表示装置に関するものである。エレクトロルミネセンスのアクティブマトリクス表示装置の例は欧州特許出願公開第0653741号明細書及び米国特許第5670792号明細書に記述されてい

るも、これらの内容を参考のために記載する。

【0005】

この種類の表示装置の場合、これら表示装置が電流駆動表示素子を有するという事実から問題が生じる。本発明が関連する種類の表示装置は、1つの行のすべての画素からの電流が流れる共通ラインを具えている。1つの行の画素からの電流が合成されることによって、共通ラインに沿って異なる電圧を生じる。これらの電圧は、1つの行のすべての画素を流れる電流に依存する。その理由は、これら電流すべてが共通ラインへ流れるからである。これらの異なる電圧は、表示画素からの出力に不所望な変化を生じさせ、これら出力は、行に供給される信号の組全体の関数として変化する。その結果、1つの行内の画素間でクロストークが生じる。

【0006】

本発明によれば、行及び列に配置された表示画素のアレイを有するエレクトロルミネセンスのアクティブマトリクス表示装置であって、これら表示画素の各々が、エレクトロルミネセンスの表示素子と、この表示素子に流れる電流を、前記表示画素に印加される信号電圧に基づいて制御するスイッチング手段とを有し、各行の前記表示画素が共通ラインを共有し、1つの行の前記表示画素の前記表示素子に流れる電流がこの共通ラインを通過して流れるようになっており、各共通ラインの幅に、一方の端部から他方の端部へ向かってテーパが付されており、前記共通ラインが、幅広な端部において行駆動回路に結合されている表示装置を提供する。

【0007】

共通ラインをくさび形にすることによって、共通ラインの抵抗値を、行駆動回路付近の共通ラインの端部において著しく減少させることができる。共通ラインのこの端部に流れる電流は1つの行内のすべての画素から生じ、従って、この端部では電圧降下が最も大きい。

【0008】

順次の行の共通ラインには互いに反対方向のテーパを付し、これによって、くさび形共通ラインの指合パターンを規定するのが好ましい。この場合、第1及

び第2行駆動回路を画素の行の両端に設けることができる。

【0009】

共通ラインは基板上に配置し、この共通ライン上に表示画素を配置し、これら表示画素が基板の側とは反対側から光を放出するようにするのが好ましい。この場合、共通ラインのテーパー形状は表示画像でのいかなる視覚的なアーティファクトにもならず、表示画素を同じ寸法の画素の規則的なアレイとして配置することができる。

【0010】

ここで、本発明を、添付図面中に示す例によって説明する。

図1に、エレクトロルミネセンスのアクティブマトリクス表示装置用の既知の画素構成を示す。種々のエレクトロルミネセンス表示装置が既知であり、電流制御エレクトロルミネセンス又は発光ダイオード表示素子を用いている。このような表示装置の構成の一例は米国特許第5670792号明細書に詳述されている。

【0011】

図1に線図的に示すように、表示装置2は、行6及び列8に配置されている画素4のアレイを有する。各画素4は、表示素子10と、薄膜トランジスタの形態をしているスイッチング素子12とを具え、このスイッチング素子は、画素4に印加される信号電圧に基づいて表示素子10の動作を制御する。一例として表示素子10は、一对の電極を具える有機発光ダイオードを有し、これら一对の電極間には、有機エレクトロルミネセンス材料より成る1つ以上のアクティブ層が挟み込まれている。電極の少なくとも一方はITOのような透明材料をもって構成されている。種々のエレクトロルミネセンス材料が得られ、例えば欧州特許出願公開第0717446号明細書に記載されている。

【0012】

画素に対する信号電圧は制御信号ライン14を介して生ぜしめられ、この制御信号ラインはそれぞれの列8の画素間で共有されている。制御信号ライン14は、アドレストランジスタ16を介してスイッチングトランジスタ12のゲートに結合されている。行6の画素のアドレストランジスタ16のゲートは共に、共通のアドレスライン18に結合されている。

【0013】

各行6の画素4は、すべての画素を被覆している連続的な共通電極として通常設けられている共通電圧供給ライン20と、共通信号ライン22とをも共有している。表示素子10及びスイッチング素子12は電圧供給ライン20と共通信号ライン22との間に直列に配置されており、この共通信号ライン22は、矢印24で示すように、表示素子10に流れる電流に対する電流ドレインとして作用する。表示素子10に流れる電流はスイッチング素子12によって制御され、このスイッチングトランジスタ12のゲート電圧の関数となっており、このゲート電圧は、制御信号ライン14に供給される制御信号に依存している。

【0014】

それぞれの行の画素のアドレストランジスタ16をスイッチオンする選択パルスを提供することによって画素の行が選択される。ビデオ情報から得られる電圧レベルが制御信号ライン14に供給され、アドレストランジスタ16によってスイッチングトランジスタ12のゲートへ伝達される。画素の行がアドレスライン18によってアドレスされていない期間中、アドレストランジスタ16はターンオフされるが、スイッチングトランジスタ12のゲート電圧は、スイッチングトランジスタ12のゲートと共通信号ライン22との間に接続されている画素蓄積キャパシタ26によって維持される。スイッチングトランジスタ12のゲートと共通信号ライン22との間の電圧は、画素4の表示素子10に流れる電流を決定する。従って、表示素子に流れる電流はスイッチングトランジスタ12のゲート - ソース電圧の関数である（スイッチングトランジスタ12のソースは共通信号ライン22に接続され、スイッチングトランジスタ12のドレインは表示素子10に接続されている）。この表示素子に流れる電流は画素の光出力を制御する。

【0015】

スイッチングトランジスタ12は、飽和状態で動作するように配置され、ゲート - ソース電圧は、ドレイン - ソース電圧に関係なく、スイッチングトランジスタに流れる電流を制御するようになっている。この結果、ドレイン電圧のわずかな変化は、表示素子10に流れる電流に影響を及ぼさない。従って、電圧供給ライン20の電圧は画素の正確な動作に重要でない。しかし、スイッチングトランジスタ

12のソースを互いに結合している共通信号ライン22の電圧変動は、制御信号ライン14の所定の制御電圧に対して表示素子10に流れる電流に影響を及ぼす。

【0016】

従って、共通信号ライン22の抵抗値が、この共通信号ラインに沿って、個々の画素4から共通信号ラインに供給される電流の関数である電圧降下を生じるといふ問題が起こる。異なる画素の位置における共通信号ライン22の電圧は、行のすべての画素を通る電流に複雑に依存している。スイッチングトランジスタ12のゲート-ソース電圧は、当該の画素の位置における共通信号ライン22の電圧に依存するので、これらの電圧の変化は画素の輝度に影響を及ぼす。この結果、ディスプレイ上に現われる画像情報に不均一な水平方向のクロストークが生じる。このことを、図2を参照して更に説明する。

【0017】

図2に、図示の画素と関連する電流 i_1 , i_2 , ... i_n を有する共通信号ライン22を示す。これら電流は、画素に流れる電流である。電流の和が、図示のように各画素の位置において生じ、隣接する画素間の共通信号ライン22の各区分に沿って生じる電圧降下が、各区分に流れる電流の関数となっている。

【0018】

図3に、本発明による表示装置を示す。画素4の各行6は、この行6の表示素子を通る電流が流れる対応の共通ライン20を有する。各共通ライン20の幅には、一方の端部20aから他方の端部20bへ向かってテーパが付されている。各行の共通ライン20は、幅広な端部20aにおいて行駆動回路に結合されている。

【0019】

共通ライン20は以後、行導体と称する。テーパが付された本発明の行導体の構成は行導体の幅広な端部において抵抗値を減少させるものである。行導体が幅広な端部において行駆動回路に接続されているので、行駆動回路が、(図1の)2つの共通ライン20及び22を用いて駆動電流を供給及び取り入れる際に、この幅広な端部で最大電流が流れる。

【0020】

図3では、順次の行導体に互いに反対方向のテーパが付されている。このこ

とは、第1及び第2行駆動回路を画素の行の両端に設けることを必要とする。その理由は、行駆動回路が行導体20の幅広な端部20aに接続されるためである。

【0021】

テーパ方向を交互に異ならせることによって、行導体が基板領域の大部分を占めるようにもする。行導体には所望の接続のみを行なう必要があり、この目的のために、各画素4と行導体20との間の接触点30を図3に線図的に示してある。当業者にとって明らかなように、これら接触点は、行導体20を規定する導電体層を被覆している絶縁体層内にエッチング形成された孔のアレイとして設けることができる。

【0022】

これにより、共通ラインを、共通基板上であって表示画素の構成要素の下に配置することができる。従って、表示画素は、光を基板側とは反対側に放出するように配置することができる。このことによって、テーパが付された行導体の構成が表示画像のいかなる歪みをも生ぜしめないようにする。しかし、透明な行導体を設け、表示画素を、基板を通して光を放出するように配置することも同様にできる。

【0023】

画素の構成要素が行導体を被覆する必要がある場合に、大きな行導体を用いるには、従来用いられている層に追加する層を必要とする。しかし、本発明は、テーパ角度を比較的小さくする、例えば、行導体の幅広端部の幅を、幅狭端部の幅の2倍にするという利点を有する。このことは、従来の画素配列に用いられる層及び処理工程を著しく変更することなく、且つ、エレクトロルミネセンス表示素子の面積のいかなる減少をも必要とせずに実施することができる。

【0024】

図3では、各画素4を線図的なボックスとして表わしてある。各画素4は、図1を参照して説明した構成要素と同一の構成要素を具えていること明らかである。図面を明瞭とするために、図3では他の制御ライン18及び22は示していないが、これら制御ラインは、図3の画素回路にとって同様に必要なものである。もちろん、画素は種々の他の構成にしようすることは当業者にとって明らかである。本発

明の行導体の構成は、各行の画素が、この行のすべての画素から電流を流す共通信号ラインを共有するいかなる画素配置にも有利に用いられる。

【0025】

エレクトロルミネセンスの画素を用いた表示装置を製造するための正確なレイアウト及び処理条件の詳細は記述していない。本発明は、既知の処理をわずかに変更して実施することができ、本発明を実行するために従来の画素構成に必要とされるいかなる変更も当業者にとって明らかであろう。

【図面の簡単な説明】

【図1】 本発明を適用しうるエレクトロルミネセンスのアクティブマトリクス表示装置の一部を示す。

【図2】 共通信号ラインから生じるクロストークを説明するために、エレクトロルミネセンスの表示画素の行を流れる電流を線図的に示す。

【図3】 本発明による表示装置を示す。

【図1】

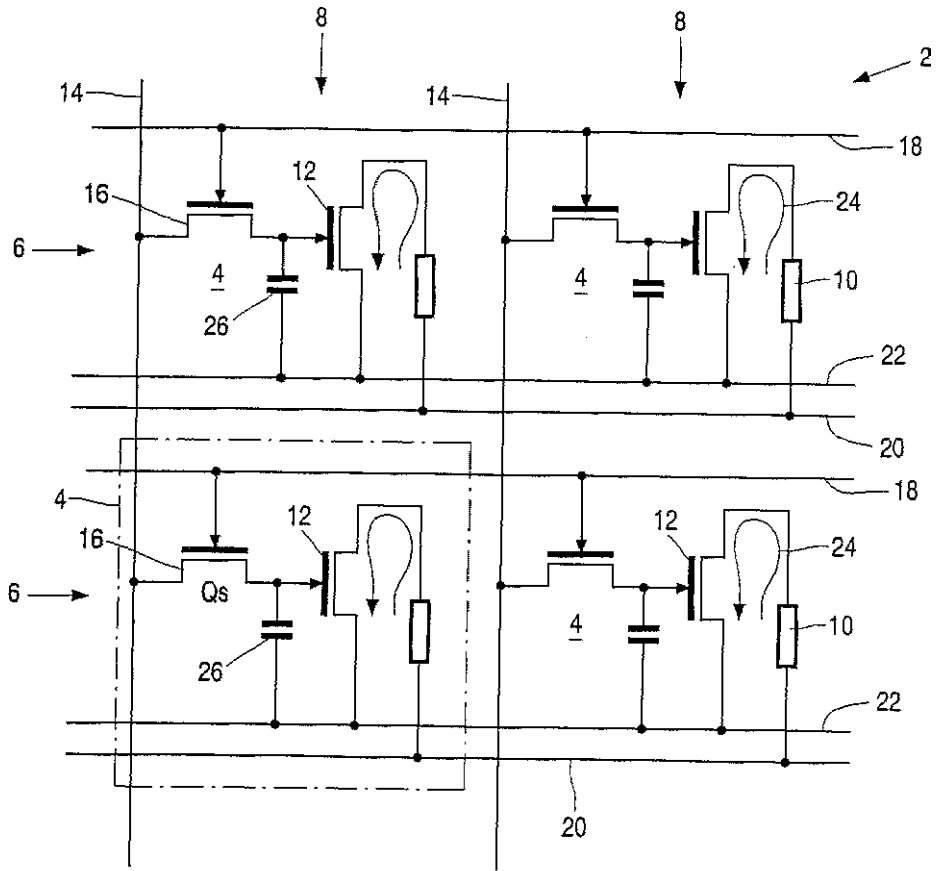


FIG. 1

【図2】

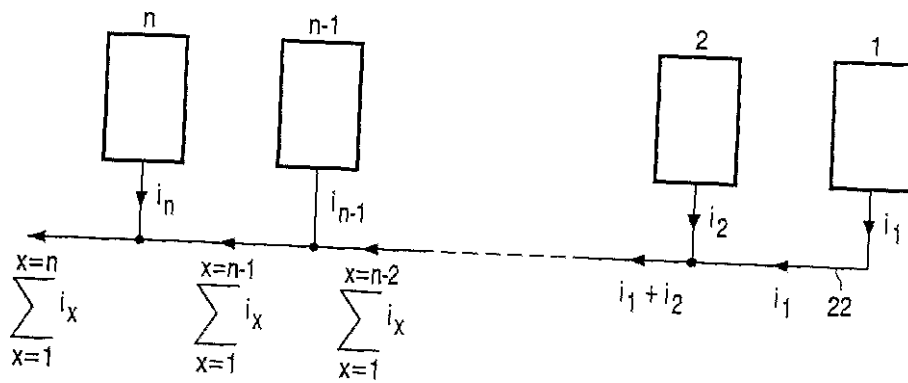


FIG. 2

【図3】

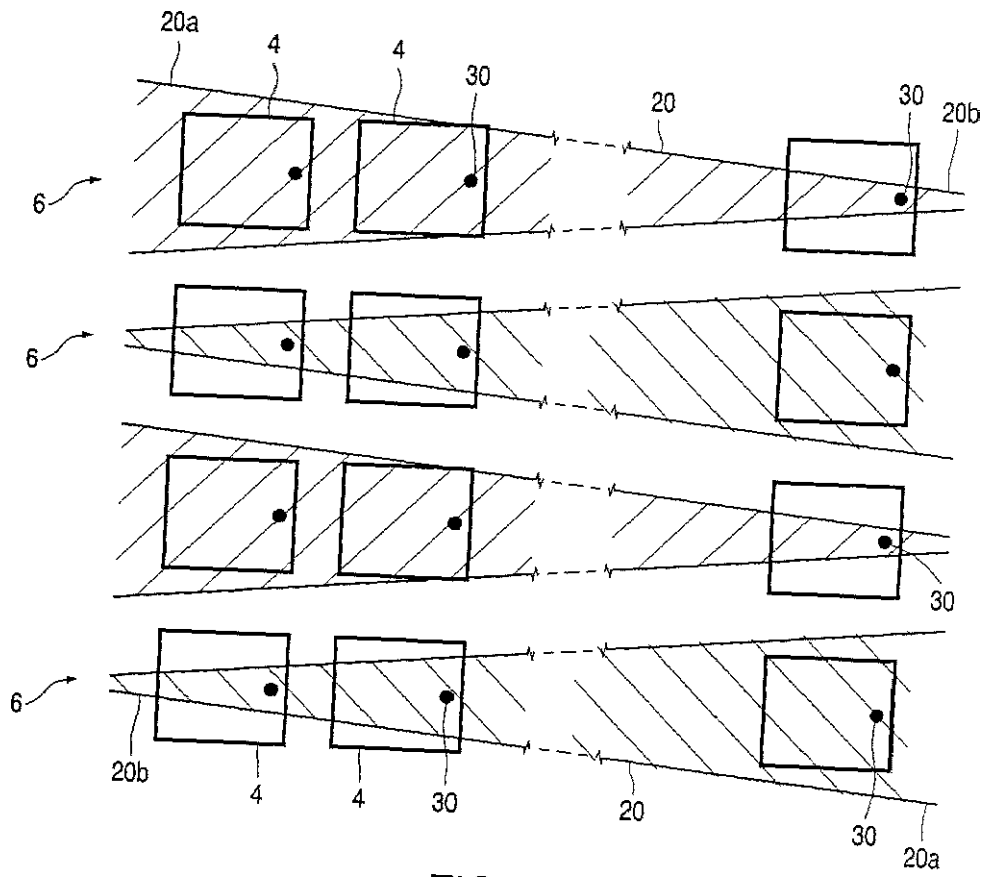


FIG. 3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		International Application No. PCT/EP 00/12916
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/15 G09B3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G H01L H05B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 653 741 A (NIPPON ELECTRIC CO) 17 May 1995 (1995-05-17) cited in the application abstract; figures 2,3	1
A	PATENT ABSTRACTS OF JAPAN vol. 016, no. 056 (P-1310), 12 February 1992 (1992-02-12) -& JP 03 255424 A (FUJITSU LTD), 14 November 1991 (1991-11-14) abstract	1
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 14 June 2001		Date of mailing of the international search report 22/06/2001
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo int, Fax: (+31-70) 340-3016		Authorized officer De Laere, A

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP 00/12916

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0653741 A	17-05-1995	JP 2821347 B	05-11-1998
		JP 7111341 A	25-04-1995
		DE 69416253 D	11-03-1999
		DE 69416253 T	02-09-1999
		US 5670792 A	23-09-1997
JP 03255424 A	14-11-1991	NONE	

フロントページの続き

Fターム(参考) 3K007 AB05 BB07 CC05 DB03 FA02
5C094 AA04 AA09 BA03 BA27 CA19
EA07 FA01 HA08

专利名称(译)	一种电致发光的有源矩阵显示装置		
公开(公告)号	JP2003520356A	公开(公告)日	2003-07-02
申请号	JP2001552448	申请日	2000-12-18
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ステーヴン イェー バタースピー		
发明人	ステーヴン イェー バタースピー		
IPC分类号	H01L51/50 G09F9/30 G09G3/32 H01L27/32 H05B33/26 H05B33/14		
CPC分类号	H01L27/3279 G09G3/3233 G09G2300/0842 G09G2320/0209 G09G2320/0223		
FI分类号	G09F9/30.338 G09F9/30.365.Z H05B33/14.A H05B33/26.Z		
F-TERM分类号	3K007/AB05 3K007/BB07 3K007/CC05 3K007/DB03 3K007/FA02 5C094/AA04 5C094/AA09 5C094/BA03 5C094/BA27 5C094/CA19 5C094/EA07 5C094/FA01 5C094/HA08		
优先权	2000000290 2000-01-07 GB		
外部链接	Espacenet		

摘要(译)

电致发光有源矩阵显示装置(2)包括以行(6)和列(8)布置的显示像素(4)的阵列。每个像素(4)包括电流驱动的电致发光显示元件(10)。每行(6)的像素(4)共享公共线(20)，并且流过一行(6)的像素的显示元件(10)的电流流过该公共线(20)。每条公共线(20)的宽度从一端(20a)到另一端(20b)成锥形，并且公共线(20)在宽端(20a)处行驱动。耦合到电路。因此，在靠近行驱动电路的公共线的端部处，公共线的电阻减小，并且在该端部处流动的电流源自一行中的所有像素。这减少了沿公共线的电压降，该电压降会导致一行像素之间发生串扰。

