

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5239812号
(P5239812)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 2 1 A

G 0 9 G 3 / 2 0 6 2 3 D

G 0 9 G 3 / 2 0 6 7 0 A

請求項の数 5 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2008-315466 (P2008-315466)
 (22) 出願日 平成20年12月11日 (2008. 12. 11)
 (65) 公開番号 特開2010-139698 (P2010-139698A)
 (43) 公開日 平成22年6月24日 (2010. 6. 24)
 審査請求日 平成23年10月13日 (2011. 10. 13)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (72) 発明者 飯田 幸人
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 浅野 慎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項 1】

有機 E L (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極またはソース電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行う閾値補正期間と、

前記画素の有機 E L 素子の消灯開始から前記閾値補正期間の開始までの間、前記駆動トランジスタのソース電極の電位を前記第 2 電位に設定する閾値補正準備期間とを有し、

前記消灯開始から前記電源供給線に前記第 1 電位が与えられるまでの期間内であって前記閾値補正準備期間内の途中まで前記電源供給線に与えられる電位を前記映像信号基準電

10

20

位に設定する電位設定期間が設けられている、
表示装置。

【請求項 2】

前記閾値補正期間の開始の直前に前記電源供給線に前記第 1 電位が与えられる、
請求項 1 に記載の表示装置。

【請求項 3】

電気光学素子と、映像信号を書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部と、

10

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタに対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタに対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行う閾値補正期間と、

前記画素の消灯開始から前記閾値補正期間の開始までの間、前記駆動トランジスタのソース電極の電位を前記第 2 電位に設定する閾値補正準備期間とを有し、

20

前記消灯開始から前記電源供給線に前記第 1 電位が与えられるまでの期間内であって前記閾値補正準備期間内の途中まで前記電源供給線に与えられる電位を前記映像信号基準電位に設定する電位設定期間が設けられている、
表示装置。

【請求項 4】

有機 EL (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

30

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極またはソース電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備える表示装置について、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行う閾値補正期間と、

40

前記画素の有機 EL 素子の消灯開始から前記閾値補正期間の開始までの間、前記駆動トランジスタのソース電極の電位を前記第 2 電位に設定する閾値補正準備期間と、

前記消灯開始から前記電源供給線に前記第 1 電位が与えられるまでの期間内であって前記閾値補正準備期間内の途中まで前記電源供給線に与えられる電位を前記映像信号基準電位に設定する電位設定期間とを設ける、
表示装置の駆動方法。

【請求項 5】

本体筐体に表示装置を備えており、

前記表示装置が、

50

有機 E L (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極またはソース電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、

10

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行う閾値補正期間と、

前記画素の有機 E L 素子の消灯開始から前記閾値補正期間の開始までの間、前記駆動トランジスタのソース電極の電位を前記第 2 電位に設定する閾値補正準備期間と、

前記消灯開始から前記電源供給線に前記第 1 電位が与えられるまでの期間内であって前記閾値補正準備期間内の途中まで前記電源供給線に与えられる電位を前記映像信号基準電位に設定する電位設定期間とが設けられている、

電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関する。詳しくは、電気光学素子を含む画素が行列状（マトリクス状）に配置されてなる平面型（フラットパネル型）の表示装置、表示装置の駆動方法および電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、例えば有機薄膜に電界をかけると発光する現象を利用した有機 E L (Electro Luminescence) 素子を用いた有機 E L 表示装置が開発され、商品化が進められている。

30

【0003】

有機 E L 素子は、10 V 以下の印加電圧で駆動できるために低消費電力であり、また自発光素子であることから、液晶表示装置に必須の光源（バックライト）が不要であるという特徴がある。さらに、有機 E L 素子の応答速度が数 μ s e c 程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式を採ることができる。近年では、画素回路内に能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、T F T (Thin Film Transistor; 薄膜トランジスタ)）を設けたアクティブマトリクス方式の表示装置の開発が盛んに行われている。

40

【0005】

ところで、一般的に、有機 E L 素子の I - V 特性（電流 - 電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。また、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度（以下、「駆動トランジスタの移動度」と記述する） μ が経時的に変化したり、製造プロセスのばらつきによって画素ごとに異なったりする。

【0006】

50

そこで、これらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度 μ の変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採っている（例えば、特許文献1参照）。

【0007】

【特許文献1】特開2006-133542号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

しかしながら、従来の画素回路における電位設定では、駆動用トランジスタのゲートとアノードが画素内でショートした場合に欠陥画素が非発光となるだけでなく、その転送前段数画素において輝度変動エリアが線状に視認されるという問題点が生じる。視認性の観点から、非発光画素は表示エリア内の個数による規格を設けることが、輝度変動、特に輝度上昇はたとえ1画素であっても許容されない。特に表示エリアで発生した場合には線状に視認されるという問題が生じる。

【0009】

本発明は、駆動用トランジスタのゲートとアノードが画素内で電氣的にショートした場合であっても、欠陥画素が非発光となるだけに止め、輝度変動エリアが線状の欠陥として視認されないようにすることを目的とする。

20

【課題を解決するための手段】

【0010】

本発明は、有機EL（Electro Luminescence）素子のアノード電極と駆動トランジスタのソース電極とが接続され、駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、駆動トランジスタのゲート-ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、画素アレイ部の画素行ごとに配線され、書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、画素アレイ部の画素行ごとに配線され、駆動トランジスタのドレイン電極に対して第1電位と当該第1電位よりも低い第2電位とを選択的に与える電源供給線と、画素アレイ部の画素列ごとに配置され、書き込みトランジスタのドレイン電極またはソ

30

【0011】

このような本発明では、画素の消灯開始から電源供給線に第1電位が与えられるまでの期間内で、電源供給線に与えられる電位を映像信号基準電位に設定しているため、駆動用トランジスタのゲート電極とアノード電極とが画素内で電氣的にショートした場合であ

40

ても、前段の画素行の画素の基準電位を一定にすることができる。

【発明の効果】

【0012】

本発明によれば、駆動トランジスタのゲート電極とアノード電極とが電氣的にショートした場合でも、欠陥画素が非発光となるだけに止め、輝度変動エリアが線状に視認されることを防止することが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明を実施するための最良の形態（以下、「実施形態」と言う。）について説明する。なお、説明は以下の順序で行う。

50

1. 本実施形態の前提となる表示装置（システム構成、画素回路、回路動作）
2. 駆動トランジスタのゲート - アノード間がショートした場合の問題点（等価回路、タイミング波形図）
3. 本実施形態の構成例（画素回路、システム構成、駆動方法）
4. 適用例（電子機器への各種適用例）

【0014】

< 1. 本実施形態の前提となる表示装置 >

[システム構成]

図1は、本実施形態の前提となるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

10

【0015】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子（有機電界発光素子）を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

【0016】

図1に示すように、有機EL表示装置100は、画素（PXL）101が行列状（マトリクス状）に2次元配置されてなる画素アレイ部102と、当該画素アレイ部102の周辺に配置され、各画素101を駆動する駆動部とを有する構成となっている。画素101を駆動する駆動部としては、例えば、水平駆動回路103、書き込み走査回路104および電源供給走査回路105が設けられている。

20

【0017】

画素アレイ部102には、m行n列の画素配列に対して、画素行ごとに走査線WSL-1～WSL-mと電源供給線DSL-1～DSL-mとが配線され、画素列ごとに信号線DTL-1～DTL-nが配線されている。

【0018】

画素アレイ部102は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型（フラット型）のパネル構造となっている。画素アレイ部102の各画素101は、アモルファスシリコンTFT（Thin Film Transistor; 薄膜トランジスタ）または低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、水平駆動回路103、書き込み走査回路104および電源供給走査回路105についても、画素アレイ部102を形成する表示パネル（基板）上に実装することができる。

30

【0019】

書き込み走査回路104は、クロックパルスckに同期してスタートパルスspを順にシフト（転送）するシフトレジスタ等によって構成され、画素アレイ部102の各画素101への映像信号の書き込みに際して、走査線WSL-1～WSL-mに順次書き込みパルス（走査信号）WS1～WSmを供給することによって画素アレイ部102の各画素101を行単位で順番に走査（線順次走査）する。

【0020】

電源供給走査回路105は、クロックパルスckに同期してスタートパルスspを順にシフトするシフトレジスタ等によって構成される。電源供給走査回路105は、書き込み走査回路104による線順次走査に同期して、第1電位Vcc_Hと当該第1電位Vcc_Hよりも低い第2電位Vcc_Lで切り替わる電源供給線電位DS1～DSmを電源供給線DSL-1～DSL-mに選択的に供給する。これにより、画素101の発光/非発光の制御を行なう。

40

【0021】

水平駆動回路103は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある）Vsigと信号線基準電位Voのいずれか一方を適宜選択し、信号線DTL-1～DTL-nを介して画素アレイ部102の各画素101に対して例えば行単位で書き込む。すなわち、水平駆動回路1

50

03は、映像信号の信号電圧 V_{in} を行（ライン）単位で書き込む線順次書き込みの駆動形態を採っている。

【0022】

ここで、信号線基準電位 V_o は、映像信号の信号電圧 V_{in} の基準となる電圧（例えば、黒レベルに相当する電圧）である。また、第2電位 V_{cc_L} は、信号線基準電位 V_o よりも低い電位、例えば、駆動トランジスタの閾値電圧を V_{th} とすると $V_o - V_{th}$ よりも低い電位、好ましくは $V_o - V_{th}$ よりも十分に低い電位に設定される。

【0023】

[画素回路]

図2は、画素（画素回路）の具体的な構成例を示す回路図である。

10

【0024】

図2に示すように、画素101は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子1Dを発光素子として有し、当該有機EL素子1Dに加えて、駆動トランジスタ1B、書き込みトランジスタ1Aおよび保持容量1Cを有する画素構成、すなわち2つのトランジスタ（ T_r ）と1つの容量素子（ C ）からなる $2T_r / 1C$ の画素構成となっている。

【0025】

かかる構成の画素101においては、駆動トランジスタ1Bおよび書き込みトランジスタ1AとしてNチャネル型のTFTを用いている。ただし、ここでの駆動トランジスタ1Bおよび書き込みトランジスタ1Aの導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

20

【0026】

有機EL素子1Dは、全ての画素101に対して共通に配線された共通電源供給線1Hにカソード電極が接続されている。駆動トランジスタ1Bは、ソース電極が有機EL素子1Dのアノード電極に接続され、ドレイン電極が電源供給線DSL（ $DSL - 1 \sim DSL - m$ ）に接続されている。

【0027】

書き込みトランジスタ1Aは、ゲート電極が走査線WSL（ $WSL - 1 \sim WSL - m$ ）に接続され、一方の電極（ソース電極／ドレイン電極）が信号線DTL（ $DTL - 1 \sim DTL - n$ ）に接続され、他方の電極（ドレイン電極／ソース電極）が駆動トランジスタ1Bのゲート電極に接続されている。

30

【0028】

保持容量1Cは、一方の電極が駆動トランジスタ1Bのゲート電極に接続され、他方の電極が駆動トランジスタ1Bのソース電極（有機EL素子1Dのアノード電極）に接続されている。

【0029】

$2T_r / 1C$ の画素構成の画素101において、書き込みトランジスタ1Aは、書き込み走査回路104から走査線WSLを通してゲート電極に印加される走査信号WSにตอบสนองして導通状態となることにより、信号線DTLを通して水平駆動回路103から供給される輝度情報に応じた映像信号の信号電圧 V_{in} または信号線基準電位 V_o をサンプリングして画素101内に書き込む。

40

【0030】

この書き込まれた信号電圧 V_{in} または信号線基準電位 V_o は、駆動トランジスタ1Bのゲート電極に印加されるとともに保持容量1Cに保持される。駆動トランジスタ1Bは、電源供給線DSL（ $DSL - 1 \sim DSL - m$ ）の電位DSが第1電位 V_{cc_H} にあるときに、電源供給線DSLから電流の供給を受けて、保持容量1Cに保持された信号電圧 V_{in} の電圧値に応じた電流値の駆動電流を有機EL素子1Dに供給し、当該有機EL素子1Dを電流駆動することによって発光させる。

【0031】

[有機EL表示装置の回路動作]

50

次に、上記構成の有機EL表示装置100の回路動作について、図3のタイミング波形図を基に、図4～図6の動作説明図を用いて説明する。なお、図4～図6の動作説明図では、図面の簡略化のために、書き込みトランジスタ1Aをスイッチのシンボルで図示している。また、有機EL素子1Dは容量成分を持っていることから、当該EL容量1Iについても図示している。

【0032】

図3のタイミング波形図においては、走査線WSL(WSL-1～WSL-m)の電位(書き込みパルス)WSの変化、電源供給線DSL(DSL-1～DSL-m)の電位DS(Vcc_H/Vcc_L)の変化、駆動トランジスタ1Bのゲート電位Vgおよびソース電位Vsの変化を表している。

10

【0033】

(発光期間)

図3のタイミング波形図において、時刻t1以前は有機EL素子1Dが発光状態にある(発光期間)。この発光期間では、電源供給線DSLの電位DSが第1電位Vcc_Hにあり、また、書き込みトランジスタ1Aが非導通状態にある。

【0034】

このとき、駆動トランジスタ1Bは飽和領域で動作するように設定されているために、図4(A)に示すように、電源供給線DSLから駆動トランジスタ1Bを通して当該駆動トランジスタ1Bのゲート-ソース間電圧Vgsに応じた駆動電流(ドレイン-ソース間電流)Idsが有機EL素子1Dに供給される。よって、有機EL素子1Dが駆動電流Idsの電流値に応じた輝度で発光する。

20

【0035】

(閾値補正準備期間)

そして、時刻t1になると、線順次走査の新しいフィールドに入り、図4(B)に示すように、電源供給線DSLの電位DSが第1電位(以下、「高電位」と記述する)Vcc_Hから、信号線DTLの信号線基準電位Vo-Vthよりも十分に低い第2電位(以下、「低電位」と記述する)Vcc_Lに切り替わる。

【0036】

ここで、有機EL素子1Dの閾値電圧をVel、共通電源供給線1Hの電位をVcathとすると、低電位Vcc_LをVcc_L<Vel+Vcathとすると、駆動トランジスタ1Bのソース電位Vsが低電位Vcc_Lにほぼ等しくなるために、有機EL素子1Dは逆バイアス状態となって消光する。

30

【0037】

次に、時刻t2で走査線WSLの電位WSが低電位側から高電位側に遷移することで、図4(C)に示すように、書き込みトランジスタ1Aが導通状態となる。このとき、水平駆動回路103から信号線DTLに対して信号線基準電位Voが供給されているために、駆動トランジスタ1Bのゲート電位Vgが信号線基準電位Voになる。また、駆動トランジスタ1Bのソース電位Vsは、信号線基準電位Voよりも十分に低い電位Vcc_Lにある。

【0038】

40

このとき、駆動トランジスタ1Bのゲート-ソース間電圧VgsはVo-Vcc_Lとなる。ここで、Vo-Vcc_Lが駆動トランジスタ1Bの閾値電圧Vthよりも大きくなないと、後述する閾値補正動作を行うことができないために、Vo-Vcc_L>Vthなる電位関係に設定する必要がある。このように、駆動トランジスタ1Bのゲート電位Vgを信号線基準電位Voに、ソース電位Vsを低電位Vcc_Lにそれぞれ固定して(確定させて)初期化する動作が閾値補正準備の動作である。

【0039】

(1回目の閾値補正期間)

次に、時刻t3で、図4(D)に示すように、電源供給線DSLの電位DSが低電位Vcc_Lから高電位Vcc_Hに切り替わると、駆動トランジスタ1Bのソース電位Vs

50

が上昇を開始し、1回目の閾値補正期間に入る。この1回目の閾値補正期間において、駆動トランジスタ1Bのソース電位 V_s が上昇することによって駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} が所定の電位 V_{x1} になり、この電位 V_{x1} が保持容量1Cに保持される。

【0040】

続いて、この水平期間(1H)の後半に入った時刻 t_4 で、図5(A)に示すように、水平駆動回路103から信号線DTLに対して映像信号の信号電圧 V_{in} が供給されることにより、信号線DTLの電位が信号線基準電位 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行の画素に対する信号電圧 V_{in} の書き込みが行われる。

【0041】

10

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われないようにするために、走査線WSLの電位WSを高電位側から低電位側に遷移させ、書き込みトランジスタ1Aを非導通状態とする。これにより、駆動トランジスタ1Bのゲート電極は信号線DTLから切り離されてフローティング状態になる。

【0042】

ここで、駆動トランジスタ1Bのゲート電極がフローティング状態にあるときは、駆動トランジスタ1Bのゲート-ソース間に保持容量1Cが接続されていることにより、駆動トランジスタ1Bのソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して(追従して)駆動トランジスタ1Bのゲート電位 V_g も変動する。これが保持容量1Cによるブートストラップ動作である。

20

【0043】

時刻 t_4 以降においても、駆動トランジスタ1Bのソース電位 V_s が上昇を続け、 V_{a1} だけ上昇する($V_s = V_o - V_{x1} + V_{a1}$)。このとき、ブートストラップ動作により、駆動トランジスタ1Bのソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a1} だけ上昇する($V_g = V_o + V_{a1}$)。

【0044】

(2回目の閾値補正期間)

時刻 t_5 で次の水平期間に入り、図5(B)に示すように、走査線WSLの電位WSが低電位側から高電位側に遷移し、書き込みトランジスタ1Aが導通状態となると同時に、水平駆動回路103から信号線DTLに対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、2回目の閾値補正期間に入る。

30

【0045】

この2回目の閾値補正期間では、書き込みトランジスタ1Aが導通状態になることで信号線基準電位 V_o が書き込まれるために、駆動トランジスタ1Bのゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ1Bのソース電位 V_s が上昇を開始する。

【0046】

そして、この2回目の閾値補正期間において、駆動トランジスタ1Bのソース電位 V_s が上昇することによって駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} が所定の電位 V_{x2} になり、この電位 V_{x2} が保持容量1Cに保持される。

40

【0047】

続いて、この水平期間の後半に入った時刻 t_6 で、図5(C)に示すように、水平駆動回路103から信号線DTLに対して映像信号の信号電圧 V_{in} が供給されることにより、信号線DTLの電位がオフセット電圧 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行(前回の書き込み行の次の行)の画素に対する信号電圧 V_{in} の書き込みが行われる。

【0048】

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われないようにするために、走査線WSLの電位WSを高電位側から低電位側に遷移させ、書き込みトランジスタ

50

1 A を非導通状態とする。これにより、駆動トランジスタ 1 B のゲート電極は信号線 D T L から切り離されてフローティング状態になる。

【 0 0 4 9 】

時刻 t_6 以降においても、駆動トランジスタ 1 B のソース電位 V_s が上昇を続け、 V_{a2} だけ上昇する ($V_s = V_o - V_{x1} + V_{a2}$)。このとき、ブートストラップ動作により、駆動トランジスタ 1 B のソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a2} だけ上昇する ($V_g = V_o + V_{a2}$)。

【 0 0 5 0 】

(3 回目の閾値補正期間)

時刻 t_7 で次の水平期間に入り、図 5 (D) に示すように、走査線 W S L の電位 W S が低電位側から高電位側に遷移し、書き込みトランジスタ 1 A が導通状態となると同時に、水平駆動回路 1 0 3 から信号線 D T L に対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、3 回目の閾値補正期間に入る。

【 0 0 5 1 】

この 3 回目の閾値補正期間では、書き込みトランジスタ 1 A が導通状態になることで信号線基準電位 V_o が書き込まれるために、駆動トランジスタ 1 B のゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ 1 B のソース電位 V_s が上昇を開始する。

【 0 0 5 2 】

駆動トランジスタ 1 B のソース電位 V_s が上昇し、やがて、駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} が当該駆動トランジスタ 1 B の閾値電圧 V_{th} に収束することにより、当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持される。

【 0 0 5 3 】

上述した 3 回の閾値補正動作により、画素個々の駆動トランジスタ 1 B の閾値電圧 V_{th} が検出されて当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持されることになる。なお、3 回の閾値補正期間において、電流が専ら保持容量 1 C 側に流れ、有機 E L 素子 1 D 側には流れないようにするために、有機 E L 素子 1 D がカットオフ状態となるように共通電源供給線 1 H の電位 $V_{cat h}$ を設定しておくこととする。

【 0 0 5 4 】

(信号書き込み期間 & 移動度補正期間)

次に、時刻 t_8 で走査線 W S L の電位 W S が低電位側に遷移することで、図 6 (A) に示すように、書き込みトランジスタ 1 A が非導通状態となり、同時に、信号線 D T L の電位がオフセット電圧 V_o から映像信号の信号電圧 V_{in} に切り替わる。

【 0 0 5 5 】

書き込みトランジスタ 1 A が非導通状態になることで、駆動トランジスタ 1 B のゲート電極がフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 1 B の閾値電圧 V_{th} に等しいため、当該駆動トランジスタ 1 B はカットオフ状態にある。したがって、駆動トランジスタ 1 B にドレイン - ソース間電流 I_{ds} は流れない。

【 0 0 5 6 】

続いて、時刻 t_9 で、走査線 W S L の電位 W S が高電位側に遷移することで、図 6 (B) に示すように、書き込みトランジスタ 1 A が導通状態になって映像信号の信号電圧 V_{in} をサンプリングして画素 1 0 1 内に書き込む。この書き込みトランジスタ 1 A による信号電圧 V_{in} の書き込みにより、駆動トランジスタ 1 B のゲート電位 V_g が信号電圧 V_{in} となる。

【 0 0 5 7 】

そして、映像信号の信号電圧 V_{in} による駆動トランジスタ 1 B の駆動の際に、当該駆動トランジスタ 1 B の閾値電圧 V_{th} が保持容量 1 C に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。閾値補正の原理については後述する。

10

20

30

40

50

【 0 0 5 8 】

このとき、有機 E L 素子 1 D は始めカットオフ状態（ハイインピーダンス状態）にあるために、映像信号の信号電圧 V_{in} に応じて電源供給線 D S L から駆動トランジスタ 1 B に流れる電流（ドレイン - ソース間電流 I_{ds} ）は有機 E L 素子 1 D の E L 容量 1 I に流れ込み、よって当該 E L 容量 1 I の充電が開始される。

【 0 0 5 9 】

この E L 容量 1 I の充電により、駆動トランジスタ 1 B のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 1 B の閾値電圧 V_{th} のばらつきは補正（閾値補正）されており、駆動トランジスタ 1 B のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 1 B の移動度 μ に依存したものとなる。

10

【 0 0 6 0 】

やがて、駆動トランジスタ 1 B のソース電位 V_s が $V_o - V_{th} + \Delta V$ の電位まで上昇すると、駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ となる。すなわち、ソース電位 V_s の上昇分 ΔV は、保持容量 1 C に保持された電圧（ $V_{in} + V_{th} - \Delta V$ ）から差し引かれるように、換言すれば、保持容量 1 C の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 ΔV は負帰還の帰還量となる。

【 0 0 6 1 】

このように、駆動トランジスタ 1 B に流れるドレイン - ソース間電流 I_{ds} を当該駆動トランジスタ 1 B のゲート入力に、即ちゲート - ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ 1 B のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

20

【 0 0 6 2 】

より具体的には、映像信号の信号電圧 V_{in} が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量（補正量） ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。また、映像信号の信号電圧 V_{in} を一定とした場合、駆動トランジスタ 1 B の移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。移動度補正の原理については後述する。

【 0 0 6 3 】

（発光期間）

次に、時刻 t_{10} で走査線 W S L の電位 W S が低電位側に遷移することで、図 6（C）に示すように、書き込みトランジスタ 1 A が非導通状態となる。これにより、駆動トランジスタ 1 B のゲート電極は信号線 D T L から切り離されてフローティング状態になる。

30

【 0 0 6 4 】

駆動トランジスタ 1 B のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 1 B のドレイン - ソース間電流 I_{ds} が有機 E L 素子 1 D に流れ始めることにより、有機 E L 素子 1 D のアノード電位は、駆動トランジスタ 1 B のドレイン - ソース間電流 I_{ds} に応じて上昇する。

【 0 0 6 5 】

有機 E L 素子 1 D のアノード電位の上昇は、即ち駆動トランジスタ 1 B のソース電位 V_s の上昇に他ならない。駆動トランジスタ 1 B のソース電位 V_s が上昇すると、保持容量 1 C のブートストラップ動作により、駆動トランジスタ 1 B のゲート電位 V_g も連動して上昇する。

40

【 0 0 6 6 】

このとき、ブートストラップゲインが 1（理想値）であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_{11} で信号線 D T L の電位が映像信号の信号電圧 V_{in} から信号線基準電位 V_o に切り替わる。

50

【 0 0 6 7 】

以上の動作説明から明らかなように、本例では、信号書き込みおよび移動度補正が行われる 1 H 期間と、当該 1 H 期間に先行する 2 H 期間の、計 3 H 期間に亘って閾値補正期間を設けている。これにより、閾値補正期間として十分な時間を確保することができるために、駆動トランジスタ 1 B の閾値電圧 V_{th} を確実に検出して保持容量 1 C に保持し、閾値補正動作を確実に行うことができる。

【 0 0 6 8 】

なお、閾値補正期間を 3 H 期間に亘って設けるとしたが、これは一例に過ぎず、信号書き込みおよび移動度補正が行われる 1 H 期間で閾値補正期間として十分な時間を確保できるのであれば、先行する水平期間に亘って閾値補正期間を設定する必要はないし、また、高精細化に伴って 1 H 期間が短くなり、閾値補正期間を 3 H 期間に亘って設けても十分な時間を確保できないのであれば、4 H 期間以上に亘って閾値補正期間を設定することも可能である。

【 0 0 6 9 】

(正バイアス期間および閾値補正準備期間が設けられている場合)

図 7 は、正バイアス期間および閾値補正準備期間を説明するタイミング波形図である。正バイアス期間および閾値補正準備期間は、図 3 に示すタイミングに対して、閾値補正期間(時刻 $t_3 \sim t_4$)の直前に設けられており、書き込みトランジスタ 1 A に正バイアスがかかる。ここで、電源供給線 D S L が低電位側に遷移している期間是有機 E L 素子 1 D の非発光(消灯)期間となり発光期間の調整を可能にしている。

【 0 0 7 0 】

閾値補正準備期間では、書き込みトランジスタ 1 A に正バイアスがかかると、信号線 D T L に対して信号線基準電位 V_o が供給されているために、駆動トランジスタ 1 B のゲート電位 V_g が信号線基準電位 V_o になる。また、電源供給線 D S L には信号線基準電位 V_o よりも十分に低い電位 V_{cc_L} が印加されているため、駆動トランジスタ 1 B のソース電位 V_s は電位 V_{cc_L} となる。このように、閾値補正準備期間では、駆動トランジスタ 1 B のゲート電位 V_g を信号線基準電位 V_o に、ソース電位 V_s を低電位 V_{cc_L} にそれぞれ固定して初期化する。

【 0 0 7 1 】

< 2 . 駆動トランジスタのゲート - アノード間がショートした場合の問題点 >

[等価回路]

図 8 (A) は、図 2 に示した画素回路において駆動トランジスタ 1 B のゲート g とアノード(駆動トランジスタ 1 B のソース) s とが電氣的にショートした場合の等価回路を示すものである。また、動作としては、図 4 (C) の状態を例としている。すなわち、この状態では、電源供給線 D S L が低電位 V_{cc_L} 側に遷移しているため、有機 E L 素子 1 D のアノード s の電位も V_{cc_L} になっている。

【 0 0 7 2 】

ここで、駆動トランジスタ 1 B のゲート g が有機 E L 素子 1 D のアノード s とショートしていると、書き込みトランジスタ 1 A がオン状態の際に、映像信号線 D T L と駆動トランジスタ 1 B のゲート g とアノード s とが同通状態となる。これにより、映像信号線 D T L に供給されている映像信号基準電位 V_o はアノード電位 V_{cc_L} に引き込まれることになる。

【 0 0 7 3 】

図 8 (B) は、図 8 (A) に示すショートが生じた際の表示状態を示す図である。欠陥画素、すなわち図 8 (A) に示すように駆動トランジスタ 1 B のゲート g とアノード s とが電氣的にショートしている画素は非発光となる。さらに、転送前段の数画素が輝度変動エリアとなる。輝度上昇エリアは転送方向に依存し、必ず転送前段側に発生する。

【 0 0 7 4 】

[タイミング波形図]

図 9 は、図 8 (A) の欠陥が生じた際のタイミング波形図である。また、閾値補正の考

10

20

30

40

50

えに基づき、電源供給線DSLの低電位 V_{cc_L} は映像信号基準電位 V_o に対して少なくとも駆動トランジスタ1Bの閾値 V_{th} より低い電位に設定される。このタイミング波形図では、 $V_{n-5} \sim V_{n+1}$ が走査ライン番号における走査線のタイミング（上段）と電源供給線電位（下段）とそれぞれ示している。また、欠陥画素は V_n に相当している。さらに、DTLに映像信号電位を示している。

【0075】

図9に示すように、(F)～(I)の期間で欠陥画素 V_n の電源供給線DSLが低電位側に遷移しており、さらに走査線WSLが高電位側に遷移すると、映像信号線DTLに供給されている電位がアノード電位 V_{cc_L} に引き込まれる。

【0076】

その結果、画素 $V_{n-4} \sim V_{n-2}$ においては、映像信号電位サンプリング直前の映像信号基準電位 V_o が V_{cc_L} に引き込まれるため、駆動トランジスタ1Bのゲートgへの入力振幅は $V_{in} = V_{sig} - V_o$ ではなく $V_{in'} = V_{sig} - V_{cc_L}$ となる。

【0077】

ここで、 $V_o > V_{cc_L}$ であるため、画素 $V_{n-4} \sim V_{n-2}$ には等価的に高振幅が書込まれることになる。したがって、 $V_{n-4} \sim V_{n-2}$ は輝度上昇を引き起こし、線状の輝度上昇エリアとして視認される。欠陥画素 V_n については駆動トランジスタのゲートgとソースsが同電位となるため、ゲート-ソース間電圧は0Vとなり、電流が流れず非発光となる。

【0078】

< 3. 本実施形態の構成例 >

[画素回路]

図10は、本実施形態の一例を示す画素の回路図である。画素回路は、有機EL素子1D、駆動トランジスタ1B、書き込みトランジスタ1Aおよび保持容量1Cを有する。

【0079】

具体的には、有機EL素子1Dのアノード電極と駆動トランジスタ1Bのソース電極とが接続され、駆動トランジスタ1Bのゲート電極と書き込みトランジスタ1Aのソース電極またはドレイン電極とが接続されている。また、駆動トランジスタ1Bのゲート-ソース電極間に保持容量1Cが接続される。

【0080】

信号線DTLは、書き込みトランジスタ1Aのドレイン電極またはソース電極に接続されている。また、書き込みトランジスタ1Aのゲート電極には、図示しない走査線が接続され、所定のタイミングが与えられる。電源供給線DSLは、駆動トランジスタ1Bのドレイン電極に接続されている。

【0081】

このような画素回路の構成において、本実施形態では、有機EL素子1Dの消灯開始から電源供給線DSLに高電位 V_{cc_H} が与えられるまでの期間内で、電源供給線DSLに与えられる電位を映像信号基準電位 V_o に設定する電位設定期間が設けられているものである。これにより、図9(F)～(I)の期間においても映像信号線DTLに供給されている電位がアノード電位 V_{cc_L} に引き込まれることはなくなり、前段の画素について輝度変動エリアの発生を防止することが可能となる。

【0082】

[システム構成]

図11は、本実施形態の一例を示すシステム構成図である。図11に示すように、有機EL表示装置100は、画素(PXLC)101が行列状(マトリクス状)に2次元配置されてなる画素アレイ部102と、当該画素アレイ部102の周辺に配置され、各画素101を駆動する駆動部とを有する構成となっている。画素101を駆動する駆動部としては、例えば、水平駆動回路103、書き込み走査回路104および電源供給走査回路105が設けられている。

【0083】

10

20

30

40

50

画素アレイ部 102 には、 m 行 n 列の画素配列に対して、画素行ごとに走査線 $W S L - 1 \sim W S L - m$ と電源供給線 $D S L - 1 \sim D S L - m$ とが配線され、画素列ごとに信号線 $D T L - 1 \sim D T L - n$ が配線されている。

【0084】

書き込み走査回路 104 は、クロックパルス $c k$ に同期してスタートパルス $s p$ を順にシフト（転送）するシフトレジスタ等によって構成され、画素アレイ部 102 の各画素 101 への映像信号の書き込みに際して、走査線 $W S L - 1 \sim W S L - m$ に順次書き込みパルス（走査信号） $W S 1 \sim W S m$ を供給することによって画素アレイ部 102 の各画素 101 を行単位で順番に走査（線順次走査）する。

【0085】

電源供給走査回路 105 は、クロックパルス $c k$ に同期してスタートパルス $s p$ を順にシフトするシフトレジスタ等によって構成される。電源供給走査回路 105 は、書き込み走査回路 104 による線順次走査に同期して、第 1 電位 $V c c _ H$ と当該第 1 電位 $V c c _ H$ よりも低い第 2 電位 $V c c _ L$ で切り替わる電源供給線電位 $D S 1 \sim D S m$ を電源供給線 $D S L - 1 \sim D S L - m$ に選択的に供給する。これにより、画素 101 の発光 / 非発光の制御を行なう。

【0086】

水平駆動回路 103 は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧 $V s i g$ と信号線基準電位 $V o$ のいずれか一方を適宜選択し、信号線 $D T L - 1 \sim D T L - n$ を介して画素アレイ部 102 の各画素 101 に対して例えば行単位で書き込む。すなわち、水平駆動回路 103 は、映像信号の信号電圧 $V i n$ を行（ライン）単位で書き込む線順次書き込みの駆動形態を採っている。

【0087】

本実施形態では、画素 101 の消灯開始から電源供給線 $D S L$ に高電位 $V c c _ H$ が与えられるまでの期間内で、電源供給線 $D S L$ に与えられる電位を映像信号基準電位 $V o$ に設定する電位設定期間を設けている。つまり、電源供給走査回路 105 は、第 1 電位 $V c c _ H$ と当該第 1 電位 $V c c _ H$ よりも低い第 2 電位 $V c c _ L$ との切り替えに加え、電位設定期間では映像信号基準電位 $V o$ を選択する制御を行っている。

【0088】

これにより、図 9（F）～（I）の期間においても映像信号線 $D T L$ に供給されている電位がアノード電位 $V c c _ L$ に引き込まれることはなく、映像信号基準電位 $V o$ となり、前段の画素について輝度変動エリアの発生を防止することが可能となる。

【0089】

〔駆動方法〕

図 12 は、本実施形態に係る表示装置の駆動方法を説明するタイミング波形図である。図 12 に示すタイミング波形図は、図 7 に示すタイミング波形図のように、正バイアス期間および閾値補正準備期間が設けられたものとなっている。

【0090】

図 12 に示すタイミング波形図で、図 7 に示すタイミング波形図と異なる点は、消灯期間の開始から閾値補正期間の開始までの間で、電源供給線 $D S L$ の電位が信号線基準電位 $V o$ に設定される電位設定期間が設けられているところである。

【0091】

すなわち、正バイアス期間および閾値補正準備期間は、図 3 に示すタイミングに対して、閾値補正期間（時刻 $t 3 \sim t 4$ ）の直前に設けられており、書き込みトランジスタ 1 A に正バイアスがかかる。ここで、電源供給線 $D S L$ が低電位側に遷移している期間は有機 EL 素子 1 D の非発光（消灯）期間となり発光期間の調整を可能にしている。

【0092】

閾値補正準備期間では、書き込みトランジスタ 1 A に正バイアスがかかると、信号線 $D T L$ に対して信号線基準電位 $V o$ が供給されているために、駆動トランジスタ 1 B のゲート電位 $V g$ が信号線基準電位 $V o$ になる。

10

20

30

40

50

【0093】

ここで、図7に示すタイミング波形図では、閾値補正準備期間において電源供給線DSLには信号線基準電位 V_o よりも十分に低い電位 V_{cc_L} が印加されており、駆動トランジスタ1Bのソース電位 V_s を電位 V_{cc_L} にしている。

【0094】

しかし、図8に示すように画素回路において駆動トランジスタ1Bのゲート g とアノード s とが電氣的にショートしていると、閾値補正準備期間で書き込みトランジスタ1Aがオン状態の際に、信号線DTLの電位がソース電位である V_{cc_L} に引き込まれてしまう。これにより、図9(F)～(I)の期間で、欠陥画素 V_n の前段にある $V_n - 4 \sim V_n - 2$ が輝度上昇を起こし、線状の輝度上昇エリアとして視認される問題が発生する。

10

【0095】

本実施形態では、図12に示すように、消灯期間の開始から閾値補正期間の開始までの間に電位設定期間を設け、電位設定期間で電源供給線DSLの電位を信号線基準電位 V_o に設定している。これにより、駆動トランジスタ1Bのゲート g とアノード s とが電氣的にショートしていても、閾値補正準備期間で書き込みトランジスタ1Aがオン状態の際に、信号線DTLの電位がソース電位である V_{cc_L} に引き込まれず、信号線基準電位 V_o となる。したがって、図9(F)～(I)の期間で、欠陥画素 V_n の前段にある $V_n - 4 \sim V_n - 2$ の輝度上昇が発生しないことになる。

【0096】

ここで、電位設定期間は、消灯期間の開始から閾値補正準備期間の途中までとしている。つまり、閾値補正期間の開始の直前で走査線WSLの電位が低電位側に遷移し、書き込みトランジスタ1Aが非導通状態となった段階で、電源供給線DSLの電位を映像信号基準電位 V_o から低電位 V_{cc_L} に設定している。これにより、閾値補正期間の開始直前には、駆動トランジスタ1Bのソース電位 V_s が電位 V_{cc_L} に初期化されていることになる。

20

【0097】

図13は、本実施形態に係る表示装置の画素電位設定を説明するためのタイミング波形図である。このタイミング波形図では、 $V_n - 5 \sim V_n + 1$ が走査ライン番号における走査線のタイミング(上段)と電源供給線電位(下段)とそれぞれ示している。また、欠陥画素は V_n に相当している。さらに、DTLに映像信号電位を示している。

30

【0098】

本実施形態の表示装置では、消灯期間の開始から閾値補正期間の開始までの間に電位設定期間を設け、電源供給線電位を映像信号基準電位 V_o と同電位にしている。したがって、駆動トランジスタ1Bのゲート g とアノード s とが電氣的にショートしている欠陥画素があっても、図13(F)～(I)の期間において、映像信号基準電位 V_o がこれより低電位に引き込まれることがない。これにより、図13(F)～(I)の期間において、欠陥画素 V_n の前段にある $V_n - 4 \sim V_n - 2$ の輝度は正常となり、輝度上昇エリアの発生を防止することが可能となる。

【0099】

なお、消灯させるためには電源供給線DSLの低電位が有機EL素子1Dの閾値以下となることが条件であるため、映像信号基準電位 V_o もこの条件を満たす範囲で設定することになる。

40

【0100】

なお、上記実施形態では、画素101の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子(発光素子)を用いた表示装置全般に対して適用可能である。

【0101】

また、画素101の構成として、2つのトランジスタ(Tr)と1つの容量素子(C)からなる $2Tr/1C$ の画素構成の場合を例としてが、本発明はこれに限定されず、例え

50

ば4つのトランジスタ(Tr)と1つの容量素子(C)からなる4Tr/1Cの画素構成など、他の画素構成であっても適用可能である。

【0102】

<4. 適用例>

以上説明した本実施形態に係る表示装置は、一例として、図14~図18に示す様々な電子機器に適用される。例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0103】

このように、あらゆる分野の電子機器の表示装置として本実施形態に係る表示装置を用いることにより、表示画像の画質向上を図ることができるために、各種の電子機器において、良質な画像表示を行うことができる利点がある。

【0104】

なお、本実施形態に係る表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部102に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC(フレキシブルプリントサーキット)等が設けられていてもよい。

【0105】

以下に、本実施形態の表示装置が適用される電子機器の具体例について説明する。

【0106】

図14は、本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル108やフィルターガラス109等から構成される映像表示画面部107を含み、その映像表示画面部107として本実施形態による表示装置を用いることにより作成される。

【0107】

図15は、本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本実施形態による表示装置を用いることにより作製される。

【0108】

図16は、本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本実施形態による表示装置を用いることにより作製される。

【0109】

図17は、本実施形態が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本実施形態による表示装置を用いることにより作製される。

【0110】

図18は、本実施形態が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本実施

10

20

30

40

50

形態による表示装置を用いることにより作製される。

【図面の簡単な説明】

【 0 1 1 1 】

【図 1】本発明の前提となるアクティブマトリクス型有機 E L 表示装置の構成の概略を示すシステム構成図である。

【図 2】画素（画素回路）の具体的な構成例を示す回路図である。

【図 3】本発明の前提となるアクティブマトリクス型有機 E L 表示装置の動作説明に供するタイミング波形図である。

【図 4】本発明の前提となるアクティブマトリクス型有機 E L 表示装置の回路動作の説明図（その 1）である。

10

【図 5】本発明の前提となるアクティブマトリクス型有機 E L 表示装置の回路動作の説明図（その 2）である。

【図 6】本発明の前提となるアクティブマトリクス型有機 E L 表示装置の回路動作の説明図（その 3）である。

【図 7】正バイアス期間および閾値補正準備期間を説明するタイミング波形図である。

【図 8】駆動トランジスタのショートによる影響を説明する図である。

【図 9】欠陥が生じた際のタイミング波形図である。

【図 10】本実施形態の一例を示す画素の回路図である。

【図 11】本実施形態の一例を示すシステム構成図である。

【図 12】本実施形態に係る表示装置の駆動方法を説明するタイミング波形図である。

20

【図 13】本実施形態に係る表示装置の画素電位設定を説明するためのタイミング波形図である。

【図 14】本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。

【図 15】本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、（ A ）は表側から見た斜視図、（ B ）は裏側から見た斜視図である。

【図 16】本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 17】本実施形態が適用されるビデオカメラの外観を示す斜視図である。

【図 18】本実施形態が適用される携帯電話機を示す外観図であり、（ A ）は開いた状態での正面図、（ B ）はその側面図、（ C ）は閉じた状態での正面図、（ D ）は左側面図、（ E ）は右側面図、（ F ）は上面図、（ G ）は下面図である。

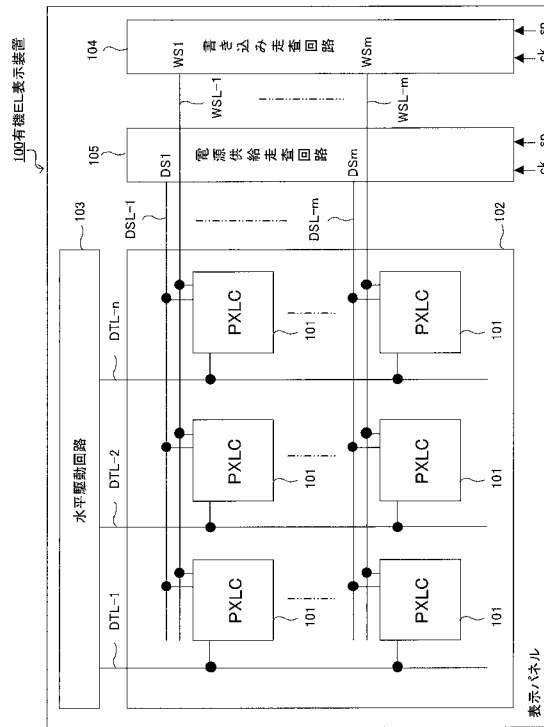
30

【符号の説明】

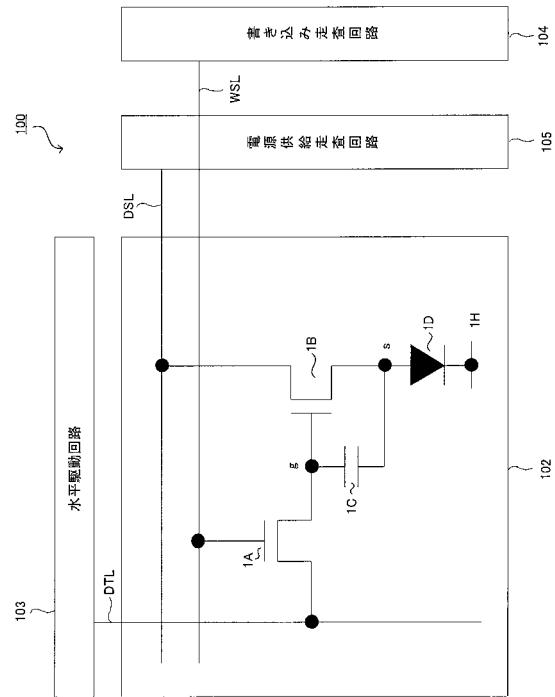
【 0 1 1 2 】

1 0 0 ... 有機 E L 表示装置、1 0 1 ... 画素（画素回路）、1 0 2 ... 画素アレイ部、1 0 3 ... 水平駆動回路、1 0 4 ... 書き込み走査回路、1 0 5 ... 電源供給走査回路、1 A ... 書き込みトランジスタ、1 B ... 駆動トランジスタ、1 C ... 保持容量、1 D ... 有機 E L 素子、D S L - 1 ~ D S L - m ... 電源供給線、D T L - 1 ~ D T L - n ... 信号線、W S L - 1 ~ W S L - m ... 走査線

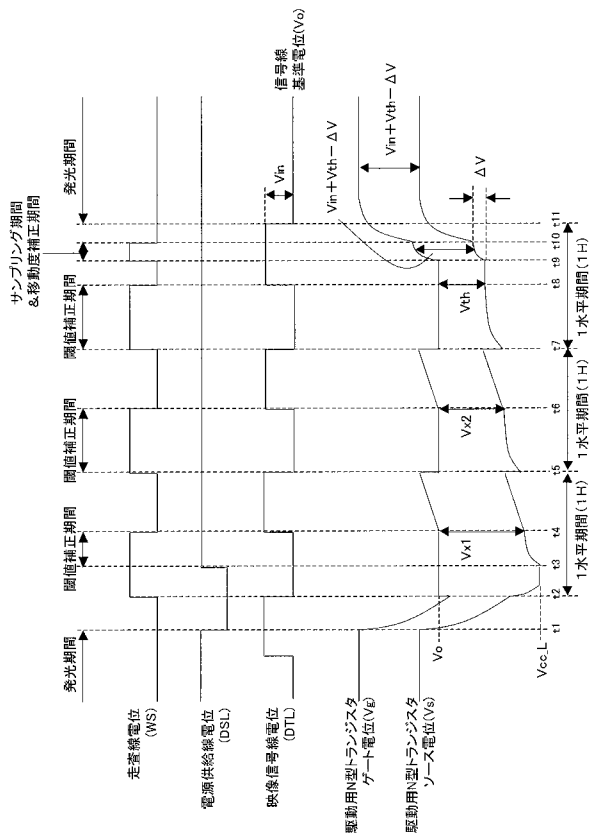
【図 1】



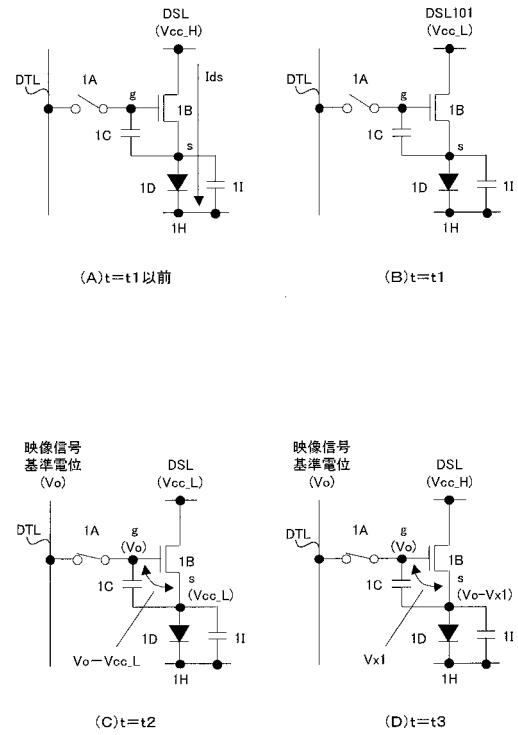
【図 2】



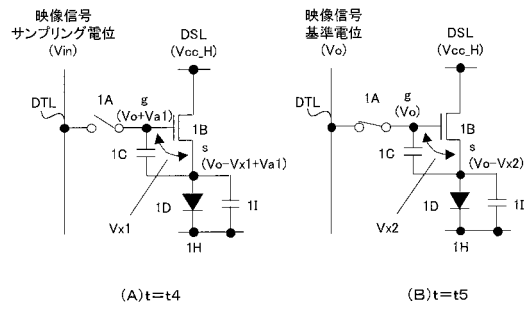
【図 3】



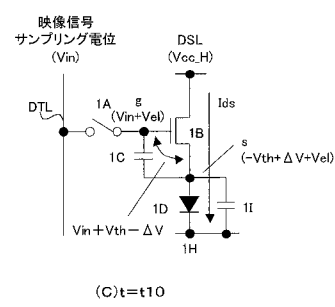
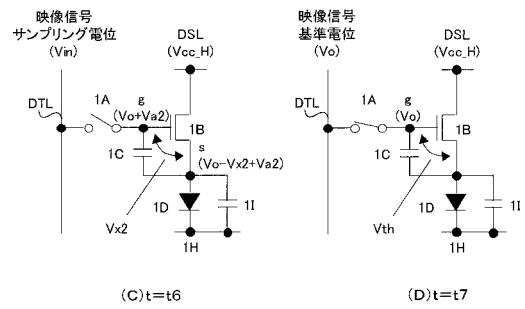
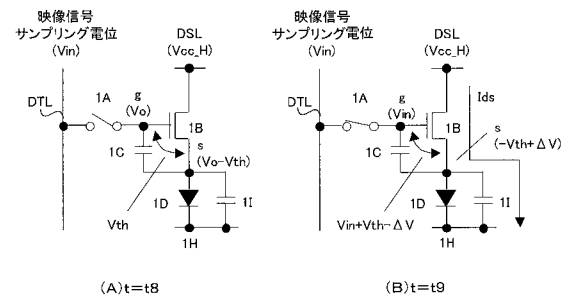
【図 4】



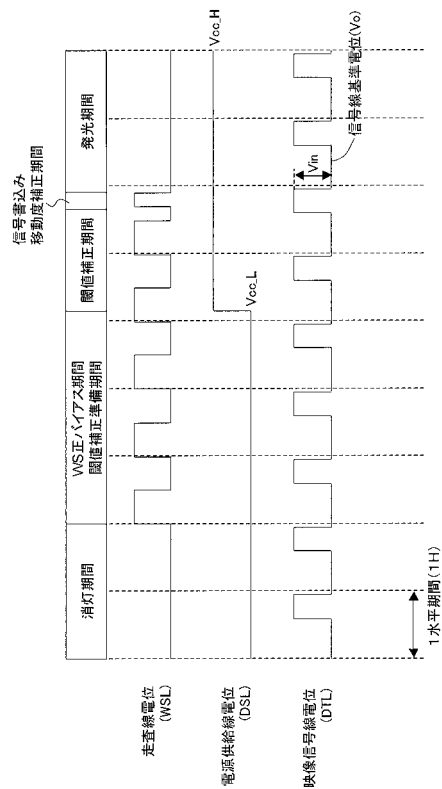
【図 5】



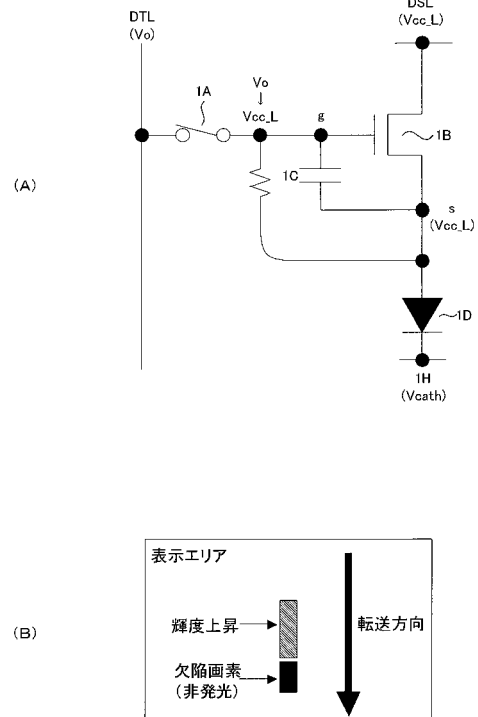
【図 6】



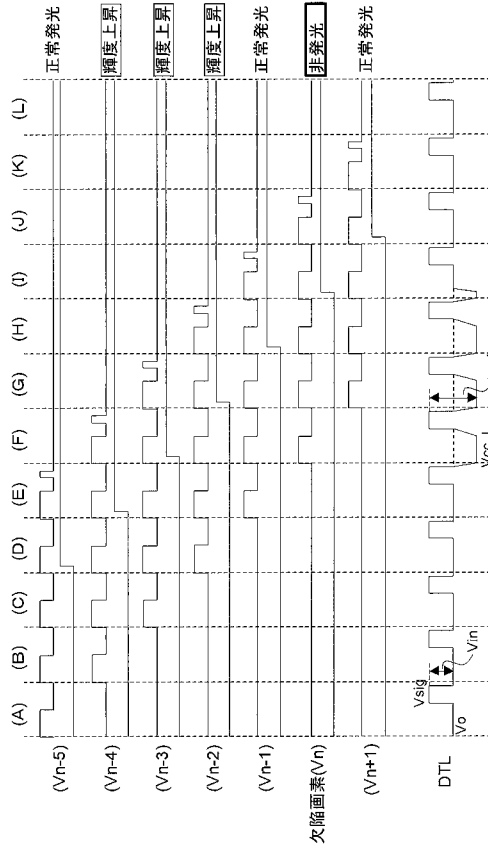
【図 7】



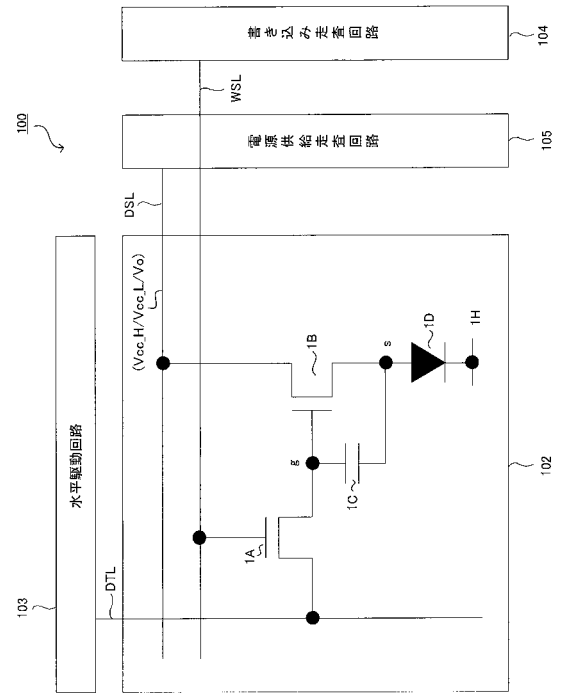
【図 8】



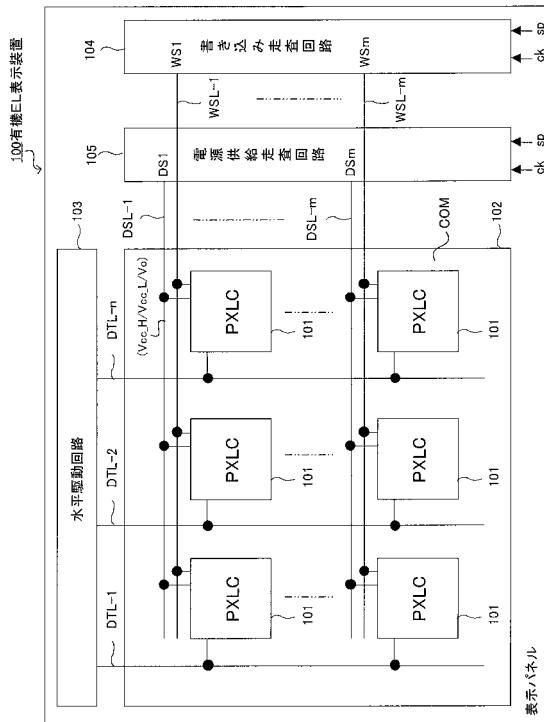
【図 9】



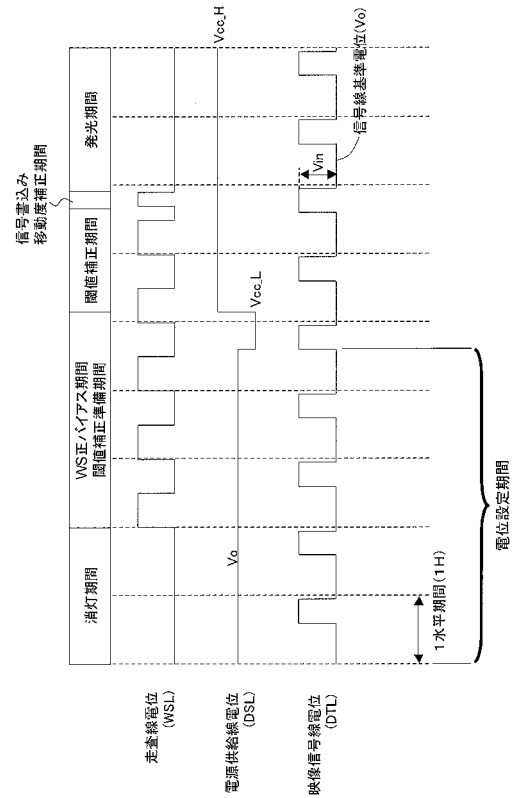
【図 10】



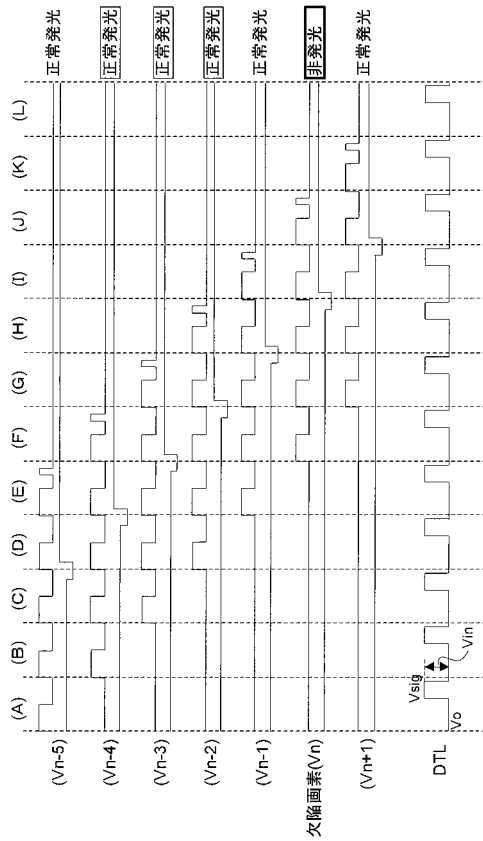
【図 11】



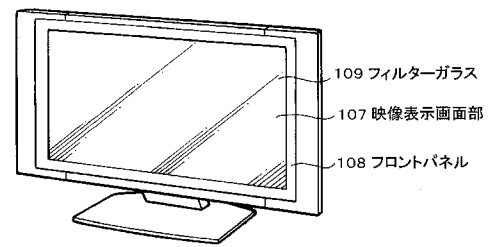
【図 12】



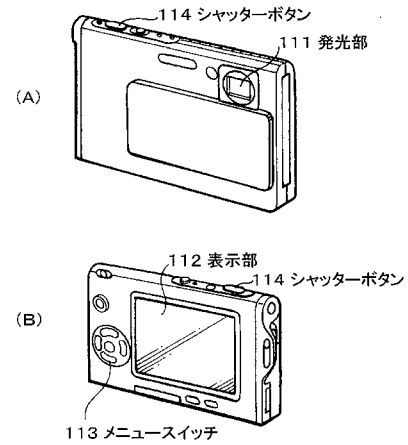
【図 13】



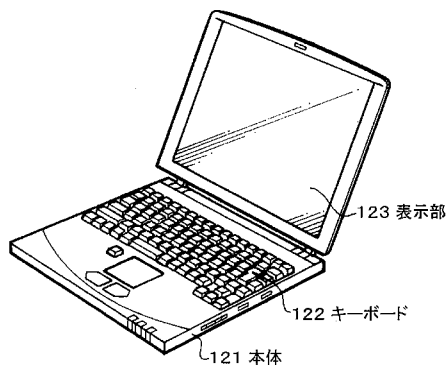
【図 14】



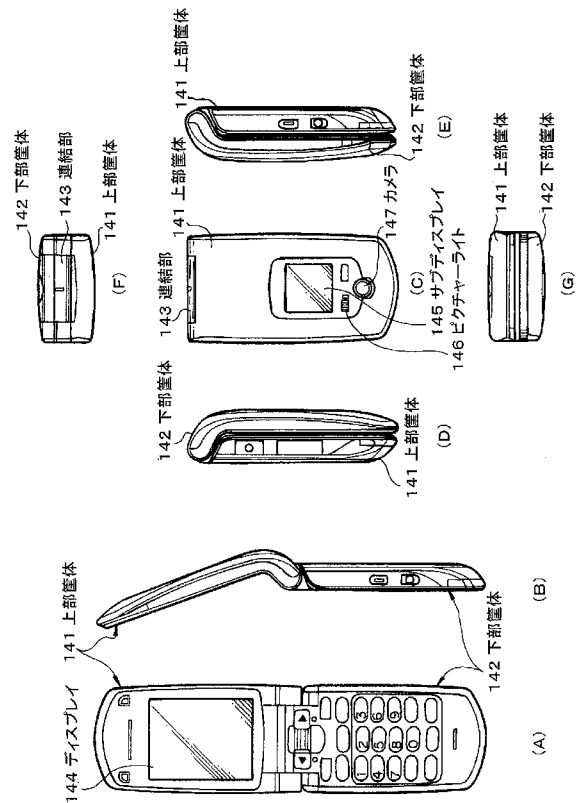
【図 15】



【図 16】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 1 2 E
H 0 5 B 33/14 A

(72)発明者 種田 貴之
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 森口 忠紀

(56)参考文献 特開2010-055008(JP,A)
特開2007-310311(JP,A)
特開2008-257085(JP,A)
特開2008-262019(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP5239812B2	公开(公告)日	2013-07-17
申请号	JP2008315466	申请日	2008-12-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	飯田幸人 浅野慎 種田貴之		
发明人	飯田 幸人 浅野 慎 種田 貴之		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0262 G09G2320/0233 G09G2320/043 G09G2320/046 G09G2330/08		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.A G09G3/20.623.D G09G3/20.670.A G09G3/20.611.H G09G3/20.641.D G09G3/20.612.E H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 5C080 /AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD18 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380 /AB24 5C380/AB32 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380 /CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC71 5C380/CD012 5C380/CD022 5C380/CE04 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/HA03 5C380 /HA05		
代理人(译)	吉井正明 山本隆久		
其他公开文献	JP2010139698A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使当驱动晶体管的栅极和有机EL元件的阳极在像素中电短路时，也要防止亮度波动区域在视觉上被识别为线性缺陷。 解决方案：在每个包括有机EL元件1D，写入晶体管1A，驱动晶体管1B和保持电容1C的像素以矩阵排列的配置中，在前一像素行的驱动时段内对扫描线执行扫描。当向信号线DTL施加视频信号参考电位并在施加信号时校正自身像素中的驱动晶体管1B的阈值时，直到从有机EL元件1 D的消光开始将高电位Vcc_H施加到电源线DSL。 ，提供用于将施加到电源线DSL的电位设置为视频信号参考电位Vo的潜在设置时段。 .The 10

