

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5168116号
(P5168116)

(45) 発行日 平成25年3月21日 (2013.3.21)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	611H
HO1L 51/50 (2006.01)	G09G 3/20	621A
	G09G 3/20	623D
	G09G 3/20	624B
請求項の数 6 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2008-315467 (P2008-315467)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成20年12月11日 (2008.12.11)	(74) 代理人	100094363 弁理士 山本 孝久
(65) 公開番号	特開2010-139699 (P2010-139699A)	(74) 代理人	100118290 弁理士 吉井 正明
(43) 公開日	平成22年6月24日 (2010.6.24)	(74) 代理人	100120640 弁理士 森 幸一
審査請求日	平成23年10月13日 (2011.10.13)	(72) 発明者	飯田 幸人 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	浅野 慎 東京都港区港南1丁目7番1号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項1】

有機EL (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート-ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第1電位と当該第1電位よりも低い第2電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極またはソース電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行うにあたり、前記映像信号基準電位と前記有機EL素子のカソード電極の電位とが同電位になっている

表示装置。

【請求項2】

前記映像信号基準電位を前記カソード電極の電位に合わせる

請求項 1 記載の表示装置。

【請求項 3】

前記カソード電極の電位を前記映像信号基準電位に合わせる

請求項 1 記載の表示装置。

【請求項 4】

電気光学素子と、映像信号を書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタに対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタに対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行うにあたり、前記映像信号基準電位と前記電気光学素子の共通電位とが同電位になっている

表示装置。

【請求項 5】

有機 E L (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極またはソース電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備える表示装置について、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行うにあたり、前記映像信号基準電位と前記有機 E L 素子のカソード電極の電位とを同電位に設定する

表示装置の駆動方法。

【請求項 6】

本体筐体に表示装置を備えており、

前記表示装置が、

有機 E L (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、前記駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、前記駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタのドレイン電極に対して第 1 電位と当該第 1 電位よりも低い第 2 電位とを選択的に与える電源供給線と、

前記画素アレイ部の画素列ごとに配置され、前記書き込みトランジスタのドレイン電極またはソース電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備

10

20

30

40

50

え、

前段の画素行の駆動期間内で前記走査線に走査信号が与えられる間、前記信号線に前記映像信号基準電位を与え、自画素における前記駆動トランジスタの閾値補正を行うにあたり、前記映像信号基準電位と前記有機 E L 素子のカソード電極の電位とが同電位になっている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関する。詳しくは、電気光学素子を含む画素が行列状（マトリクス状）に配置されてなる平面型（フラットパネル型）の表示装置、表示装置の駆動方法および電子機器に関する。

10

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、例えば有機薄膜に電界をかけると発光する現象を利用した有機 E L (Electro Luminescence) 素子を用いた有機 E L 表示装置が開発され、商品化が進められている。

【0003】

有機 E L 素子は、10V 以下の印加電圧で駆動できるために低消費電力であり、また自発光素子であることから、液晶表示装置に必須の光源（バックライト）が不要であるという特徴がある。さらに、有機 E L 素子の応答速度が数 μs 程度と非常に高速であるために動画表示時の残像が発生しない。

20

【0004】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式を採ることができる。近年では、画素回路内に能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、TFT (Thin Film Transistor; 薄膜トランジスタ)）を設けたアクティブマトリクス方式の表示装置の開発が盛んに行われている。

【0005】

30

ところで、一般的に、有機 E L 素子の I - V 特性（電流 - 電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。また、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度（以下、「駆動トランジスタの移動度」と記述する） μ が経時的に変化したり、製造プロセスのばらつきによって画素ごとに異なったりする。

【0006】

そこで、これらの影響を受けることなく、有機 E L 素子の発光輝度を一定に保つようにするために、有機 E L 素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度 μ の変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採っている（例えば、特許文献 1 参照）。

40

【0007】

【特許文献 1】特開 2006 - 133542 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の画素回路における電位設定では、駆動用トランジスタのゲートとカソードが画素内でショートした場合に欠陥画素が非発光となるだけでなく、その転送前段数画素において輝度変動エリアが線状に視認されるという問題点が生じる。視認性の観点から、非発光画素は表示エリア内の個数による規格を設けることが、輝度変動、特に輝

50

度上昇はたとえ1画素であっても許容されない。特に表示エリアで発生した場合には線状に視認されるという問題が生じる。

【0009】

本発明は、駆動用トランジスタのゲートとカソードが画素内で電氣的にショートした場合であっても、欠陥画素が非発光となるだけに止め、輝度変動エリアが線状の欠陥として視認されないようにすることを目的とする。

【課題を解決するための手段】

【0010】

本発明は、有機EL (Electro Luminescence) 素子のアノード電極と駆動トランジスタのソース電極とが接続され、駆動トランジスタのゲート電極と書き込みトランジスタのソース電極またはドレイン電極とが接続され、駆動トランジスタのゲート - ソース電極間に保持容量が接続される回路構成を含む画素が行列状に配置された画素アレイ部と、画素アレイ部の画素行ごとに配線され、書き込みトランジスタのゲート電極に対して走査信号を与える走査線と、画素アレイ部の画素行ごとに配線され、駆動トランジスタのドレイン電極に対して第1電位と当該第1電位よりも低い第2電位とを選択的に与える電源供給線と、画素アレイ部の画素列ごとに配置され、書き込みトランジスタのドレイン電極またはソース電極に対して映像信号と映像信号基準電位とを選択的に与える信号線とを備え、前段の画素行の駆動期間内で走査線に走査信号が与えられる間、信号線に映像信号基準電位を与え、自画素における駆動トランジスタの閾値補正を行うにあたり、映像信号基準電位と有機EL素子のカソード電極の電位とが同電位になっている表示装置である。また、映像信号基準電位と有機EL素子のカソード電極の電位とを同電位にする表示装置の駆動方法である。さらに、この表示装置を本体筐体に設けた電子機器である。

【0011】

このような本発明では、映像信号基準電位とカソード電極の電位とを同電位に設定することにより、駆動用トランジスタのゲート電極とカソード電極とが画素内で電氣的にショートした場合であっても、前段の画素行の画素の基準電位を一定にすることができる。

【発明の効果】

【0012】

本発明によれば、駆動トランジスタのゲート電極とカソード電極とが電氣的にショートした場合でも、欠陥画素が非発光となるだけに止め、輝度変動エリアが線状に視認されることを防止することが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明を実施するための最良の形態（以下、「実施形態」と言う。）について説明する。なお、説明は以下の順序で行う。

1. 本実施形態の前提となる表示装置（システム構成、画素回路、回路動作）
2. 駆動トランジスタのゲート - カソード間がショートした場合の問題点（等価回路、タイミング波形図）
3. 本実施形態の構成例（画素回路、システム構成、駆動方法）
4. 適用例（電子機器への各種適用例）

【0014】

< 1. 本実施形態の前提となる表示装置 >

[システム構成]

図1は、本実施形態の前提となるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

【0015】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子（有機電界発光素子）を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

10

20

30

40

50

【0016】

図1に示すように、有機EL表示装置100は、画素(PXLC)101が行列状(マトリクス状)に2次元配置されてなる画素アレイ部102と、当該画素アレイ部102の周辺に配置され、各画素101を駆動する駆動部とを有する構成となっている。画素101を駆動する駆動部としては、例えば、水平駆動回路103、書き込み走査回路104および電源供給走査回路105が設けられている。

【0017】

画素アレイ部102には、m行n列の画素配列に対して、画素行ごとに走査線WSL-1~WSL-mと電源供給線DSL-1~DSL-mとが配線され、画素列ごとに信号線DTL-1~DTL-nが配線されている。

10

【0018】

画素アレイ部102は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型(フラット型)のパネル構造となっている。画素アレイ部102の各画素101は、アモルファスシリコンTFE(Thin Film Transistor; 薄膜トランジスタ)または低温ポリシリコンTFEを用いて形成することができる。低温ポリシリコンTFEを用いる場合には、水平駆動回路103、書き込み走査回路104および電源供給走査回路105についても、画素アレイ部102を形成する表示パネル(基板)上に実装することができる。

【0019】

書き込み走査回路104は、クロックパルスckに同期してスタートパルスspを順にシフト(転送)するシフトレジスタ等によって構成され、画素アレイ部102の各画素101への映像信号の書き込みに際して、走査線WSL-1~WSL-mに順次書き込みパルス(走査信号)WS1~WSmを供給することによって画素アレイ部102の各画素101を行単位で順番に走査(線順次走査)する。

20

【0020】

電源供給走査回路105は、クロックパルスckに同期してスタートパルスspを順にシフトするシフトレジスタ等によって構成される。電源供給走査回路105は、書き込み走査回路104による線順次走査に同期して、第1電位Vcc_Hと当該第1電位Vcc_Hよりも低い第2電位Vcc_Lで切り替わる電源供給線電位DS1~DSmを電源供給線DSL-1~DSL-mに選択的に供給する。これにより、画素101の発光/非発光の制御を行なう。

30

【0021】

水平駆動回路103は、信号供給源(図示せず)から供給される輝度情報に応じた映像信号の信号電圧(以下、単に「信号電圧」と記述する場合もある)Vsigと信号線基準電位Voのいずれか一方を適宜選択し、信号線DTL-1~DTL-nを介して画素アレイ部102の各画素101に対して例えば行単位で書き込む。すなわち、水平駆動回路103は、映像信号の信号電圧Vinを行(ライン)単位で書き込む線順次書き込みの駆動形態を採っている。

【0022】

ここで、信号線基準電位Voは、映像信号の信号電圧Vinの基準となる電圧(例えば、黒レベルに相当する電圧)である。また、第2電位Vcc_Lは、信号線基準電位Voよりも低い電位、例えば、駆動トランジスタの閾値電圧をVthとするときVo-Vthよりも低い電位、好ましくはVo-Vthよりも十分に低い電位に設定される。

40

【0023】

[画素回路]

図2は、画素(画素回路)の具体的な構成例を示す回路図である。

【0024】

図2に示すように、画素101は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子1Dを発光素子として有し、当該有機EL素子1Dに加えて、駆動トランジスタ1B、書き込みトランジスタ1Aおよび保持容量1Cを有する画素構成、すなわち2つのトランジスタ(Tr)と1つの容量素子(C)

50

からなる $2Tr / 1C$ の画素構成となっている。

【0025】

かかる構成の画素 101 においては、駆動トランジスタ 1B および書き込みトランジスタ 1A として N チャネル型の TFT を用いている。ただし、ここでの駆動トランジスタ 1B および書き込みトランジスタ 1A の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0026】

有機 EL 素子 1D は、全ての画素 101 に対して共通に配線された共通電源供給線 1H にカソード電極が接続されている。駆動トランジスタ 1B は、ソース電極が有機 EL 素子 1D のアノード電極に接続され、ドレイン電極が電源供給線 DSL (DSL-1 ~ DSL-m) に接続されている。

10

【0027】

書き込みトランジスタ 1A は、ゲート電極が走査線 WSL (WSL-1 ~ WSL-m) に接続され、一方の電極 (ソース電極 / ドレイン電極) が信号線 DTL (DTL-1 ~ DTL-n) に接続され、他方の電極 (ドレイン電極 / ソース電極) が駆動トランジスタ 1B のゲート電極に接続されている。

【0028】

保持容量 1C は、一方の電極が駆動トランジスタ 1B のゲート電極に接続され、他方の電極が駆動トランジスタ 1B のソース電極 (有機 EL 素子 1D のアノード電極) に接続されている。

20

【0029】

$2Tr / 1C$ の画素構成の画素 101 において、書き込みトランジスタ 1A は、書き込み走査回路 104 から走査線 WSL を通してゲート電極に印加される走査信号 WS に応答して導通状態となることにより、信号線 DTL を通して水平駆動回路 103 から供給される輝度情報に応じた映像信号の信号電圧 V_{in} または信号線基準電位 V_o をサンプリングして画素 101 内に書き込む。

【0030】

この書き込まれた信号電圧 V_{in} または信号線基準電位 V_o は、駆動トランジスタ 1B のゲート電極に印加されるとともに保持容量 1C に保持される。駆動トランジスタ 1B は、電源供給線 DSL (DSL-1 ~ DSL-m) の電位 DS が第 1 電位 V_{cc_H} にあるときに、電源供給線 DSL から電流の供給を受けて、保持容量 1C に保持された信号電圧 V_{in} の電圧値に応じた電流値の駆動電流を有機 EL 素子 1D に供給し、当該有機 EL 素子 1D を電流駆動することによって発光させる。

30

【0031】

[有機 EL 表示装置の回路動作]

次に、上記構成の有機 EL 表示装置 100 の回路動作について、図 3 のタイミング波形図を基に、図 4 ~ 図 6 の動作説明図を用いて説明する。なお、図 4 ~ 図 6 の動作説明図では、図面の簡略化のために、書き込みトランジスタ 1A をスイッチのシンボルで図示している。また、有機 EL 素子 1D は容量成分を持っていることから、当該 EL 容量 1I についても図示している。

40

【0032】

図 3 のタイミング波形図においては、走査線 WSL (WSL-1 ~ WSL-m) の電位 (書き込みパルス) WS の変化、電源供給線 DSL (DSL-1 ~ DSL-m) の電位 DS (V_{cc_H} / V_{cc_L}) の変化、駆動トランジスタ 1B のゲート電位 Vg およびソース電位 Vs の変化を表している。

【0033】

(発光期間)

図 3 のタイミング波形図において、時刻 t_1 以前は有機 EL 素子 1D が発光状態にある (発光期間)。この発光期間では、電源供給線 DSL の電位 DS が第 1 電位 V_{cc_H} にあり、また、書き込みトランジスタ 1A が非導通状態にある。

50

【0034】

このとき、駆動トランジスタ1Bは飽和領域で動作するように設定されているために、図4(A)に示すように、電源供給線DSLから駆動トランジスタ1Bを通して当該駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} に応じた駆動電流(ドレイン-ソース間電流) I_{ds} が有機EL素子1Dに供給される。よって、有機EL素子1Dが駆動電流 I_{ds} の電流値に応じた輝度で発光する。

【0035】

(閾値補正準備期間)

そして、時刻 t_1 になると、線順次走査の新しいフィールドに入り、図4(B)に示すように、電源供給線DSLの電位DSが第1電位(以下、「高電位」と記述する) V_{cc_H} から、信号線DTLの信号線基準電位 $V_o - V_{th}$ よりも十分に低い第2電位(以下、「低電位」と記述する) V_{cc_L} に切り替わる。

10

【0036】

ここで、有機EL素子1Dの閾値電圧を V_{el} 、共通電源供給線1Hの電位を V_{cath} とすると、低電位 V_{cc_L} を $V_{cc_L} < V_{el} + V_{cath}$ とすると、駆動トランジスタ1Bのソース電位 V_s が低電位 V_{cc_L} にほぼ等しくなるために、有機EL素子1Dは逆バイアス状態となって消光する。

【0037】

次に、時刻 t_2 で走査線WSLの電位WSが低電位側から高電位側に遷移することで、図4(C)に示すように、書き込みトランジスタ1Aが導通状態となる。このとき、水平駆動回路103から信号線DTLに対して信号線基準電位 V_o が供給されているために、駆動トランジスタ1Bのゲート電位 V_g が信号線基準電位 V_o になる。また、駆動トランジスタ1Bのソース電位 V_s は、信号線基準電位 V_o よりも十分に低い電位 V_{cc_L} にある。

20

【0038】

このとき、駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} は $V_o - V_{cc_L}$ となる。ここで、 $V_o - V_{cc_L}$ が駆動トランジスタ1Bの閾値電圧 V_{th} よりも大きくないと、後述する閾値補正動作を行うことができないために、 $V_o - V_{cc_L} > V_{th}$ なる電位関係に設定する必要がある。このように、駆動トランジスタ1Bのゲート電位 V_g を信号線基準電位 V_o に、ソース電位 V_s を低電位 V_{cc_L} にそれぞれ固定して(確定させて)初期化する動作が閾値補正準備の動作である。

30

【0039】

(1回目の閾値補正期間)

次に、時刻 t_3 で、図4(D)に示すように、電源供給線DSLの電位DSが低電位 V_{cc_L} から高電位 V_{cc_H} に切り替わると、駆動トランジスタ1Bのソース電位 V_s が上昇を開始し、1回目の閾値補正期間に入る。この1回目の閾値補正期間において、駆動トランジスタ1Bのソース電位 V_s が上昇することによって駆動トランジスタ1Bのゲート-ソース間電圧 V_{gs} が所定の電位 V_{x1} になり、この電位 V_{x1} が保持容量1Cに保持される。

【0040】

続いて、この水平期間(1H)の後半に入った時刻 t_4 で、図5(A)に示すように、水平駆動回路103から信号線DTLに対して映像信号の信号電圧 V_{in} が供給されることにより、信号線DTLの電位が信号線基準電位 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行の画素に対する信号電圧 V_{in} の書き込みが行われる。

40

【0041】

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われないようにするために、走査線WSLの電位WSを高電位側から低電位側に遷移させ、書き込みトランジスタ1Aを非導通状態とする。これにより、駆動トランジスタ1Bのゲート電極は信号線DTLから切り離されてフローティング状態になる。

【0042】

50

ここで、駆動トランジスタ 1 B のゲート電極がフローティング状態にあるときは、駆動トランジスタ 1 B のゲート - ソース間に保持容量 1 C が接続されていることにより、駆動トランジスタ 1 B のソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して (追従して) 駆動トランジスタ 1 B のゲート電位 V_g も変動する。これが保持容量 1 C によるブートストラップ動作である。

【 0 0 4 3 】

時刻 t_4 以降においても、駆動トランジスタ 1 B のソース電位 V_s が上昇を続け、 V_{a1} だけ上昇する ($V_s = V_o - V_{x1} + V_{a1}$)。このとき、ブートストラップ動作により、駆動トランジスタ 1 B のソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a1} だけ上昇する ($V_g = V_o + V_{a1}$)。

10

【 0 0 4 4 】

(2 回目の閾値補正期間)

時刻 t_5 で次の水平期間に入り、図 5 (B) に示すように、走査線 WSL の電位 WS が低電位側から高電位側に遷移し、書き込みトランジスタ 1 A が導通状態となると同時に、水平駆動回路 1 0 3 から信号線 DTL に対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、2 回目の閾値補正期間に入る。

【 0 0 4 5 】

この 2 回目の閾値補正期間では、書き込みトランジスタ 1 A が導通状態になることで信号線基準電位 V_o が書き込まれるために、駆動トランジスタ 1 B のゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ 1 B のソース電位 V_s が上昇を開始する。

20

【 0 0 4 6 】

そして、この 2 回目の閾値補正期間において、駆動トランジスタ 1 B のソース電位 V_s が上昇することによって駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} が所定の電位 V_{x2} になり、この電位 V_{x2} が保持容量 1 C に保持される。

【 0 0 4 7 】

続いて、この水平期間の後半に入った時刻 t_6 で、図 5 (C) に示すように、水平駆動回路 1 0 3 から信号線 DTL に対して映像信号の信号電圧 V_{in} が供給されることにより、信号線 DTL の電位がオフセット電圧 V_o から信号電圧 V_{in} に遷移する。この期間では、他の行 (前回の書き込み行の次の行) の画素に対する信号電圧 V_{in} の書き込みが行われる。

30

【 0 0 4 8 】

このとき、自行の画素に対して信号電圧 V_{in} の書き込みが行われないようにするために、走査線 WSL の電位 WS を高電位側から低電位側に遷移させ、書き込みトランジスタ 1 A を非導通状態とする。これにより、駆動トランジスタ 1 B のゲート電極は信号線 DTL から切り離されてフローティング状態になる。

【 0 0 4 9 】

時刻 t_6 以降においても、駆動トランジスタ 1 B のソース電位 V_s が上昇を続け、 V_{a2} だけ上昇する ($V_s = V_o - V_{x1} + V_{a2}$)。このとき、ブートストラップ動作により、駆動トランジスタ 1 B のソース電位 V_s の上昇に連動して、ゲート電位 V_g も V_{a2} だけ上昇する ($V_g = V_o + V_{a2}$)。

40

【 0 0 5 0 】

(3 回目の閾値補正期間)

時刻 t_7 で次の水平期間に入り、図 5 (D) に示すように、走査線 WSL の電位 WS が低電位側から高電位側に遷移し、書き込みトランジスタ 1 A が導通状態となると同時に、水平駆動回路 1 0 3 から信号線 DTL に対して信号電圧 V_{in} に代えて信号線基準電位 V_o が供給され、3 回目の閾値補正期間に入る。

【 0 0 5 1 】

この 3 回目の閾値補正期間では、書き込みトランジスタ 1 A が導通状態になることで信

50

号線基準電位 V_o が書き込まれるために、駆動トランジスタ 1 B のゲート電位 V_g が再び信号線基準電位 V_o に初期化される。このときのゲート電位 V_g の低下に連動してソース電位 V_s も低下する。そして再び、駆動トランジスタ 1 B のソース電位 V_s が上昇を開始する。

【 0 0 5 2 】

駆動トランジスタ 1 B のソース電位 V_s が上昇し、やがて、駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} が当該駆動トランジスタ 1 B の閾値電圧 V_{th} に収束することにより、当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持される。

【 0 0 5 3 】

上述した 3 回の閾値補正動作により、画素個々の駆動トランジスタ 1 B の閾値電圧 V_{th} が検出されて当該閾値電圧 V_{th} に相当する電圧が保持容量 1 C に保持されることになる。なお、3 回の閾値補正期間において、電流が専ら保持容量 1 C 側に流れ、有機 EL 素子 1 D 側には流れないようにするために、有機 EL 素子 1 D がカットオフ状態となるように共通電源供給線 1 H の電位 V_{cath} を設定しておくこととする。

【 0 0 5 4 】

(信号書き込み期間 & 移動度補正期間)

次に、時刻 t_8 で走査線 WSL の電位 WS が低電位側に遷移することで、図 6 (A) に示すように、書き込みトランジスタ 1 A が非導通状態となり、同時に、信号線 DTL の電位がオフセット電圧 V_o から映像信号の信号電圧 V_{in} に切り替わる。

【 0 0 5 5 】

書き込みトランジスタ 1 A が非導通状態になることで、駆動トランジスタ 1 B のゲート電極がフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 1 B の閾値電圧 V_{th} に等しいため、当該駆動トランジスタ 1 B はカットオフ状態にある。したがって、駆動トランジスタ 1 B にドレイン - ソース間電流 I_{ds} は流れない。

【 0 0 5 6 】

続いて、時刻 t_9 で、走査線 WSL の電位 WS が高電位側に遷移することで、図 6 (B) に示すように、書き込みトランジスタ 1 A が導通状態になって映像信号の信号電圧 V_{in} をサンプリングして画素 1 0 1 内に書き込む。この書き込みトランジスタ 1 A による信号電圧 V_{in} の書き込みにより、駆動トランジスタ 1 B のゲート電位 V_g が信号電圧 V_{in} となる。

【 0 0 5 7 】

そして、映像信号の信号電圧 V_{in} による駆動トランジスタ 1 B の駆動の際に、当該駆動トランジスタ 1 B の閾値電圧 V_{th} が保持容量 1 C に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。閾値補正の原理については後述する。

【 0 0 5 8 】

このとき、有機 EL 素子 1 D は始めカットオフ状態 (ハイインピーダンス状態) にあるために、映像信号の信号電圧 V_{in} に応じて電源供給線 $D SL$ から駆動トランジスタ 1 B に流れる電流 (ドレイン - ソース間電流 I_{ds}) は有機 EL 素子 1 D の EL 容量 1 I に流れ込み、よって当該 EL 容量 1 I の充電が開始される。

【 0 0 5 9 】

この EL 容量 1 I の充電により、駆動トランジスタ 1 B のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 1 B の閾値電圧 V_{th} のばらつきは補正 (閾値補正) されており、駆動トランジスタ 1 B のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 1 B の移動度 μ に依存したものとなる。

【 0 0 6 0 】

やがて、駆動トランジスタ 1 B のソース電位 V_s が $V_o - V_{th} + V$ の電位まで上昇すると、駆動トランジスタ 1 B のゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - V$ となる。すなわち、ソース電位 V_s の上昇分 V は、保持容量 1 C に保持された電圧 ($V_{in} + V_{th} - V$) から差し引かれるように、換言すれば、保持容量 1 C の充電電荷を放

10

20

30

40

50

電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

【0061】

このように、駆動トランジスタ1Bに流れるドレイン - ソース間電流 I_{ds} を当該駆動トランジスタ1Bのゲート入力に、即ちゲート - ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ1Bのドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0062】

より具体的には、映像信号の信号電圧 V_{in} が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量（補正量） V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。また、映像信号の信号電圧 V_{in} を一定とした場合、駆動トランジスタ1Bの移動度 μ が大きいほど負帰還の帰還量 V の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。移動度補正の原理については後述する。

【0063】

（発光期間）

次に、時刻 t_{10} で走査線 WSL の電位 WS が低電位側に遷移することで、図6（C）に示すように、書き込みトランジスタ1Aが非導通状態となる。これにより、駆動トランジスタ1Bのゲート電極は信号線 DTL から切り離されてフローティング状態になる。

【0064】

駆動トランジスタ1Bのゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ1Bのドレイン - ソース間電流 I_{ds} が有機EL素子1Dに流れ始めることにより、有機EL素子1Dのアノード電位は、駆動トランジスタ1Bのドレイン - ソース間電流 I_{ds} に応じて上昇する。

【0065】

有機EL素子1Dのアノード電位の上昇は、即ち駆動トランジスタ1Bのソース電位 V_s の上昇に他ならない。駆動トランジスタ1Bのソース電位 V_s が上昇すると、保持容量1Cのブートストラップ動作により、駆動トランジスタ1Bのゲート電位 V_g も連動して上昇する。

【0066】

このとき、ブートストラップゲインが1（理想値）であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ1Bのゲート - ソース間電圧 V_{gs} は $V_{in} + V_{th} - V$ で一定に保持される。そして、時刻 t_{11} で信号線 DTL の電位が映像信号の信号電圧 V_{in} から信号線基準電位 V_o に切り替わる。

【0067】

以上の動作説明から明らかなように、本例では、信号書き込みおよび移動度補正が行われる1H期間と、当該1H期間に先行する2H期間の、計3H期間に亘って閾値補正期間を設けている。これにより、閾値補正期間として十分な時間を確保することができるために、駆動トランジスタ1Bの閾値電圧 V_{th} を確実に検出して保持容量1Cに保持し、閾値補正動作を確実に行うことができる。

【0068】

なお、閾値補正期間を3H期間に亘って設けるとしたが、これは一例に過ぎず、信号書き込みおよび移動度補正が行われる1H期間で閾値補正期間として十分な時間を確保できるのであれば、先行する水平期間に亘って閾値補正期間を設定する必要はないし、また、高精細化に伴って1H期間が短くなり、閾値補正期間を3H期間に亘って設けても十分な時間を確保できないのであれば、4H期間以上に亘って閾値補正期間を設定することも可能である。

【0069】

< 2 . 駆動トランジスタのゲート - カソード間がショートした場合の問題点 >

10

20

30

40

50

[等価回路]

図7(A)は、図2に示した画素回路において駆動トランジスタ1Bのゲートgとカソード1Hとが電氣的にショートした場合の等価回路を示すものである。また、動作タイミングとしては、図4(D)、図5(B)、図5(D)のように映像信号基準電位 V_o が書込まれている状態を例としている。

【0070】

このように駆動トランジスタ1Bのゲートgが低インピーダンスに配線されたカソード1Hと電氣的にショートしていると、書き込みトランジスタ1Aがオン状態の際に、映像信号線DTLと駆動トランジスタ1Bのゲートgとカソード1Hが同通状態となる。したがって、映像信号線DTLに供給されている映像信号基準電位 V_o はカソード電位 V_{cath} に引き込まれる。

10

【0071】

図7(B)は、図7(A)の欠陥が生じた際の表示状態を示す模式図である。欠陥画素、すなわち図7(A)に示すように駆動トランジスタ1Bのゲートgとカソード1Hとが電氣的にショートしている画素は非発光となる。さらに、転送前段の数画素が輝度変動エリアとなる。輝度変動エリアは転送方向に依存し、必ず転送前段側に発生する。

【0072】

[タイミング波形図]

図8は、図7(A)の欠陥が生じた際のタイミング波形図である。また、図7においては、 $V_o > V_{cath}$ の関係にあることを例としている。このタイミング波形図では、 $V_{n-6} \sim V_{n+2}$ が走査ライン番号における走査線のタイミングを示しており、欠陥画素が V_n に相当している。また、DTLに映像信号電位の切り替わりを示している。図8(A)～(L)の各期間は1水平期間(1H)に対応している。

20

【0073】

図7(A)に示すように、駆動トランジスタ1Bのゲートgとカソード1Hとが電氣的にショートしていると、図8(F)～(J)の期間で問題が生じる。すなわち、この期間で欠陥画素 V_n の走査線WSLが高電位側に遷移すると、そのタイミングにおいて映像信号線DTLに供給されている電位がカソード電位 V_{cath} に引き込まれる。

【0074】

その結果、画素 $V_{n-4} \sim V_{n-1}$ においては、映像信号電位サンプリング直前の映像信号基準電位 V_o が V_{cath} に引き込まれる。これにより、駆動トランジスタ1Bのゲートgへの入力振幅は $V_{in} = V_{sig} - V_o$ ではなく $V_{in}' = V_{sig} - V_{cath}$ となる。

30

【0075】

図8においては、 $V_o > V_{cath}$ としているため、画素 $V_{n-4} \sim V_{n-1}$ には等価的に映像信号基準電位 V_o を基準とした場合に比べて高振幅が書込まれることになる。したがって、 $V_{n-4} \sim V_{n-1}$ の期間は輝度上昇が発生する。その結果、欠陥画素より前段の数画素分に輝度上昇が発生して線状の輝度上昇エリアとして視認される。欠陥画素 V_n については映像信号電位 V_{sig} もカソード電位 V_{cath} に引き込まれるため非発光となる。

40

【0076】

< 3 . 本実施形態の構成例 >

[画素回路]

図9は、本実施形態の一例を示す画素電位設定を説明するための回路図である。画素回路は、有機EL素子1D、駆動トランジスタ1B、書き込みトランジスタ1Aおよび保持容量1Cを有する。

【0077】

具体的には、有機EL素子1Dのアノード電極と駆動トランジスタ1Bのソース電極とが接続され、駆動トランジスタ1Bのゲート電極と書き込みトランジスタ1Aのソース電極またはドレイン電極とが接続されている。また、駆動トランジスタ1Bのゲート - ソー

50

ス電極間に保持容量 1 C が接続される。

【 0 0 7 8 】

信号線 D T L は、書き込みトランジスタ 1 A のドレイン電極またはソース電極に接続されている。また、書き込みトランジスタ 1 A のゲート電極には、図示しない走査線が接続され、所定のタイミングが与えられる。電源供給線 D S L は、駆動トランジスタ 1 B のドレイン電極に接続されている。

【 0 0 7 9 】

このような画素回路の構成において、本実施形態では、信号線 D T L に与えられる映像信号基準電位 V_o と、有機 E L 素子 1 D のカソード電極の電位（カソード電位） V_{cath} とを同電位である電位 V_a にしている。これにより、図 8 (F) ~ (J) の期間においても映像信号基準電位 V_o が V_a より高電位または低電位に引き込まれることはなくなり、前段の画素について輝度変動エリアの発生を防止することが可能となる。

10

【 0 0 8 0 】

ここで、映像信号基準電位およびカソード電位は他の駆動電位に対して任意に設定できる値ではなく、図 3 で示した閾値補正動作等の駆動条件を満たさなければならない。映像信号基準電位とカソード電位とを同電位にするには、映像信号基準電位をカソード電位に合わせる場合のほか、カソード電位を映像信号基準電位に合わせるようにしてもよい。また、これら以外の一定電位に合わせるようにしてもよい。なお、好ましくは、 V_a は従来の設定電位である V_o または V_{cath} に設定することにより、図 3 に示す駆動条件を満たすことになる。

20

【 0 0 8 1 】

[システム構成]

図 1 0 は、本実施形態の一例を示すシステム構成図である。図 1 0 に示すように、有機 E L 表示装置 1 0 0 は、画素 (P X L C) 1 0 1 が行列状 (マトリクス状) に 2 次元配置されてなる画素アレイ部 1 0 2 と、当該画素アレイ部 1 0 2 の周辺に配置され、各画素 1 0 1 を駆動する駆動部とを有する構成となっている。画素 1 0 1 を駆動する駆動部としては、例えば、水平駆動回路 1 0 3、書き込み走査回路 1 0 4 および電源供給走査回路 1 0 5 が設けられている。

【 0 0 8 2 】

画素アレイ部 1 0 2 には、 m 行 n 列の画素配列に対して、画素行ごとに走査線 $W S L - 1 \sim W S L - m$ と電源供給線 $D S L - 1 \sim D S L - m$ とが配線され、画素列ごとに信号線 $D T L - 1 \sim D T L - n$ が配線されている。これらの構成は図 1 に示すシステム構成と同じである。

30

【 0 0 8 3 】

本実施形態では、各画素 1 0 1 に対して信号線 $D T L - 1 \sim E T L - n$ から与える映像信号基準電位 V_o と、各画素 1 0 1 の有機 E L 素子のカソード電極に電位（カソード電位）とを同電位である V_a にしている。

【 0 0 8 4 】

ここで、カソード電位は、各画素 1 0 1 の有機 E L 素子に対して共通電位として与えられる。したがって、各画素 1 0 1 の有機 E L 素子のカソード電極と導通する共通配線 C O M に電位 V_a を与える。

40

【 0 0 8 5 】

一方、信号線 $D T L - 1 \sim E T L - n$ から与える映像信号基準電位 V_o も電位 V_a に設定する。水平駆動回路 1 0 3 は、信号線 $D T L - 1 \sim E T L - n$ に対して信号電位 V_{in} と映像信号基準電位 V_o とを選択的に与える。したがって、映像信号基準電位 V_o を選択した際、電位 V_a を与えるよう制御する。

【 0 0 8 6 】

これにより、前段の画素行の駆動期間内で走査線に走査信号が与えられる間、信号線に映像信号基準電位を与え、自画素における駆動トランジスタの閾値補正を行う期間、映像信号基準電位が V_a より高電位または低電位に引き込まれることがなくなる。すなわち、

50

駆動トランジスタのゲートと有機EL素子のカソードとが電氣的にショートしている場合でも、前段の画素について輝度変動エリアの発生を防止することが可能となる。

【0087】

[駆動方法]

図11は、本実施形態に係る表示装置の駆動方法を説明するタイミング波形図である。図11に示すタイミング波形図は、図3に示すタイミング波形図と同様、発光期間、閾値補正期間、サンプリング期間&移動度補正期間を繰り返しているが、信号線に与えられる映像信号基準電位がカソード電位と同電位である V_a になっている点で相違する。

【0088】

映像信号線電位(DTL)は、映像信号 V_{in} と映像信号基準電位 V_a とが選択的に切り替えられる。この際、映像信号基準電位が V_a になることで、駆動トランジスタのゲート電位(V_g)は閾値補正期間で電位 V_a に設定される。全ての画素について同じ電位 V_a が基準となることから、輝度の均一性は失われない。

【0089】

図12は、図9に示す本実施形態の画素構成において、駆動トランジスタ1Bのゲート g とカソード1Hとが電氣的にショートした欠陥が生じた際のタイミング波形図である。このタイミング波形図では、 $V_{n-6} \sim V_{n+2}$ が走査ライン番号における走査線のタイミングを示しており、欠陥画素が V_n に相当している。また、DTLに映像信号電位の切り替わりを示している。図12(A)~(L)の各期間は1水平期間(1H)に対応している。

【0090】

図9に示すように、駆動トランジスタ1Bのゲート g とカソード1Hとが電氣的にショートしていると、従来の構成では図8(F)~(J)の期間で問題が生じる。すなわち、この期間で欠陥画素 V_n の走査線WSLが高電位側に遷移すると、そのタイミングにおいて映像信号線DTLに供給されている電位がカソード電位 V_{cath} に引き込まれる(図12中破線参照)。

【0091】

一方、本実施形態の構成では、DTLに印加される映像信号基準電位 V_o が $V_o = V_a$ であり、カソード電位 V_{cath} が $V_{cath} = V_a$ である。つまり、映像信号基準電位 $V_o =$ カソード電位 $V_{cath} = V_a$ というように同電位となる制御を行う。

【0092】

その結果、画素 $V_{n-4} \sim V_{n-1}$ においては、映像信号電位サンプリング直前の映像信号基準電位が V_a となり、他の画素と同じ基準となる。これにより、駆動トランジスタ1Bのゲート g への入力振幅は $V_{in} = V_{sig} - V_a$ となり、欠陥画素 V_n より前段の数画素分に輝度上昇は発生しない。

【0093】

なお、上記実施形態では、画素101の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子(発光素子)を用いた表示装置全般に対して適用可能である。

【0094】

また、画素101の構成として、2つのトランジスタ(Tr)と1つの容量素子(C)からなる $2Tr/1C$ の画素構成の場合を例としてが、本発明はこれに限定されず、例えば4つのトランジスタ(Tr)と1つの容量素子(C)からなる $4Tr/1C$ の画素構成など、他の画素構成であっても適用可能である。

【0095】

< 4. 適用例 >

以上説明した本実施形態に係る表示装置は、一例として、図13~図17に示す様々な電子機器に適用される。例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは

10

20

30

40

50

、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0096】

このように、あらゆる分野の電子機器の表示装置として本実施形態に係る表示装置を用いることにより、表示画像の画質向上を図ることができるために、各種の電子機器において、良質な画像表示を行うことができる利点がある。

【0097】

なお、本実施形態に係る表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部102に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、10

【0098】

以下に、本実施形態の表示装置が適用される電子機器の具体例について説明する。

【0099】

図13は、本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル108やフィルターガラス109等から構成される映像表示画面部107を含み、その映像表示画面部107として本実施形態による表示装置を用いることにより作成される。20

【0100】

図14は、本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本実施形態による表示装置を用いることにより作製される。

【0101】

図15は、本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本実施形態による表示装置を用いることにより作製される。30

【0102】

図16は、本実施形態が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本実施形態による表示装置を用いることにより作製される。

【0103】

図17は、本実施形態が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本実施形態による表示装置を用いることにより作製される。40

【図面の簡単な説明】

【0104】

【図1】本発明の前提となるアクティブマトリクス型有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】画素(画素回路)の具体的な構成例を示す回路図である。

【図3】本発明の前提となるアクティブマトリクス型有機EL表示装置の動作説明に供す50

るタイミング波形図である。

【図4】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図(その1)である。

【図5】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図(その2)である。

【図6】本発明の前提となるアクティブマトリクス型有機EL表示装置の回路動作の説明図(その3)である。

【図7】駆動トランジスタのショートによる影響を説明する図である。

【図8】欠陥が生じた際のタイミング波形図である。

【図9】本実施形態の一例を示す画素電位設定を説明するための回路図である。

10

【図10】本実施形態の一例を示すシステム構成図である。

【図11】本実施形態に係る表示装置の駆動方法を説明するタイミング波形図である。

【図12】本実施形態の画素構成において欠陥が生じた際のタイミング波形図である。

【図13】本実施形態が適用されるテレビジョンセットの外観を示す斜視図である。

【図14】本実施形態が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。

【図15】本実施形態が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図16】本実施形態が適用されるビデオカメラの外観を示す斜視図である。

【図17】本実施形態が適用される携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

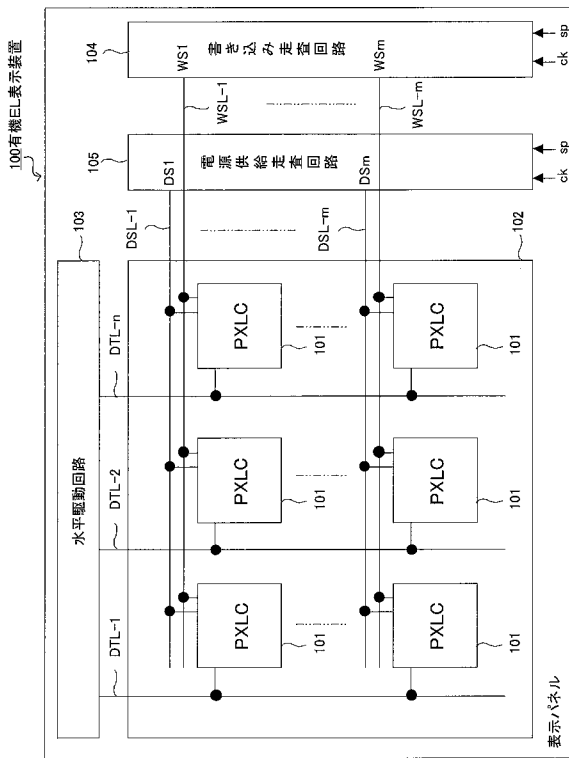
20

【符号の説明】

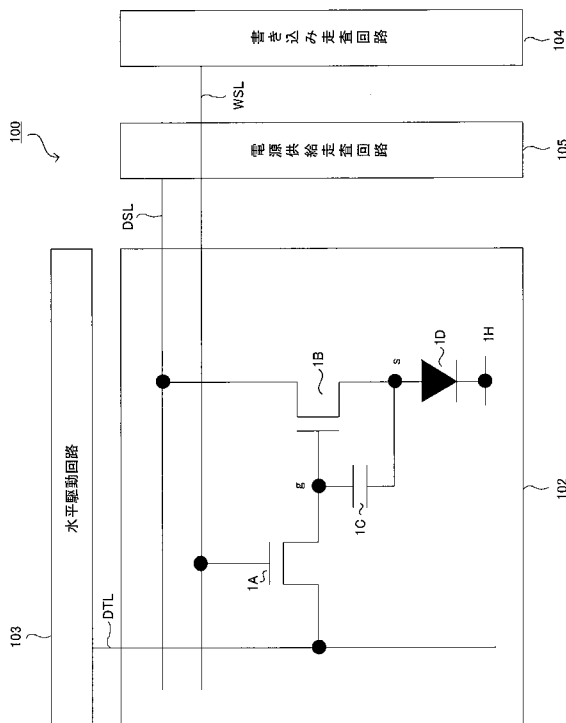
【0105】

100...有機EL表示装置、101...画素(画素回路)、102...画素アレイ部、103...水平駆動回路、104...書き込み走査回路、105...電源供給走査回路、1A...書き込みトランジスタ、1B...駆動トランジスタ、1C...保持容量、1D...有機EL素子、DSL-1~DSL-m...電源供給線、DTL-1~DTL-n...信号線、WSL-1~WSL-m...走査線

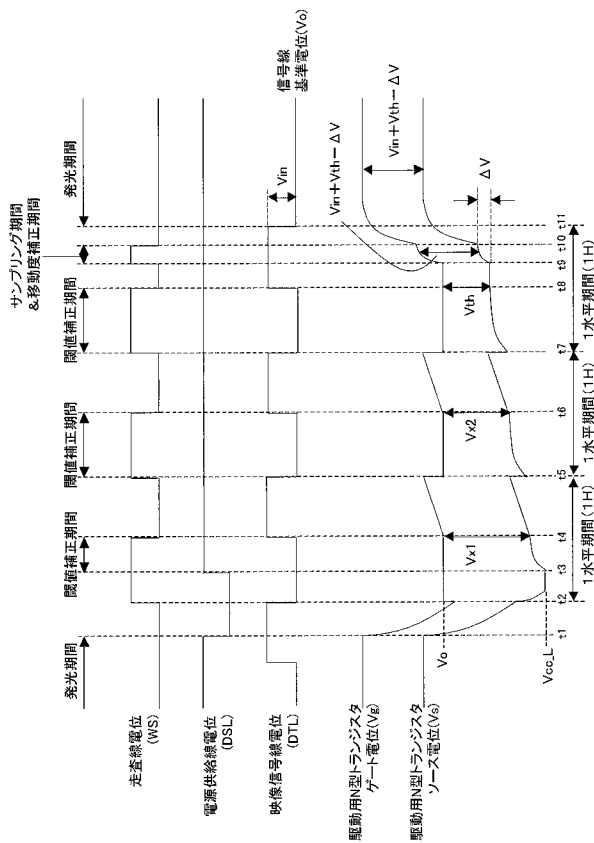
【図1】



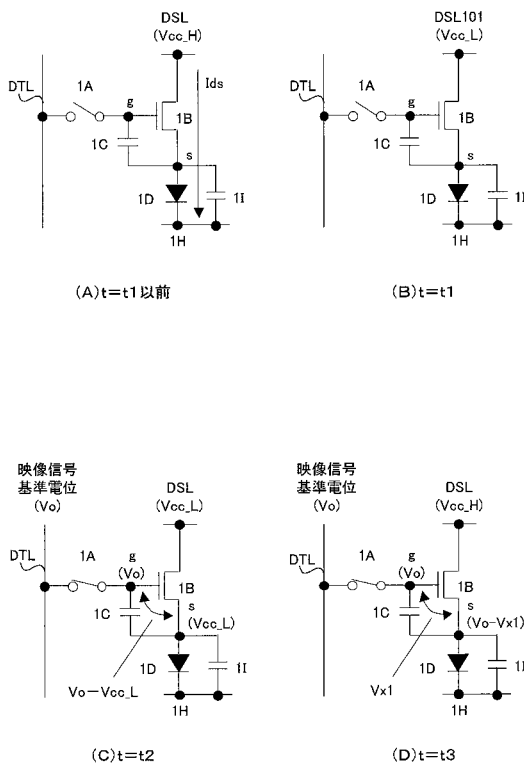
【図2】



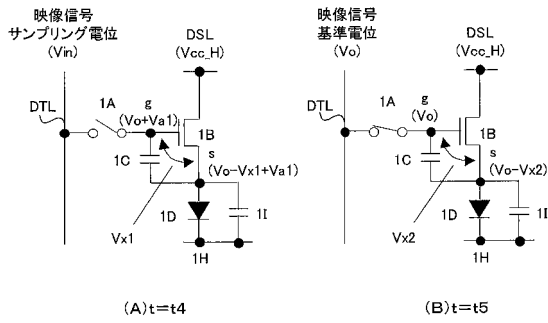
【図3】



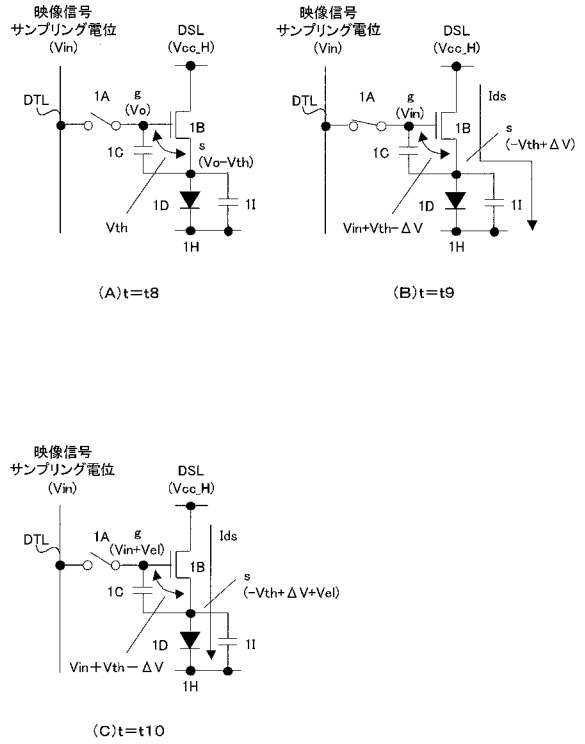
【図4】



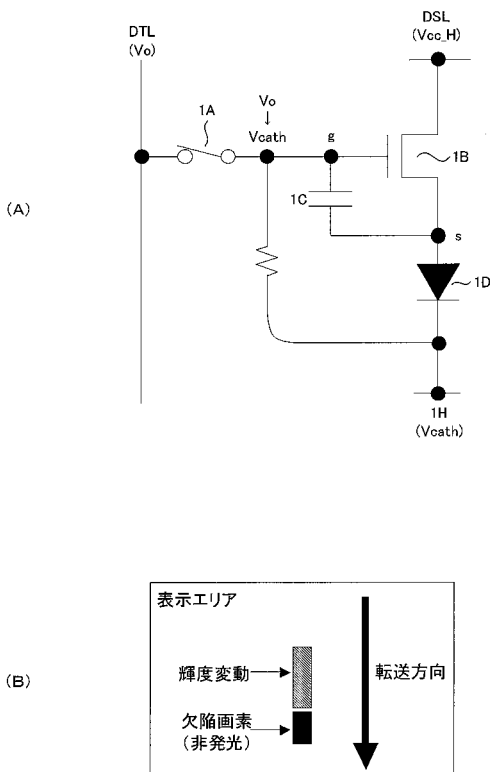
【図5】



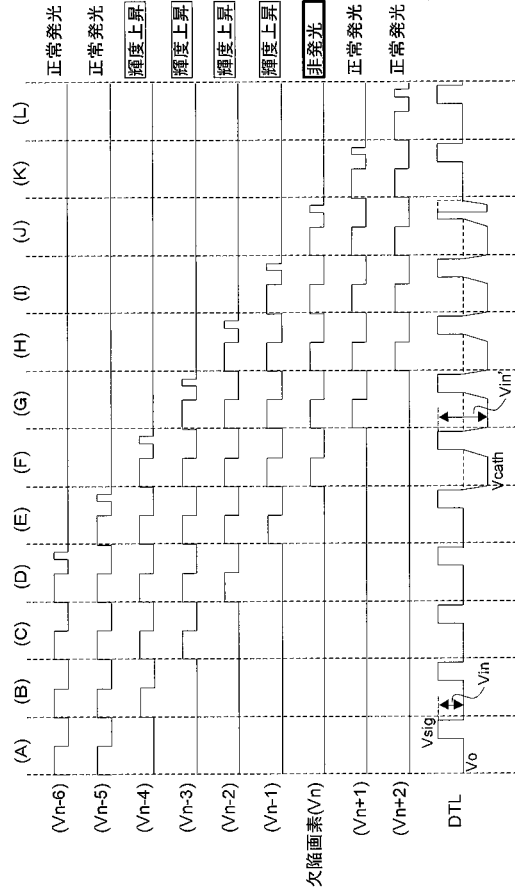
【図6】



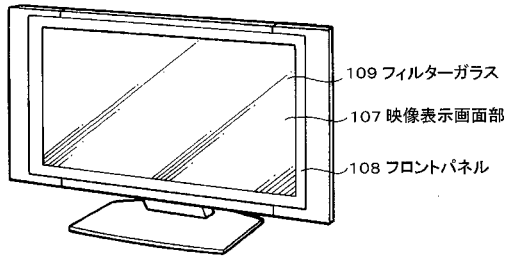
【図7】



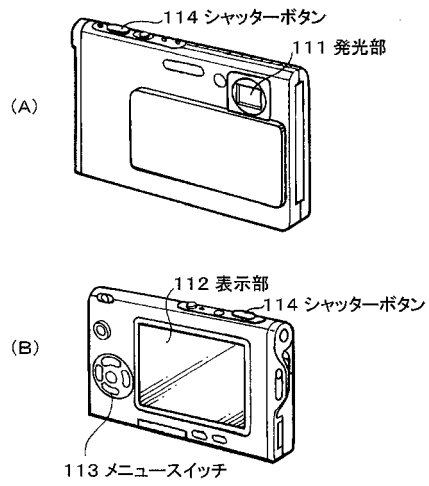
【図8】



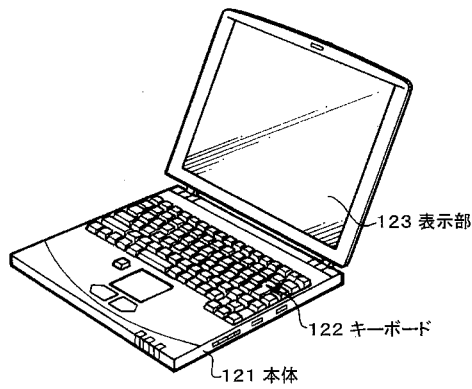
【図13】



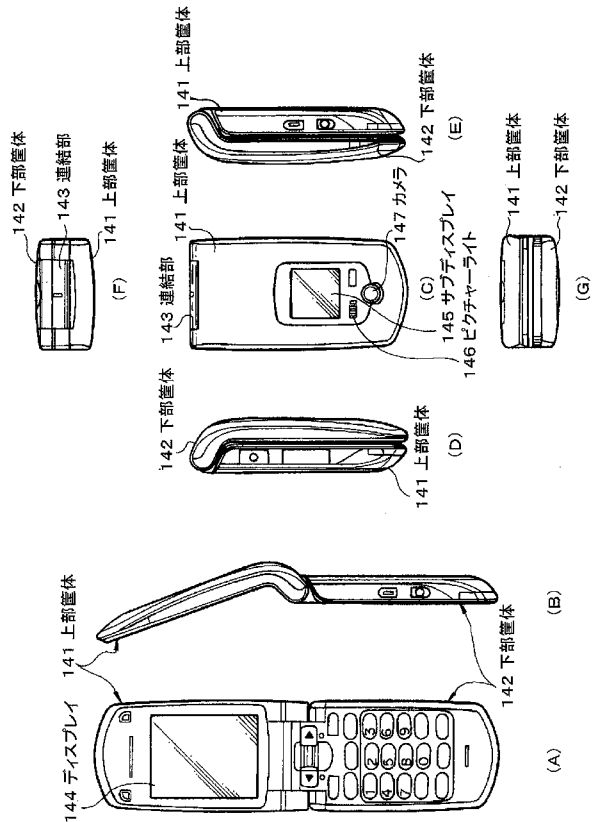
【図14】



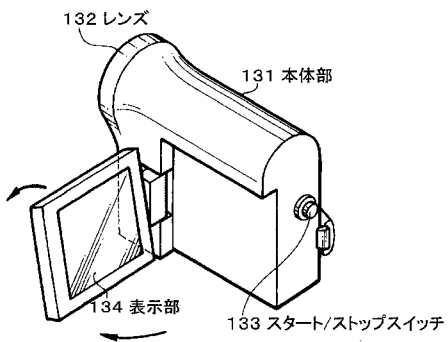
【図15】



【図17】



【図16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 7 0 A
G 0 9 G 3/20 6 2 3 Y
H 0 5 B 33/14 A

審査官 森口 忠紀

(56)参考文献 特開2008-257085(JP,A)
特開2008-262019(JP,A)
特開2008-292785(JP,A)
特開2007-310311(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8

