

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5146090号
(P5146090)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
H01L 51/50 (2006.01)

G09G 3/30 J
G09G 3/20 612G
G09G 3/20 642A
G09G 3/20 624B
G09G 3/20 624Z

請求項の数 8 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2008-121741 (P2008-121741)
(22) 出願日 平成20年5月8日(2008.5.8)
(65) 公開番号 特開2009-271320 (P2009-271320A)
(43) 公開日 平成21年11月19日(2009.11.19)
審査請求日 平成23年3月29日(2011.3.29)

(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100118290
弁理士 吉井 正明
(74) 代理人 100094363
弁理士 山本 孝久
(72) 発明者 山本 哲郎
東京都港区港南1丁目7番1号ソニー株式
会社内
(72) 発明者 内野 勝秀
東京都港区港南1丁目7番1号ソニー株式
会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 EL表示パネル、電子機器及びEL表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

水平ライン方向と垂直ライン方向とに2次元マトリクス状に配列された、EL素子とEL素子を駆動する画素回路とを備えた画素領域、

水平ライン方向に並ぶ画素領域に対応して延びるライトスキャン線および電源線、並びに、

垂直ライン方向に並ぶ画素領域に対応して延びる信号線、
を備えており、

画素回路は、少なくとも、サンプリングトランジスタ、駆動トランジスタ及び保持容量を備えており、

サンプリングトランジスタにあつては、一方のソース/ドレイン電極は信号線に接続されており、ゲート電極はライトスキャン線に接続されており、

駆動トランジスタにあつては、一方のソース/ドレイン電極は電源線に接続されており、ゲート電極はサンプリングトランジスタの他方のソース/ドレイン電極と保持容量の一方の電極とに接続されており、他方のソース/ドレイン電極は、EL素子のアノード電極と保持容量の他方の電極に接続されており、

ライトスキャン線には、ライトスキャンドライバによって走査信号が供給され、

電源線には、電源線スキャンドライバによって消灯電位と発光電位とを含む少なくとも2つ以上の電位が供給され、

信号線には、水平セレクトタによって、1水平走査期間内に少なくとも信号電位が供給さ

れ、

電源線が消灯電位にあるときに基準電位が駆動トランジスタのゲート電極に印加されることによって駆動トランジスタのゲート・ソース間電圧が駆動トランジスタの閾値電圧を超えるように設定する閾値補正準備動作が行われ、次いで、電源線が消灯電位から発光電位に切り替わることによって、基準電位が駆動トランジスタのゲート電極に印加された状態で駆動トランジスタの他方のソース/ドレイン電極の電位を所定の基準電位から駆動トランジスタの閾値電圧を減じた電位に向かって変化させる閾値補正動作が行われ、次いで、サンプリングトランジスタを介して信号線から信号電位が駆動トランジスタのゲート電極に印加され、その後、サンプリングトランジスタがオフ状態とされることでE L素子が発光する発光期間が所定の間継続し、次いで、電源線が発光電位から消灯電位に切り替わることでE L素子が消灯する消灯期間が所定の間継続するE L表示パネルであって、

10

水平ラインに沿って延びる電源線は、連続する複数行単位で電氣的に結合された配線構造を有し、連続する複数行単位の電源線にあっては動作タイミングが共通化されており、
複数行単位の電源線に接続された画素回路において、閾値補正準備動作は全て同一のタイミングで行われ、閾値補正度動作は水平ライン単位で行われ、

発光期間と非発光期間で構成される1回の発光サイクル内において電源電位が消灯電位から初めて発光電位に立ち上がってから複数行単位の電源線の最終段に対応する水平ラインに属するE L素子の発光が開始されるまでの間に、複数行単位の電源線の電位が、いずれかの水平ラインにおいて閾値補正動作が行われる直前に、瞬時的な立ち下げ期間に亘り発光電位から消灯電位に切り換えられるE L表示パネル。

20

【請求項2】

1 水平走査期間内において、信号線には、水平セレクトによって基準電位と信号電位との順で電位が供給され、

駆動トランジスタのゲート電極には、サンプリングトランジスタを介して信号線から基準電位が印加される請求項1に記載のE L表示パネル。

【請求項3】

信号線には、水平セレクトによって、基準電位と信号電位との間に更に初期電圧保持電位が供給され、

初期電圧保持電位は、基準電位より低く且つ消灯電位との電位差が駆動トランジスタの閾値電圧以下になるように設定されており、

閾値補正動作は複数回の水平走査期間に分割して実行され、

各閾値補正動作において、サンプリングトランジスタを介して信号線から基準電位と初期電圧保持電位とが駆動トランジスタのゲート電極に印加される請求項2に記載のE L表示パネル。

30

【請求項4】

閾値補正動作の直前に行われる閾値補正準備動作において、サンプリングトランジスタを介して信号線から基準電位と初期電圧保持電位とが駆動トランジスタのゲート電極に印加される請求項3に記載のE L表示パネル。

【請求項5】

画素回路は、更に、一方のソース/ドレイン電極が基準電位に接続され、他方のソース/ドレイン電極が駆動トランジスタのゲート電極に接続された、第2のサンプリングトランジスタを備えており、

駆動トランジスタのゲート電極には、第2のサンプリングトランジスタを介して基準電位が印加される請求項1に記載のE L表示パネル。

40

【請求項6】

複数行単位の電源線の先頭段に対応する水平ラインに属するE L素子の発光の開始から電源線の最終段に対応する水平ラインに属するE L素子の発光の終了までの間に、複数行単位の電源線の電位が、複数行単位の電源線に対応する水平ラインの行数から1を減じた回数分だけ、瞬時的な立ち下げ期間に亘り発光電位から消灯電位に切り換えられる請求項

50

1 ないし請求項 5 のいずれか 1 項に記載の E L 表示パネル。

【請求項 7】

請求項 1 に記載の E L 表示パネルと、
システム全体の動作を制御するシステム制御部と、
システム制御部に対する操作入力を受け付ける操作入力部とを有する電子機器。

【請求項 8】

水平ライン方向と垂直ライン方向とに 2 次元マトリクス状に配列された、E L 素子と E L 素子を駆動する画素回路とを備えた画素領域、
水平ライン方向に並ぶ画素領域に対応して延びるライトスキャン線および電源線、並び

10

に、
垂直ライン方向に並ぶ画素領域に対応して延びる信号線、
を備えており、

画素回路は、少なくとも、サンプリングトランジスタ、駆動トランジスタ及び保持容量を備えており、

サンプリングトランジスタにあっては、一方のソース/ドレイン電極は信号線に接続されており、ゲート電極はライトスキャン線に接続されており、

駆動トランジスタにあっては、一方のソース/ドレイン電極は電源線に接続されており、ゲート電極はサンプリングトランジスタの他方のソース/ドレイン電極と保持容量の一方の電極とに接続されており、他方のソース/ドレイン電極は、E L 素子のアノード電極と保持容量の他方の電極に接続されており、

20

ライトスキャン線には、ライトスキャンドライバによって走査信号が供給され、

電源線には、電源線スキャンドライバによって消灯電位と発光電位とを含む少なくとも 2 つ以上の電位が供給され、

信号線には、水平セレクトタによって、1 水平走査期間内に少なくとも信号電位が供給され、

電源線が消灯電位にあるときに基準電位が駆動トランジスタのゲート電極に印加されることによって駆動トランジスタのゲート・ソース間電圧が駆動トランジスタの閾値電圧を超えるように設定する閾値補正準備動作が行われ、次いで、電源線が消灯電位から発光電位に切り替わることによって、基準電位が駆動トランジスタのゲート電極に印加された状態で駆動トランジスタの他方のソース/ドレイン電極の電位を所定の基準電位から駆動トランジスタの閾値電圧を減じた電位に向かって変化させる閾値補正動作が行われ、次いで、サンプリングトランジスタを介して信号線から信号電位が駆動トランジスタのゲート電極に印加され、その後、サンプリングトランジスタがオフ状態とされることで E L 素子が発光する発光期間が所定の間継続し、次いで、電源線が発光電位から消灯電位に切り替わることで E L 素子が消灯する消灯期間が所定の間継続する E L 表示パネルの駆動方法であって、

30

水平ラインに沿って延びる電源線は、連続する複数行単位で電氣的に結合された配線構造を有し、連続する複数行単位の電源線にあっては動作タイミングが共通化されており、

複数行単位の電源線に接続された画素回路において、閾値補正準備動作を全て同一のタイミングで行い、閾値補正動作を水平ライン単位で行い、

40

発光期間と非発光期間で構成される 1 回の発光サイクル内において電源電位が消灯電位から初めて発光電位に立ち上がってから複数行単位の電源線の最終段に対応する水平ラインに属する E L 素子の発光が開始されるまでの間に、複数行単位の電源線の電位が、いずれかの水平ラインにおいて閾値補正動作が行われる直前に、瞬時的な立ち下げ期間に亘り発光電位から消灯電位に切り換える E L 表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御される E L 表示パネルの駆動技術に関する。なお、この明細書で提案する発明は、E L 表示パネルの駆

50

動方法及びE L表示パネルを搭載する電子機器としての側面も有する。

【背景技術】

【0002】

図1に、アクティブマトリクス駆動型の有機E Lパネルに一般的な回路ブロック構成を示す。図1に示すように、有機E Lパネル1は、画素アレイ部3と、その駆動回路であるライトスキャンドライバ5及び水平セクタ7で構成される。なお、画素アレイ部3には、走査線D T Lとライトスキャン線W S Lの各交点に画素回路が配置される。

【0003】

ところで、有機E L素子は電流発光素子である。このため、有機E Lパネルでは、各画素に対応する有機E L素子に流れる電流量の制御により階調を制御する駆動方式が採用される。図2に、この種の画素回路のうち最も単純な回路構成の一つを示す。この画素回路は、サンプリングトランジスタT 1、駆動トランジスタT 2及び保持容量C sで構成される。

10

【0004】

なお、サンプリングトランジスタT 1は、対応画素の階調に対応する信号電圧V sigの保持容量C sへの書き込みを制御する薄膜トランジスタである。また、駆動トランジスタT 2は、保持容量C sに保持された信号電圧V sigに応じて定まるゲート・ソース間電圧V g sに基づいて駆動電流I d sを有機E L素子O L E Dに供給する薄膜トランジスタである。図2の場合、サンプリングトランジスタT 1は、Nチャンネル型薄膜トランジスタで構成され、駆動トランジスタT 2は、Pチャンネル型薄膜トランジスタで構成される。

20

【0005】

図2の場合、駆動トランジスタT 2のソース電極は、電源電位V ccが固定的に印加されている電源線に接続され、常に飽和領域で動作する。すなわち、駆動トランジスタT 2は、信号電圧V sigに応じた大きさの駆動電流を有機E L素子O L E Dに供給する定電流源として動作する。この際、駆動電流I d sは次式で与えられる。

$$I d s = k \cdot \mu \cdot (V g s - V t h)^2 / 2$$

【0006】

因みに、 μ は、駆動トランジスタT 2の多数キャリアの移動度である。また、V t hは、駆動トランジスタT 2の閾値電圧である。また、kは、 $(W / L) \cdot C o x$ で与えられる係数である。ここで、Wはゲート幅、Lはゲート長、C o xは単位面積当たりのゲート容量である。

30

【0007】

なお、この構成の画素回路の場合、図3に示す有機E L素子のI - V特性の経時変化に伴って、駆動トランジスタT 2のドレイン電圧が変化するという特性があることが知られている。しかし、ゲート・ソース間電圧V g sは一定に保たれるので、有機E L素子に供給される電流量には変化が無く、発光輝度を一定に保つことができる。

【0008】

以下に、アクティブマトリクス駆動方式を採用する有機E Lパネルディスプレイに関する文献を例示する。

【特許文献1】特開2003 - 255856号公報

40

【特許文献2】特開2003 - 271095号公報

【特許文献3】特開2004 - 133240号公報

【特許文献4】特開2004 - 029791号公報

【特許文献5】特開2004 - 093682号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、薄膜プロセスの種類によっては図2に示す回路構成を採用できない場合がある。すなわち、現在の薄膜プロセスでは、Pチャンネル型の薄膜トランジスタを採用できない場合がある。このような場合、駆動トランジスタT 2をNチャンネル型薄膜トランジスタ

50

に置き換えることになる。

【0010】

図4に、この種の画素回路の構成を示す。この場合、駆動トランジスタT2のソース電極は有機EL素子OLEDの陽極(アノード)端子に接続されることになる。ただし、この画素回路の場合には、有機EL素子のI-V特性の経時変化に伴ってゲート・ソース間電圧V_{gs}が変動する問題がある。このゲート・ソース間電圧V_{gs}の変動は、駆動電流量を変化させ、発光輝度を変化させてしまう。

【0011】

この他、各画素回路を構成する駆動トランジスタT2の閾値及び移動度は、画素毎に異なっている。この駆動トランジスタT2の閾値や移動度の違いは、駆動電流値のバラツキとなって出現し、発光輝度が画素毎に変化する。

10

【0012】

従って、図4に示す画素回路を採用する場合には、経時変化によらず安定した発光特性の得られる駆動方法の確立が求められている。同時に、製造コストが安価なEL表示パネルの実現が求められる。

【課題を解決するための手段】

【0013】

そこで、発明者らは、アクティブマトリクス駆動方式に対応した画素構造及び配線構造を有し、かつ、各画素領域のEL発光素子に電流を供給する電源線が2値以上の電位で駆動されるEL表示パネルとして、水平ラインに沿って延びる電源線が連続複数行単位で電氣的に結合される配線構造を有するものを提案する。

20

【0014】

この回路構成の場合、複数本の電源線で2値駆動信号を共通化できる。このため、駆動回路の出力段数を、1水平ライン単位で電源線を駆動する場合に必要な出力段数の数分の1に減少できる。出力段数の低減は、駆動回路の回路規模の低減と駆動周波数の低減とを実現できることになり、駆動回路として安価な駆動回路を採用することができる。

【0015】

なお、このEL表示パネルは、発光期間と非発光期間で構成される1回の発光サイクルのうち、非発光期間中の電源電位が消灯電位から初めて発光電位に立ち上がってから、結合単位の最終段に位置する水平ラインの発光が開始されるまでの間に、互いに結合された複数行の電源線の電位を、少なくとも1回は前記消灯電位に立ち下げる電源線駆動回路を有することが望ましい。因みに、発光サイクルは、1水平走査期間であることが望ましい。

30

【0016】

また、画素領域のEL発光素子に供給する電流量を制御する駆動トランジスタのゲート電極には、結合単位であるいずれかの水平ラインが非発光期間である間に、少なくとも信号電位、駆動トランジスタの閾値補正用の基準電位、初期電圧保持電位の3値が供給されることが望ましい。

【0017】

この場合において、初期電圧保持電位は、閾値補正用の基準電位により低い値で与えられるのと同時に、消灯電位との電位差が駆動トランジスタの閾値電圧以下になるように設定されることが望ましい。

40

【0018】

また、信号線に印加される3値電位のうち初期電圧保持電位は、結合された全ての水平ラインに共通する閾値補正準備期間の少なくとも最後のタイミングに供給されることが望ましい。

【0019】

また、閾値補正動作が複数回の水平走査期間に分割して実行される場合には、少なくとも信号電位の書き込み動作の直前に行う閾値補正動作を除く全ての実行回で、各画素領域のEL発光素子に供給する電流量を制御する駆動トランジスタのゲート電極に初期電圧保

50

持電位が印加されることが望ましい。

【0020】

また、前述した電源駆動回路は、結合単位の先頭段の発光期間開始から最終段の発光期間の終了までの間に、互いに結合された行数 - 1 回分の消灯電位への立ち下げ期間を設けることが望ましい。

【0021】

また、この回路構成の E L 表示パネルでは、発光期間と非発光期間で構成される 1 回の発光サイクルのうち、結合単位の先頭段に位置する水平ラインの閾値補正期間の開始から、結合単位の最終段に位置する水平ラインの閾値補正期間の終了までの間に、互いに結合された複数行の電源線の電位を、少なくとも 1 回は消灯電位に立ち下げる電源線駆動回路を有することが望ましい。

10

【0022】

また、発明者らは、前述した構成の E L 表示パネルを搭載した電子機器を提案する。

ここで、電子機器は、前述した構成の E L 表示パネルと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とで構成する。

【発明の効果】

【0023】

発明者らの提案する発明では、各画素領域の E L 発光素子に電流を供給する電源線を、連続する複数行単位で 2 値以上の電位で駆動できるので、駆動回路の出力段数を、1 水平ライン単位で電源線を駆動する場合に必要な出力段数の数分の 1 に減少できる。すなわち、駆動回路として安価な駆動回路を採用でき、E L 表示パネルの低価格化を実現できる。

20

【発明を実施するための最良の形態】

【0024】

以下、発明を、アクティブマトリクス駆動型の有機 E L パネルについて説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0025】

(A) 外観構成

なお、この明細書では、画素アレイ部と駆動回路とを同じ半導体プロセスを用いて同じ基板上に形成した表示パネルだけでなく、例えば特定用途向け IC として製造された駆動回路を画素アレイ部の形成された基板上に実装したのも有機 E L パネルと呼ぶ。

30

【0026】

図 5 に、有機 E L パネルの外観構成例を示す。有機 E L パネル 11 は、支持基板 13 のうち画素アレイ部の形成領域に対向部 15 を貼り合わせた構造を有している。

【0027】

対向部 15 は、ガラスその他の透明部材を基材とし、その表面には保護膜等が配置される。なお、有機 E L パネルモジュール 11 には、外部から支持基板 13 に信号等を入出力するための FPC (フレキシブルプリントサーキット) 17 が配置される。

40

【0028】

(B) 形態例 1

(B-1) システム構成

以下では、駆動トランジスタ T2 の特性バラツキを防ぎ、かつ画素回路を構成する素子数が少なく済む有機 E L パネル 11 のシステム構成例を示す。

図 6 は、有機 E L パネル 11 のシステム構成例である。図 6 に示す有機 E L パネル 11 は、画素アレイ部 21 と、その駆動回路であるライトキャンドライバ 23、電源線スキャンドライバ 25、水平セクタ 27、タイミングジェネレータ 29 で構成される。

【0029】

画素アレイ部 21 には、信号線 DTL とライトスキャン線 WSL との各交点位置にサブ

50

画素を配置したマトリクス構造を有している。因みに、サブ画素は1画素を構成する画素構造の最小単位である。一般に、ホワイトユニットとしての1画素は有機EL材料の異なる3つのサブ画素(R、G、B)で構成される。

【0030】

図7に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。また図8に、形態例1で提案する画素回路の内部構成を示す。図8に示す画素回路は、2つのNチャンネル型の薄膜トランジスタT1、T2と1つの保持容量Csとで構成される。

【0031】

この回路構成の場合も、ライトスキヤンドライバ23は、ライトスキャン線WSLを通じてサンプリングトランジスタT1を開閉制御し、信号線電位の保持容量Csへの書き込みを制御するのに用いられる。因みに、ライトスキヤンドライバ23は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

10

【0032】

電源線スキヤンドライバ25は、電源線DSLを通じて駆動トランジスタT2の一方の主電極に接続される電源線DSLを2値的に制御し、他の駆動回路との連動動作により画素回路内の動作内容を制御するのに用いられる。ここでの動作には、有機EL素子の発光・非発光だけでなく、特性バラツキの補正動作も含まれる。この形態例の場合、特性バラツキの補正は、駆動トランジスタT2の閾値のバラツキや移動度のバラツキに基づくユニフォーマティの劣化の補正を意味する。

【0033】

20

水平セクタ27は、信号線DTLに画素データDinに応じた信号電位Vsig又は閾値補正用のオフセット電圧Vofsを印加するのに用いられる。水平セクタ27は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A変換回路とで構成される。

タイミングジェネレータ29は、ライトスキャン線WSL、電源線DSL、信号線DTLの駆動に必要なタイミングパルスを生成する回路デバイスである。

【0034】

(B-2) 駆動動作例

図9に、図8に示す画素回路の駆動動作例を示す。因みに図9では、電源線DSLに印加する2種類の電源電位のうち高電位(発光電位)の方をVccで表し、低電位(非発光電位)の方をVssで表す。

30

【0035】

まず、発光状態における画素回路内の動作状態を図10に示す。このとき、サンプリングトランジスタT1はオフ状態である。一方、駆動トランジスタT2は飽和領域で動作し、ゲート・ソース間電圧Vgsに応じて定まる電流Idsが流れる(図9(t1))。

【0036】

次に、非発光状態の動作状態を説明する。このとき、電源線DSLの電位が高電位Vccから低電位Vssに切り換わる(図9(t2))。この際、低電位Vssが有機EL素子の閾値Vthelとカソード電位Vcathとの和より小さいとき、つまりVss < Vthel + Vcathであれば有機EL素子は消灯する。

40

【0037】

なお、駆動トランジスタT2のソース電位Vsは電源線DSLの電位と同じになる。すなわち、有機EL素子のアノード電極は低電位Vssに充電される。図11に、画素回路内の動作状態を示す。図11に破線で示すように、この際、保持容量Csに保持されていた電荷は電源線DSLへ引き出される。

【0038】

この後、信号線DTLの電位が閾値補正用のオフセット電位Vofsに遷移した状態で、ライトスキャン線WSLが高電位に変化すると、オン動作したサンプリングトランジスタT1を通じて駆動トランジスタT2のゲート電位がオフセット電位Vofsに変化する(図9(t3))。

50

【 0 0 3 9 】

図 1 2 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ で与えられる。この電圧は、駆動トランジスタ T 2 の閾値電圧 V_{th} よりも大きくなるように設定される。 $V_{ofs} - V_{ss} > V_{th}$ を満たさなければ閾値補正動作を実行できないためである。

【 0 0 4 0 】

次に、電源線 D S L の電源電位が再び高電位 V_{cc} に切り換えられる（図 9 (t 4) ）。電源線 D S L の電源電位が高電位 V_{cc} に変化することで、有機 E L 素子 O L E D のアノード電位が駆動トランジスタ T 2 のソース電位 V_s となる。

【 0 0 4 1 】

図 1 3 では、有機 E L 素子 O L E D を等価回路で示す。すなわち、ダイオードと寄生容量 C_{el} で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$ の関係を満たす限り（ただし、有機 E L 素子のリーク電流は駆動トランジスタ T 2 に流れる駆動電流 I_{ds} よりかなり小さいと考える。）、駆動トランジスタ T 2 に流れる駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【 0 0 4 2 】

結果的に、有機 E L 素子 O L E D のアノード電位 V_{el} は、図 1 4 に示すように、時間の経過と共に上昇する。すなわち、駆動トランジスタ T 2 のゲート電位はオフセット電位 V_{ofs} に固定した状態のまま、駆動トランジスタ T 2 のソース電位 V_s が上昇を開始する。この動作が閾値補正動作である。

【 0 0 4 3 】

やがて、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} = V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、サンプリングトランジスタ T 1 が再びオフ制御される（図 9 (t 5) ）。

【 0 0 4 4 】

この後、信号線 D T L の電位が信号電位 V_{sig} に遷移するのに必要なタイミング以降に、サンプリングトランジスタ T 1 は再びオン状態に制御される（図 9 (t 6) ）。図 1 5 に、この場合における画素回路内の動作状態を示す。信号電位 V_{sig} は、対応画素の階調値に応じて与えられる電位である。

この際、駆動トランジスタ T 2 のゲート電位 V_g は、信号電位 V_{sig} に遷移する。一方、駆動トランジスタ T 2 のソース電位 V_s は、電源線 D S L から保持容量 C_s へと流れ込む電流により時間と共に上昇する。

【 0 0 4 5 】

この時、駆動トランジスタ T 2 のソース電位 V_s が有機 E L 素子の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和を越えなければ（有機 E L 素子のリーク電流が駆動トランジスタ T 2 に流れる電流よりもかなり小さければ）、駆動トランジスタ T 2 により供給される駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【 0 0 4 6 】

なお、駆動トランジスタ T 2 の閾値補正動作は既に完了しているので、駆動トランジスタ T 2 が流す駆動電流 I_{ds} は、駆動トランジスタ T 2 の移動度 μ を反映した値になる。具体的には、移動度 μ が大きい駆動トランジスタほど大きな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇も早くなる。逆に移動度 μ が小さい駆動トランジスタほど小さな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇は遅くなる（図 1 6 ）。

【 0 0 4 7 】

結果的に、保持容量 C_s の保持電圧は、駆動トランジスタ T 2 の移動度 μ に応じて補正される。すなわち、駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、移動度 μ を補正した電圧へと変化する（図 9 (t 7) ）。

【 0 0 4 8 】

最後に、サンプリングトランジスタ T 1 がオフ制御されて信号電位の書き込みが終了す

10

20

30

40

50

ると、有機EL素子OLEDの発光期間が開始させる（図9（t8））。図17に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタT2は一定の電流 I_{ds} を有機EL素子に供給する。

【0049】

これに伴い、有機EL素子のアノード電位 V_{el} は、有機EL素子に電流 I_{ds} を流す電位 V_x まで上昇する。これにより、有機EL素子による発光が開始される。

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機EL素子OLEDのI-V特性が変化する。

【0050】

すなわち、駆動トランジスタT2のソース電位 V_s も変化する。しかし、駆動トランジスタT2のゲート・ソース間電圧 V_{gs} は、保持容量 C_s により一定に保たれるので有機EL素子OLEDに流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機EL素子OLEDのI-V特性の変化にかかわらず、信号電位 V_{sig} に応じた駆動電流 I_{ds} を常に流し続けることができる。これにより、有機EL素子OLEDの発光輝度を信号電位 V_{sig} に応じた輝度に保ち続けることができる。

【0051】

(B-3) まとめ

以上の通り、この形態例で説明した画素回路と駆動方式の採用により、駆動トランジスタT2をNチャンネル型薄膜トランジスタで構成する場合にも、画素毎に輝度バラツキのない有機ELパネルを実現することができる。

【0052】

(C) 形態例2

(C-1) システム構成

(a) 配線構造

この形態例では、有機ELパネルの製造コストの低価格化を実現するための配線構造と駆動技術について説明する。

【0053】

図18(B)に、この形態例2に係る画素アレイ部で採用する電源線DSLの配線構造31を示す。因みに、図18(A)は、形態例1に係る画素アレイ部21で採用した電源線DSLの配線構造である。

【0054】

いずれの配線構造も、1つの水平ラインに1本の電源線DSLが配置されている。

ただし、図18(A)の配線構造を有する有機ELパネルの場合には、電源線DSLの1本1本を個別に駆動する必要がある。すなわち、垂直解像度数分の段数を有するシフトレジスタを電源線スキャンドライバ25として使用する必要がある。

【0055】

特に、電源線スキャンドライバの場合には、電源線DSLに電流を流す必要がある。このため、電源線スキャンドライバを構成するドライバやスキャナ(シフトレジスタ)を構成するバッファサイズを大きくする必要がある。

【0056】

従って、図18(A)に示すように電源線DSLの1本1本を個別に駆動する方式を採用する場合には、電源線スキャンドライバの面積が大きくならざるを得ず、狭額化が難しい。しかも、電源線スキャンドライバ25を構成するシフトレジスタの段数は長く、かつ、動作クロックも速い。このため、電源線スキャンドライバ25の低コスト化が難しい。

【0057】

一方、図18(B)に示す配線構造の場合、3本単位で電源線DSLの動作タイミングを共通化する。具体的には、3本単位で電源線DSLの一端を電氣的に接続し、1本に集約化された電源線を電源線スキャンドライバ33で駆動制御する方式を採用する。結果的

10

20

30

40

50

に、垂直解像度が n であるとする、電源線スキヤンドライバ 3 3 に求められる段数は画素アレイ部内の電源線数 n の 3 分の 1 で済ませることができる。

【 0 0 5 8 】

勿論、シフトレジスタの段数が形態例 1 の 3 分の 1 になるので、電源線スキヤンドライバ 3 3 の大幅な小型化が可能になる。加えて、電源線スキヤンドライバ 3 3 の動作クロックは 3 分の 1 で済む。このため、図 1 8 (A) に対応する電源線スキヤンドライバ 2 5 に比して大幅なコスト削減が可能となる。

【 0 0 5 9 】

(b) システム構成

図 1 9 に、形態例 2 に係る有機 E L パネル 4 1 のシステム構成例を示す。図 1 9 には、図 6 及び図 1 8 との対応部分に同一符号を付して示している。

図 1 9 に示す有機 E L パネル 4 1 は、画素アレイ部 2 1 と、その駆動回路であるライトスキヤンドライバ 2 3、電源線スキヤンドライバ 3 3、水平セクタ 2 7、タイミングジェネレータ 3 5 で構成される。

【 0 0 6 0 】

図 2 0 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。図 2 0 に示すように、この形態例の場合、各水平ラインに対応する電源線 D S L は 3 本単位で接続され、その一端が電源線スキヤンドライバ 3 3 に接続される。

【 0 0 6 1 】

すなわち、電源線スキヤンドライバ 3 3 は、3 本単位で駆動タイミングが共通化される。このため、タイミングジェネレータ 3 5 が電源線スキヤンドライバ 3 3 に供給する動作クロックの周波数は、形態例 1 に記載したタイミングジェネレータ 2 9 の 3 分の 1 となる。

【 0 0 6 2 】

(C - 2) 駆動動作及び効果

(a) 基本的な駆動方法

図 2 1 に、形態例 1 で使用した駆動波形をそのまま適用する場合の各部の動作タイミングを示す。なお、図 2 1 は、閾値補正準備期間と閾値補正期間のそれぞれを、複数の水平走査期間に分割して実行する場合の動作例である。

【 0 0 6 3 】

因みに、図 2 1 (A) は、信号線 D T L に印加される信号波形を示す。この例の場合、信号線 D T L は、信号電位 V_{sig} と駆動トランジスタの閾値補正用の基準電位 (以下、「オフセット電位」という。) V_{ofs} の 2 値で駆動する場合について表している。

【 0 0 6 4 】

図 2 1 (B) は、共通化された 3 本の電源線 D S L に印加される電源電位の波形を示す。この例の場合、閾値補正準備期間の終了までは低電位 V_{ss} が与えられ、閾値補正準備期間の終了後は高電位 V_{cc} が与えられる。なお、高電位 V_{cc} の印加は、共通化された 3 本の電源線 D S L のうち最後尾の電源線 D S L の発光が停止されるまで継続される。

【 0 0 6 5 】

図 2 1 (C) は、電源線 D S L が共用化された 3 本の水平ラインのうち先頭段に対応するライトスキャン線 W S L の信号波形である。図 2 1 (D) は、電源線 D S L が共用化された 3 本の水平ラインのうち中段に対応するライトスキャン線 W S L の信号波形である。図 2 1 (E) は、電源線 D S L が共用化された 3 本の水平ラインのうち最後段に対応するライトスキャン線 W S L の信号波形である。

【 0 0 6 6 】

ところが、図 2 1 に示す駆動波形には問題が予想される。それは、閾値補正準備の完了から閾値補正動作の開始までの時間差に起因するリーク電流の影響である。

この時間差を、図 2 1 (C) ~ (E) では、閾値補正準備期間の終了から閾値補正動作の開始までの時間差を $T M 1$ 、 $T M 2 (> T M 1)$ 、 $T M 3 (> T M 2)$ で示す。

10

20

30

40

50

【 0 0 6 7 】

形態例 1 でも説明したように、閾値補正準備が完了した時点における駆動トランジスタ T 2 のゲート・ソース間電圧 V_{gs} は、駆動トランジスタの閾値電圧 V_{th} よりも大きく定められている。

従って、電源線 D S L に高電位 V_{cc} が印加されると、閾値補正動作が開始しなくても、電源線 D S L から駆動トランジスタ T 2 にリーク電流が流れ始め、駆動トランジスタ T 2 のソース電位 V_s が変動してしまう。

【 0 0 6 8 】

具体的には、ソース電位 V_s が上昇してしまう。しかも、この電位の上昇は、閾値補正動作が開始されるまでの時間が長いほど大きくなってしまふ。

結果的に、閾値補正動作が開始して駆動トランジスタ T 2 のゲート電位 V_g がオフセット電位 V_{ofs} に制御されたとしても、その時点でのゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} より小さければ閾値補正動作を実行することができない。

【 0 0 6 9 】

特に、共用化された 3 本の水平ラインのうち最後尾の水平ラインに位置する駆動トランジスタ T 2 の閾値補正が正常に機能しない可能性が高くなる。勿論、電源線 D S L を共用化する水平ラインの本数が多いほど、後段側で閾値補正が正常に機能しない可能性が高くなる。閾値補正が正常に機能しないと、表示画面上にムラやスジが出現する可能性が高くなる。

【 0 0 7 0 】

(b) 駆動方法の改善例

そこで、図 2 2 に示すような駆動方法を提案する。図 2 1 との違いは、電源線 D S L が共通化された 3 本の水平ラインのいずれかが閾値補正動作をする直前であって、信号線 D T L の電位がオフセット電位 V_{ofs} にあるときに、電源線 D S L の電位が瞬時的に高電位（発光電位） V_{cc} から低電位（消灯電位） V_{ss} に立ち下げられる期間が設けられることである。

【 0 0 7 1 】

なお、この電源電位のオン・オフ駆動期間の開始タイミングは、非発光期間中に電源電位が低電位（消灯電位） V_{ss} から初めて高電位（発光電位） V_{cc} に立ち上がったタイミングとして規定することができる。

また、この電源電位のオン・オフ駆動期間の終了タイミングは、共通化された 3 本の電源線 D S L のうち最後尾の水平ラインの発光が開始されるタイミングまでとして規定される。

【 0 0 7 2 】

この電源電位のオン・オフ駆動を採用した場合、電源線 D S L の電源電位が低電位 V_{ss} のとき（すなわち、電源線 D S L がオフ制御されたとき）、有機 E L 素子 O L E D のアノード電位 V_{el} と電源線 D S L の電位が一致することになる。

このことは、駆動トランジスタ T 2 にリーク電流が流れないことを意味する。

【 0 0 7 3 】

従って、オフ動作期間だけ、各段における閾値補正準備動作の完了から閾値補正動作の開始までの実質的な時間差を小さくすることができる。具体的には、電源線 D S L の駆動タイミングが共通化された 3 本の水平ラインのうち 1 段目の水平ラインについての時間差 T_{M11} は図 2 1 の時間差 T_{M1} より小さくなり、2 段目の水平ラインについての時間差 T_{M12} は図 2 1 の時間差 T_{M2} より小さくなり、3 段目の水平ラインについての時間差 T_{M13} は図 2 1 の時間差 T_{M3} より小さくなる。

【 0 0 7 4 】

一般に、リーク電流による電位変動は $1 / \text{容量}$ 、電流量、時間に比例する。このため、閾値補正動作の開始までの時間差が小さくなればその分、駆動トランジスタ T 2 のソース電位の変動量も小さくすることができる。

【 0 0 7 5 】

10

20

30

40

50

また仮に、電源線 D S L が高電位 V cc の期間に駆動トランジスタ T 2 にリーク電流が流れてソース電位 V s が変動したとしても、電源線 D S L が低電位 V ss の期間にはリーク電流が逆に流れることになる。

【 0 0 7 6 】

従って、リーク電流の影響は更に小さくなる。この結果、閾値補正動作を正常に行うことが可能になる。

すなわち、図 2 2 に示す駆動技術の採用により、表示画面にムラやスジ等が現れないようにできる。

【 0 0 7 7 】

また、最終段の閾値補正動作が完了するまで電源のオン/オフを繰り返すため閾値補正動作時において前段同様の条件で閾値補正動作を行うことができる。このため、電源線 D S L を 3 本単位で接続し、電源線 D S L の駆動タイミングを共通化する場合でも、ムラやシェーディングの発生を無くすることができる。

【 0 0 7 8 】

勿論、電源線 D S L の駆動タイミングを 3 本単位で共通化することにより、電源線スキヤンドライバ 3 3 の駆動段数を形態例 1 の 3 分の 1 に低減できる。すなわち、電源線スキヤンドライバ 3 3 の動作クロックの周波数を 3 分の 1 に低減できる。これにより、形態例 1 に比して、低コストの有機 E L パネルを実現できる。特に、大型の有機 E L パネルの低コスト化や解像度の高い有機 E L パネルの低コスト化に効果的である。

【 0 0 7 9 】

(D) 形態例 3

(D - 1) システム構成

図 2 3 に、形態例 3 に係る有機 E L パネル 5 1 のシステム構成例を示す。図 2 3 には、図 1 9 との対応部分に同一符号を付して示している。

図 2 3 に示す有機 E L パネル 5 1 は、画素アレイ部 2 1 と、その駆動回路であるライトキャンドライバ 2 3、電源線スキヤンドライバ 5 3、水平セクタ 2 7、タイミングジェネレータ 3 5 で構成される。

【 0 0 8 0 】

図 2 4 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。図 2 4 に示すように、この形態例の場合も、各水平ラインに対応する電源線 D S L は 3 本単位で接続され、その一端が電源線スキヤンドライバ 5 3 に接続されている場合を想定する。

ただし、この形態例の場合には、閾値補正準備動作と閾値補正動作が複数の水平走査期間に分割して実行されるものとする。

【 0 0 8 1 】

昨今の表示パネルは、表示領域が大画面すると共に解像度も高まっている。これに伴い 1 水平走査期間に割当可能な時間が短縮されている。

このため、1 水平期間内に閾値補正準備動作や閾値補正動作を完了できない場合を想定する必要性が高まっている。

そこで、この形態例では、閾値補正準備動作や閾値補正動作がそれぞれ複数の水平走査期間に分割して実行される場合を説明する。

【 0 0 8 2 】

(D - 2) 駆動動作及び効果

ところで、閾値補正準備動作や閾値補正動作がそれぞれ複数の水平走査期間に分割して実行する場合、各動作の実行期間と停止期間が少なくとも 1 回以上発生する。このため、停止期間中における駆動トランジスタ T 2 のリーク電流対策が必要となる。

【 0 0 8 3 】

図 2 5 に、この形態例で採用する電源線 D S L の駆動波形を示す。なお、図 2 5 は、閾値補正準備動作と閾値補正動作をそれぞれ 3 回に分割して実行する場合を示す。

図 2 5 (A) に、信号線 D T L に印加される信号波形を示す。この形態例の場合、信号線 D T L は、信号電位 V sig と、オフセット電位 V ofs と、リセット電位 V ini の 3 値で

10

20

30

40

50

駆動する。

【0084】

ここでのリセット電位 V_{ini} は、特許請求の範囲及び課題を解決するための手段における「初期電圧保持電位」に対応する。

リセット電位 V_{ini} が、停止期間中における駆動トランジスタ T_2 のリーク電流対策のために追加する電位である。ここで、リセット電位 V_{ini} は、オフセット電位 V_{ofs} より低い電位で与えられる。

【0085】

なお、リセット電位 V_{ini} は、閾値補正準備動作が終了した時点で、駆動トランジスタ T_2 のゲート電極に入力される電位に一致していることが望ましい。

また、リセット電位 V_{ini} は、閾値補正準備動作から閾値補正動作まで駆動トランジスタ T_2 のソース電位 V_s をある程度、低電位 V_{ss} に維持するため、 $V_{ini} - V_{ss}$ は駆動トランジスタ T_2 の閾値電圧 V_{th} よりも小さい値に設定する。

【0086】

この形態例の場合、前述の条件を満たすリセット電位 V_{ini} は、閾値補正準備動作や閾値補正期間の中断タイミングや終了タイミングに合わせて信号線 DTL に供給される。勿論、駆動トランジスタ T_2 のゲート電極に対するリセット電位 V_{ini} の供給は、各水平ラインに対するライトスキャン線 WSL の協調駆動により実現する。

【0087】

図25の場合、閾値補正動作の終了直前に、駆動トランジスタ T_2 のゲート電極にリセット電位 V_{ini} を入力し、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} を閾値電圧 V_{th} 以下に制御する。これにより、閾値補正動作の中断中に電源線 DSL がリセット電位 V_{ss} に変化してもリーク電流が流れることはなくなり、ソース電位 V_s の変化を止めることができる。結果的に、正常な閾値補正動作を断続的に実行することが可能になる。

【0088】

図26に、閾値補正動作が開始されるまでの時間差と、閾値補正動作が開始された後の信号線電位の書き込み関係を示す。図26(A)～(E)は、図25(A)～(E)にそれぞれ対応する。図26に示すように、この形態例の場合も、閾値補正準備動作の終了から閾値補正動作の開始までの水平ライン間の時間差は、電源線 DSL の電位を高電位 V_{cc} に固定する場合に比して実質的に小さくなることが分かる。

【0089】

また、ライトスキャン線 WSL の制御による閾値補正動作時の基準電位の書き込み期間は、信号線 DTL にオフセット電位 V_{ofs} とリセット電位 V_{ini} の印加期間に跨るように設定されることが分かる。

【0090】

前述したように、閾値補正動作が開始した後は、オフセット電位 V_{ofs} の印加されている期間に駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} に近づく動作が実行され、リセット電位 V_{ini} の印加されている期間に駆動トランジスタ T_2 のゲート電位 V_g をリセット電位 V_{ini} にリセットする動作が実行される。

【0091】

図25(B)は、共通化された3本の電源線 DSL に印加される電源電位の波形を示す。この例の場合、閾値補正準備期間の終了までは低電位 V_{ss} が与えられ、閾値補正準備期間の終了後は共通化された3本目の水平ラインの閾値補正動作が終了するまでの間(又は3本目の水平ラインの発光が開始されるまでの間)、高電位 V_{cc} と低電位 V_{ss} が交互に印加される。

【0092】

なお、共通化された3本目の水平ラインの閾値補正動作の終了後は、図27に示すように、電源線 DSL に高電位 V_{cc} が継続的に印加される。ただし、共通化された3本の電源

10

20

30

40

50

線 D S L のうち最後尾の電源線 D S L の発光が停止される直前回の 2 つの水平走査期間において、それぞれ 1 回ずつ電源線 D S L は低電位 V_{ss} に制御される期間が配置される。

【 0 0 9 3 】

この動作は、発光期間中における消灯期間の回数を水平ライン間で揃えることが目的である。図 2 8 に、発光期間中における消灯期間を網掛けで示す。図中、各水平ラインの消灯期間を丸付き数字で示す。

【 0 0 9 4 】

図 2 8 に示すように、共通化された 3 本の電源線 D S L のうち最後尾の電源線 D S L の発光が停止される直前回の 2 つの水平走査期間に電源線 D S L の電位を低電位 V_{ss} に制御する期間を配置したことにより、いずれの水平ラインについても発光期間中に 2 回の消灯期間が発生することになる。

【 0 0 9 5 】

各消灯期間の長さは同じであるので、各水平ラインの発光期間を全て揃えることができる。

なお、各消灯期間は、図 2 8 にも示したように、リセット電位 V_{ini} が信号線 D T L に印加されるタイミングで実行されることが好ましいが、必ずしも当該タイミングに限定されるものではない。

【 0 0 9 6 】

なお、図 2 5 (C) は、電源線 D S L が共用化された 3 本の水平ラインのうち先頭段に対応するライトスキャン線 W S L の信号波形である。図 2 5 (D) は、電源線 D S L が共用化された 3 本の水平ラインのうち中段に対応するライトスキャン線 W S L の信号波形である。図 2 5 (E) は、電源線 D S L が共用化された 3 本の水平ラインのうち最後段に対応するライトスキャン線 W S L の信号波形である。

【 0 0 9 7 】

以上のように、この形態例で説明した駆動方法を採用すれば、閾値補正準備動作や閾値補正動作を複数回に分割して実行する場合にも、複数本の電源線 D S L の電位を共通のタイミングで駆動しながらも、閾値補正準備動作や閾値補正動作の分割実行を可能とすることができる。

これにより、有機 E L パネルの大画面化や高解像度化を実現することができる。

【 0 0 9 8 】

(E) 形態例 4

(E - 1) システム構成

図 2 9 に、形態例 4 に係る有機 E L パネル 6 1 のシステム構成例を示す。図 2 9 には、図 1 9 との対応部分に同一符号を付して示している。

図 2 9 に示す有機 E L パネル 6 1 は、画素アレイ部 2 1 と、その駆動回路であるライトキャンドライバ 2 3、電源線スキャンドライバ 6 3、水平セクタ 2 7、タイミングジェネレータ 3 5 で構成される。

【 0 0 9 9 】

図 3 0 に、サブ画素に対応する画素回路と各駆動回路との接続関係を示す。図 3 0 に示すように、この形態例の場合も、各水平ラインに対応する電源線 D S L は 3 本単位で接続され、その一端が電源線スキャンドライバ 6 3 に接続されている場合を想定する。

また、この形態例の場合も、閾値補正準備動作と閾値補正動作が複数の水平走査期間に分割して実行されるものとする。

【 0 1 0 0 】

すなわち、基本的な駆動条件は形態例 3 と同じである。形態例 3 との違いは、共用化する 3 本の電源線 D S L の最後尾に対応する水平ラインについて発光動作が開始した後は、その発光期間中に電源線 D S L の電位を高電位 V_{cc} に保ったままとする点である。

【 0 1 0 1 】

(E - 2) 駆動動作及び効果

図 3 1 に、この形態例で採用する電源線 D S L の駆動波形を示す。共用化した 3 本の電

10

20

30

40

50

源線DSLに対応する水平ラインのいずれかが閾値補正動作中にある場合の動作は形態例3と同じである。

【0102】

違いは、図32に示すように、発光動作開始後は電源線DSLが共用化された3本全ての水平ラインについての発光期間が終わるまで電源線DSLの電位が高電位Vccに維持される点である。なお、図32は図25との対応部分に同一符号を付して表している。

【0103】

この場合、発光期間中における消灯期間の発生回数は、図33に示すように、1段目の水平ラインが2回、2段目の水平ラインが1回、3段目の水平ラインが0回となる。従って、3本の水平ライン間で発光時間差が生じるが、この時間差の最大値(消灯期間の2回分)によって発生する輝度差が約1%未満に抑制できるのであれば視覚的には輝度ムラやスジが表れずに済ませることができる。

【0104】

(F)形態例5

(F-1)システム構成

以下では、前述した形態例1~4とは画素回路の構成が異なる有機ELパネル71のシステム構成例を示す。この形態例の場合、画素回路の違いと駆動方法の違いを重点的に説明するため、形態例1に対応する画素回路と駆動方法についてのみ説明する。勿論、以下で説明する画素回路や駆動方法は、形態例2~4で説明した配線構造や駆動方法にも適用できることはいうまでもない。

【0105】

図34に、有機ELパネル71のシステム構成例を示す。

図34に示す有機ELパネル71は、画素アレイ部73と、その駆動回路であるライトキャンドライバ75、電源線スキヤンドライバ77、オフセット線スキヤンドライバ79、水平セクタ81、タイミングジェネレータ83で構成される。

【0106】

画素アレイ部73には、信号線DTLとライトスキャン線WSLとの各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は1画素を構成する画素構造の最小単位である。ホワイトユニットとしての1画素は有機EL材料の異なる3つのサブ画素(R、G、B)で構成される。

【0107】

図35に、サブ画素に対応する画素回路の内部構成と各駆動回路との接続関係を示す。図35に示す画素回路は、3つのNチャネル型の薄膜トランジスタT1、T2、T3と1つの保持容量Csとで構成される。

【0108】

この回路構成の場合も、ライトスキヤンドライバ75は、ライトスキャン線WSLを通じて第1のサンプリングトランジスタT1を開閉制御し、信号線電位の保持容量Csへの書き込みを制御するのに用いられる。ただし、書き込む電位は、信号電位Vsigのみである。また、ライトスキヤンドライバ75は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【0109】

電源線スキヤンドライバ77は、電源線DSLを通じて駆動トランジスタT2の一方の主電極に接続される電源線DSLを2値的に制御し、他の駆動回路との連動動作により画素回路内の動作内容を制御するのに用いられる。ここでの動作には、有機EL素子の発光・非発光だけでなく、特性バラツキの補正動作も含まれる。この形態例の場合、特性バラツキの補正は、駆動トランジスタT2の閾値のバラツキや移動度のバラツキに基づくユニフォーマティの劣化の補正を意味する。

【0110】

オフセット線スキヤンドライバ79は、第2のサンプリングトランジスタT3を開閉制御し、オフセット線電位の保持容量Csへの書き込みを制御するのに用いられる。ただし

10

20

30

40

50

、書き込む電位は、オフセット電位 V_{ofs} のみである。また、オフセット線スキャンドライバ 79 は、垂直解像度数分の出力段数を有するシフトレジスタで構成される。

【0111】

水平セクタ 81 は、信号線 DTL に画素データ V_{in} に応じた信号電位 V_{sig} を印加するのに用いられる。水平セクタ 79 は、水平解像度数分の出力段数を有するシフトレジスタと、各出力段に対応するラッチ回路と、D/A 変換回路とで構成される。

タイミングジェネレータ 83 は、ライトスキャン線 WSL、電源線 DSL、オフセット線 OSL、信号線 DTL の駆動に必要なタイミングパルスを生成する回路デバイスである。

【0112】

10

(F-2) 駆動動作例

図 36 に、図 35 で説明した画素回路の駆動動作例を示す。因みに図 36 では、電源線 DSL に印加する 2 種類の電源電位のうち高電位（発光電位）の方を V_{cc} で表し、低電位（非発光電位）の方を V_{ss} で表す。

【0113】

まず、発光状態における画素回路内の動作状態を図 37 に示す。このとき、サンプリングトランジスタ T1 はオフ状態である。一方、駆動トランジスタ T2 は飽和領域で動作し、ゲート・ソース間電圧 V_{gs} に応じて定まる電流 I_{ds} が流れる（図 36 (t1)）。

【0114】

次に、非発光状態の動作状態を説明する。このとき、電源線 DSL の電位が高電位 V_{cc} から低電位 V_{ss} に切り換わる（図 36 (t2)）。この際、低電位 V_{ss} が有機 EL 素子の閾値 V_{thel} とカソード電位 V_{cath} との和より小さいとき、つまり $V_{ss} < V_{thel} + V_{cath}$ であれば有機 EL 素子 OLED は消灯する。

20

【0115】

なお、駆動トランジスタ T2 のソース電位 V_s は電源線 DSL の電位と同じになる。すなわち、有機 EL 素子のアノード電極は低電位 V_{ss} に充電される。図 38 に、画素回路内の動作状態を示す。図 38 に破線で示すように、この際、保持容量 C_s に保持されていた電荷は電源線 DSL へ引き出される。

【0116】

この後、オフセット線スキャンドライバ 79 により第 2 のサンプリングトランジスタ T3 がオン制御される。これにより、駆動トランジスタ T2 のゲート電位はオフセット電位 V_{ofs} に変化する（図 36 (t3)）。

30

【0117】

図 39 に、この場合における画素回路内の動作状態を示す。この際、駆動トランジスタ T2 のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ で与えられる。この電圧は、駆動トランジスタ T2 の閾値電圧 V_{th} よりも大きくなるように設定される。 $V_{ofs} - V_{ss} > V_{th}$ を満たさなければ閾値補正動作を実行できないためである。

【0118】

次に、電源線 DSL の電源電位が再び高電位 V_{cc} に切り換えられる（図 36 (t4)）。電源線 DSL の電源電位が高電位 V_{cc} に変化することで、有機 EL 素子 OLED のアノード電位が駆動トランジスタ T2 のソース電位 V_s で与えられる。

40

【0119】

図 40 では、有機 EL 素子 OLED を等価回路で示す。すなわち、ダイオードと寄生容量 C_{el} で示す。このとき、 $V_{el} = V_{cat} + V_{thel}$ の関係を満たす限り（ただし、有機 EL 素子のリーク電流は駆動トランジスタ T2 に流れる駆動電流 I_{ds} よりかなり小さいと考える。）、駆動トランジスタ T2 に流れる駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【0120】

結果的に、有機 EL 素子 OLED の両極間に発生する電圧 V_{el} は、図 36 に示すように、時間の経過と共に上昇する。すなわち、駆動トランジスタ T2 のゲート電位はオフセッ

50

ト電位 V_{ofs} に固定した状態のまま、駆動トランジスタ T_2 のソース電位 V_s が上昇を開始する。

【0121】

やがて、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} に収束する。このとき、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ を満たしている。

閾値補正期間が終了すると、第2のサンプリングトランジスタ T_3 が再びオフ制御される(図36(t5))。図41に、この場合における画素回路内の動作状態を示す。

【0122】

この後、信号線 DTL の電位が信号電位 V_{sig} に遷移するのに必要なタイミング以降に、第1のサンプリングトランジスタ T_1 がオン状態に制御される(図36(t6))。図42に、この場合における画素回路内の動作状態を示す。信号電位 V_{sig} は、対応画素の階調値に応じて与えられる電位である。

この際、駆動トランジスタ T_2 のゲート電位 V_g は、信号電位 V_{sig} に遷移する。一方、駆動トランジスタ T_2 のソース電位 V_s は、電源線 DSL から保持容量 C_s へと流れ込む電流により時間と共に上昇する。

【0123】

この時、駆動トランジスタ T_2 のソース電位 V_s が有機 EL 素子の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和を越えなければ(有機 EL 素子のリーク電流が駆動トランジスタ T_2 に流れる電流よりもかなり小さければ)、駆動トランジスタ T_2 により供給される駆動電流 I_{ds} は、保持容量 C_s と寄生容量 C_{el} を充電するのに使用される。

【0124】

なお、駆動トランジスタ T_2 の閾値補正動作は既に完了しているので、駆動トランジスタ T_2 が流す駆動電流 I_{ds} は、駆動トランジスタ T_2 の移動度 μ を反映した値になる。具体的には、移動度 μ が大きい駆動トランジスタほど大きな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇も早くなる。逆に移動度 μ が小さい駆動トランジスタほど小さな駆動電流 I_{ds} が流れ、ソース電位 V_s の上昇は遅くなる。

【0125】

結果的に、保持容量 C_s の保持電圧は、駆動トランジスタ T_2 の移動度 μ に応じて補正される。すなわち、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は、移動度 μ を補正した電圧へと変化する。

【0126】

最後に、第1のサンプリングトランジスタ T_1 がオフ制御されて信号電位の書き込みが終了すると、有機 EL 素子 $OLED$ の発光期間が開始させる(図36(t7))。図43に、この場合における画素回路内の動作状態を示す。なお、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタ T_2 は一定の電流 I_{ds}' を有機 EL 素子に供給する。

【0127】

これに伴い、有機 EL 素子のアノード電位 V_{el} は、有機 EL 素子に電流 I_{ds}' を流す電位 V_x まで上昇する。これにより、有機 EL 素子による発光が開始される。

ところで、この形態例で提案する駆動回路の場合も、発光時間が長くなると、有機 EL 素子 $OLED$ の $I-V$ 特性が変化する。

【0128】

すなわち、駆動トランジスタ T_2 のソース電位 V_s も変化する。しかし、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は、保持容量 C_s により一定に保たれるので有機 EL 素子 $OLED$ に流れる電流量は変化せずに済む。このように、この形態例で提案する画素回路と駆動方式を採用すれば、有機 EL 素子 $OLED$ の $I-V$ 特性の変化にかかわらず、信号電位 V_{sig} に応じた駆動電流 I_{ds} を常に流し続けることができる。これにより、有機 EL 素子 $OLED$ の発光輝度を信号電位 V_{sig} に応じた輝度に保ち続けることができる。

【0129】

10

20

30

40

50

(F - 3) まとめ

以上の通り、この形態例で説明したように画素回路を3個の薄膜トランジスタで構成する場合にも、他の形態例の場合と同様の駆動動作を実現できる。特に、形態例2～4に示す配線構造や駆動方法と組み合わせることにより、製造コストの低い有機ELパネルを実現できる。

【 0 1 3 0 】

(G) 他の形態例

(G - 1) 配線構造

前述の形態例の場合には、3本単位で電源線DSLの駆動電位を共通化する場合について説明したが、共通化する電源線DSLの単位は2本でも良いし、4本以上でも良い。また、全ての電源線DSLの駆動電位を共通化することもできる。

10

【 0 1 3 1 】

(G - 2) 製品例

(a) 電子機器

前述の説明では、有機ELパネルを例に発明を説明した。しかし、前述した有機ELパネルは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

【 0 1 3 2 】

図44に、電子機器91の概念構成例を示す。電子機器91は、前述した有機ELパネル93、システム制御部95及び操作入力部97で構成される。システム制御部95で実行される処理内容は、電子機器91の商品形態により異なる。また、操作入力部97は、システム制御部95に対する操作入力を受け付けるデバイスである。操作入力部97には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

20

【 0 1 3 3 】

なお、電子機器91は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図45に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機101の筐体正面には、フロントパネル103及びフィルターガラス105等で構成される表示画面107が配置される。表示画面107の部分が、形態例で説明した有機ELパネルに対応する。

30

【 0 1 3 4 】

また、この種の電子機器91には、例えばデジタルカメラが想定される。図46に、デジタルカメラ111の外観例を示す。図46(A)が正面側(被写体側)の外観例であり、図46(B)が背面側(撮影者側)の外観例である。

【 0 1 3 5 】

デジタルカメラ111は、保護カバー113、撮像レンズ部115、表示画面117、コントロールスイッチ119及びシャッターボタン121で構成される。このうち、表示画面121の部分が、形態例で説明した有機ELパネルに対応する

【 0 1 3 6 】

また、この種の電子機器91には、例えばビデオカメラが想定される。図47に、ビデオカメラ131の外観例を示す。

40

ビデオカメラ131は、本体133の前方に被写体を撮像する撮像レンズ135、撮影のスタート/ストップスイッチ137及び表示画面139で構成される。このうち、表示画面139の部分が、形態例で説明した有機ELパネルに対応する。

【 0 1 3 7 】

また、この種の電子機器91には、例えば携帯端末装置が想定される。図48に、携帯端末装置としての携帯電話機141の外観例を示す。図48に示す携帯電話機141は折りたたみ式であり、図48(A)が筐体を開いた状態の外観例であり、図48(B)が筐体を折りたたんだ状態の外観例である。

50

【 0 1 3 8 】

携帯電話機 1 4 1 は、上側筐体 1 4 3、下側筐体 1 4 5、連結部（この例ではヒンジ部）1 4 7、表示画面 1 4 9、補助表示画面 1 5 1、ピクチャーライト 1 5 3 及び撮像レンズ 1 5 5 で構成される。このうち、表示画面 1 4 9 及び補助表示画面 1 5 1 の部分が、形態例で説明した有機 E L パネルに対応する。

【 0 1 3 9 】

また、この種の電子機器 9 1 には、例えばコンピュータが想定される。図 4 9 に、ノート型コンピュータ 1 6 1 の外観例を示す。

ノート型コンピュータ 1 6 1 は、下型筐体 1 6 3、上側筐体 1 6 5、キーボード 1 6 7 及び表示画面 1 6 9 で構成される。このうち、表示画面 1 6 9 の部分が、形態例で説明した有機 E L パネルに対応する。

10

【 0 1 4 0 】

これらの他、電子機器 9 1 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【 0 1 4 1 】

(G - 3) 他の表示デバイス例

前述の形態例においては、発明を有機 E L パネルに適用する場合について説明した。

しかし、前述した駆動技術は、その他の E L 表示装置に対しても適用することができる。例えば L E D を配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。例えば無機 E L パネルにも適用できる。

20

【 0 1 4 2 】

(G - 4) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【 図面の簡単な説明 】

【 0 1 4 3 】

【図 1】有機 E L パネルのブロック構成を説明する図である。

【図 2】画素回路と駆動回路との接続関係を説明する図である。

【図 3】有機 E L 素子の I - V 特性の経時変化を説明する図である。

30

【図 4】他の画素回路例を示す図である。

【図 5】有機 E L パネルの外観構成例を示す図である。

【図 6】有機 E L パネルのシステム構成例を示す図である。

【図 7】画素回路と駆動回路との接続関係を説明する図である。

【図 8】形態例に係る画素回路の構成例を示す図である。

【図 9】形態例に係る駆動動作例を示す図である。

【図 10】画素回路の動作状態を説明する図である。

【図 11】画素回路の動作状態を説明する図である。

【図 12】画素回路の動作状態を説明する図である。

【図 13】画素回路の動作状態を説明する図である。

40

【図 14】ソース電位の経時変化を示す図である。

【図 15】画素回路の動作状態を説明する図である。

【図 16】移動度の違いによる経時変化の違いを示す図である。

【図 17】画素回路の動作状態を説明する図である。

【図 18】提案する電源線の配線構造例を示す図である。

【図 19】形態例に係る有機 E L パネルの他の構成例を示す図である。

【図 20】画素回路と駆動回路との接続関係を示す図である。

【図 21】基本的な駆動動作例を示す図である。

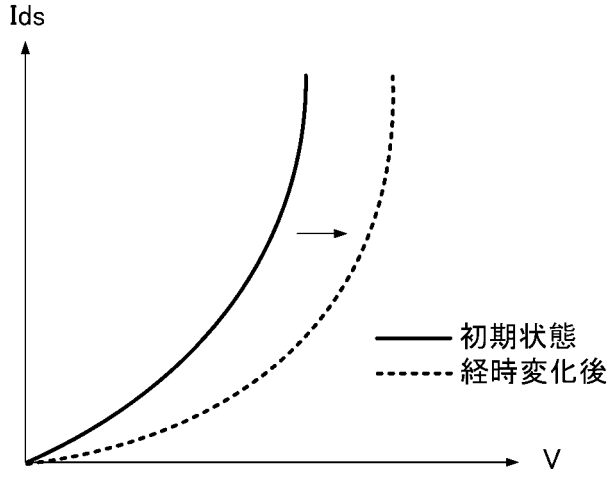
【図 22】改善した駆動動作例を示す図である。

【図 23】形態例に係る有機 E L パネルの他の構成例を示す図である。

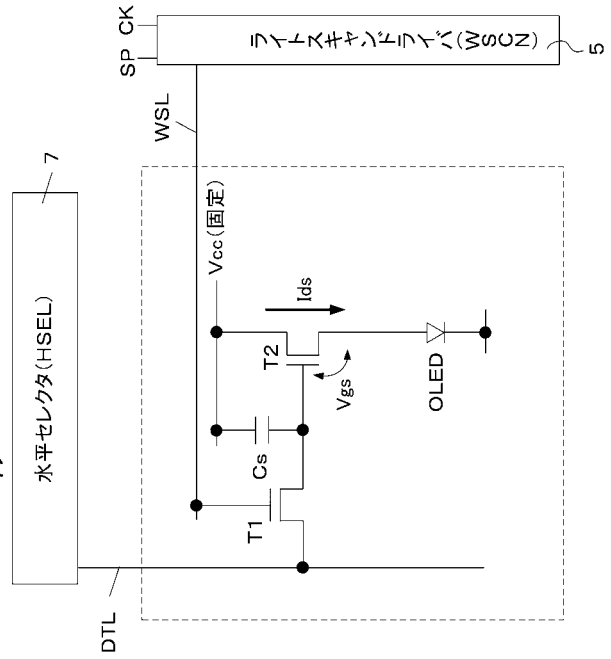
50

- 【図 2 4】画素回路と駆動回路との他の接続関係を示す図である。
- 【図 2 5】画素回路の駆動動作例を示す図である。
- 【図 2 6】閾値補正準備動作の終了から閾値補正動作の開始までの動作関係を示す図である。
- 【図 2 7】電源線の駆動タイミングが共通化された水平ライン間の動作タイミングの関係を説明する図である。
- 【図 2 8】発光期間中の消灯回数を説明する図である。
- 【図 2 9】形態例に係る有機 E L パネルの他の構成例を示す図である。
- 【図 3 0】画素回路と駆動回路との他の接続関係を示す図である。
- 【図 3 1】画素回路の駆動動作例を示す図である。 10
- 【図 3 2】電源線の駆動タイミングが共通化された水平ライン間の動作タイミングの関係を説明する図である。
- 【図 3 3】発光期間中の消灯回数を説明する図である。
- 【図 3 4】形態例に係る有機 E L パネルの他の構成例を示す図である。
- 【図 3 5】画素回路と駆動回路との他の接続関係を示す図である。
- 【図 3 6】画素回路の駆動動作例を示す図である。
- 【図 3 7】画素回路の動作状態を説明する図である。
- 【図 3 8】画素回路の動作状態を説明する図である。
- 【図 3 9】画素回路の動作状態を説明する図である。
- 【図 4 0】画素回路の動作状態を説明する図である。 20
- 【図 4 1】画素回路の動作状態を説明する図である。
- 【図 4 2】画素回路の動作状態を説明する図である。
- 【図 4 3】画素回路の動作状態を説明する図である。
- 【図 4 4】電子機器の概念構成例を示す図である。
- 【図 4 5】電子機器の商品例を示す図である。
- 【図 4 6】電子機器の商品例を示す図である。
- 【図 4 7】電子機器の商品例を示す図である。
- 【図 4 8】電子機器の商品例を示す図である。
- 【図 4 9】電子機器の商品例を示す図である。
- 【符号の説明】 30
- 【 0 1 4 4 】
- | | | |
|-----|----------------|----|
| 1 1 | 有機 E L パネル | |
| 2 1 | 画素アレイ部 | |
| 2 3 | ライトスキヤンドライバ | |
| 2 5 | 電源線スキヤンドライバ | |
| 2 7 | 水平セレクタ | |
| 2 9 | タイミングジェネレータ | |
| 3 1 | 配線構造 | |
| 3 3 | 電源線スキヤンドライバ | |
| 3 5 | タイミングジェネレータ | 40 |
| 4 1 | 有機 E L パネル | |
| 5 1 | 有機 E L パネル | |
| 5 3 | 電源線スキヤンドライバ | |
| 6 1 | 有機 E L パネル | |
| 6 3 | ライトスキヤンドライバ | |
| 7 1 | 有機 E L パネル | |
| 7 3 | 画素アレイ部 | |
| 7 5 | ライトスキヤンドライバ | |
| 7 7 | 電源線スキヤンドライバ | |
| 7 9 | オフセット線スキヤンドライバ | 50 |

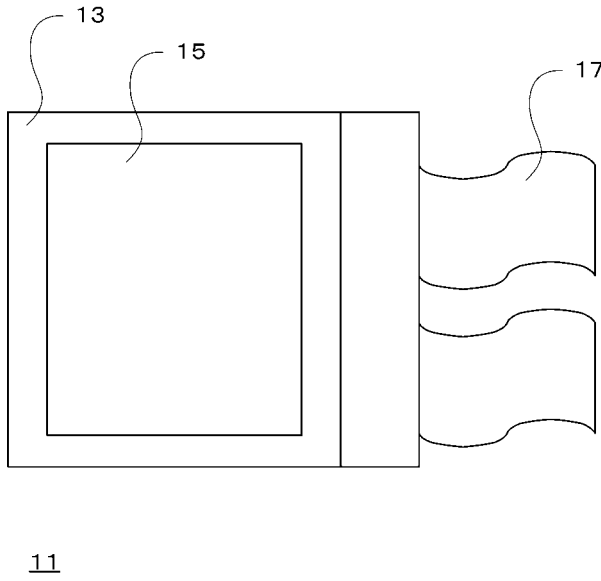
【図3】



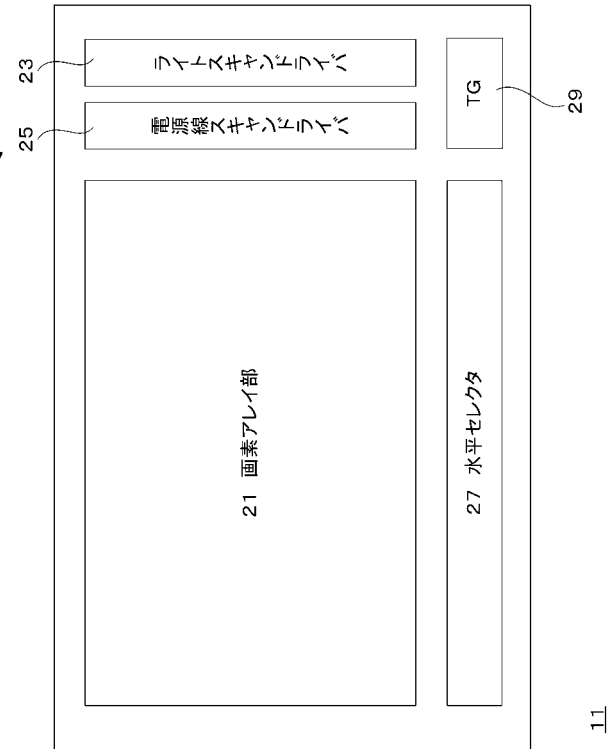
【図4】



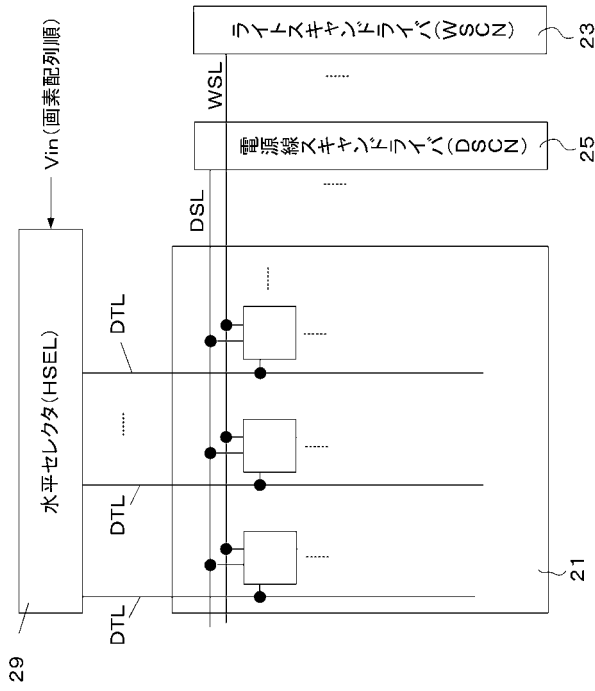
【図5】



【図6】

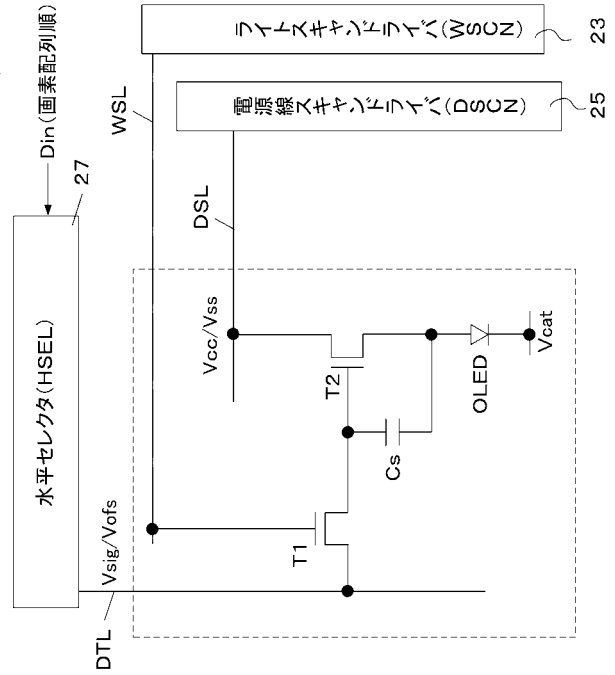


【 図 7 】

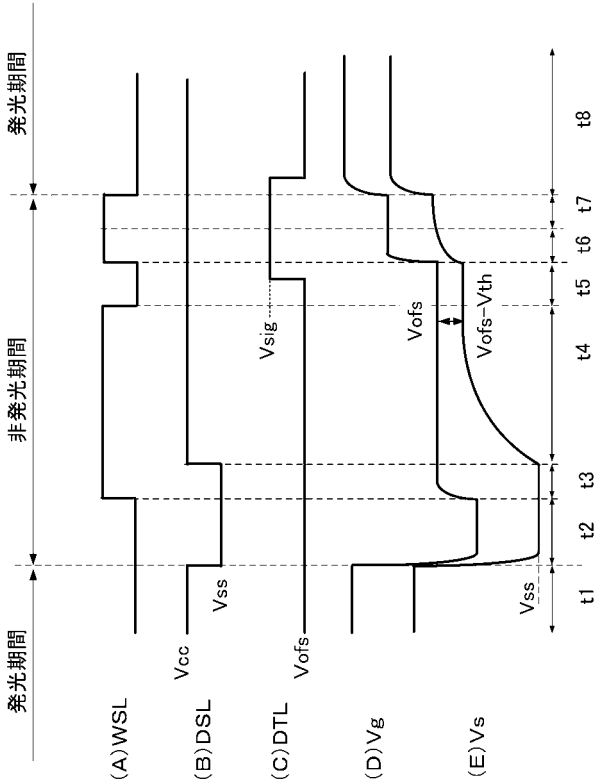


11

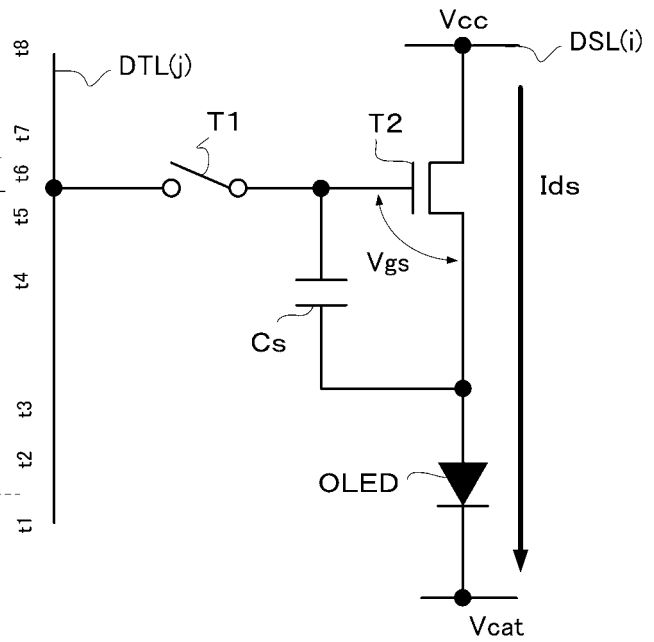
【 図 8 】



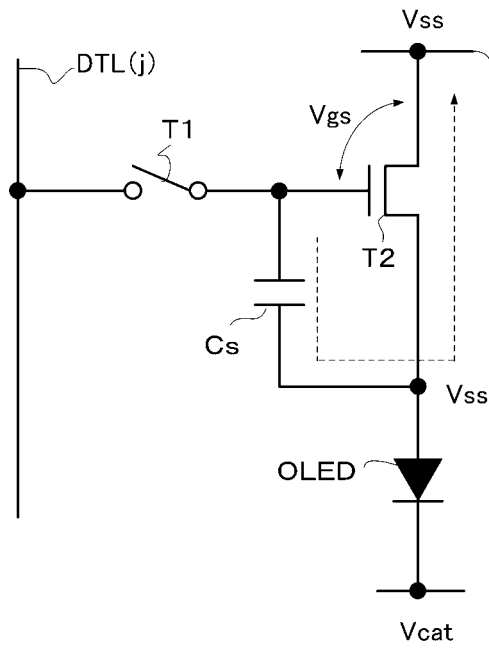
【 図 9 】



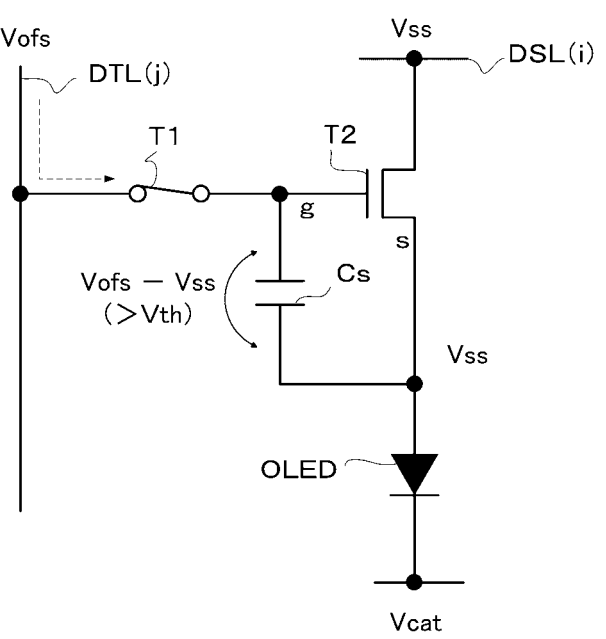
【 図 10 】



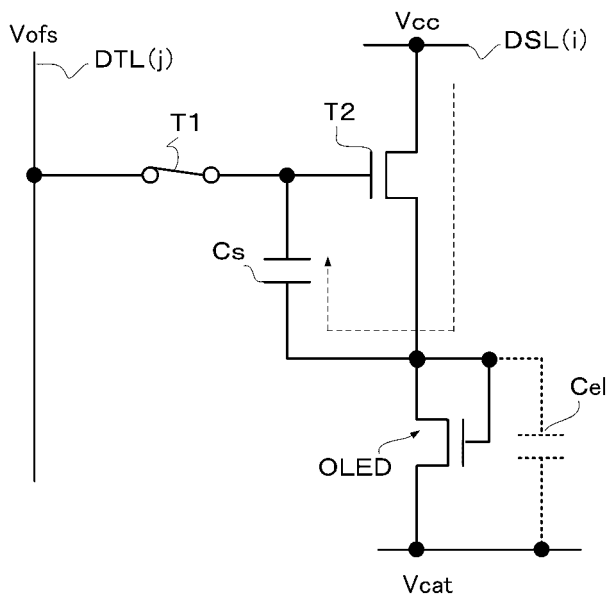
【図11】



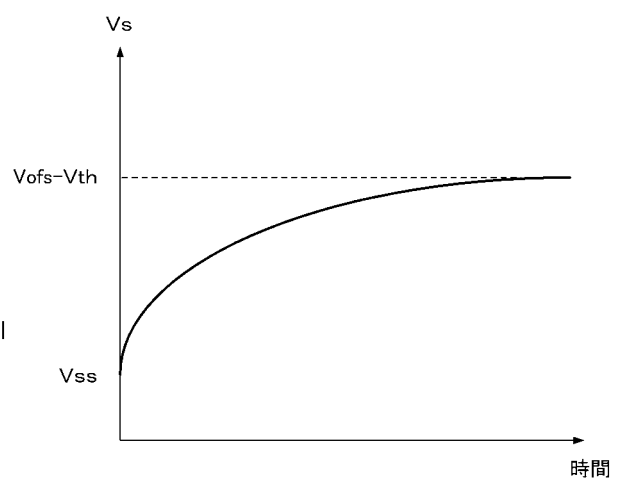
【図12】



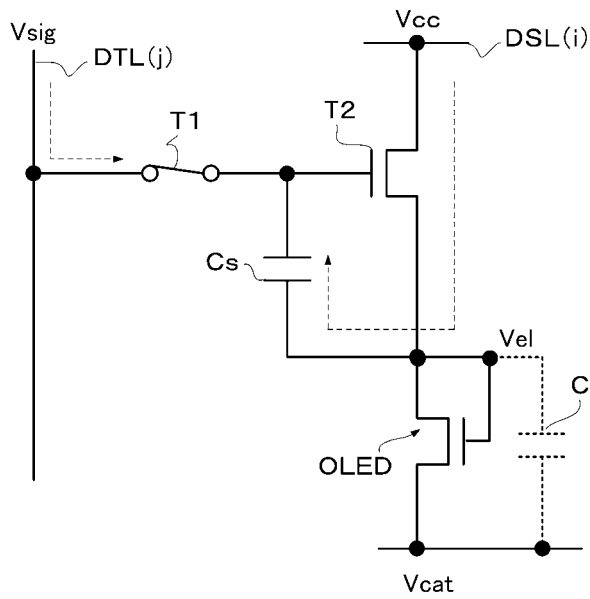
【図13】



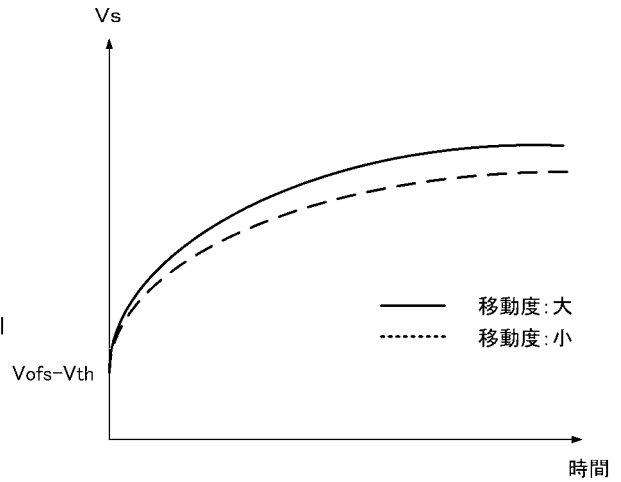
【図14】



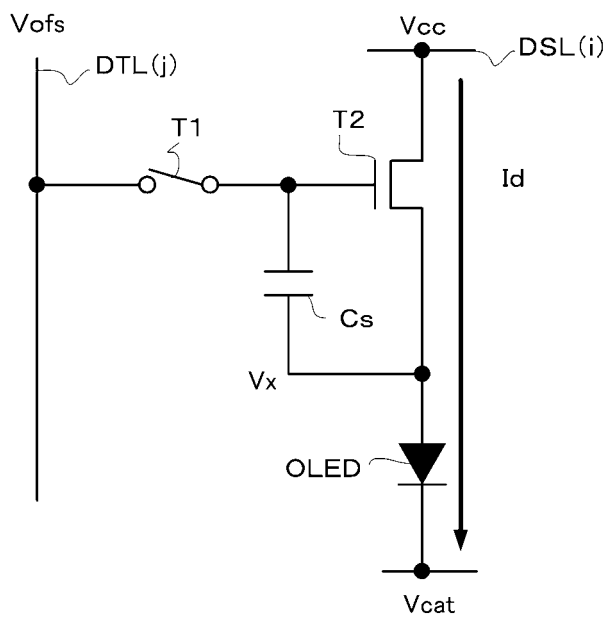
【図15】



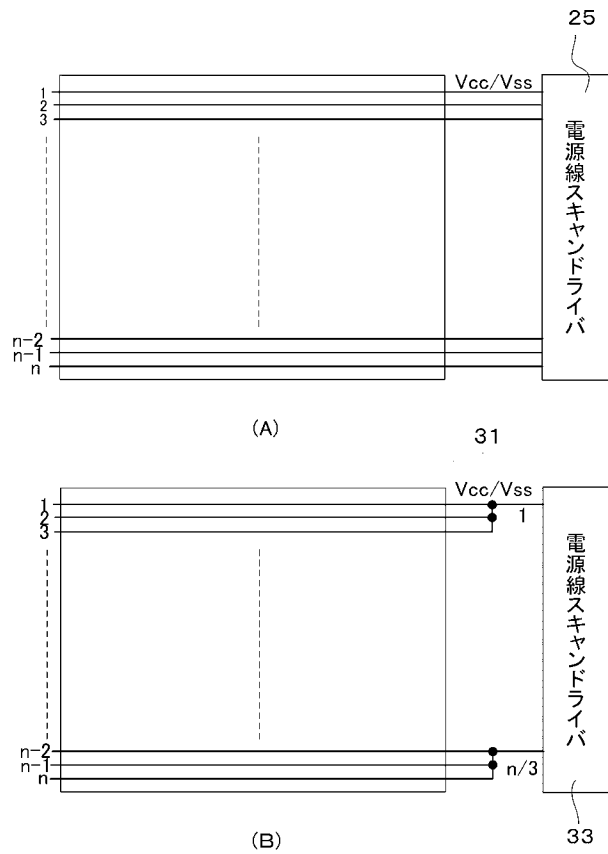
【図16】



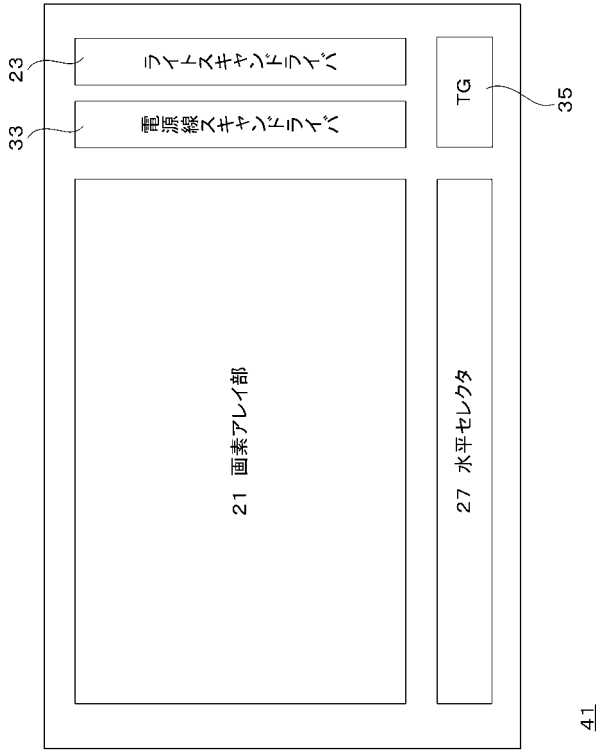
【図17】



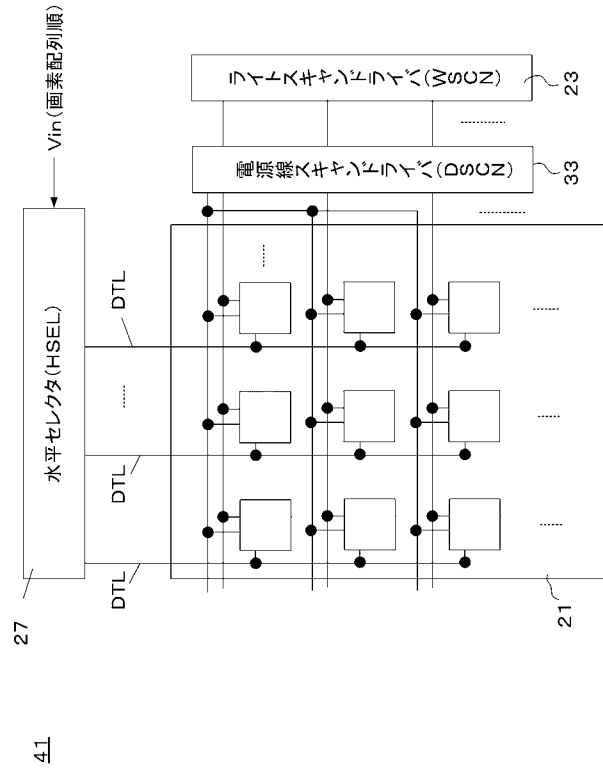
【図18】



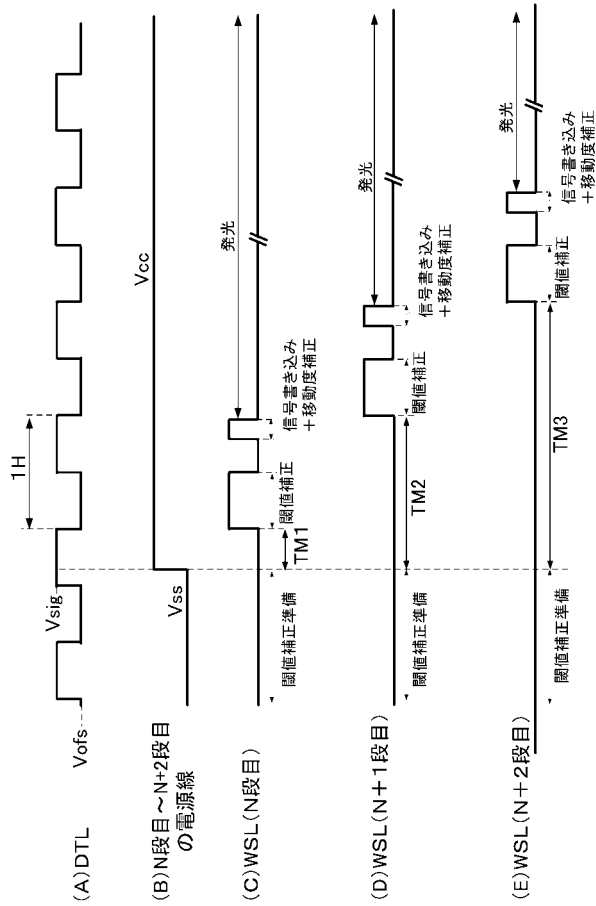
【図19】



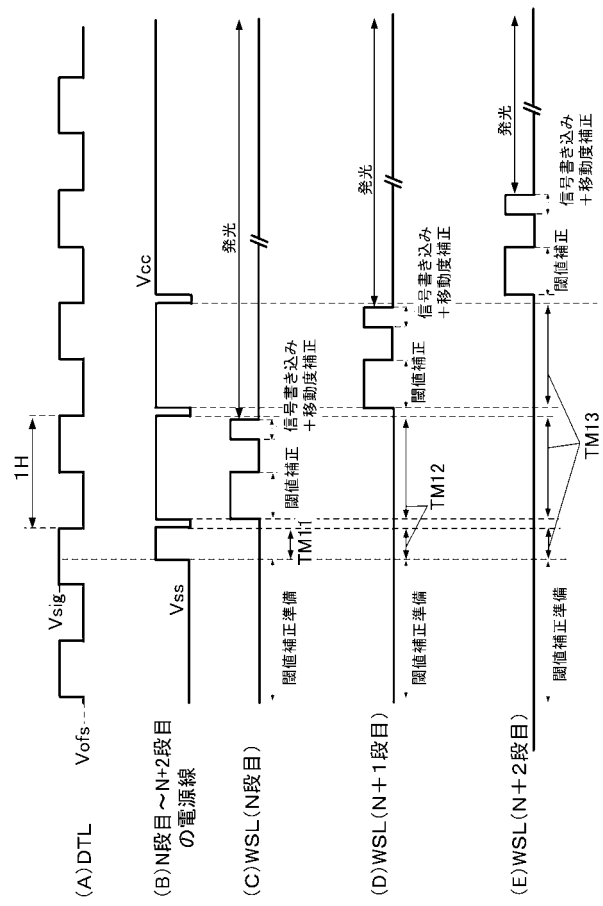
【図20】



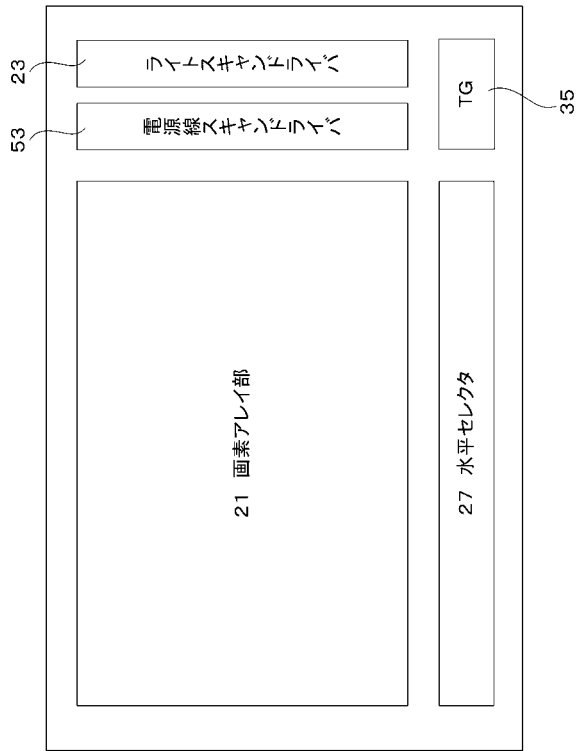
【図21】



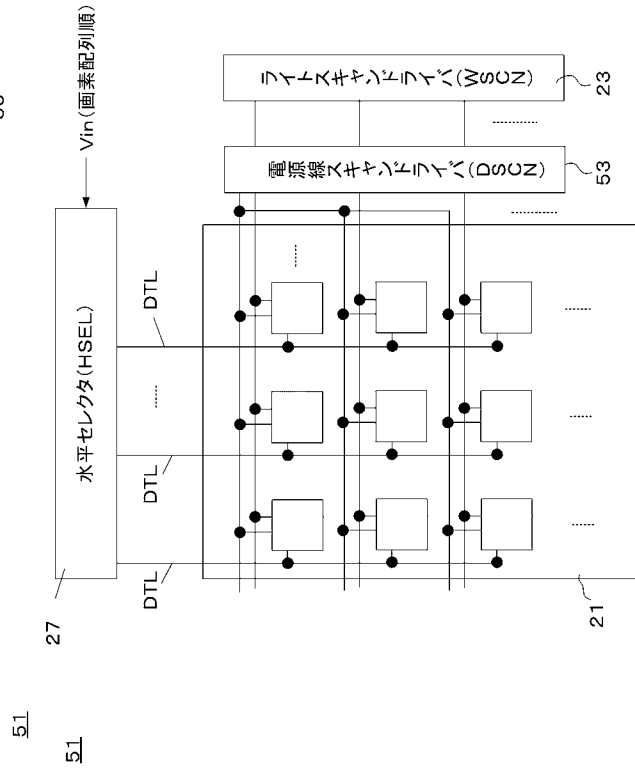
【図22】



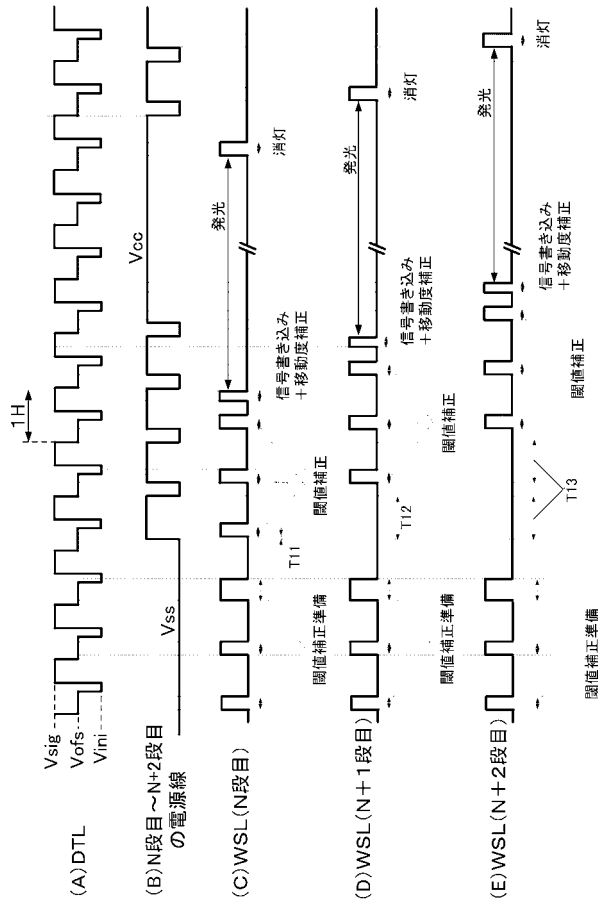
【図23】



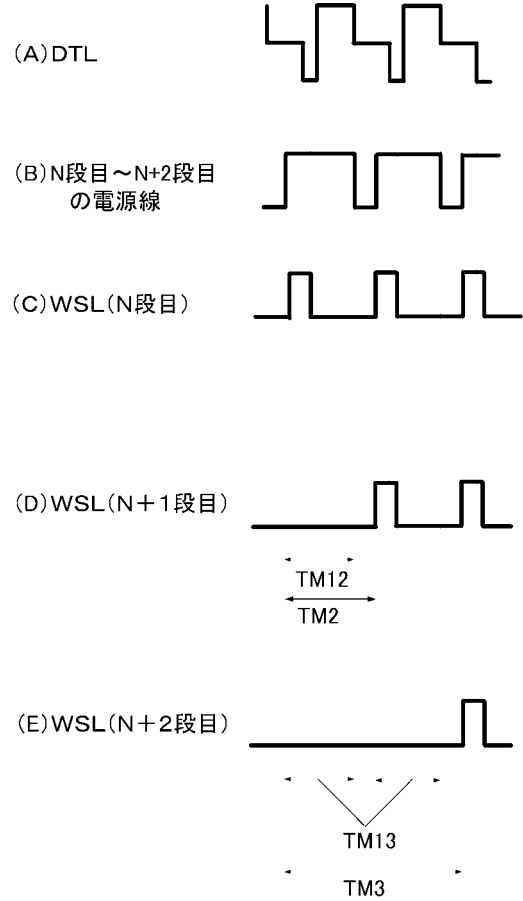
【図24】



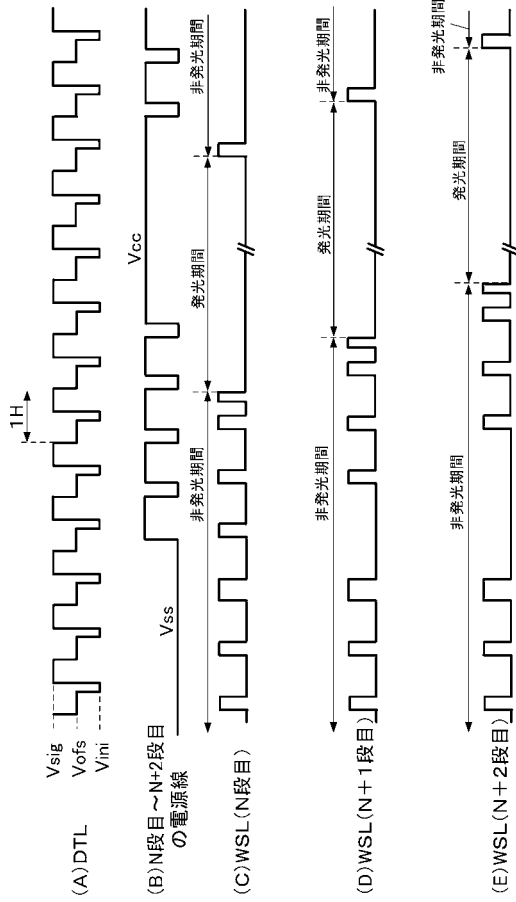
【図25】



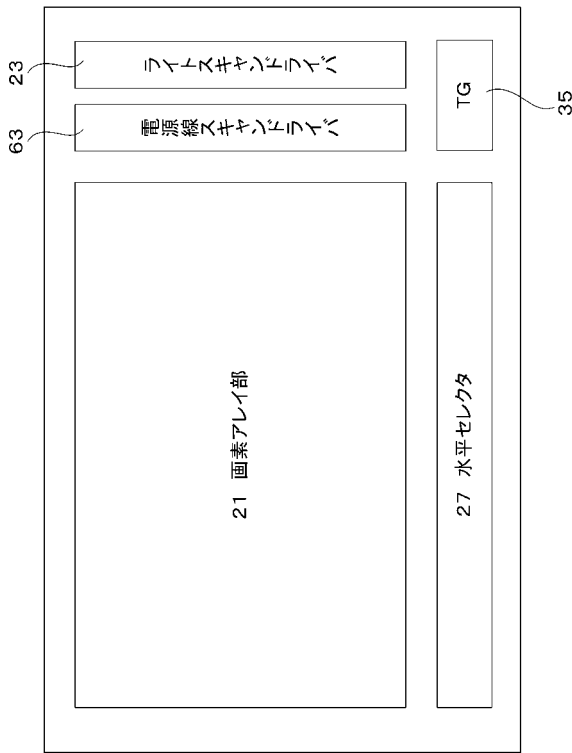
【図26】



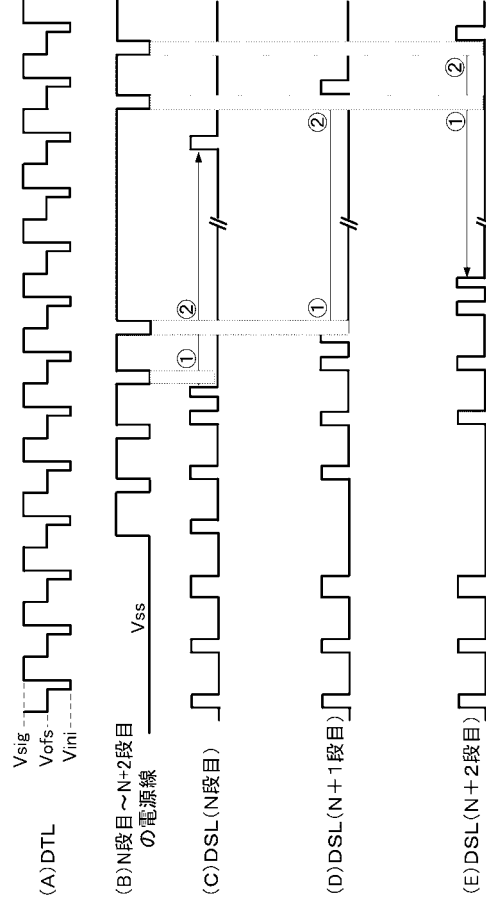
【図 27】



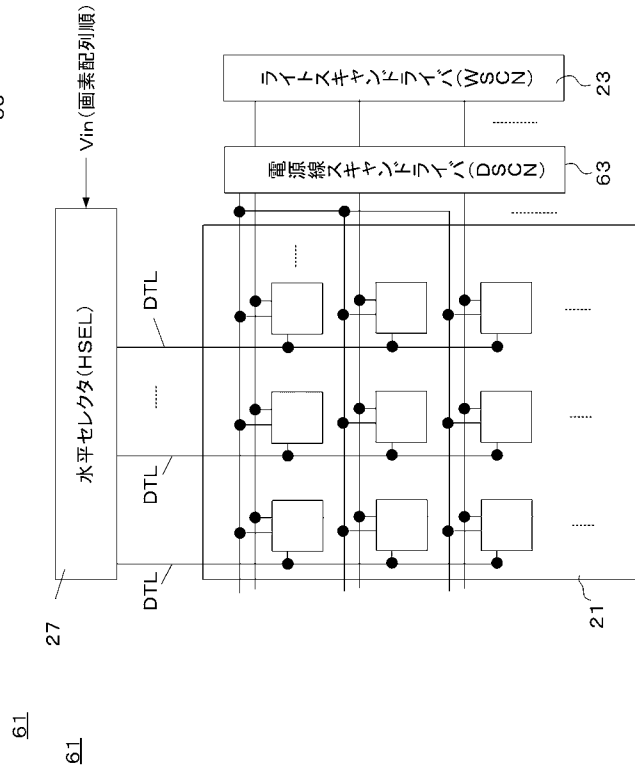
【図 29】



【図 28】

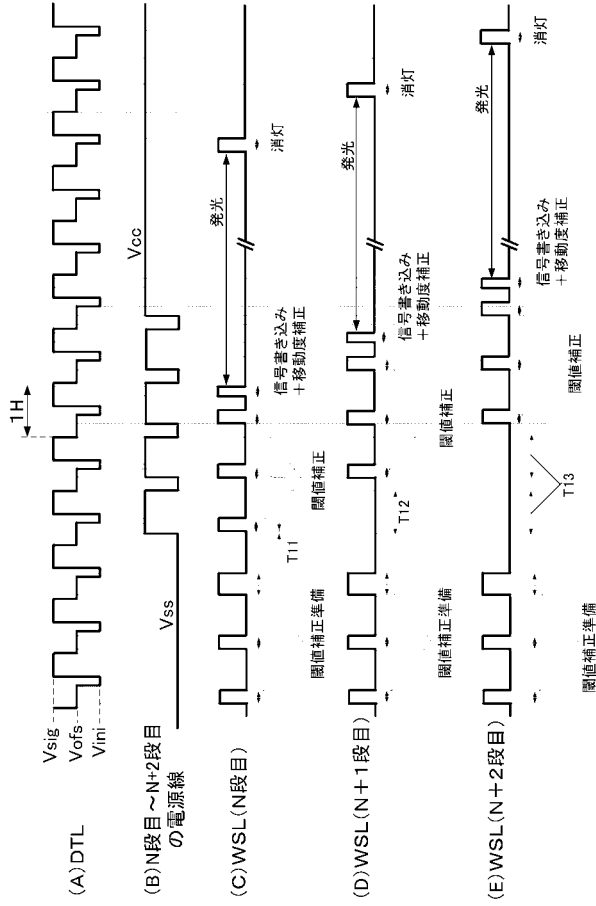


【図 30】

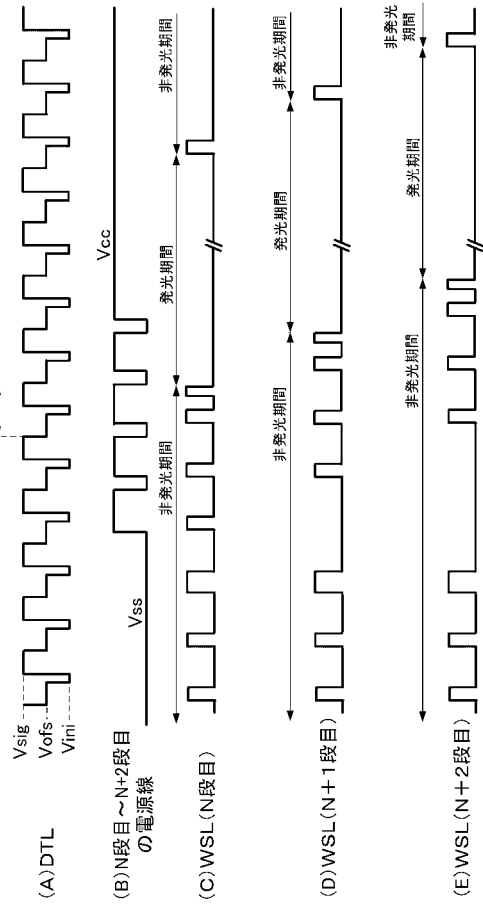


..... 発光期間中の消灯タイミング

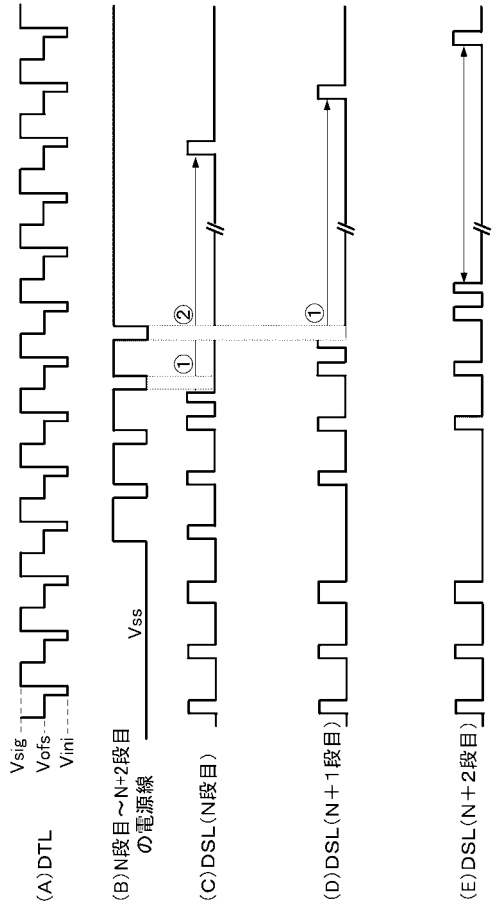
【図 3 1】



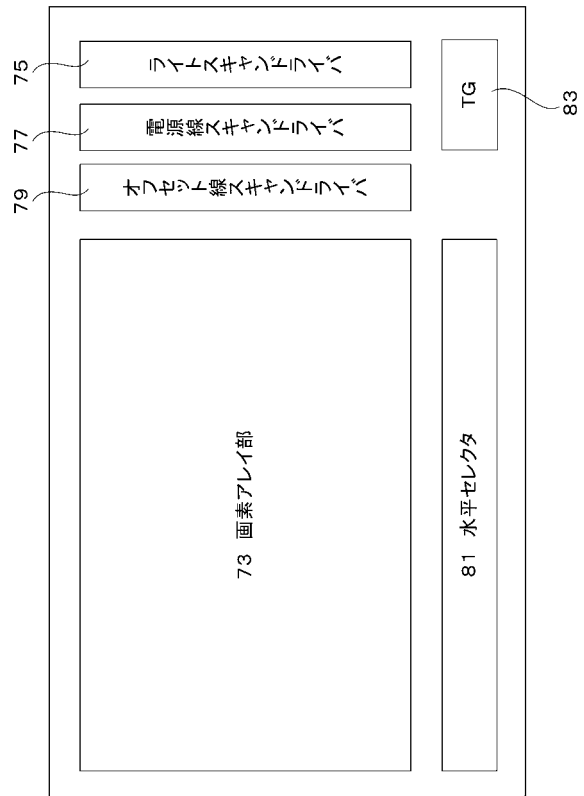
【図 3 2】



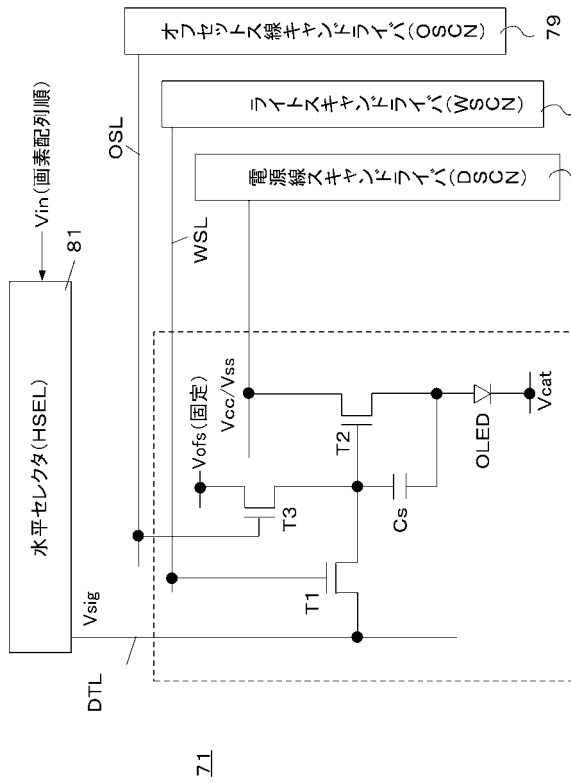
【図 3 3】



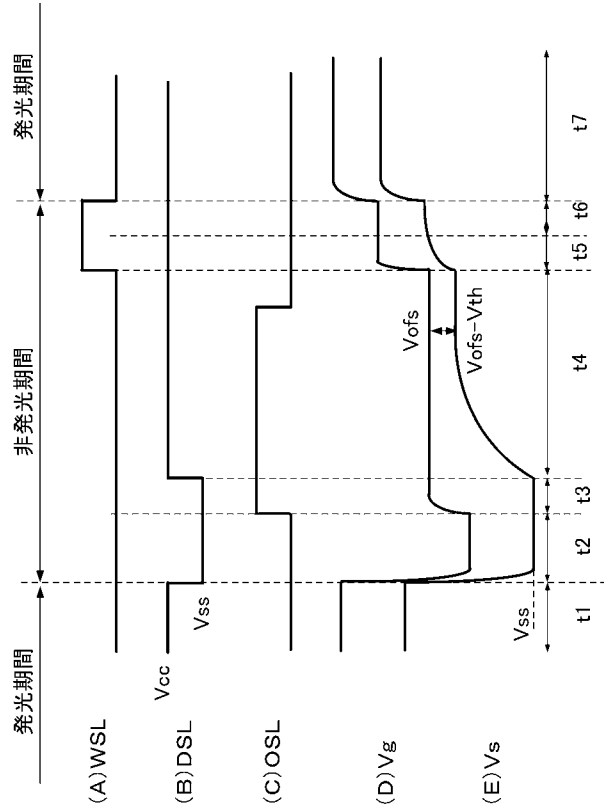
【図 3 4】



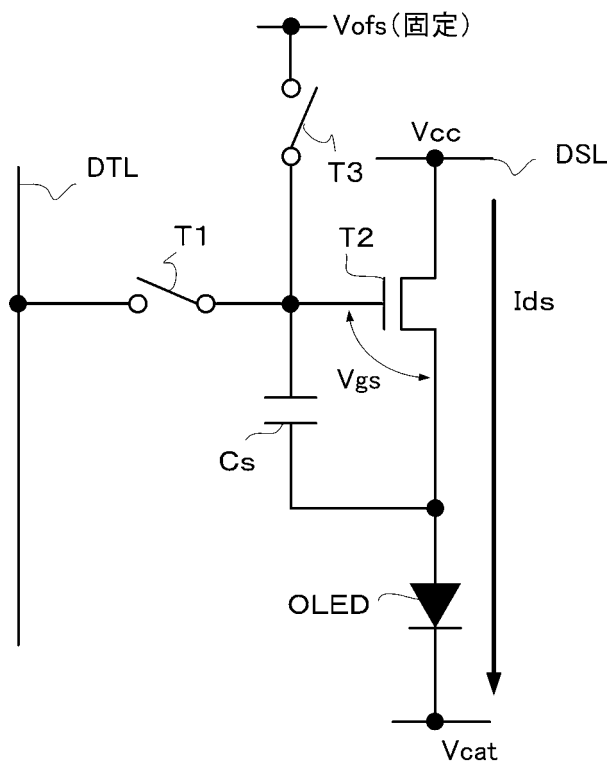
【図35】



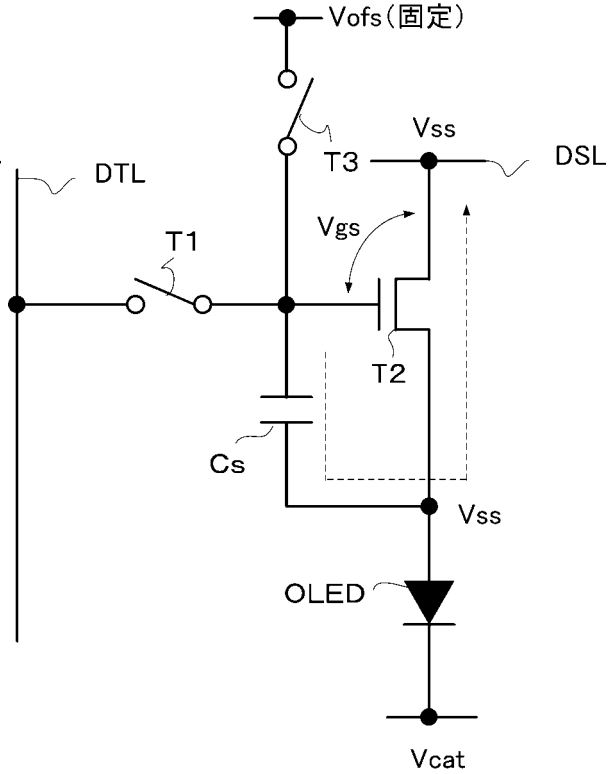
【図36】



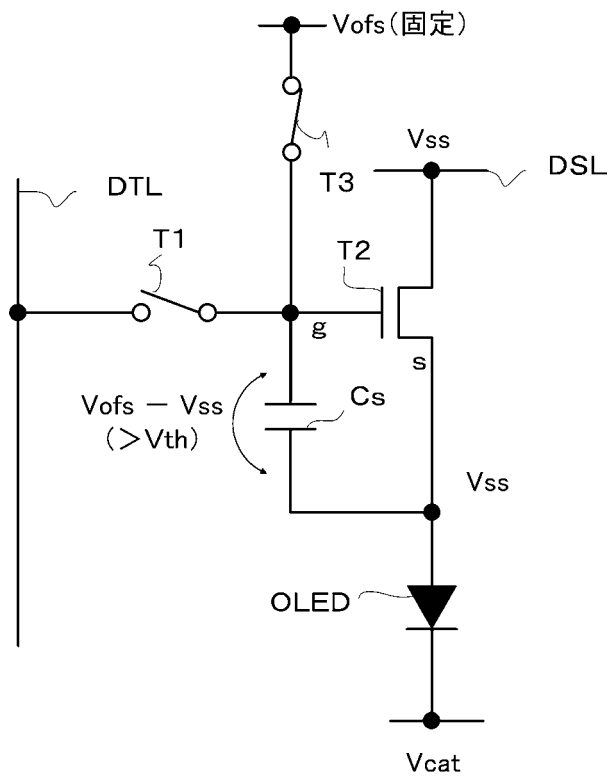
【図37】



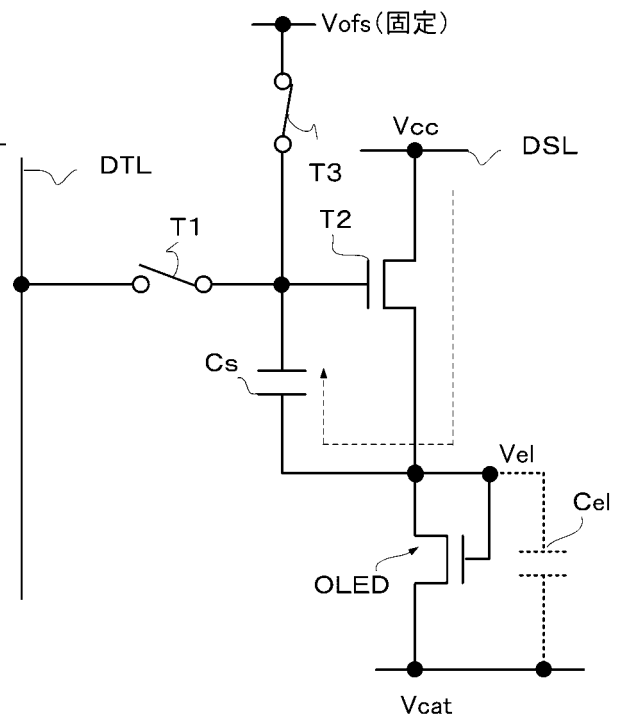
【図38】



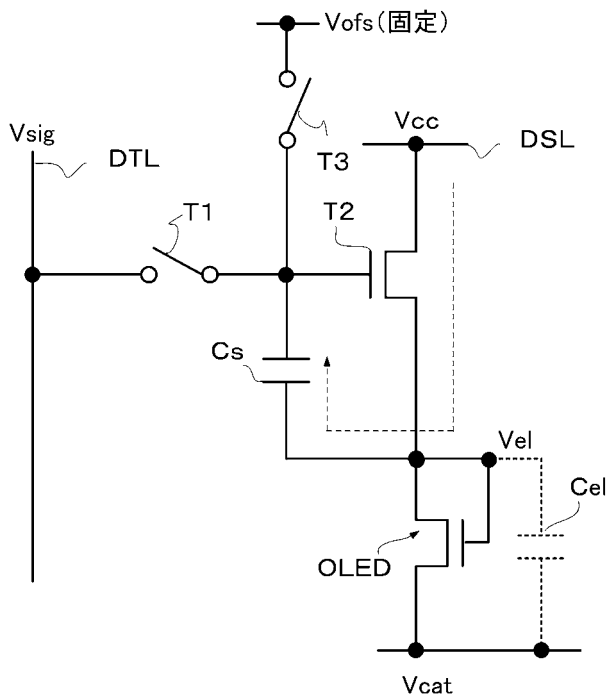
【図39】



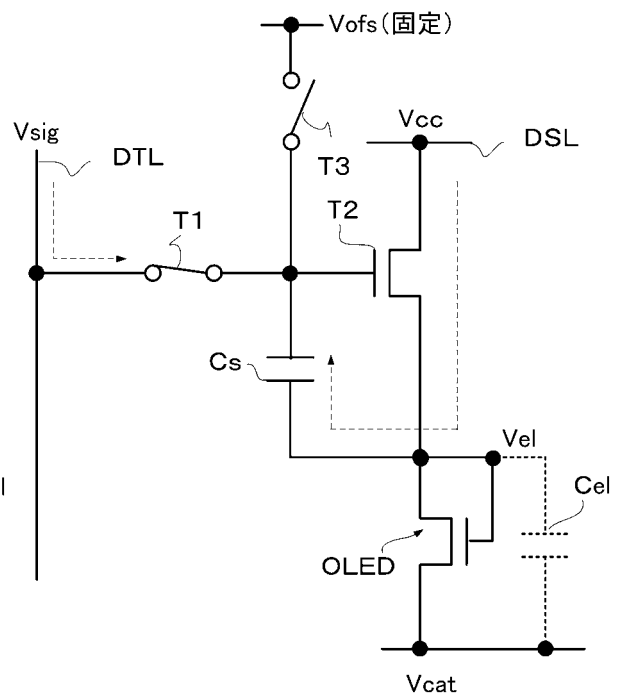
【図40】



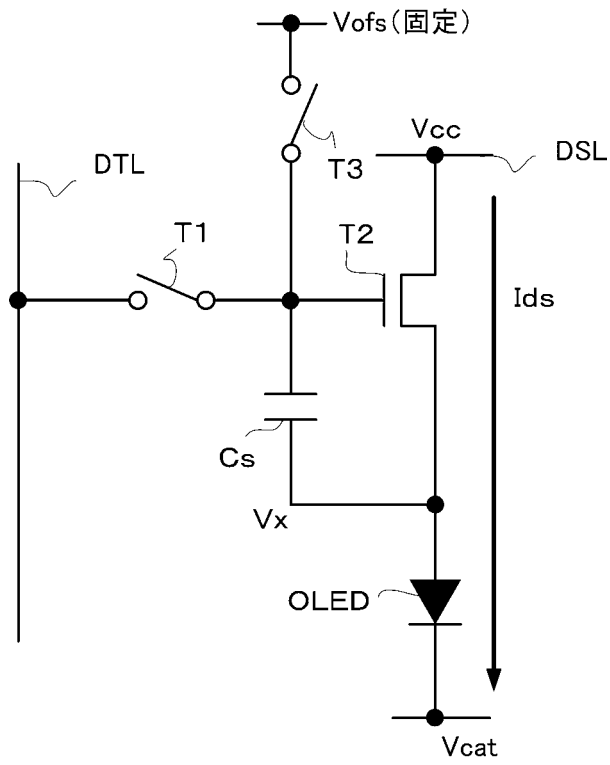
【図41】



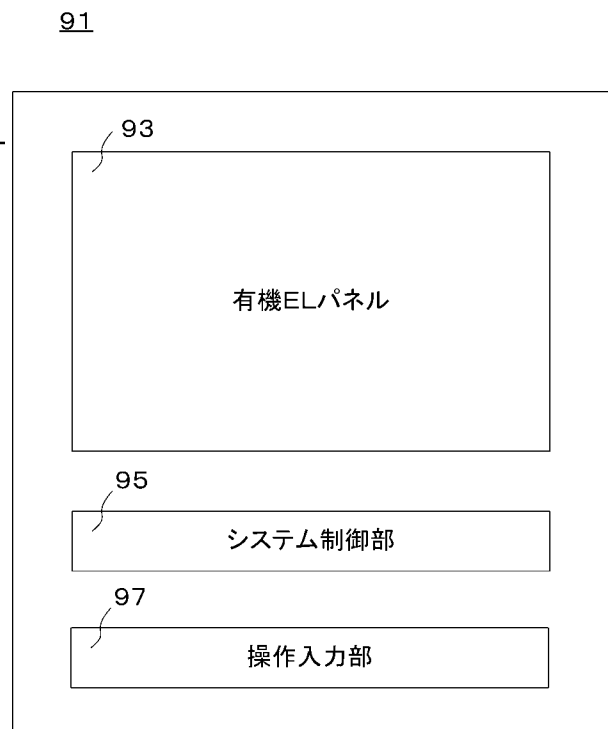
【図42】



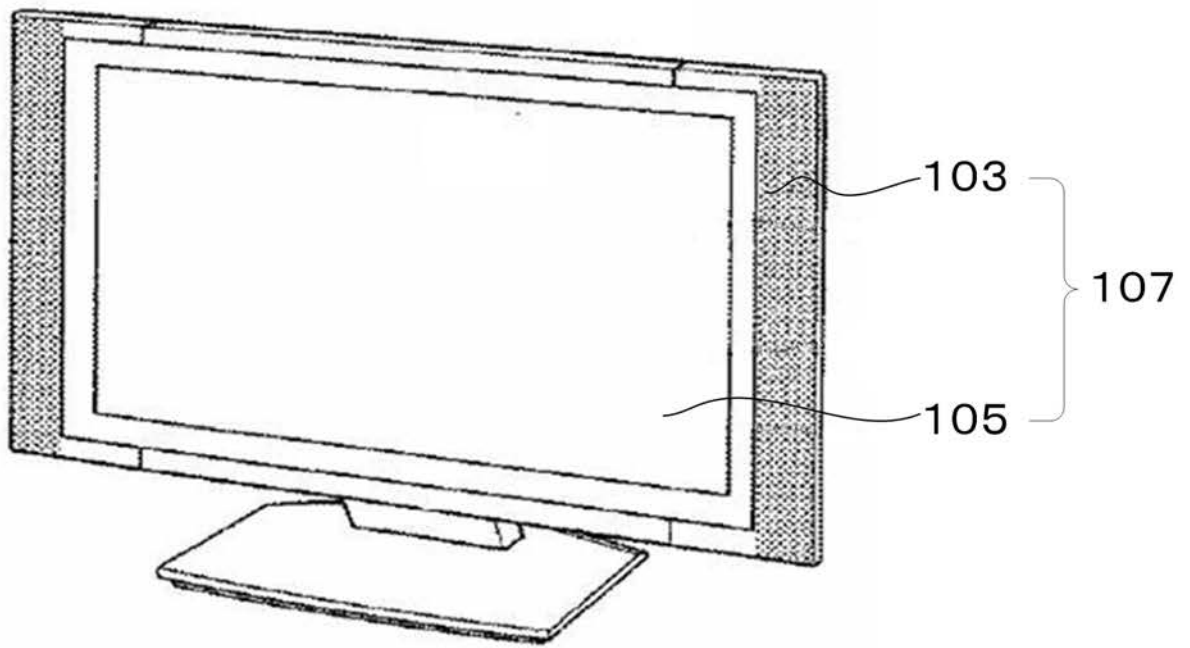
【図43】



【図44】

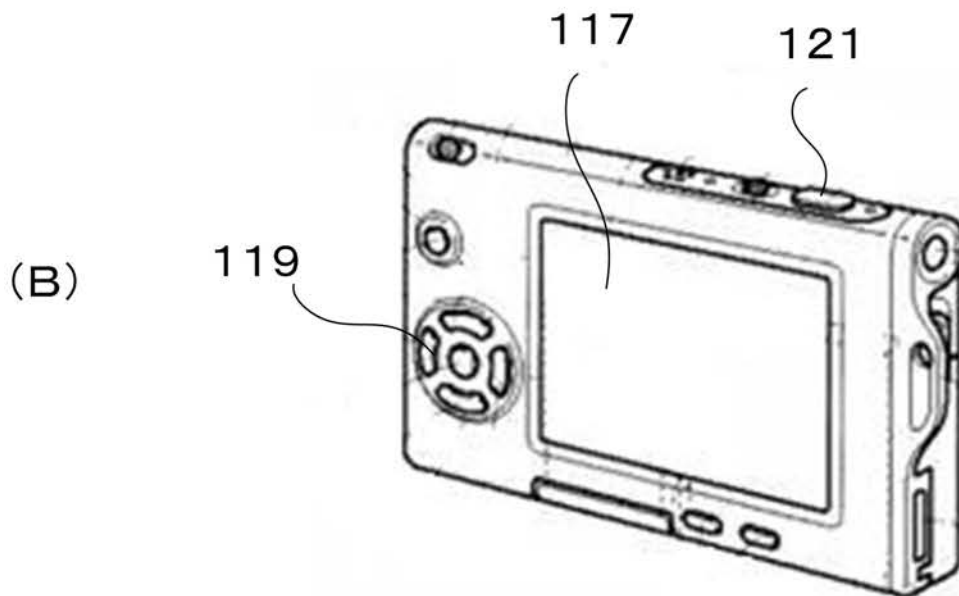
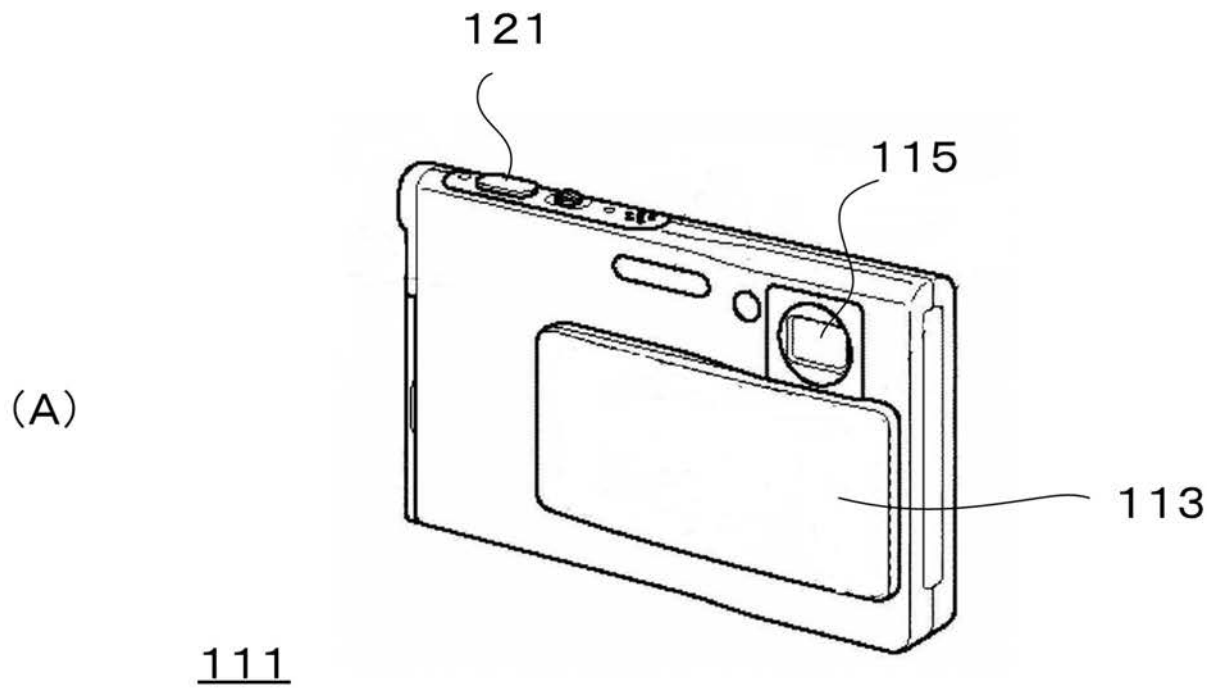


【 図 4 5 】

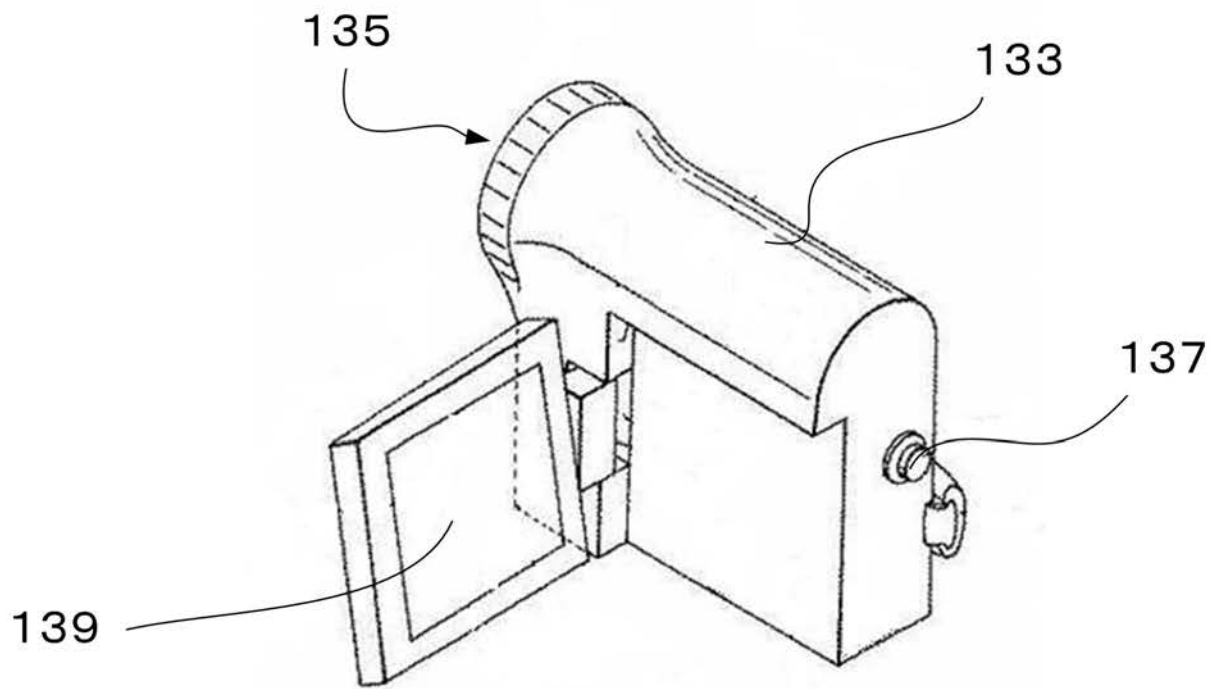


101

【図46】

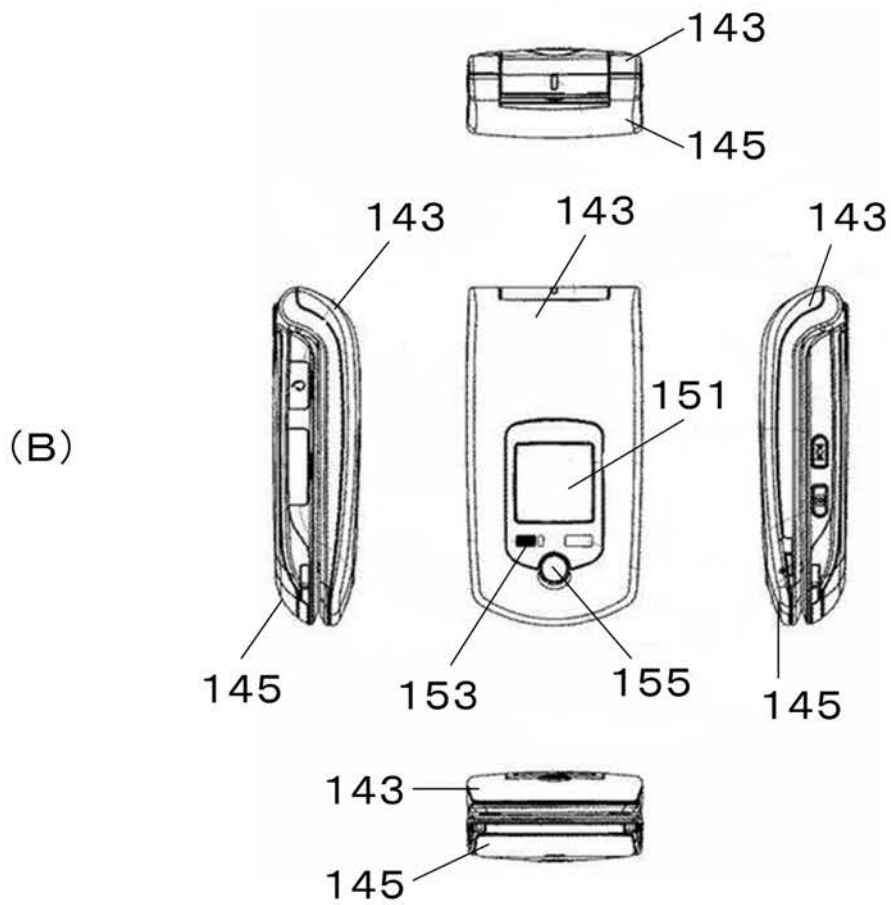
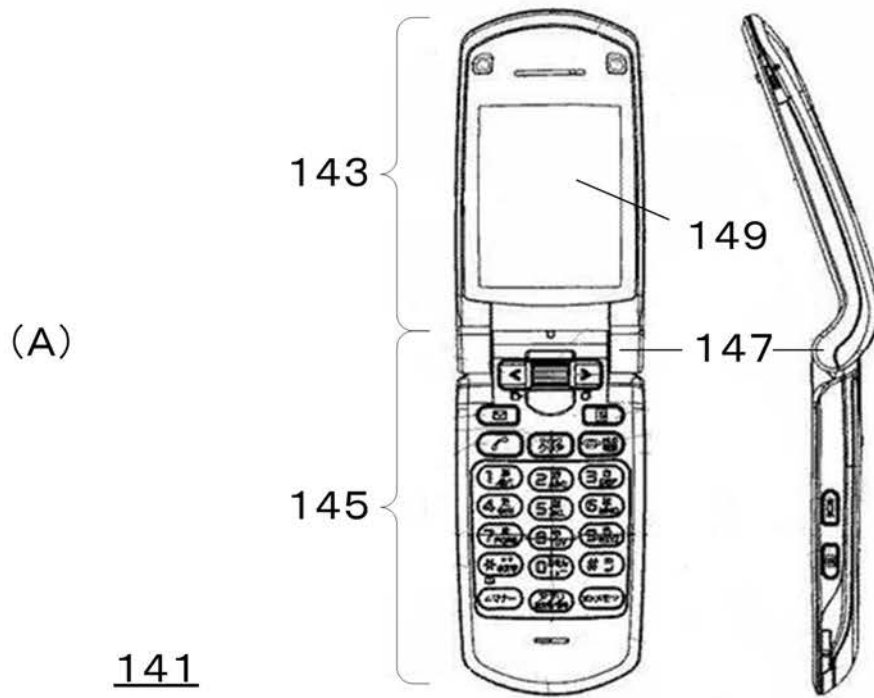


【 図 47 】

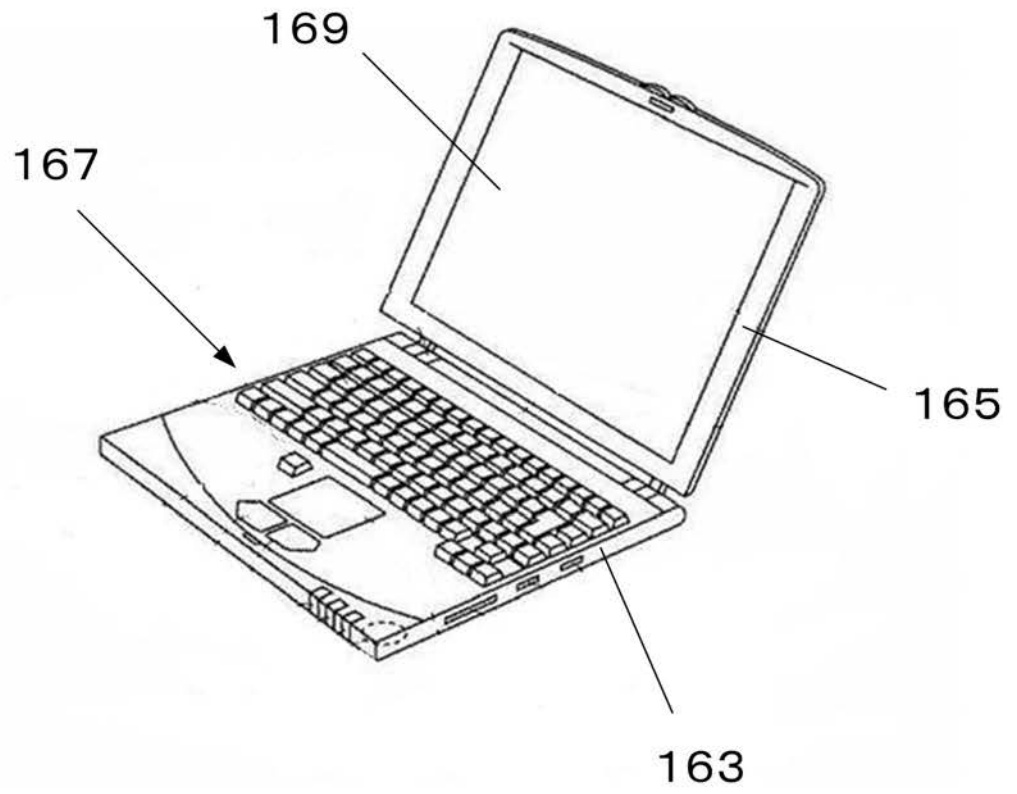


131

【 図 4 8 】



【図49】



161

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 2 1 M

H 0 5 B 33/14 A

(56)参考文献 特開2006-195477(JP,A)

特開2007-155754(JP,A)

特開2006-259373(JP,A)

特開2007-140318(JP,A)

特開2008-262019(JP,A)

特開2003-271095(JP,A)

特開2009-186583(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0

H 0 1 L 5 1 / 5 0

专利名称(译)	EL显示板，电子设备和EL显示板的驱动方法		
公开(公告)号	JP5146090B2	公开(公告)日	2013-02-20
申请号	JP2008121741	申请日	2008-05-08
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/043 G09G2300/0842 G09G2300/0866 G09G2320/043 G09G2330/02		
FI分类号	G09G3/30.J G09G3/20.612.G G09G3/20.642.A G09G3/20.624.B G09G3/20.624.Z G09G3/20.611.H G09G3/20.621.M H05B33/14.A G09G3/20.641.D G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/DD39 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/CA08 5C380/CA12 5C380/CA31 5C380/CB01 5C380/CB02 5C380/CB20 5C380/CB27 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CD012 5C380/CD013 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF48 5C380/DA06 5C380/DA32 5C380/DA47 5C380/HA06 5C380/HA08 5C380/HA11		
代理人(译)	吉井正明 山本隆久		
审查员(译)	Naoaki 桥本		
其他公开文献	JP2009271320A		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得能够兼顾成本降低和图像质量保证的EL显示器件。ZOLUTION：对于有源矩阵驱动的EL显示面板，其中用于向位于像素区域中的EL发射器提供电流的电源线是以二进制电位驱动的有源矩阵，EL显示面板具有布线结构，其中电源线在水平线以多个连续行为单位电连接。在该电路配置中，多个电源线可以共用二进制驱动信号。因此，驱动电路的输出级数减少到以每条水平线驱动电源线的方式所需的数量的第n个。Z

