

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4778275号
(P4778275)

(45) 発行日 平成23年9月21日 (2011.9.21)

(24) 登録日 平成23年7月8日 (2011.7.8)

(51) Int.Cl.

F I

H05B 33/10 (2006.01)

H05B 33/10

H05B 33/02 (2006.01)

H05B 33/02

H01L 51/50 (2006.01)

H05B 33/14 A

G09F 9/30 (2006.01)

G09F 9/30 365Z

H01L 27/32 (2006.01)

請求項の数 15 (全 13 頁)

(21) 出願番号 特願2005-200983 (P2005-200983)
 (22) 出願日 平成17年7月8日 (2005.7.8)
 (65) 公開番号 特開2006-24573 (P2006-24573A)
 (43) 公開日 平成18年1月26日 (2006.1.26)
 審査請求日 平成18年1月23日 (2006.1.23)
 (31) 優先権主張番号 10/888,692
 (32) 優先日 平成16年7月9日 (2004.7.9)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501358079
 友達光電股▲ふん▼有限公司
 AU Optronics Corporation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, II,
 Science-Based Industrial Park, Hsinchu,
 Taiwan, R. O. C.
 (74) 代理人 110000383
 特許業務法人 エビス国際特許事務所
 (74) 代理人 100124327
 弁理士 吉村 勝博
 (72) 発明者 李 信宏
 台湾台北市龍江路155巷15号4樓之1
 最終頁に続く

(54) 【発明の名称】 エレクトロルミネセンスディスプレイの製造方法

(57) 【特許請求の範囲】

【請求項 1】

ELディスプレイの少なくとも一つの画素領域を製造する方法であって、
 基板上に、少なくとも一つのバッファ層を形成する工程と、
 前記バッファ層上に、エッチング停止層を形成する工程と、
 前記エッチング停止層上に、少なくとも一つの間層を形成する工程と、
 前記エッチング停止層に対し選択的にエッチング可能な前記中間層を、該中間層のエッチング速度は前記エッチング停止層のエッチング速度より速いエッチング速度でエッチングし、前記エッチング停止層を露出する工程と、

前記バッファ層に対し選択的にエッチング可能な前記エッチング停止層を、該エッチング停止層のエッチング速度は前記バッファ層のエッチング速度の20倍以上のエッチング速度でエッチングし、前記バッファ層を露出する工程と、

前記露出したエッチング停止層の一部、または中間層の一部の上に、TFTのソース/ドレインと接続する導電層を形成する工程と、

前記露出したバッファ層の上に、前記導電層と接続する画素電極層を形成する工程と、
 を備えることを特徴とするELディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 2】

前記エッチング停止層を露出する工程において、前記中間層のエッチング速度は前記エッチング停止層のエッチング速度の20倍以上であることを特徴とする請求項1に記載のELディスプレイの少なくとも一つの画素領域の製造方法。

10

20

【請求項 3】

前記バッファ層が酸化シリコン層であることを特徴とする請求項 1 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 4】

前記エッチング停止層がポリシリコン層であることを特徴とする請求項 1 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 5】

前記中間層が酸化シリコン層であることを特徴とする請求項 1 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 6】

前記中間層がオーバーエッチングされることを特徴とする請求項 1 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 7】

前記エッチング停止層がオーバーエッチングされることを特徴とする請求項 1 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 8】

E L ディスプレイの少なくとも一つの画素領域を製造する方法であって、
基板上に、第 1 バッファ層を形成する工程と、
前記第 1 バッファ層上に、第 2 バッファ層を形成する工程と、
前記第 2 バッファ層上に、エッチング停止層を形成する工程と、
前記エッチング停止層上に、第 1 中間層を形成する工程と、
前記第 1 中間層上に、第 2 中間層を形成する工程と、
前記第 1 中間層及び前記第 2 中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記第 1 中間層及び前記第 2 中間層を、該第 1 及び第 2 中間層のエッチング速度は前記エッチング停止層のエッチング速度より速いエッチング速度でエッチングして、前記エッチング停止層を露出する工程と、

前記エッチング停止層は、前記第 2 バッファ層に対し、選択的にエッチング可能であり、前記エッチング停止層を、該エッチング停止層のエッチング速度は前記第 2 バッファ層のエッチング速度の 20 倍以上のエッチング速度でエッチングして、前記第 2 バッファ層を露出する工程と、

前記露出したエッチング停止層の一部、または第 2 中間層の一部の上に、T F T のソース/ドレインと接続する導電層を形成する工程と、

前記露出した第 2 バッファ層の上に、前記導電層と接続する画素電極層を形成する工程と、

を備えることを特徴とする E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 9】

前記エッチング停止層を露出する工程において、前記第 1 中間層及び前記第 2 中間層のエッチング速度は前記エッチング停止層のエッチング速度の 20 倍以上であることを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 10】

前記第 2 バッファ層が酸化シリコン層であることを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 11】

前記エッチング停止層がポリシリコン層であることを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 12】

前記第 1 中間層が酸化シリコン層であることを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 13】

バッファ酸化エッチング液（BOE 液）により、前記第 1 中間層をエッチングするこ

10

20

30

40

50

とを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 1 4】

塩素プラズマにより、前記エッチング停止層をエッチングすることを特徴とする請求項 8 に記載の E L ディスプレイの少なくとも一つの画素領域の製造方法。

【請求項 1 5】

E L ディスプレイの少なくとも一つの画素領域を製造する方法であって、
基板上に、少なくとも一つの酸化シリコンからなるバッファ層を形成する工程と、
前記バッファ層上に、ポリシリコンからなるエッチング停止層を形成する工程と、
前記エッチング停止層上に、少なくとも一つの酸化シリコンからなる中間層を形成する工程と、 10

前記中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記中間層を、該中間層のエッチング速度は前記エッチング停止層のエッチング速度の 2 0 倍以上のエッチング速度でエッチングし、前記エッチング停止層を露出する工程と、

前記エッチング停止層は前記バッファ層に対して選択的にエッチング可能であり、前記エッチング停止層を、該エッチング停止層のエッチング速度は前記バッファ層のエッチング速度の 2 0 倍以上のエッチング速度でエッチングして前記バッファ層を露出し、もって当該露出されたバッファ層の表面平坦度を向上する工程と、

前記露出したバッファ層の上に、T F T のソース / ドレインと接続する導電層を形成する工程と、 20

前記露出したバッファ層の上に、前記導電層と接続する画素電極層を形成する工程と、
を備えることを特徴とする E L ディスプレイの少なくとも一つの画素領域の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、E L (エレクトロルミネセンス) ディスプレイの製造方法に関し、さらに詳細には E L ディスプレイの画素領域の製造方法に関するものである。

【背景技術】

【0 0 0 2】

近年、フラットパネルディスプレイ技術が急速に進歩し続けている。 30

この技術向上の要因の一つは、ガラス等の基板上に薄膜トランジスタ (T F T) を製造する技術が成熟してきたからである。

【0 0 0 3】

一方で、バックライトが必要な液晶ディスプレイ (L C D) の液晶材料とは別に、有機発光ダイオード (O L E D) 等の自発光性の E L ディスプレイが重点的に研究されている。このような自発光性の E L ディスプレイは、自ら発光可能であるため、それ自体が輝度を有し、バックライトを備えた液晶ディスプレイ (L C D) より明るい画像を呈しうる。

【0 0 0 4】

図 1 は、従来の E L ディスプレイ 1 0 の断面図を示す。

【0 0 0 5】

40

以下、図 1 を参照して E L ディスプレイ 1 0 の構成を説明する。

【0 0 0 6】

E L ディスプレイ 1 0 は、薄膜トランジスタ (T F T) 領域 1 1 0 と、画素領域 1 2 0 と、を有する。

【0 0 0 7】

さらに、上記薄膜トランジスタ領域 1 1 0 には、基板 1 3 0、窒化シリコンバッファ層 1 3 2、酸化シリコンバッファ層 1 3 4、ゲート酸化層 1 3 6、及び中間誘電 (I L D) 層 1 3 8 が備えられている。

【0 0 0 8】

また、上記薄膜トランジスタ領域 1 1 0 には、基板 1 3 0、窒化シリコンバッファ層 1 50

３２、酸化シリコンバッファ層１３４、インジウムスズ酸化物（ＩＴＯ）層１４０、有機発光層１４２、及び陰極層１４４が備えられている。

【特許文献１】特開平１０－２８９７８５号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

しかし、当該ＥＬディスプレイ１０の形成過程で、画素領域１２０に当初より蒸着されているゲートたる酸化層（以下「ゲート酸化層」という。）１３６及びＩＬＤ層１３８がＥＬディスプレイ１０の発光強度を低下させうるため、ゲート酸化層１３６及びＩＬＤ層１３８を除去することが必要とされる。

10

当該除去には、フォトリソグラフィ技術が適用され、画素領域１２０のゲート酸化層１３６及びＩＬＤ層１３８を露光するためのウインドウ部が画定され、当該露光処理が行われる。その後この露光部分がエッチングにより除去され、その下の酸化シリコンバッファ層１３４を露出する。その後、ＩＴＯ層１４０及び有機発光層１４２を、その上に順に蒸着することにより図１に示される構造が形成される。

【００１０】

しかし、このような従来の方法は非平坦表面を生成してしまう（元来平坦にすべき当該デバイス内の表面を非均一にってしまう）欠点を持つ。

【００１１】

すなわち、ゲート酸化層１３６と、その下の酸化シリコンバッファ層１３４の、各層に対して選択的なエッチングが困難である（すなわち各層に対するエッチング選択性（ETCH SELECTIVITY）が低い。以下同様。）ことから、各層を選択的エッチングする際のエッチング工程の完了時（エンドポイント）を適切に制御することが難しい。

20

【００１２】

そのため、画素領域１２０中の酸化シリコンバッファ層１３４に図１に示されているような凹凸部を有する非平坦表面１５０が形成され、その後に形成するＩＴＯ層１４０及び有機発光層１４２に、当該非平坦表面１５０の凹凸が反映された非平坦表面１５２、１５４が順々に形成されてしまい、もってこの非平坦表面１５０を介した画像に乱れが生じ、ＥＬディスプレイ１０の画像表示性能（発光能力）が大幅に減少させられるという問題が生じていた。

30

【００１３】

したがって、以上のような従来の問題点を解決するようなＥＬディスプレイの製造方法、すなわち画素領域の材料層の非平坦面を改善する製造方法が望まれているのである。もって、本発明の目的は、上述の非平坦表面が形成されないようなＥＬディスプレイの画素領域の製造方法を提供することにある。

【課題を解決するための手段】

【００１４】

上記課題を解決するための手段を以下述べることとする。

【００１５】

本発明は、ＥＬディスプレイの少なくとも一つの画素領域を製造する方法を提供する。
該ＥＬディスプレイの少なくとも一つの画素領域を製造する方法は、基板上に、少なくとも一つのバッファ層を形成する工程と、前記バッファ層上に、エッチング停止層を形成する工程と、前記エッチング停止層上に、少なくとも一つの間層を形成する工程と、前記エッチング停止層に対し選択的にエッチング可能な前記中間層を、該中間層のエッチング速度は前記エッチング停止層のエッチング速度より速いエッチング速度でエッチングし、前記エッチング停止層を露出する工程と、前記バッファ層に対し選択的にエッチング可能な前記エッチング停止層を、該エッチング停止層のエッチングレート速度は前記バッファ層のエッチング速度の２０倍以上のエッチング速度でエッチングし、前記バッファ層を露出する工程と、前記露出したエッチング停止層の一部、または中間層の一部の上に、ＴＦＴのソース／ドレインと接続する導電層を形成する工程と、前記露出したバッファ層の上

40

50

に、前記導電層と接続する画素電極層を形成する工程とを備えることを特徴とする。

【0016】

ここで、「選択エッチングレート」とは、少なくとも2つの層についてそれぞれ選択的にエッチ（ETCH）可能なエッチング速度を変えエッチ比をもたらすようにすることで、各層を順々に別個にエッチングするためのパラメータをいう。すなわち、「選択エッチングレート」にいう「レート」とは英語では“RATE”に相当するものであるが、この“RATE”には一般に「比」、「速度」等の意味を持つが本願では前者の「比」の意味で使われている（本願のすべての箇所について同様）。

【0017】

本発明は、前記エッチング停止層を露出する工程において、前記中間層のエッチング速度が前記エッチング停止層のエッチング速度の20倍以上であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

10

そのために前記中間層がエッチングされているときに、前記エッチング停止層がエッチングされず、もって、エッチング選択性（ETCHING SELECTIVITY）が前記中間層と前記エッチング停止層に適用されるのである。

【0018】

本発明は、前記バッファ層を露出する工程において、前記エッチング停止層のエッチング速度が前記バッファ層のエッチング速度の20倍以上であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0019】

20

そのために前記エッチング停止層がエッチングされているときに、前記バッファ層がエッチングされず、もって、エッチング選択性（ETCHING SELECTIVITY）が前記エッチング停止層と前記バッファ層に適用されるのである。

【0020】

本発明は、前記バッファ層が酸化シリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0021】

本発明は、前記エッチング停止層がポリシリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0022】

30

本発明は、前記中間層が酸化シリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0023】

本発明は、前記中間層がオーバーエッチングされることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0024】

本発明は、前記エッチング停止層がオーバーエッチングされることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0025】

40

本発明は、ELディスプレイの少なくとも一つの画素領域を製造する方法であって、基板上に、第1バッファ層を形成する工程と、前記第1バッファ層上に、第2バッファ層を形成する工程と、前記第2バッファ層上に、エッチング停止層を形成する工程と、前記エッチング停止層上に、第1中間層を形成する工程と、前記第1中間層上に、第2中間層を形成する工程と、前記第1中間層及び前記第2中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記第1中間層及び前記第2中間層を、該第1及び第2中間層のエッチング速度は前記エッチング停止層のエッチング速度より速いエッチング速度でエッチングして、前記エッチング停止層を露出する工程と、前記エッチング停止層は、前記第2バッファ層に対し、選択的にエッチング可能であり、前記エッチング停止層を、該エッチング停止層のエッチング速度は前記第2バッファ層のエッチング速度の20倍以上のエッチング速度でエッチングして、前記第2バッファ層を露出する工程と、前記露出し

50

たエッチング停止層の一部、または第2中間層の一部の上に、TFTのソース/ドレインと接続する導電層を形成する工程と、前記露出した第2バッファ層の上に、前記導電層と接続する画素電極層を形成する工程とを備えることを特徴とするELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0026】

本発明は、前記エッチング停止層を露出する工程において、前記第1中間層及び前記第2中間層のエッチング速度が前記エッチング停止層のエッチング速度の20倍以上であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0027】

そのために前記第1中間層がエッチングされているときに、前記エッチング停止層がエッチングされず、もって、エッチング選択性が前記第1中間層と前記エッチング停止層に適用されるのである。

【0028】

本発明は、前記第2バッファ層を露出する工程において、前記エッチング停止層のエッチング速度が前記第2バッファ層のエッチング速度の20倍以上であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0029】

そのために前記エッチング停止層がエッチングされているときに、前記第2バッファ層がエッチングされず、もって、エッチング選択性が前記エッチング停止層と前記第2バッファ層に適用されるのである。

【0030】

本発明は、前記第2バッファ層が酸化シリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0031】

本発明は、前記エッチング停止層がポリシリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0032】

本発明は、前記第1中間層が酸化シリコン層であることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0033】

本発明は、バッファ酸化物エッチング液（BOE液）により前記第1中間層をエッチングすることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0034】

本発明は、塩素プラズマにより前記エッチング停止層をエッチングすることを特徴とする上記のELディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【0035】

本発明は、ELディスプレイの少なくとも一つの画素領域を製造する方法であって、基板上に、少なくとも一つの酸化シリコンからなるバッファ層を形成する工程と、前記バッファ層上に、ポリシリコンからなるエッチング停止層を形成する工程と、前記エッチング停止層上に、少なくとも一つの酸化シリコンからなる中間層を形成する工程と、前記中間層は前記エッチング停止層に対して選択的にエッチング可能であり、前記中間層を、該中間層のエッチング速度は前記エッチング停止層のエッチング速度の20倍以上のエッチング速度でエッチングし、前記エッチング停止層を露出する工程と、前記エッチング停止層は前記バッファ層に対して選択的にエッチング可能であり、前記エッチング停止層を、該エッチング停止層のエッチング速度は前記バッファ層のエッチング速度の20倍以上のエッチング速度でエッチングして前記バッファ層を露出し、もって当該露出されたバッファ層の表面平坦度を向上する工程と、前記露出したバッファ層の上に、TFTのソース/ドレインと接続する導電層を形成する工程と、前記露出したバッファ層の上に、前記導電層

10

20

30

40

50

と接続する画素電極層を形成する工程とを備えることを特徴とするＥＬディスプレイの少なくとも一つの画素領域の製造方法を提供する。

【発明の効果】

【００３６】

本発明は、ＥＬディスプレイの少なくとも一つの画素領域の製造方法を開示し、画素領域中に形成される材料層表面の平坦度を向上し、エッチング停止層並びに第１バッファ層及び第２バッファ層のそれぞれにエッチング選択性が付与されている。そしてエッチング停止層の存在により、第１バッファ層のエッチングが容易に制御でき、且つ、エッチング時にその下のゲート酸化層に対し何ら影響を与えず、続いて、エッチング停止層を除去するが、この際、第２バッファ層は略平坦な表面を維持することができ、ＥＬディスプレイの全体画像表示性能（発光能力）を改善する。

10

【発明を実施するための最良の形態】

【００３７】

本発明を実施するための最良の形態について、実施例を通じて説明する。

【実施例１】

【００３８】

図２から図９は、本発明の実施例１によるＥＬディスプレイ中の画素領域２００の製造工程を示す図である。

【００３９】

以下、図２から図９を参照して第１実施例を説明する。

20

【００４０】

まず、図２を参照して説明すると、化学気相蒸着（ＣＶＤ）、減圧化学気相蒸着（ＬＰＣＶＤ）、又はプラズマ化学気相成長法（ＰＥＣＶＤ）等の製造工程により、基板２１０上に、第１バッファ層２２０が形成される。この第１バッファ層２２０は、窒化シリコン等の誘電材料からなり、基板２１０は、ガラス、石英、ポリマー等の材料により構成される。しかし基板２１０の構成材料これらに限定されない。

【００４１】

次に、図３を参照して説明すると、ＣＶＤ、ＬＰＣＶＤ、ＰＥＣＶＤ等の工程により、第１バッファ層２２０上に第２バッファ層２３０が形成される。この第２バッファ層２３０は、酸化シリコン（ SiO_x ）層により構成される。これらの第１バッファ層２２０及び第２バッファ層２３０は、ＴＦＴ領域（図示しない）へと延在するようにすることもできる。

30

【００４２】

次に、図４を参照して説明すると、第２バッファ層２３０上にエッチング停止層２４０を形成する。この第２バッファ層２３０は厚さ５００のポリシリコンから構成される。

【００４３】

そして、さらに以下の２つの工程が提供される。

【００４４】

１つは、ポリシリコンを画素領域２００とＴＦＴ領域（図示しない）中に堆積する工程である。もう一つは、ポリシリコンに対しエッチバックを施し、ＴＦＴ領域（図示しない）中にソース及びドレインを形成し、画素領域２００中にエッチング停止層２４０を形成する工程である。エッチング停止層２４０並びにソース及びドレインは、どれも、同様のポリシリコンにより構成されるので、別途にマスクを追加する必要がなく製造コストが抑制される。

40

【００４５】

また、エッチング停止層２４０は、その材料が第１バッファ層２２０及び第２バッファ層２３０とのエッチング選択性を有するものであればいかなるものでもよい。

【００４６】

次に、図５を参照して説明すると、エッチング停止層２４０上に第１中間層２５０が形成される。第１中間層は厚さ約１０００の酸化シリコン層である。そして、この酸化

50

シリコン層がTFT領域（図示しない）まで延在するようにしてもよい。本実施例中のTFT領域中の第1中間層250はゲート酸化層である。

【0047】

次に、図6を参照して説明すると、第1中間層250上に第2中間層260が形成される。第2中間層260は厚さ約2500の酸化シリコン層である。そして、この酸化シリコン層がTFT領域（図示しない）まで延在するようにしてもよい。本実施例中のTFT領域中の第2中間層260はILD層である。

【0048】

次に、図7を参照して説明すると、ウェットエッチング、ドライエッチング等のエッチング法を適用することにより、第1バッファ層220及び第2バッファ層230に対しエッチバックを施す。この際使用するエッチング剤は、第1中間層250、第2中間層260、及びエッチング停止層240に対し、一定のエッチング選択比を有するものである（すなわちそれぞれの層を一定の比率かつ互いに異なるエッチング速度で選択的にエッチングするものである。）。

【0049】

例えば、BOE（Buffered Oxide Etch）を利用し、酸化シリコンが主要材料である第1中間層250及び第2中間層260を、エッチングするエッチング方法が考えられる。このBOEは、フッ化水素HFとフッ化アンモニウム NH_4F との混合物で、かつ、ポリシリコンよりも酸化シリコンに対し高いエッチング選択性を提供する。もって、エッチング停止層240の表面平坦度に影響を与えずに、第1中間層250及び第2中間層260を除去することができるのである。

【0050】

ここで「表面一致度」なる以下の計算式に基づくパラメータを導入する。

「表面一致度」= $\left[\frac{\text{最大厚さ} - \text{最小厚さ}}{\text{最大厚さ} + \text{最小厚さ}} \right] \times 100\%$

【0051】

つまり、第1中間層250は、オーバーエッチングされる。この例において、酸化シリコンとポリシリコンとのエッチング速度の比が2.0以上であるため、エンドポイントにおけるエッチング量は、反応する反応物、及び/又は、生成物の濃度を検出することにより、簡単に測定できる。

【0052】

次に、図8を参照して説明すると、エッチング停止層240とその下の第2バッファ層230に対し、高選択性を有するエッチング液を利用し、エッチング停止層240に対しエッチバックを実行する。

【0053】

例えば、塩素プラズマにより、ポリシリコンを備えるエッチング停止層240をエッチングし、酸化シリコンに対して塩素プラズマは、ポリシリコンにとって高いエッチング選択比を有するので、第2バッファ層230に表面平坦度に影響を与えずにエッチング停止層240を除去することができる。つまり、エッチング停止層240がオーバーエッチングされるのである。この例では、ポリシリコンと酸化シリコンとのエッチング速度の比が2.0以上であるので、第2バッファ層230の表面平坦度を劣化させることなく、もって表面平坦度を向上することができる。

【0054】

第2バッファ層の一致度の実験結果を以下の表1に示した。この結果は、走査型電子顕微鏡（SEM）により断面観察を行い、約500の第1バッファ層の320mm×400mm角の基板において200mm×200mmの範囲内で同一行及び同一列において点間距離を100mmとして9点について厚さを測定した。

【表 1】

第2バッファ層 (SiO _x) の厚さ (Å)	500	1000	1500	2000
第2バッファ層 (SiO _x) の表面一致度	2.58%	5.01%	1.74%	7.06%

10

さらに、図9を参照して説明すると、導電層270を形成し、TFT領域中のソースとドレインをそれぞれ電氣的に接続する。

最後に、図10を参照して説明すると、ITO層等の画素電極層280が、第2バッファ層230と第2中間層260上に形成され、かつ平坦な表面を有するので、ELディスプレイの全体の画像表示を性能を向上することができる。

【実施例2】

【0055】

図11から図14は、本発明の第2実施例によるELディスプレイ中の画素領域300の製造工程を示す図である。

20

【0056】

まず、図11を参照して説明すると、図2から図7で示されるのと同様の工程により、画素領域300中に、図11のような構造を形成する。この構造は、基板310、第1バッファ層320、第2バッファ層330、エッチング停止層340、第1中間層350、及び第2中間層360を備える。

【0057】

次に、図12を参照して説明すると、導電層370が、第1中間層350及び第2中間層360の一部とエッチング停止層340上に形成される。

【0058】

次に、図13を参照して説明すると、導電層370に被覆されないエッチング停止層340が除去され、かつ高いエッチング選択比を有するので、当該エッチングがその下の第1中間層350の表面平坦度に悪影響を与えないのである。

30

【0059】

さらに、図14を参照して説明すると、露出した第2バッファ層330と第2中間層360上に画素電極層380が形成される。

【0060】

本願では好ましい実施例を前述の通り示したが、上記実施例は決して本発明の技術的範囲を限定するものではない。すなわち、当業者により本発明の技術的思想の範囲内で各種の変形例を採用することができることに留意されたい。

【産業上の利用可能性】

40

【0061】

本発明はELディスプレイの発光能力を向上させることができる。

【図面の簡単な説明】

【0062】

【図1】公知のELディスプレイの断面図である。

【図2】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図3】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図4】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図5】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

【図6】本発明に係る実施例1によるELディスプレイ中の画素領域の製造工程を示す。

50

【図 7】本発明に係る実施例 1 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 8】本発明に係る実施例 1 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 9】本発明に係る実施例 1 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 10】本発明に係る実施例 1 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 11】本発明に係る実施例 2 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 12】本発明に係る実施例 2 による E L ディスプレイ中の画素領域の製造工程を示す。

【図 13】本発明に係る実施例 2 による E L ディスプレイ中の画素領域の製造工程を示す 10

【図 14】本発明に係る実施例 2 による E L ディスプレイ中の画素領域の製造工程を示す

【符号の説明】

【 0 0 6 3 】

1 0 E L ディスプレイ

1 1 0 薄膜トランジスタ (T F T) 領域

1 2 0 、 2 0 0 、 3 0 0 画素領域

1 3 0 、 2 1 0 、 3 1 0 基板

1 3 2 窒化シリコンバッファ層

1 3 4 酸化シリコンバッファ層

1 3 6 ゲート酸化層

1 3 8 中間誘電 (I L D) 層

1 4 0 I T O 層

1 4 2 有機発光層

1 4 4 陰極層

2 2 0 、 3 2 0 第 1 バッファ層

2 3 0 、 3 3 0 第 2 バッファ層

2 4 0 、 3 4 0 エッチング停止層

2 5 0 、 3 5 0 第 1 中間層

2 6 0 、 3 6 0 第 2 中間層

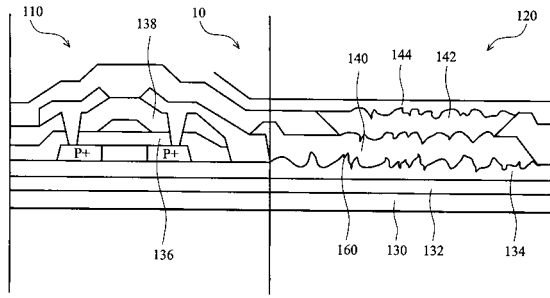
2 7 0 、 3 7 0 導電層

2 8 0 、 3 8 0 画素電極層

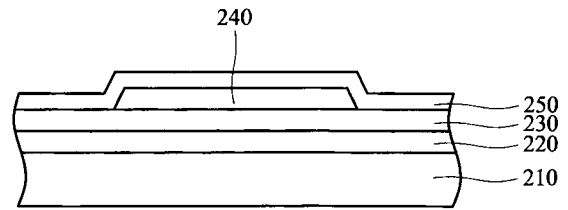
20

30

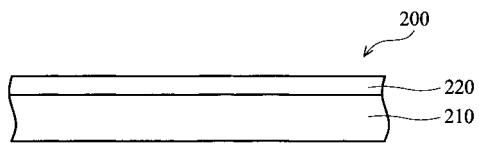
【図 1】



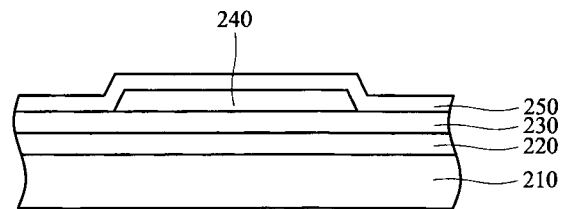
【図 4】



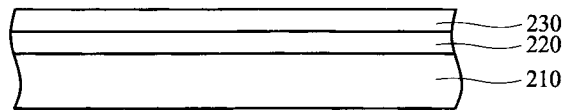
【図 2】



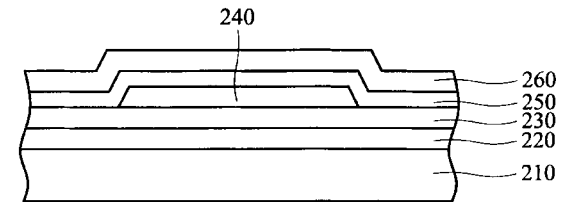
【図 5】



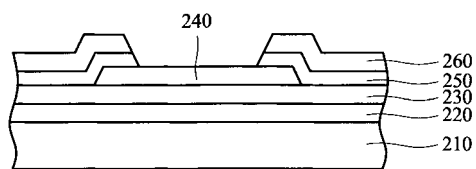
【図 3】



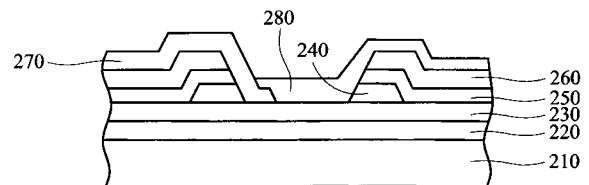
【図 6】



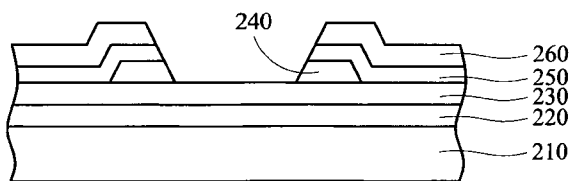
【図 7】



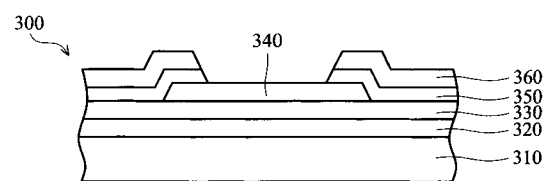
【図 10】



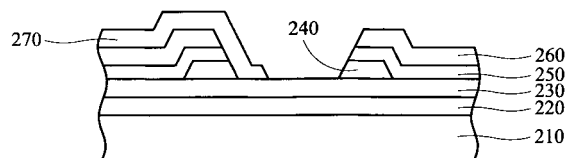
【図 8】



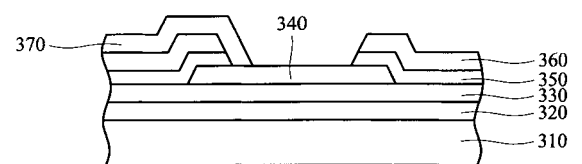
【図 11】



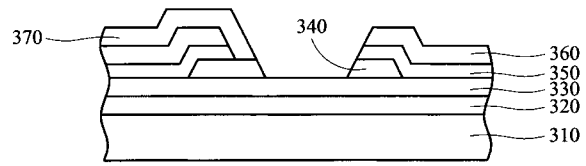
【図 9】



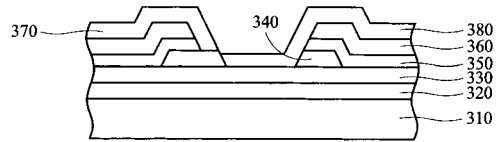
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 黄 維邦

台湾新竹市明湖路400巷68弄4号

(72)発明者 陳 俊雄

台湾台北縣三峡鎮三樹路234号

審査官 小西 隆

(56)参考文献 特開2004-139746(JP,A)

特開2003-007460(JP,A)

特開2003-308027(JP,A)

米国特許第06121073(US,A)

(58)調査した分野(Int.Cl., DB名)

H01L 51/50 - 51/56

H01L 27/32

H05B 33/00 - 33/28

专利名称(译)	制造电致发光显示器的方法		
公开(公告)号	JP4778275B2	公开(公告)日	2011-09-21
申请号	JP2005200983	申请日	2005-07-08
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	李信宏 黄維邦 陳俊雄		
发明人	李 信宏 黄 維邦 陳 俊雄		
IPC分类号	H05B33/10 H05B33/02 H01L51/50 G09F9/30 H01L27/32 H01L27/146 H01L51/56 H05B33/00 H05B33/22		
CPC分类号	H01L27/3244 H01L51/56		
FI分类号	H05B33/10 H05B33/02 H05B33/14.A G09F9/30.365.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB01 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC31 3K107/CC45 3K107/DD95 3K107/FF17 3K107/GG28 5C094/AA37 5C094/BA03 5C094/BA05 5C094/BA27 5C094/CA19 5C094/DA13 5C094/EA04 5C094/FA04 5C094/FB01 5C094/FB02 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GB10 5C094/JA20		
代理人(译)	吉村克洋		
审查员(译)	小西孝		
优先权	10/888692 2004-07-09 US		
其他公开文献	JP2006024573A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供制造EL显示器的方法。本发明涉及一种在EL显示制造的像素区域的方法，在基板上形成的至少一个缓冲层，形成在缓冲层上的蚀刻停止层，至少一个中间层有形成在所述蚀刻停止层上，所述中间层进行蚀刻，所述蚀刻阻挡层被暴露，具有蚀刻停止层和所述中间层的选择性蚀刻速率可以各自选择性地蚀刻，蚀刻停止层进行蚀刻，缓冲层暴露。缓冲层和蚀刻停止层均具有选择性蚀刻速率，可选择性地蚀刻。本发明可以以改善从而露出的缓冲层的表面平坦性不会恶化的EL显示器的发光能力制成。点域8

第2バッファ層 (SiO _x) の厚さ (Å)	500	1000	1500	2000
第2バッファ層 (SiO _x) の表面一致度	2.58%	5.01%	1.74%	7.06%