

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4760840号
(P4760840)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

G09G 3/30 K
G09G 3/20 611H
G09G 3/20 670J
G09G 3/20 642A
G09G 3/20 642C

請求項の数 4 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2008-47180 (P2008-47180)
(22) 出願日 平成20年2月28日(2008.2.28)
(65) 公開番号 特開2009-204887 (P2009-204887A)
(43) 公開日 平成21年9月10日(2009.9.10)
審査請求日 平成21年3月25日(2009.3.25)

(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100094363
弁理士 山本 孝久
(74) 代理人 100118290
弁理士 吉井 正明
(74) 代理人 100120640
弁理士 森 幸一
(72) 発明者 山本 哲郎
東京都港区港南1丁目7番1号ソニー株式
会社内
(72) 発明者 内野 勝秀
東京都港区港南1丁目7番1号ソニー株式
会社内

最終頁に続く

(54) 【発明の名称】 E L表示パネル、電子機器及びE L表示パネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス駆動方式に対応した画素構造を有するE L表示パネルにおいて、各画素の階調値を反映した逆バイアス電位を発生する逆バイアス電位発生部と、
画素回路を構成する駆動トランジスタのゲート電極に、前記逆バイアス電位を印加して画素を非発光状態とした後、前記駆動トランジスタのゲート・ソース間電圧がその閾値電圧より大きくなるようにオフセット電位を印加し、この状態で前記駆動トランジスタを動作させて駆動電流を流すことにより閾値補正動作を行ない、前記閾値補正動作完了後に階調値に対応する信号電位を印加する電圧印加部と

を有し、

前記電圧印加部は、前記逆バイアス電位又は信号電位を各信号線に時分割に印加するものであるとともに、1フレーム期間内に占める発光期間長の割合を切り替え可能であり、

前記逆バイアス電位発生部は、前記閾値補正動作完了後に印加する前記信号電位に基づいて前記逆バイアス電位を設定するものであり、かつ、高輝度に対応する逆バイアス電圧が低輝度に対応する逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定するとともに、それぞれの輝度において発光期間の割合が長い場合の逆バイアス電圧が発光期間の割合が短い場合の逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定する

E L表示パネル。

【請求項2】

前記逆バイアス電位を V_{ini} 、EL 発光素子の閾値電位を V_{thel} 、カソード電位を V_{cat} 、信号電位を V_{sig} で表すとき、

前記逆バイアス電位が、次式で与えられる請求項 1 に記載の EL 表示パネル。

$$V_{ini} = V_{thel} + V_{cat} - (V_{sig} + \quad) \quad (\text{ただし、} \quad > 0 \text{ かつ} \quad 0)$$

【請求項 3】

アクティブマトリクス駆動方式に対応した画素構造と、各画素の階調値を反映した逆バイアス電位を発生する逆バイアス電位発生部と、画素回路を構成する駆動トランジスタのゲート電極に前記逆バイアス電位を印加する電圧印加部とを有する EL 表示パネルと、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有し、

前記電圧印加部は、前記駆動トランジスタゲート電極に、前記逆バイアス電位を印加して画素を非発光状態とした後、前記駆動トランジスタのゲート・ソース間電圧がその閾値電圧より大きくなるようにオフセット電位を印加し、この状態で前記駆動トランジスタを動作させて駆動電流を流すことにより閾値補正動作を行ない、前記閾値補正動作完了後に階調値に対応する信号電位を印加するものであり、さらに、前記逆バイアス電位又は信号電位を各信号線に時分割に印加するもであるとともに、1 フレーム期間内に占める発光期間長の割合を切り替え可能であり、

前記逆バイアス電位発生部は、前記閾値補正動作完了後に印加する前記信号電位に基づいて前記逆バイアス電位を設定するものであり、かつ、高輝度に対応する逆バイアス電圧が低輝度に対応する逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定するとともに、それぞれの輝度において発光期間の割合が長い場合の逆バイアス電圧が発光期間の割合が短い場合の逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定する

電子機器。

【請求項 4】

アクティブマトリクス駆動方式に対応した画素構造を有する EL 表示パネルの駆動方法において、

画素回路を構成する駆動トランジスタのゲート電極に、逆バイアス電位を印加して画素を非発光状態とした後、前記駆動トランジスタのゲート・ソース間電圧がその閾値電圧より大きくなるようにオフセット電位を印加し、この状態で前記駆動トランジスタを動作させて駆動電流を流すことにより閾値補正動作を行ない、前記閾値補正動作完了後に階調値に対応する信号電位を印加する工程と、

前記逆バイアス電位又は信号電位を各信号線に時分割に印加するとともに、1 フレーム期間内に占める発光期間長の割合を切り替える工程と、

各画素の階調値を反映した逆バイアス電位を発生する工程を有し、当該工程では、前記閾値補正動作完了後に印加する前記信号電位に基づいて前記逆バイアス電位を設定し、さらに、高輝度に対応する逆バイアス電圧が低輝度に対応する逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定するとともに、それぞれの輝度において発光期間の割合が長い場合の逆バイアス電圧が発光期間の割合が短い場合の逆バイアス電圧よりも大きくなるように前記逆バイアス電位を設定する

EL 表示パネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御される EL 表示パネル及びその駆動技術に関する。なお、この明細書で提案する発明は、EL 表示パネル、電子機器及び EL 表示パネルの駆動方法としての側面も有する。

【背景技術】

【0002】

10

20

30

40

50

図1に、アクティブマトリクス駆動型の有機ELパネルに一般的な回路ブロック構成を示す。図1に示すように、有機ELパネル1は、画素アレイ部3と、その駆動回路である信号書込制御線駆動部5及び水平セクタ7で構成される。なお、画素アレイ部3には、信号線DTLと書込制御線WSLの各交点に画素回路9が配置される。

【0003】

ところで、有機EL素子は電流発光素子である。このため、有機ELパネルでは、各画素に対応する有機EL素子に流れる電流量の制御により階調を制御する駆動方式が採用される。

【0004】

図2に、この種の画素回路9のうち最も単純な回路構成の一つを示す。この画素回路9は、薄膜トランジスタT1、T2及び保持容量Csで構成される。以下、薄膜トランジスタT1を「サンプリングトランジスタT1」といい、薄膜トランジスタT2を「駆動トランジスタT2」という。

【0005】

サンプリングトランジスタT1は、対応画素の階調に対応する信号電位Vsigの保持容量Csへの書き込みを制御するNチャンネル型の薄膜トランジスタである。また、駆動トランジスタT2は、保持容量Csに保持された信号電位Vsigに応じて定まるゲート・ソース間電圧Vgsに基づいて駆動電流Idsを有機EL素子OLEDに供給するPチャンネル型の薄膜トランジスタである。

【0006】

図2の場合、駆動トランジスタT2のソース電極は、電源電位Vccが固定的に印加されている電源線に接続され、常に飽和領域で動作する。すなわち、駆動トランジスタT2は、信号電位Vsigに応じた大きさの駆動電流を有機EL素子OLEDに供給する定電流源として動作する。この際、駆動電流Idsは次式で与えられる。

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

【0007】

因みに、 μ は、駆動トランジスタT2の多数キャリアの移動度である。また、 V_{th} は、駆動トランジスタT2の閾値電圧である。また、 k は、 $(W/L) \cdot C_{ox}$ で与えられる係数である。ここで、 W はチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0008】

なお、この構成の画素回路の場合、図3に示す有機EL素子のI-V特性の経時変化に伴って、駆動トランジスタT2のドレイン電圧が変化するという特性があることが知られている。しかし、ゲート・ソース間電圧Vgsは一定に保たれるので、有機EL素子に供給される電流量には変化が無く、発光輝度を一定に保つことができる。

【0009】

以下に、アクティブマトリクス駆動方式を採用する有機ELパネルディスプレイに関する文献を例示する。

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、薄膜プロセスの種類によっては図2に示す回路構成を採用できない場合がある。すなわち、現在の薄膜プロセスでは、Pチャンネル型の薄膜トランジスタを採用できない場合がある。このような場合、駆動トランジスタT2をNチャンネル型薄膜トランジスタに置き換えることになる。

10

20

30

40

50

【 0 0 1 1 】

図 4 に、この種の画素回路の構成を示す。この場合、駆動トランジスタ T 1 2 のソース電極は有機 E L 素子 O L E D の陽極（アノード）端子に接続される。ただし、この画素回路 1 1 の場合には、有機 E L 素子の I - V 特性の経時変化に伴ってゲート・ソース間電圧 V_{gs} が変動する問題がある。このゲート・ソース間電圧 V_{gs} の変動は、駆動電流量を変化させ、発光輝度を変化させてしまう。

【 0 0 1 2 】

この他、各画素回路 1 1 を構成する駆動トランジスタ T 1 2 の閾値及び移動度は、画素毎に異なっている。この駆動トランジスタ T 1 2 の閾値や移動度の違いは、駆動電流値のバラツキとなって出現し、発光輝度が画素毎に変化する原因となる。

10

【 0 0 1 3 】

従って、Nチャネル型薄膜トランジスタで構成される駆動トランジスタの特性バラツキを防ぐ回路構成を採用する有機 E L パネル 1 の画素回路 2 1 とその駆動回路との接続関係を図 5 に示す。

画素回路 2 1 は、Nチャネル型の薄膜トランジスタ T 2 1、T 2 2、T 2 3、T 2 4、T 2 5 と保持容量 C s とで構成される。

【 0 0 1 4 】

なお、薄膜トランジスタ T 2 1（以下、「第 1 のサンプリングトランジスタ T 2 1」という。）は、信号電位 V_{sig} の書き込みを制御するスイッチとして動作する。薄膜トランジスタ T 2 2（以下、「第 2 のサンプリングトランジスタ T 2 2」という。）は、オフセット信号電位 V_{ofs} の書き込みを制御するスイッチとして動作する。

20

【 0 0 1 5 】

薄膜トランジスタ T 2 3（以下、「第 1 のスイッチングトランジスタ T 2 3」という。）は、薄膜トランジスタ T 2 5 に対する電源電位 V_{cc} の供給を制御するスイッチとして動作する。薄膜トランジスタ T 2 4（以下、「第 2 のスイッチングトランジスタ T 2 4」という。）は、薄膜トランジスタ T 2 5 に対する初期化電位 V_{ss} の供給を制御するスイッチとして動作する。

【 0 0 1 6 】

薄膜トランジスタ T 2 5（以下、「駆動トランジスタ T 2 5」という。）は、オン動作時に、有機 E L 素子 O L E D に駆動電流量を供給する定電流源として動作する。

30

画素回路 2 1 の駆動には、信号書込制御線駆動部 2 3、オフセット信号線駆動部 2 5、給電制御スイッチ駆動部 2 7、初期化制御スイッチ駆動部 2 9、水平セレクタ 3 1 が用いられる。

【 0 0 1 7 】

信号書込制御線駆動部 2 3 は、第 1 のサンプリングトランジスタ T 2 1 をオン・オフ制御する駆動回路である。

オフセット信号線駆動部 2 5 は、第 2 のサンプリングトランジスタ T 2 2 をオン・オフ制御する駆動回路である。

【 0 0 1 8 】

給電制御スイッチ駆動部 2 7 は、第 1 のスイッチングトランジスタ T 2 3 をオン・オフ制御する駆動回路である。

40

初期化制御スイッチ駆動部 2 9 は、第 2 のスイッチングトランジスタ T 2 4 をオン・オフ制御する駆動回路である。

水平セレクタ 3 1 は、各信号線 D T L に画素データ D_{in} に応じた信号電位 V_{sig} を印加する駆動回路である。

【 0 0 1 9 】

図 6 に、これら駆動回路を用いた画素回路の駆動動作例を示す。

まず、発光状態における画素回路内の動作状態を図 7 に示す。このとき、第 1 のスイッチングトランジスタ T 2 3 のみがオン状態である（図 6（ t_1 ））。一方、駆動トランジスタ T 2 5 は飽和領域で動作し、そのゲート・ソース間電圧 V_{gs} で定まる大きさの駆動電

50

流 I_{ds} を有機 EL 素子 OLED に供給する。

【0020】

次に、非発光状態の動作状態を説明する。非発光状態は、第1のスイッチングトランジスタ T_{23} がオフ制御されることで開始される(図6(t2))。すなわち、薄膜トランジスタ $T_{21} \sim T_{24}$ の全てがオフ制御されることで開始される。この動作により、有機 EL 素子 OLED に対する駆動電流 I_{ds} の供給が遮断され、有機 EL 素子 OLED のアノード電位 V_{el} (駆動トランジスタ T_{25} のソース電位 V_s) が低下する。

【0021】

なお、アノード電位 V_{el} の低下は、有機 EL 素子 OLED の閾値電圧 V_{thel} とカソード電位 V_{cat} の和に対応する電位に達した時点で停止する。因みに、駆動トランジスタ T_{25} のゲート電極は自由端であるので、アノード電位 V_{el} の低下に連動してゲート電位 V_g も同様に低下する。

10

この後、第2のサンプリングトランジスタ T_{22} と第2のスイッチングトランジスタ T_{24} がオン状態に切り替わることで閾値補正準備動作が開始される(図6(t3))。

【0022】

図8に、この時点での画素回路内の接続状態を示す。この際、駆動トランジスタ T_{25} のゲート電位 V_g はオフセット信号電位 V_{ofs} 、ソース電位 V_s は初期化電位 V_{ss} に制御される。すなわち、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ に制御される。この電圧は、閾値電圧 V_{th} より大きい値に設定されている。従って、 $V_{ofs} - V_{ss}$ に応じた大きさの駆動電流 I_{ds}' が電源線 (V_{cc}) から初期化電位線 V_{ss} に流れる。

20

【0023】

ただし、この駆動電流 I_{ds}' が有機 EL 素子 OLED に流れてしまうと、信号電位 V_{sig} とは関係のない輝度で発光してしまう。そこで、有機 EL 素子 OLED の非発光状態が保たれるように、オフセット信号電位 V_{ofs} と初期化電位 V_{ss} を設定する。

【0024】

すなわち、有機 EL 素子 OLED のアノード電位 V_{el} が有機 EL 素子 OLED の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和よりも小さくなるように初期化電位 V_{ss} を設定する。なお、第2のサンプリングトランジスタ T_{22} と第2のスイッチングトランジスタ T_{24} はいずれを先にオン制御しても良い。

30

【0025】

次に、第2のサンプリングトランジスタ T_{22} をオン制御した状態のまま、第2のスイッチングトランジスタ T_{24} だけをオフ制御し、続いて第1のスイッチングトランジスタ T_{23} をオン制御する(図6(t4))。図9に、この時点における画素回路内の動作状態を示す。なお図9では、有機 EL 素子 OLED をダイオードと容量の等価回路で示す。

【0026】

この際、 $V_{el} = V_{cat} + V_{thel}$ (有機 EL 素子 OLED のリーク電流が駆動トランジスタ T_{25} に流れる電流よりもかなり小さい)である限り、駆動トランジスタ T_{25} の電流は、保持容量 C_s と有機 EL 素子 OLED の寄生容量 C_{el} を充電するのに使われる。

この充電動作により、アノード電位 V_{el} は時間の経過と共に上昇する。図10に、この動作中における駆動トランジスタ T_{25} のソース電位 V_s の時間変化を示す。

40

【0027】

なお、この電位の上昇は、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} がその閾値電圧 V_{th} に達した時点で終了する。この時、アノード電位 V_{el} は、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ を満たす。この動作が、駆動トランジスタ T_{25} の閾値補正動作である。この後、第1のスイッチングトランジスタ T_{23} が先にオフ制御され、続いて第2のサンプリングトランジスタ T_{22} がオフ制御される。

【0028】

オフ制御をこの順番に実行することにより、駆動トランジスタ T_{25} のゲート電位 V_g の変動を抑えることができる。

50

次に、第1のサンプリングトランジスタT21だけをオン制御し、信号書込兼移動度補正動作を開始する(図6(t5))。図11に、この時点における画素回路内の状態を示す。このとき、駆動トランジスタT25のゲート・ソース間電圧Vgsは、次式で与えられる。

【0029】

$$V_{gs} = \{ C_{el} / (C_{el} + C_s + C_{tr}) \} \cdot (V_{sig} - V_{ofs}) + V_{th}$$

因みに、C_{el}は有機EL素子OLEDの寄生容量であり、C_{tr}は駆動トランジスタT25の寄生容量であり、C_sは保持容量である。

ただし、C_{el}はC_sやC_{tr}に比べて大きい。従って、ゲート・ソース間電圧Vgsは、ほぼV_{sig} + V_{th}で与えられる。

10

【0030】

この状態で、第1のスイッチングトランジスタT23をオン制御する(図6(t6))。この場合も、駆動トランジスタT25のソース電位V_sが有機EL素子OLEDの閾値電圧V_{thel}とカソード電位V_{cat}の和を越えなければ(有機EL素子OLEDのリーク電流が駆動トランジスタT25に流れる電流よりかなり小さければ)、駆動トランジスタT25に流れる電流は保持容量C_sと有機EL素子OLEDの寄生容量C_{el}の充電に使用される。

【0031】

図12に、この時点における画素回路内の動作状態を示す。なお、この時点で、駆動トランジスタT25の閾値補正動作は既に完了している。このため、駆動トランジスタT25に流れる電流は、移動度μを反映した値になる。

20

具体的には、移動度μが大きい駆動トランジスタT25の電流量は大きくなり、ソース電位V_sの上昇も早くなる。

【0032】

一方、移動度が小さい駆動トランジスタT25の電流量は小さくなり、ソース電位V_sの上昇は遅くなる。

図13に、駆動トランジスタT25のソース電圧V_sと時間との関係を示す。結果的に、駆動トランジスタT25のゲート・ソース間電圧Vgsは、移動度μを反映して小さくなり、一定時間経過後には完全に移動度を補正したゲート・ソース間電圧Vgsに収束する。

【0033】

30

この信号書込兼移動度補正動作の終了後、第1のサンプリングトランジスタT21をオフ制御し、駆動トランジスタT25のゲート電極を自由端に制御する。これに伴い、駆動トランジスタT25の駆動電流I_{ds'}は有機EL素子OLEDへと流れ、駆動電流値に応じた輝度での発光が開始される。なお、駆動トランジスタT25のソース電位V_sは、有機EL素子OLEDに流れる駆動電流値に応じた電圧V_xまで上昇する(図6(t7))。

【0034】

図14に、この時点における画素回路の動作状態を示す。

なお、説明した回路例の場合も、有機EL素子OLEDのI-V特性自体は、発光時間が長くなのに従い変化する。すなわち、電圧V_xも変化する。

40

しかし、この回路構成の場合には、駆動トランジスタT25のゲート・ソース間電圧Vgsが一定値に保たれるので、有機EL素子OLEDに流れる電流値が変化されずに済む。

【0035】

すなわち、経時変化に伴って有機EL素子OLEDのI-V特性が変化しても、一定電流I_{ds'}が常に流れ続けることになり、有機EL素子OLEDの輝度を一定に保つことができる。

確かに、図5に示す画素回路21は、有機EL素子OLEDの特性変動に対して有効に機能する。

【0036】

しかし、他の理由により、経時変化による輝度変化の可能性はある。それは、画素回路

50

21を構成する薄膜トランジスタT21～T25の閾値電圧の変動である。

図15に、薄膜トランジスタの閾値電圧が有する一般的なバイアス特性を示す。図15(A)は正バイアスをゲート電極に印加し続けた場合の特性変化を示し、図15(B)は負バイアスをゲート電極に印加し続けた場合の特性変化を示す。

【0037】

図15に示すように、薄膜トランジスタには、正バイアスの継続時に閾値電圧 V_{th} が正方向に移動する特性が認められ、負バイアスの継続時に閾値電圧 V_{th} が負方向に移動する特性が認められる。

図5に示す回路構成の場合、薄膜トランジスタT21～T24には、1フレーム内に正バイアスと負バイアスが交互に印加される。従って、閾値電圧 V_{th} の変動は大きくない。

【0038】

しかし、駆動トランジスタT25だけは、常に正バイアスが印加された状態で駆動される。結果的に、駆動トランジスタT25の閾値電圧 V_{th} だけは正方向に大きく変動してしまう。特に、駆動トランジスタT25の形成にアモルファスシリコンプロセスが用いられている場合、時間の経過に伴って閾値電圧 V_{th} の変動量が非常に大きくなり易い。

【0039】

一方、図5に示す画素回路21の場合、駆動トランジスタT25の閾値補正動作に先立って、駆動トランジスタT25のゲート・ソース間電圧 V_{gs} を閾値電圧 V_{th} 以上に制御する必要がある。

【0040】

なぜなら、ゲート・ソース間電圧 V_{gs} が閾値電圧以下であると、電流はリーク電流しか流れなくなるため駆動トランジスタT25のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ からほとんど変化しないためである。ところが、このように閾値電圧 V_{th} が大きく変動すると、閾値補正の前提条件を満たさなくなるおそれがあり、閾値補正動作が正常に実行できなくなる。

【0041】

そこで、図16(t2)に示すように、非発光期間の開始時の駆動トランジスタT25に負バイアスを印加し、閾値電圧の変動を少しでも小さくする駆動方式の適用が考えられる。なお、図16の場合には、この期間に第2のサンプリングトランジスタT22をオン制御して駆動トランジスタT25のゲート電位 V_g をオフセット電位 V_{ofs} に制御することで実行する。

【0042】

ただし、図16に示す駆動方式では、白表示時も黒表示時も逆バイアスの値は常に同じ値に固定される。すなわち、黒表示時の場合でも白表示時の場合でも閾値電圧 V_{th} の負方向への変動量は同じである。一方で、閾値電圧 V_{th} の正方向への変動量は、白表示時と黒表示時とで異なっている。このため、図5に示す画素回路21にあっても、時間の経過に伴う焼き付きの発生を原理的には避け得ない問題がある。

【課題を解決するための手段】

【0043】

そこで、発明者らは、アクティブマトリクス駆動方式に対応した画素構造を有するEL表示パネルに、各画素の階調値を反映した逆バイアス電位を発生する逆バイアス電位発生部と、非発光期間にある画素回路を構成する駆動トランジスタのゲート電極に、逆バイアス電位を印加する電圧印加部とを搭載する仕組みを提案する。

【0044】

ここで、高輝度に対応する逆バイアス電圧は、低輝度に対応する逆バイアス電圧よりも大きな電圧に設定されることが望ましい。高輝度ほど閾値電圧の正方向への移動量が大きくなるので、これを打ち消すには負方向への移動量を大きくする必要があるのである。

【0045】

なお、逆バイアス電位の印加は、専用線を通じて実行しても良いし、信号電位を印加する信号線を共用して実行しても良い。因みに、信号線を共用する場合には、信号線に逆バ

10

20

30

40

50

イアス電位と信号電位を時分割で供給すれば良い。

【0046】

また、1フレーム期間内に占める発光期間長の割合が切り替え可能な場合、逆バイアス電位の変動幅が、発光期間の割合に反比例するように設定されることが望ましい。すなわち、発光期間の割合が長い場合（消灯期間が短い場合）には逆バイアス電位の変動幅を大きくし、発光期間の割合が短い場合（消灯期間が長い場合）には逆バイアス電位の変動幅を小さくすることが望ましい。このような制御を実行すれば、閾値電圧 V_{th} の正方向への変動量と負方向への変動量とをバランスを図ることができる。

【0047】

また、発明者らは、前述した駆動技術を採用するEL表示パネルを搭載した電子機器を提案する。

10

ここで、電子機器は、EL表示パネルと、システム全体の動作を制御するシステム制御部と、システム制御部に対する操作入力を受け付ける操作入力部とで構成する。

【発明の効果】

【0048】

発明者らの提案する発明では、各画素の階調値を反映して逆バイアス電位（結果的に、逆バイアス電圧）が設定されるため、1フレーム内における閾値電圧の変動量を互いに打ち消すように設定できる。すなわち、駆動トランジスタの閾値電圧に経時変化が生じない又は経時変化が極めて小さくなるように制御できる。結果的に、画素間での輝度ムラの生じ難いEL表示パネルを実現できる。

20

【発明を実施するための最良の形態】

【0049】

以下、発明を、アクティブマトリクス駆動型の有機ELパネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0050】

(A) 外観構成

なお、この明細書では、画素アレイ部と駆動回路とを同じ半導体プロセスを用いて同じ基板上に形成した表示パネルだけでなく、例えば特定用途向けICとして製造された駆動回路を画素アレイ部の形成された基板上に実装したものの有機ELパネルと呼ぶ。

30

【0051】

図17に、有機ELパネルの外観構成例を示す。有機ELパネル41は、支持基板43のうち画素アレイ部の形成領域に対向部45を貼り合わせた構造を有している。

【0052】

支持基板43は、ガラス、プラスチックその他の基材で構成され、その表面に有機EL層や保護膜等を積層した構造を有している。対向部45は、ガラス、プラスチックその他の透明部材を基材とする。なお、有機ELパネル41には、外部から支持基板43に信号等を入出力するためのFPC（フレキシブルプリントサーキット）47が配置される。

40

【0053】

(B) 形態例1

(B-1) システム構成

以下では、信号電位 V_{sig} に応じて逆バイアス電圧を可変することができる有機ELパネル41の形態例を説明する。

【0054】

図18に、有機ELパネル41のシステム構成例を示す。図18に示す有機ELパネル41は、画素アレイ部51と、その駆動回路である信号書込制御線駆動部53、オフセット信号線駆動部55、給電制御スイッチ駆動部57、初期化制御スイッチ駆動部59、水平セクタ61、タイミングジェネレータ63で構成される。

50

【 0 0 5 5 】

画素アレイ部 5 1 は、信号線 D T L と書込制御線 W S L との各交点位置にサブ画素を配置したマトリクス構造を有している。因みに、サブ画素は 1 画素を構成する画素構造の最小単位である。例えばホワイトユニットとしての 1 画素は、有機 E L 材料の異なる 3 つのサブ画素 (R 、 G 、 B) で構成される。

【 0 0 5 6 】

図 1 9 に、サブ画素に対応する画素回路 7 1 と各駆動回路との接続関係を示す。また図 2 0 に、形態例 1 で提案する画素回路 7 1 の内部構成を示す。なお、画素回路 7 1 は、5 つの N チャネル型の薄膜トランジスタ T 2 1 、 T 2 2 、 T 2 3 、 T 2 4 、 T 2 5 と保持容量 C s とで構成される点において、図 5 に示す画素回路 2 1 と同じである。

10

【 0 0 5 7 】

信号書込制御線駆動部 5 3 は、薄膜トランジスタ T 2 1 (以下、「第 1 のサンプリングトランジスタ T 2 1 」という。) をオン・オフ制御する駆動回路である。第 1 のサンプリングトランジスタ T 2 1 のオン制御時には、駆動トランジスタ T 2 5 のゲート電極に信号線 D T L の信号電位 (この明細書では、「信号線電位」ともいう。) が印加される。

【 0 0 5 8 】

オフセット信号線駆動部 5 5 は、薄膜トランジスタ T 2 2 (以下、「第 2 のサンプリングトランジスタ T 2 2 」という。) をオン・オフ制御する駆動回路である。第 2 のサンプリングトランジスタ T 2 2 のオン制御時には、駆動トランジスタ T 2 5 のゲート電極にオフセット電位 V ofs が印加される。

20

【 0 0 5 9 】

給電制御スイッチ駆動部 5 7 は、薄膜トランジスタ T 2 3 (以下、「第 1 のスイッチングトランジスタ T 2 3 」という。) をオン・オフ制御する駆動回路である。第 1 のスイッチングトランジスタ T 2 3 のオン制御時には、駆動トランジスタ T 2 5 のドレイン電極に高電位の駆動電位 (すなわち、電源電位 V cc) が印加される。

【 0 0 6 0 】

初期化制御スイッチ駆動部 5 9 は、薄膜トランジスタ T 2 4 (以下、「第 2 のスイッチングトランジスタ T 2 4 」という。) をオン・オフ制御する駆動回路である。第 2 のスイッチングトランジスタ T 2 4 のオン制御時には、駆動トランジスタ T 2 5 のソース電極に低電位の駆動電位 (すなわち、初期化電位 V ss) が印加される。

30

【 0 0 6 1 】

これら各駆動部は、いずれも垂直解像度数分の出力段数を有するシフトレジスタで構成され、タイミングジェネレータ 6 3 から与えられるタイミング信号により各制御線に必要な駆動パルスを出力する。

【 0 0 6 2 】

水平セクタ 6 1 は、1 フレーム内に、各信号線 D T L に画素データ D in に対応する信号電位 V sig 又は信号電位 V sig に対応する大きさの逆バイアス電位 V ini を時分割で印加する駆動回路である。

タイミングジェネレータ 6 3 は、書込制御線 W S L 、信号線 D T L 、給電制御線 V S S L 、初期化制御線 R S L の駆動に必要なタイミングパルスを生成する。

40

【 0 0 6 3 】

(B - 2) 水平セクタの構成

図 2 1 に、この形態例のキーデバイスである水平セクタ 6 1 の回路構成例を示す。

水平セクタ 6 1 は、プログラマブルロジックデバイス 8 1 と、メモリ 8 3 と、シフトレジスタ 9 1 、 1 0 1 と、ラッチ回路 9 3 、 1 0 3 と、D / A 変換回路 9 5 、 1 0 5 と、バッファ回路 9 7 、 1 0 7 と、セクタ 1 1 1 とで構成される。

【 0 0 6 4 】

このうち、プログラマブルロジックデバイス 8 1 と V ini 系の回路 1 0 1 、 1 0 3 、 1 0 5 、 1 0 7 が、特許請求の範囲における「逆バイアス電位発生部」に対応する。また、セクタ 1 1 1 が、特許請求の範囲における「電圧印加部」に対応する。

50

プログラマブルロジックデバイス 81 は、逆バイアス電位 V_{ini} に対応する画素データ D_{in}' (階調値) を発生する回路デバイスである。

【0065】

この形態例の場合、メモリ 83 は、非発光期間が複数の水平走査期間に跨る場合に用いられる。従って、非発光期間内に実行される消灯動作から各種の補正動作が 1 水平走査期間内に全て実行される場合には、メモリ 83 を搭載しない場合も考えられる。

【0066】

プログラマブルロジックデバイス 81 は、画素データ D_{in} をメモリ 83 から読み出すことにより、逆バイアス電位 V_{ini} の印加タイミングと信号電位 V_{sig} の印加タイミングとの時間差を調整しながら動作する。

10

【0067】

ここで、プログラマブルロジックデバイス 81 は、信号電位系 (V_{sig} 系) に対しては、対応領域から読み出された画素データ D_{in} をそのまま出力する。一方、プログラマブルロジックデバイス 81 は、逆バイアス電位系 (V_{ini} 系) に対しては、対応領域から読み出された画素データ D_{in} に基づいて発生した画素データ D_{in}' (階調値) を出力する。

【0068】

ただし、発生される逆バイアス電位 V_{ini} には、カソード電位 V_{cat} と、有機 EL 素子 OLED の閾値電圧 V_{thel} と、駆動トランジスタ T25 の閾値電圧 V_{th} の総和 ($V_{cat} + V_{thel} + V_{th}$) 以下であることが求められる。これは、有機 EL 素子 OLED の発光を停止するためである。

20

【0069】

更に、発生される逆バイアス電位 V_{ini} には、高輝度ほど逆バイアス電圧が大きくなることが求められる。すなわち、有機 EL 素子 OLED の発光輝度が高いほど逆バイアス電位 V_{ini} が小さくなることが求められる。図 22 に、信号電位 V_{sig} と対応する逆バイアス電位 V_{ini} との対応関係を示す。

【0070】

図 22 (A) は、黒表示 (信号電位 V_{sig} の最小値) に対応する逆バイアス電位 V_{ini} の発生例である。図 22 (B) は、中間輝度表示 (信号電位 V_{sig} の中間値) に対応する逆バイアス電位 V_{ini} の発生例である。図 22 (C) は、白表示 (信号電位 V_{sig} の最大値) に対応する逆バイアス電位 V_{ini} の発生例である。

30

【0071】

この形態例の場合、プログラマブルロジックデバイス 81 は、逆バイアス電位 V_{ini} に対応する画素データ D_{in}' を次式に基づいて発生する。

$$D_{in}' = D_{thel} + D_{cat} - (D_{in} + \quad)$$

【0072】

ただし、 D_{thel} は有機 EL 素子 OLED の閾値電圧 V_{thel} に対応するデータ値であり、 D_{cat} はカソード電位 V_{cat} に対応するデータ値である。また、係数 α 及び β は、 $\alpha > 0$ かつ $\beta \geq 0$ を満たす値が事前に設定されるものとする。

【0073】

プログラマブルロジックデバイス 81 は、入力される又は読み出される画素データ D_{in} を前式に代入することにより、各信号電位 V_{sig} に対応する逆バイアス電位 V_{ini} 用の画素データ D_{in}' を算出する。

40

【0074】

結果的に、信号線 DTL に印加される逆バイアス電位 V_{ini} は、以下の関係式を満たすことになる。

$$V_{ini} = V_{thel} + V_{cat} - (V_{sig} + \quad) \quad (\text{ただし、} \alpha > 0 \text{ かつ } \beta \geq 0)$$

勿論、 V_{ini} は、 $V_{cat} + V_{thel} + V_{th}$ より小さいので前述した条件を満たしている。また、信号電位 V_{sig} が大きいほど逆バイアス電位 V_{ini} が小さくなるという条件も満たしている。

50

【 0 0 7 5 】

シフトレジスタ 9 1、1 0 1 は、画素データ D_{in} 及び D_{in}' の出力タイミングを与える回路デバイスである。

ラッチ回路 9 3、1 0 3 は、出力タイミングの調整用に画素データ D_{in} 及び D_{in}' を保持する記憶デバイスである。

【 0 0 7 6 】

D / A 変換回路 9 5、1 0 5 は、入力されたデジタル信号をアナログ信号に変換する回路デバイスである。なお、 V_{ini} 系の D / A 変換回路 1 0 5 には負電源を使用する。

バッファ回路 9 7、1 0 7 は、アナログ信号を画素回路の駆動に適した信号レベルに変換する回路デバイスである。

セクタ 1 1 1 は、1 水平走査期間内に、逆バイアス電位 V_{ini} と信号電位 V_{sig} を時間順次に出力する回路デバイスである。

【 0 0 7 7 】

(B - 3) 駆動動作例

図 2 3 に、図 2 0 に示す画素回路の駆動動作例を示す。

まず、発光状態における画素回路内の動作状態を図 2 4 に示す。このとき、第 1 のスイッチングトランジスタ T_{23} のみがオン状態である (図 2 3 (t_1))。一方、駆動トランジスタ T_{25} は飽和領域で動作し、そのゲート・ソース間電圧 V_{gs} で定まる大きさの駆動電流 I_{ds} を有機 EL 素子 O L E D に供給する。

【 0 0 7 8 】

次に、非発光状態の動作状態を説明する。非発光状態は、第 1 のスイッチングトランジスタ T_{23} をオン制御した状態のまま、第 1 のサンプリングトランジスタ T_{21} が新たにオン制御されることで開始される (図 2 3 (t_2))。このとき、信号線 D T L には逆バイアス電位 V_{ini} が印加されている。

【 0 0 7 9 】

この動作により、駆動トランジスタ T_{25} のゲート電位 V_g は逆バイアス電位 V_{ini} に制御される。この時点における画素回路内の動作状態を図 2 5 に示す。

このとき、駆動トランジスタ T_{25} のソース電位 V_s は、保持容量 C_s のカップリング動作を通じて低下する。この電位変動中に、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} 以下になり、有機 EL 素子 O L E D は非発光状態に切り替わる。

【 0 0 8 0 】

なお、カップリング動作後の駆動トランジスタ T_{25} のソース電位 V_s (有機 EL 素子 O L E D のアノード電位 V_{el}) が、有機 EL 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和以下の場合には、その電位がそのまま保持される。

【 0 0 8 1 】

一方、カップリング動作後の駆動トランジスタ T_{25} のソース電位 V_s が、有機 EL 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和より大きい場合には、有機 EL 素子 O L E D の放電により $V_{thel} + V_{cat}$ に収束する。図 2 5 は、駆動トランジスタ T_{25} のソース電位 V_s が、 $V_{thel} + V_{cat}$ に収束した状態を表している。

【 0 0 8 2 】

すなわち、駆動トランジスタ T_{25} のドレイン電極には電源電位 V_{cc} が印加され、駆動トランジスタ T_{25} のゲート電位 V_g には逆バイアス電位 V_{ini} が印加され、ソース電位 V_s には $V_{thel} + V_{cat}$ が印加された状態が生成される。このことは、駆動トランジスタ T_{25} に逆バイアス電圧が印加されたことを意味する。

【 0 0 8 3 】

しかも、前述したように、ここでの逆バイアス電位 V_{ini} は、後に書き込まれる信号電位 V_{sig} の大きさを反映している。すなわち、後に書き込まれる信号電位 V_{sig} が黒表示電位であれば逆バイアス電圧も小さく、信号電位 V_{sig} が白表示電位であれば逆バイアス電圧も大きくなる。

【 0 0 8 4 】

10

20

30

40

50

結果的に、発光期間中に生じる閾値電圧 V_{th} の正方向への変動量分を同じ 1 フレーム内の非発光期間中に印加する逆バイアス電圧により補正することができる。

【 0 0 8 5 】

なお、この画素回路 7 1 の場合には、第 1 のスイッチングトランジスタ T_{23} のオン・オフ制御により、1 フレーム期間中の発光時間の割合を可変することが可能である。また、このような発光期間長の積極的な可変制御を行わなくても、表示システムによっては 1 フレーム期間中の発光時間の割合が異なることが想定される。

【 0 0 8 6 】

勿論、1 フレーム期間中における発光時間の割合が多ければ、閾値電圧 V_{th} の正方向への変動量も大きくなる。従って、この場合には、逆バイアス電位 V_{ini} を小さくして、より大きな逆バイアス電圧が印加されるようにするのが望ましい。

10

【 0 0 8 7 】

一方、発光時間の割合が少なければ閾値電圧 V_{th} の変動量も小さくなる。従って、この場合には、逆バイアス電位 V_{ini} を大きくして、より小さい逆バイアス電圧が印加されるようにするのが望ましい。図 2 6 に、発光時間の割合に応じた逆バイアス電位 V_{ini} の設定関係を例示する。実線は、発光期間が短い場合の逆バイアス電位 V_{ini} の発生例であり、破線は、発光期間が長い場合の逆バイアス電位 V_{ini} の発生例である。

【 0 0 8 8 】

この後、第 1 のサンプリングトランジスタ T_{21} と第 1 のスイッチングトランジスタ T_{23} をオフ制御すると共に、第 2 のサンプリングトランジスタ T_{22} と第 2 のスイッチングトランジスタ T_{24} をオン状態に切り替える。この動作により、閾値補正準備動作が開始される (図 2 3 (t_3))。

20

【 0 0 8 9 】

図 2 7 に、この時点での画素回路内の接続状態を示す。この際、駆動トランジスタ T_{25} のゲート電位 V_g はオフセット電位 V_{ofs} 、ソース電位 V_s は初期化電位 V_{ss} に制御される。すなわち、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ に制御される。この電圧は、閾値電圧 V_{th} より大きい値に設定されている。従って、 $V_{ofs} - V_{ss}$ に応じた大きさの駆動電流 $I_{ds'}$ が電源電位線 V_{cc} から初期化電位線 V_{ss} に流れる。

【 0 0 9 0 】

ただし、この駆動電流 $I_{ds'}$ が有機 EL 素子 OLED に流れてしまうと、信号電位 V_{sig} とは関係のない輝度で発光してしまう。そこで、有機 EL 素子 OLED を非発光状態に保つために、オフセット電圧 V_{ofs} と初期化電圧 V_{ss} を設定する。

30

【 0 0 9 1 】

すなわち、有機 EL 素子 OLED のアノード電位 V_{el} が有機 EL 素子 OLED の閾値電圧 V_{thel} とカソード電圧 V_{cat} の和よりも小さくなるように設定される。なお、第 2 のサンプリングトランジスタ T_{22} と第 2 のスイッチングトランジスタ T_{24} はいずれを先にオン制御しても良い。

【 0 0 9 2 】

次に、第 2 のサンプリングトランジスタ T_{22} をオン制御した状態のまま、第 2 のスイッチングトランジスタ T_{24} だけをオフ制御する (図 2 3 (t_4))。図 2 8 に、この時点における画素回路内の動作状態を示す。なお図 2 8 では、有機 EL 素子 OLED をダイオードと容量の等価回路で示す。

40

【 0 0 9 3 】

この際、 $V_{el} = V_{cat} + V_{thel}$ (有機 EL 素子 OLED のリーク電流が駆動トランジスタ T_{25} に流れる電流よりもかなり小さい) である限り、駆動トランジスタ T_{25} の電流は、保持容量 C_s と有機 EL 素子 OLED の寄生容量 C_{el} を充電するために使われる。

この充電動作により、アノード電位 V_{el} は時間の経過と共に上昇する。

【 0 0 9 4 】

なお、この電位の上昇は、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} がその

50

閾値電圧 V_{th} に達した時点で終了する。この時、アノード電位 V_{el} は、 $V_{el} = V_{ofs} - V_{th} - V_{cat} + V_{thel}$ を満たす。この動作が、駆動トランジスタ T_{25} の閾値補正動作である。この後、第 1 のスイッチングトランジスタ T_{23} が先にオフ制御され、続いて第 2 のスイッチングトランジスタ T_{22} がオフ制御される。

【 0 0 9 5 】

オフ制御をこの順番に実行することにより、駆動トランジスタ T_{25} のゲート電位 V_g の変動を抑えることができる。

次に、第 1 のスイッチングトランジスタ T_{21} だけを新たにオン制御し、信号書込兼移動度補正動作を開始する（図 23 (t_5) ）。図 29 に、この時点における画素回路内の状態を示す。このとき、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} は、次式で与えられる。

【 0 0 9 6 】

$$V_{gs} = \{ C_{el} / (C_{el} + C_s + C_{tr}) \} \cdot (V_{sig} - V_{ofs}) + V_{th}$$

因みに、 C_{el} は有機 EL 素子 O L E D の寄生容量であり、 C_{tr} は駆動トランジスタ T_{25} の寄生容量であり、 C_s は保持容量である。

ただし、 C_{el} は C_s や C_{tr} に比べて大きい。従って、ゲート・ソース間電圧 V_{gs} は、ほぼ $V_{sig} + V_{th}$ で与えられる。

【 0 0 9 7 】

この状態で、第 1 のスイッチングトランジスタ T_{23} を新たにオン制御する（図 23 (t_6) ）。この場合も、駆動トランジスタ T_{25} のソース電位 V_s が有機 EL 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和を越えなければ（有機 EL 素子 O L E D のリーク電流が駆動トランジスタ T_{25} に流れる電流よりかなり小さければ）、駆動トランジスタ T_{25} に流れる電流は保持容量 C_s と有機 EL 素子 O L E D の寄生容量 C_{el} の充電に使用される。

【 0 0 9 8 】

図 30 に、この時点における画素回路内の動作状態を示す。なお、この時点で、駆動トランジスタ T_{25} の閾値補正動作は既に完了している。このため、駆動トランジスタ T_{25} に流れる電流は、移動度 μ を反映した値になる。

具体的には、移動度 μ が大きい駆動トランジスタ T_{25} の電流量は大きくなり、ソース電位 V_s の上昇も早くなる。

【 0 0 9 9 】

一方、移動度が小さい駆動トランジスタ T_{25} の電流量は小さくなり、ソース電位 V_s の上昇は遅くなる。

結果的に、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} は、移動度 μ を反映して小さくなり、一定時間経過後には完全に移動度を補正したゲート・ソース間電圧 V_{gs} に収束する。

【 0 1 0 0 】

この信号書込兼移動度補正動作の終了後、第 1 のスイッチングトランジスタ T_{21} をオフ制御し、駆動トランジスタ T_{25} のゲート電極を自由端に制御する。これに伴い、駆動トランジスタ T_{25} の駆動電流 $I_{ds'}$ は有機 EL 素子 O L E D へと流れ、駆動電流値に応じた輝度で発光を開始する。なお、駆動トランジスタ T_{25} のソース電位 V_s は、有機 EL 素子 O L E D に流れる駆動電流値に応じた電圧 V_x まで上昇する（図 23 (t_7) ）。

【 0 1 0 1 】

図 31 に、この時点における画素回路の動作状態を示す。

なお、説明した回路例の場合も、有機 EL 素子 O L E D の $I - V$ 特性自体は、発光時間が長くなるとつれて変化する。すなわち、電圧 V_x も変化する。

しかし、この回路構成の場合には、駆動トランジスタ T_{25} のゲート・ソース間電圧 V_{gs} が一定値に保たれるので、有機 EL 素子 O L E D に流れる電流値が変化されずに済む。

【 0 1 0 2 】

すなわち、経時変化に伴って有機 EL 素子 O L E D の $I - V$ 特性が変化しても、一定電

10

20

30

40

50

流 I_{ds} が常に流れ続けることになり、有機 EL 素子 OLED の輝度を一定に保つことができる。

【0103】

(B-4) まとめ

以上の通り、逆バイアス電圧を信号電位 V_{sig} の大きさに応じて設定することにより、1 フレーム期間内における閾値電圧 V_{th} の正方向への変動量と負方向への変動量を揃えることができる。

【0104】

この結果、駆動トランジスタ T25 の閾値電圧に生じる変動を小さくでき、画素毎の閾値電圧 V_{th} のバラツキを小さくできる。このことは、画素間に輝度差が発生する現象（焼き付き現象）を効果的に抑制できる。結果的に、使用時間が長くなっても、輝度ムラの発生し難い有機 EL パネルを実現できる。

10

【0105】

また、この駆動方式の場合には、閾値補正準備前に駆動トランジスタ T25 のソース電位 V_s を上げる必要がない。このため、有機 EL パネルの低コスト化にも効果的である。

また、この駆動方式の場合には、有機 EL パネルの製造に、閾値電圧 V_{th} の変動量が大きいアモルファスシリコン系のプロセスを適用するのに有利である。

【0106】

(C) 形態例 2

(C-1) システム構成

この形態例では、画素回路を 2 つの N チャネル型薄膜トランジスタと保持容量 C_s とで構成する有機 EL パネルについて説明する。

20

【0107】

図 32 に、有機 EL パネル 41 のシステム構成例を示す。図 32 に示す有機 EL パネル 41 は、画素アレイ部 121 と、その駆動回路である信号書込制御線駆動部 123、電流供給線駆動部 125、水平セレクタ 127 と、タイミングジェネレータ 129 とで構成される。

【0108】

この形態例に係る画素アレイ部 121 も、信号線 DTL と書込制御線 WSL との各交点位置にサブ画素を配置するマトリクス構造を有している。ただし、サブ画素（画素回路）を構成する N チャネル型薄膜トランジスタの数が 2 つである点が形態例 1 と異なっている。

30

【0109】

図 33 に、サブ画素に対応する画素回路 131 と各駆動回路との接続関係を示す。また図 34 に、形態例 2 で提案する画素回路 131 の内部構成を示す。画素回路 131 は、2 つの N チャネル型の薄膜トランジスタ T31、T32 と保持容量 C_s とで構成される。

【0110】

このうち、薄膜トランジスタ T31（以下、「サンプリングトランジスタ T31」という。）は、信号線 DTL の電位（この形態例では、信号電位 V_{sig} 、逆バイアス電位 $V_{in i}$ 、オフセット信号電位 V_{ofs} ）の書き込みを制御するスイッチとして動作する。

40

【0111】

薄膜トランジスタ T32（以下、「駆動トランジスタ T32」という。）は、オン動作時に、有機 EL 素子 OLED に駆動電流量を供給する定電流源として動作する。

この形態例の場合、画素回路 131 の駆動には、信号書込制御線駆動部 123、電流供給線駆動部 125、水平セレクタ 127 が用いられる。

【0112】

信号書込制御線駆動部 123 は、サンプリングトランジスタ T31 をオン・オフ制御する駆動回路である。サンプリングトランジスタ T31 のオン制御時には、駆動トランジスタ T32 のゲート電極に信号線 DTL の電位が印加される。

【0113】

50

電流供給線駆動部 125 は、電流供給線 D S L を高電位 V_{cc} と低電位 V_{ss} の 2 種類の電源電位で駆動する駆動回路である。この形態例の場合、1 フレーム期間内に少なくとも 1 回は低電位期間が配置される。

【0114】

これら各駆動部は、いずれも垂直解像度数分の出力段数を有するシフトレジスタで構成され、タイミングジェネレータ 129 から与えられるタイミング信号により各線に必要な駆動パルスを出力する。

【0115】

水平セクタ 127 は、1 水平走査期間を 1 周期として、画素データ D_{in} に対応する信号電位 V_{sig} 、信号電位 V_{sig} に対応する逆バイアス電位 V_{ini} 及びオフセット信号電位 V_{ofs} のいずれかを各信号線 D T L に出力する駆動回路である。出力順序は任意であるが、ここでは逆バイアス電位 V_{ini} 、オフセット信号電位 V_{ofs} 、信号電位 V_{sig} の順番とする。

10

タイミングジェネレータ 129 は、書込制御線 W S L 及び電流供給線 D S L の駆動に必要なタイミングパルスを生成する回路デバイスである。

【0116】

(C-2) 水平セクタの構成

図 35 に、この形態例のキーデバイスである水平セクタ 127 の回路構成例を示す。なお、基本的な構成は形態例 1 で説明した水平セクタ 61 と同じである。従って、図 35 には図 21 との対応部分に同一符号を付して示す。

20

【0117】

水平セクタ 127 は、プログラマブルロジックデバイス 81 と、メモリ 83 と、シフトレジスタ 91、101 と、ラッチ回路 93、103 と、D/A 変換回路 95、105 と、バッファ回路 97、107 と、セクタ 141 とで構成される。

【0118】

このうち水平セクタ 127 で新規な構成部分は、セクタ 141 だけである。この形態例に係るセクタ 141 は、1 水平走査期間内に、逆バイアス電位 V_{ini} と、オフセット信号電位 V_{ofs} 、信号電位 V_{sig} を予め設定されたタイミングで時間順次に出力する点で形態例 1 のセクタ 111 とは異なっている。なお、オフセット信号電位 V_{ofs} は、外部の電圧源から供給される固定電圧である。

30

【0119】

(C-3) 駆動動作例

図 36 に、図 34 に示す画素回路 131 の駆動動作例を示す。因みに図 36 では、電流供給線 D S L に印加する 2 種類の電源電位のうち高電位（発光電位）の方を V_{cc} で表し、低電位（非発光電位）の方を V_{ss} で表している。

【0120】

なお、図 36 (A) は、書込制御線 W S L に印加される駆動パルスの例である。図 36 の場合、閾値補正準備動作や閾値補正動作が複数の水平走査期間に分割実行される例を表している。図 36 (B) は、電流供給線 D S L に印加される駆動パルスの例である。図 36 (C) は、信号線 D T L に印加される電位波形の例である。図 36 (D) は、駆動トランジスタ T 32 のゲート電位 V_g の電位波形である。図 36 (E) は、駆動トランジスタ T 32 のソース電位 V_s の電位波形である。

40

【0121】

まず、発光状態における画素回路内の動作状態を図 37 に示す。このとき、電流供給線 D S L は高電位 V_{cc} に維持されており、サンプリングトランジスタ T 31 はオフ状態に制御されている（図 36 (t1)）。

【0122】

勿論、発光時の駆動トランジスタ T 32 は飽和領域で動作する。従って、有機 E L 素子 O L E D には、ゲート・ソース間電圧 V_{gs} に応じて定まる電流 I_{ds} が駆動トランジスタ T 32 から供給される。

50

【 0 1 2 3 】

次に、非発光状態の動作状態を説明する。非発光期間は、電流供給線 D S L を高電位 V_{cc} に維持した状態のまま、サンプリングトランジスタ T 3 1 を新たにオン制御することで開始される (図 3 6 (t 2))。このとき、信号線 D T L には逆バイアス電位 V_{ini} が印加されている。

【 0 1 2 4 】

この動作により、駆動トランジスタ T 3 2 のゲート電位 V_g は逆バイアス電位 V_{ini} に制御される。この時点における画素回路内の動作状態を図 3 8 に示す。

このとき、駆動トランジスタ T 3 2 のソース電位 V_s は、保持容量 C_s のカップリング動作を通じて低下する。この電位変動中に、駆動トランジスタ T 3 2 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} 以下になり、有機 E L 素子 O L E D は非発光状態に切り替わる。

10

【 0 1 2 5 】

この画素回路の場合も、カップリング動作後の駆動トランジスタ T 3 2 のソース電位 V_s (有機 E L 素子 O L E D のアノード電位 V_{el}) が、有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和以下の場合には、その電位がそのまま保持される。

【 0 1 2 6 】

一方、カップリング動作後の駆動トランジスタ T 3 2 のソース電位 V_s が、有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和より大きい場合には、有機 E L 素子 O L E D の放電により V_{thel} + V_{cat} に収束する。図 3 8 は、駆動トランジスタ T 3 2 のソース電位 V_s が、V_{thel} + V_{cat} に収束した状態を表している。

20

【 0 1 2 7 】

すなわち、駆動トランジスタ T 3 2 は、逆バイアス電圧の印加状態に制御される。勿論、ここでの逆バイアス電圧は、後に書き込まれる信号電位 V_{sig} の大きさを反映するように制御されている。例えば後に書き込まれる信号電位 V_{sig} が黒表示電位であれば逆バイアス電圧が小さい値に制御され、後に書き込まれる信号電位 V_{sig} が白表示電位であれば逆バイアス電圧も大きい値に制御される。

【 0 1 2 8 】

従って、この形態例に係る画素回路の場合にも、発光期間中に生じる閾値電圧 V_{th} の正方向への変動量分を同じ 1 フレーム内の非発光期間中に印加する逆バイアス電圧により補正することができる。

30

【 0 1 2 9 】

勿論、この場合も、1 フレーム期間に占める発光時間の割合等を考慮して逆バイアス電圧の大きさを最適に設定することが望ましい。

なお、駆動トランジスタ T 3 2 のゲート電極に逆バイアス電位 V_{ini} を書き込んだ後は、図 3 9 に示すように、信号線 D T L の他の電位が書き込まれる前にサンプリングトランジスタ T 3 1 がオフ制御される (図 3 6 (t 3))。これにより、駆動トランジスタ T 3 2 の逆バイアス状態が維持される。

【 0 1 3 0 】

この逆バイアス状態の一定期間経過後に電流供給線 D S L の電源電位が高電位 V_{cc} から低電位 V_{ss} に切り替え制御される (図 3 6 (t 4))。この時点での画素回路内の動作状態を図 4 0 に示す。

40

【 0 1 3 1 】

ここでの低電位 V_{ss} は、後に実行される閾値補正動作を正常に行うため、V_{ofs} - V_{ss} > V_{th} を満たす電位に設定されている。この低電位 V_{ss} の印加により、電源線 D S L の電位が駆動トランジスタ T 3 2 のソース電位 V_s となる。結果的に、有機 E L 素子 O L E D のアノード電位は低下する。

【 0 1 3 2 】

次に、信号線 D T L の電位がオフセット信号電位 V_{ofs} のタイミングでサンプリングトランジスタ T 3 1 がオン状態に制御される (図 3 6 (t 5))。なお、電流供給線 D S L は低電位 V_{ss} のままとする。この時点での画素回路内の動作状態を図 4 1 に示す。

50

【 0 1 3 3 】

このとき、駆動トランジスタ T 3 2 のゲート電位 V_g は、オフセット信号電位 V_{ofs} に制御される。この動作が、閾値補正準備動作である。なお、ゲート電位 V_g の変動を避けるため、信号線 D T L の電位がオフセット信号電位以外の期間では、図 4 2 に示すようにサンプリングトランジスタ T 3 1 がオフ制御される。

【 0 1 3 4 】

やがて、閾値補正動作の実行タイミングが到来する。この補正動作は、信号線 D T L にオフセット信号電位 V_{ofs} が印加されている期間中に、サンプリングトランジスタ T 3 1 をオン制御すると共に電流供給線 D S L を高電位 V_{cc} に制御することにより実行される (図 3 6 (t 6))。この時点における画素回路内の動作状態を図 4 3 に示す。

10

【 0 1 3 5 】

駆動トランジスタ T 3 2 がオン動作した状態で電流供給線 D S L に高電位 V_{cc} が印加されることにより、駆動トランジスタ T 3 2 の閾値補正動作が開始される。これに伴い、駆動トランジスタ T 3 2 のゲート電位 V_g がオフセット信号電位 V_{ofs} に制御された状態で、ソース電位 V_s だけが上昇を開始する。

【 0 1 3 6 】

なお、この形態例の場合、信号線 D T L には 1 水平走査期間内に 3 つの電位が繰り返し出現する。従って、オフセット信号電位 V_{ofs} の供給期間が終わると、サンプリングトランジスタ T 3 1 は、オフセット信号電位 V_{ofs} の次回供給タイミングまで再びオフ制御される (図 3 6 (t 7))。図 4 4 に、この時点における画素回路内の動作状態を示す。

20

【 0 1 3 7 】

なお、この期間では、駆動トランジスタ T 3 2 のゲート電極は自由端である。従って、ソース電位 V_s の上昇に伴うブートストラップ動作によりゲート電位 V_g もソース電位 V_s の上昇に連動して上昇する。

【 0 1 3 8 】

やがて、信号線 D T L にオフセット信号電位 V_{ofs} が供給されるタイミングになると、サンプリングトランジスタ T 3 1 は再びオン制御される。このオン動作により、駆動トランジスタ T 3 2 のゲート電位 V_g は、オフセット信号電位 V_{ofs} に押し下げられる。この際、駆動トランジスタ T 3 2 のソース電位 V_s は、保持容量 C_s によるカップリング量だけ押し下げられ、その押し下げ後の状態から電位の上昇を再開する (図 3 6 (t 8))。

30

【 0 1 3 9 】

この再開後の閾値補正動作において、駆動トランジスタ T 3 2 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} になると、駆動トランジスタ T 3 2 は勿論自動的にカットオフ動作する。しかし、図 3 6 の場合には、2 回目の閾値補正動作では閾値補正動作が完了しないので、オフセット信号電位 V_{ofs} の供給期間が終わると、サンプリングトランジスタ T 3 1 は、オフセット信号電位 V_{ofs} の次回供給タイミングまで再びオフ制御される (図 3 6 (t 9))。

【 0 1 4 0 】

そして、3 回目の閾値補正動作期間において、閾値補正動作は完了し、駆動トランジスタ T 3 2 は自動的にカットオフ動作する (図 3 6 (t 1 0))。この時点における画素回路内の動作状態を図 4 5 に示す。なお、ソース電位 V_s は、 $V_s = V_{ofs} - V_{th} + V_{cat}$ を満たしている。従って、有機 E L 素子 O L E D はオン動作できず、この時点で発光することはない。

40

【 0 1 4 1 】

この後直ぐに又は図 3 6 (t 1 1) の期間を挟んだ後、駆動トランジスタ T 3 2 のゲート電極には信号電位 V_{sig} が印加される (図 3 6 (t 1 2))。この時点における画素回路内の動作状態を図 4 6 に示す。

【 0 1 4 2 】

前述したように、信号電位 V_{sig} は、各画素の階調に応じた電圧である。このとき、駆

50

動トランジスタ T 3 2 のゲート電位 V_g は、サンプリングトランジスタ T 3 1 を通じて信号電位 V_{sig} に制御される。また、駆動トランジスタ T 3 2 のソース電位 V_s は、電流供給線 D S L から流れ込む電流により時間とともに上昇する。

【 0 1 4 3 】

このとき、駆動トランジスタ T 2 5 のゲート・ソース間電圧 V_{gs} は、次式で与えられる。

$$V_{gs} = \{ C_{el} / (C_{el} + C_s + C_{tr}) \} \cdot (V_{sig} - V_{ofs}) + V_{th}$$

形態例 1 でも説明したように C_{el} は C_s や C_{tr} に比べて大きいので、ゲート・ソース間電圧 V_{gs} は、ほぼ $V_{sig} + V_{th}$ に収束する。

【 0 1 4 4 】

この動作が、信号電位の書き込み動作兼移動度補正動作である。他の形態例で説明したように、ここでのゲート・ソース間電圧 V_{gs} は、駆動トランジスタ T 3 2 の移動度 μ を反映した値になる。

【 0 1 4 5 】

この信号書込兼移動度補正動作の終了後、サンプリングトランジスタ T 3 1 がオフ制御されることで新たな発光期間が開始される (図 3 2 (t_{13}))。この際、駆動トランジスタ T 3 2 の駆動電流 I_{ds}' は有機 E L 素子 O L E D へと流れ、駆動電流値に応じた発光が開始される。図 4 7 に、この時点における画素回路の動作状態を示す。

【 0 1 4 6 】

(C - 4) まとめ

以上の通り、各画素回路が 2 つの N チャネル型薄膜トランジスタで構成される場合でも、形態例 1 の場合と同様、駆動トランジスタ T 3 2 に閾値電圧 V_{th} の経時変動が現れ難い駆動技術を実現できる。

勿論、ここでの画素回路の場合にも、閾値補正動作や移動度補正動作を実行できるため、駆動トランジスタ T 3 2 の特性バラツキによる画面ムラの発生を効果的に抑制できる。

【 0 1 4 7 】

(D) 形態例 3

(D - 1) システム構成

この形態例では、形態例 2 で説明した画素回路を有する有機 E L パネル 4 1 について、移動度補正動作の精度を更に高めることができる駆動方法を説明する。

【 0 1 4 8 】

図 4 8 に、有機 E L パネル 4 1 のシステム構成例を示す。なお、図 4 8 には、図 3 2 との対応部分に同一符号を付して示している。

図 4 8 に示す有機 E L パネル 4 1 は、画素アレイ部 1 2 1 と、そその駆動回路である信号書込制御線駆動部 1 5 3、電流供給線駆動部 1 5 5、水平セクタ 1 5 7 と、タイミングジェネレータ 1 5 9 とで構成される。

【 0 1 4 9 】

この形態例に係る画素アレイ部 1 2 1 は、形態例 2 の構成と同じである。すなわち、画素回路 1 3 1 は、スイッチングトランジスタ T 3 1 と駆動トランジスタ T 3 2 で構成される。

図 4 9 に、サブ画素に対応する画素回路 1 3 1 と各駆動回路との接続関係を示す。また図 5 0 に、形態例 3 で提案する画素回路 1 3 1 に供給する信号線電位の関係を示す。

【 0 1 5 0 】

信号書込制御線駆動部 1 5 3 は、サンプリングトランジスタ T 3 1 をオン・オフ制御する駆動回路である。サンプリングトランジスタ T 3 1 のオン制御時には、駆動トランジスタ T 3 2 のゲート電極に信号線 D T L の電位が印加される。

【 0 1 5 1 】

電流供給線駆動部 1 5 5 は、電流供給線 D S L を高電位 V_{cc} と低電位 V_{ss} の 2 種類の電源電位で駆動する駆動回路である。この形態例の場合、1 フレーム期間内に少なくとも 1 回は低電位期間が配置される。

10

20

30

40

50

【 0 1 5 2 】

これら各駆動部は、いずれも垂直解像度数分の出力段数を有するシフトレジスタで構成され、タイミングジェネレータ 1 5 9 から与えられるタイミング信号により各線に必要な駆動パルスを出力する。

【 0 1 5 3 】

水平セクタ 1 5 7 は、1 水平走査期間を 1 周期として、画素データ D_{in} に対応する信号電位 V_{sig} 、信号電位 V_{sig} を反映する逆バイアス電位 V_{ini} 、第 1 のオフセット信号電位 V_{ofs1} 、第 2 のオフセット信号電位 V_{ofs2} のいずれかを各信号線 DTL に出力する駆動回路である。

【 0 1 5 4 】

なお、第 1 のオフセット信号電位 V_{ofs1} は、形態例 2 のオフセット信号 V_{ofs} に対応する。この形態例の場合、第 2 のオフセット信号電位 V_{ofs2} は、信号電位 V_{sig} と第 1 のオフセット信号電位 V_{ofs1} の中間電位で与えられる。水平セクタ 1 5 7 は、信号電位 V_{sig} に対応する画素データ D_{in} に応じて第 2 のオフセット信号電位 V_{ofs2} を発生する。

【 0 1 5 5 】

出力順序は任意であるが、ここでは逆バイアス電位 V_{ini} 、第 1 のオフセット信号電位 V_{ofs1} 、第 2 のオフセット信号電位 V_{ofs2} 、信号電位 V_{sig} の順番とする。

タイミングジェネレータ 1 5 9 は、書込制御線 WSL 及び電流供給線 DSL の駆動に必要なタイミングパルスを生成する回路デバイスである。

【 0 1 5 6 】

(D - 2) 水平セクタの構成

図 5 1 に、この形態例のキーデバイスである水平セクタ 1 5 7 の回路構成例を示す。なお、基本的な構成は形態例 2 で説明した水平セクタ 1 2 7 と同じである。従って、図 5 1 には図 3 5 との対応部分に同一符号を付して示す。

【 0 1 5 7 】

水平セクタ 1 5 7 は、プログラマブルロジックデバイス 8 1 と、メモリ 8 3 と、シフトレジスタ 9 1、1 0 1 と、ラッチ回路 9 3、1 0 3 と、 D/A 変換回路 9 5、1 0 5 と、バッファ回路 9 7、1 0 7 と、セクタ 1 6 1 とで構成される。

【 0 1 5 8 】

このうち水平セクタ 1 5 7 で新規な構成部分は、セクタ 1 6 1 だけである。この形態例に係るセクタ 1 6 1 は、1 水平走査期間内に、逆バイアス電位 V_{ini} と、第 1 のオフセット信号電位 V_{ofs1} と、第 2 のオフセット信号電位 V_{ofs2} と、信号電位 V_{sig} とを予め設定されたタイミングで時間順次に出力する点で形態例 2 のセクタ 1 2 7 とは異なっている。

【 0 1 5 9 】

なお、第 1 のオフセット信号電位 V_{ofs1} は、形態例 2 のオフセット電位 V_{ofs} に対応する。一方、第 2 のオフセット信号電位 V_{ofs2} は、信号電位 V_{sig} の最大電位と第 1 のオフセット電位 V_{ofs1} との中間階調電位として与えられる。この形態例では、第 2 のオフセット信号電位 V_{ofs2} を $(V_{sig} - V_{ofs1}) / 2$ として規定する。

【 0 1 6 0 】

(D - 3) 駆動動作例

図 5 2 に、この形態例に係る画素回路の駆動動作例を示す。

まず、発光状態における画素回路内の動作状態を図 5 3 に示す。このとき、電流供給線 DSL の電位は高電位 V_{cc} であり、サンプリングトランジスタ $T31$ はオフ制御された状態にある (図 5 2 ($t1$))。

【 0 1 6 1 】

このとき、駆動トランジスタ $T32$ は飽和領域で動作するように設定されている。このため、有機 EL 素子 $OLED$ に流れる電流 I_{ds} は、駆動トランジスタ $T32$ のゲート・ソース間電圧 V_{gs} に応じた値を採る。

【 0 1 6 2 】

10

20

30

40

50

次に、非発光期間の動作状態を説明する。非発光期間は、信号線 D T L に逆バイアス電位 V_{ini}

が印加された状態でサンプリングトランジスタ T 3 1 がオン制御されることにより開始される（図 5 2（t 2））。この時点における画素回路内の動作状態を図 5 4 に示す。

【0163】

このとき、駆動トランジスタ T 3 2 のソース電位 V_s は保持容量 C_s を通じたカップリング動作により低下する。なお、有機 E L 素子 O L E D は、駆動トランジスタ T 3 2 のゲート・ソース電圧 V_{gs} が閾値電圧 V_{th} 以下となった時点で消灯する。

因みに、カップリング動作後の駆動トランジスタ T 3 2 のソース電位 V_s （有機 E L 素子 O L E D のアノード電位 V_{el} ）が、有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和以下であればその電位がそのまま保持される。

10

【0164】

これに対し、カップリング動作後の駆動トランジスタ T 3 2 のソース電位 V_s が、有機 E L 素子 O L E D の閾値電圧 V_{thel} とカソード電位 V_{cat} の和より大きければ、有機 E L 素子 O L E D の放電により $V_{thel} + V_{cat}$ に収束する。図 5 4 は、駆動トランジスタ T 3 2 のソース電位 V_s が、 $V_{thel} + V_{cat}$ に収束した状態を表している。

【0165】

この際、駆動トランジスタ T 3 2 のドレイン電極には高電位 V_{cc} が印加されており、ゲート電位 V_g には逆バイアス電位 V_{ini} が印加されている。すなわち、駆動トランジスタ T 3 2 には逆バイアス電圧が印加された状態にある。なお、逆バイアス電位 V_{ini} は、信号書き込み時の信号電位 V_{sig} を反映しているため、前述したように信号電位 V_{sig} の印加による閾値電圧 V_{th} の変動を打ち消すように作用する。

20

【0166】

この後、信号線 D T L の電位が切り替わる前にサンプリングトランジスタ T 3 1 がオフ制御される（図 5 2（t 3））。なお、逆バイアス電圧の印加状態は継続する。

この逆バイアス状態が一定期間経過した後、電流供給線 D S L の電源電位が高電位 V_{cc} から低電位 V_{ss} に切り替え制御される（図 5 2（t 4））。この時点での画素回路内の動作状態を図 5 5 に示す。

【0167】

このとき、逆バイアス電位 V_{ini} と電流供給線 D S L の電位（低電位 V_{ss} ）と電位差が、駆動トランジスタ T 3 2 のゲート・ソース間電圧 V_{gs} となる。

30

ここで、逆バイアス電位 V_{ini} が $V_{ss} + V_{th}$ より小さければ、駆動トランジスタ T 3 2 はカットオフ状態のままである。

【0168】

この形態例では、逆バイアス電位 V_{ini} が $V_{ss} + V_{th}$ より小さいと仮定している。ただし、逆バイアス電位 V_{ini} は必ずしも $V_{ss} + V_{th}$ より小さい必要はない。

次に、信号線 D T L の電位が第 1 のオフセット電位 V_{ofs1} のタイミングでサンプリングトランジスタ T 3 1 をオン状態に制御する（図 5 2（t 5））。この制御により、駆動トランジスタ T 3 2 のゲート電位 V_g は第 1 のオフセット電位 V_{ofs1} に遷移する。

【0169】

40

図 5 6 に、この時点における画素回路内の動作状態を示す。

このとき、駆動トランジスタ T 3 2 のゲート・ソース間電圧 V_{gs} は、 $V_{ofs1} - V_{ss}$ で与えられる。

【0170】

この時点のゲート・ソース間電圧 V_{gs} は、閾値補正動作の実行を確保すべく、駆動トランジスタ T 3 2 の閾値電圧 V_{th} より大きい値に設定されている。

やがて、閾値補正動作の実行タイミングが到来する。この補正動作は、信号線 D T L に第 1 のオフセット信号電位 V_{ofs1} が印加されている期間中に、サンプリングトランジスタ T 3 1 をオン制御すると共に電流供給線 D S L を高電位 V_{cc} に制御することにより実行される（図 5 2（t 7））。この時点における画素回路内の動作状態を図 5 7 に示す。

50

【0171】

駆動トランジスタT32がオン動作した状態で電流供給線DSLに高電位Vccが印加されることにより、駆動トランジスタT32の閾値補正動作が開始される。これに伴い、駆動トランジスタT32のゲート電位Vgがオフセット信号電位Vofs1に制御された状態で、ソース電位Vsだけが上昇を開始する。

【0172】

このとき、駆動トランジスタT32のソース電位Vs（有機EL素子OLEDのアノード電位Vel）がVcat + Vthel以下である限り（有機EL素子OLEDのリーク電流が駆動トランジスタT32に流れる電流よりかなり小さい状態にある限り）、駆動トランジスタT32の電流は保持容量Csと有機EL素子OLEDの寄生容量Celを充電するために使われる。

10

【0173】

駆動トランジスタT32のソース電位Vsは、時間の経過と共に上昇を開始する。

一定時間経過後、サンプリングトランジスタT31はオフ制御される。ただし、この時点における駆動トランジスタT32のゲート・ソース間電圧Vgsは閾値電圧Vthより大きい。従って、電流供給線から流れ込む電流は保持容量Csを充電するように流れる。

【0174】

これに伴い、駆動トランジスタT32のゲート電位Vgは、ソース電位Vsに連動して上昇する。なお、逆バイアスがかかっているため有機EL素子OLEDが発光することはない。

20

やがて、信号線DTLに第1のオフセット信号電位Vofs1が供給されるタイミングになると、サンプリングトランジスタT31は再びオン制御される。このオン動作により、駆動トランジスタT32のゲート電位Vgは、第1のオフセット信号電位Vofs1に押し下げられる。

【0175】

この動作を繰り返すことで、駆動トランジスタT32のゲート・ソース間電圧Vgsは閾値電圧Vthに収束する（図52（t9、t11））。

なおこの時点で、駆動トランジスタT32のソース電位Vsは、Vcat + Vthel以下を満たす。

【0176】

閾値補正動作が終了すると、サンプリングトランジスタT31が一旦オフ制御される。

この後、信号線DTLの電位が第2のオフセット信号電位Vofs2になった時点で、サンプリングトランジスタT31が再びオン制御される（図52（t13））。このサンプリングトランジスタT31のオン状態は、信号線DTLの電位が信号電位Vsigに切り替わった後も継続される（図52（t14））。図58に、この時点における画素回路内の動作状態を示す。

30

【0177】

この期間において、駆動トランジスタT32のゲート電位Vgは、第2のオフセット信号電位Vofs2から信号電位Vsigに変化する。この際、ソース電位Vsは、電流供給線DSLから電流の供給が継続されるため、時間の経過と共に上昇してゆく。

40

【0178】

もっとも、駆動トランジスタT32のソース電位VsがVthel + Vcatを越えなければ（有機EL素子OLEDのリーク電流が駆動トランジスタT32に流れる電流よりかなり小さければ）、駆動トランジスタT32の電流は保持容量Csと有機EL素子OLEDの寄生容量Celを充電するのに使用される。

【0179】

このとき、駆動トランジスタT32の閾値補正動作は既に完了しているため、駆動トランジスタT32に流れる電流は移動度μを反映した値になる。

ところで、この種の移動度補正方式では、一般に白表示時の移動度補正時間に対して中間階調表示時の移動度補正時間が長くなる。特に、移動度補正を信号電位Vsigの印加で

50

実行する形態例 2 の駆動方式の場合には、この時間差が大きいため、白表示画素についての移動度補正と中間階調画素についての移動度補正を同じ書き込み時間内に完了できない。

【0180】

しかし、この形態例のように信号電位 V_{sig} の入力前に第 2 のオフセット信号電位 V_{ofs2} を入力することで白表示での移動度補正時間と中間階調表示での移動度補正時間を一定にすることが可能となる。

以下、具体的に説明する。図 59 に白表示時の移動度補正時間を示し、図 60 に中間階調表示時（黒表示近い例）の移動度補正動作を示す。

【0181】

なお、図 59 (A) 及び図 60 (A) は、形態例 2 に対応する移動度補正動作を示し、図 59 (B) 及び図 60 (B) に形態例 3 に対応する移動度補正動作を示す。なお、形態例 2 に対応する移動度補正時間を t_1 で示し、形態例 3 に対応する移動度補正時間を t_1' で示す。

【0182】

まず、白表示時について考える。図 59 に示すように、第 2 のオフセット信号電位 V_{ofs2} を使用する場合、使用しない場合に比して移動度補正に要する時間を長くすることができる。

【0183】

一方、中間階調表示時について考える。図 60 に示すように、第 2 のオフセット信号電位 V_{ofs2} を使用する場合、使用しない場合に比して移動度補正に要する時間を短くすることができる。

【0184】

すなわち、本来は補正時間が短く済む白表示時の補正時間を長くする一方で、本来は補正時間が長い中間階調表示時の補正時間を短くすることができる。このことは、表示階調によらず移動度補正に要する時間をほぼ一定に揃えることができることを意味する。

【0185】

そして、以上の動作終了後、サンプリングトランジスタ T_{31} をオフ制御して書き込み動作を終了すると、有機 EL 素子 OLED に駆動電流が流れることになり発光期間が開始する（図 52 (t_{15}) ）。図 61 に、この時点における画素回路内の動作状態を示す。

なお、駆動トランジスタ T_{32} のゲート・ソース間電圧 V_{gs} は一定である。従って、駆動トランジスタ T_{32} は一定電流 $I_{ds'}$ を有機 EL 素子 OLED に流す。

【0186】

なお、有機 EL 素子 OLED のアノード電位 V_{el} は、電流 $I_{ds'}$ が流れる電圧 V_x まで上昇する。

【0187】

(D-4) まとめ

以上の通り、この形態例で説明した有機 EL パネルの場合には、形態例 2 の効果に加え、以下の効果を実現できる。

すなわち、階調値の違いにかかわらず移動度補正動作に必要な時間をほぼ揃えることができる。すなわち、全ての画素回路について移動度補正動作を揃えることができる。このことは、各画素の移動度 μ を決められた時間内に過不足無く補正できることを意味する。結果的に、有機 EL パネルの高精細化や高速化が進んでも、ムラやスジの現れ難い駆動技術を実現できる。

【0188】

(E) 他の形態例

(E-1) 他の画素回路例

前述した形態例では、画素回路が 5 つの N チャネル薄膜トランジスタで構成される場合（形態例 1）や 2 つの N チャネル薄膜トランジスタで構成される場合（形態例 2、3）について説明した。

10

20

30

40

50

【 0 1 8 9 】

しかし、画素回路の構成はこれらに限らない。例えば図 6 2 に示すように、画素回路 1 7 1 が 3 つの N チャンネル薄膜トランジスタで構成される場合にも適用できる。なお、図 6 2 は、図 2 0 及び図 3 4 との対応部分に同一符号を付して示す。

【 0 1 9 0 】

この画素回路 1 7 1 は、形態例 1 と形態例 2 の中間型であり、オフセット信号電位 V_{ofs} の印加を専用の薄膜トランジスタ T 3 3 で制御することを特徴とする。すなわち、形態例 2 の場合には、信号線 D T L を通じて印加していたオフセット信号電位 V_{ofs} の印加を形態例 1 の場合のように独立させることを特徴とする。なお、オフセット信号電位 V_{ofs} の印加タイミング等は形態例 2 の同様となる。

【 0 1 9 1 】

(E - 2) 逆バイアス電位の発生方法

前述した形態例の場合には、基本的に事前に設定された関係式に基づいて画素データ D_{in} (信号電位 V_{sig}) に応じた大きさの画素データ D_{in}' を生成する場合について説明した。

【 0 1 9 2 】

しかし、1 フレーム期間中に占める発光期間の割合 (デューティ) を、表示内容や周辺輝度に応じて可変できる有機 E L パネルにおいては、この可変情報に基づいて逆バイアス電位 V_{ini} の生成に適用する関係式又はテーブルを適応的に切り換える仕組みを採用しても良い。

【 0 1 9 3 】

図 6 3 に、この仕組みに対応した水平セクタ 1 8 1 の構成例を示す。なお、図 6 3 には、図 2 1 との対応部分に同一符号を付して示している。図 6 3 では、プログラマブルロジックデバイス 1 8 3 内に、逆バイアス電位発生特性切替部 1 8 5 を搭載する構成例を示している。この場合、逆バイアス電位発生特性切替部 1 8 5 は、外部から与えられるデューティ情報 (1 フレーム期間内の発光時間割合を与える情報) に応じて関係式 (例えば係数の変更) や参照テーブルを切り換える処理を実行させれば良い。

【 0 1 9 4 】

(E - 3) 第 2 のオフセット信号電位 V_{ofs2} の発生例

前述した形態例の場合には、第 2 のオフセット信号電位 V_{ofs2} を固定値として与える場合について説明した。しかし、画素データ D_{in} (信号電位 V_{sig}) に応じた大きさの画素データ D_{in}'' として生成することもできる。

【 0 1 9 5 】

図 6 4 に、この仕組みに対応した水平セクタ 1 9 1 の構成例を示す。なお、図 6 4 には、図 2 1 との対応部分に同一符号を付して示す。図 6 4 に示す水平セクタ 1 9 1 のうち新規な構成部分は、プログラマブルロジックデバイス 1 9 3 と、第 2 のオフセット信号電位 V_{ofs2} 系の回路部分 (シフトレジスタ 2 0 1、ラッチ回路 2 0 3、D / A 回路 2 0 5、バッファ回路 2 0 7) と、セクタ 2 1 1 の部分である。

【 0 1 9 6 】

このうち、プログラマブルロジックデバイス 1 9 3 には、信号電位 V_{sig} と第 1 のオフセット電位 V_{ofs1} との中間電位を発生する機能を新たに追加する。例えば $(V_{sig} - V_{ofs1}) / 2$ に相当する画素データ D_{in}''' を、メモリ 8 3 から読み出される画素データ D_{in} に基づいて生成する。

【 0 1 9 7 】

この駆動方式に対応する電位変化を図 6 5 及び図 6 6 に示す。なお、図 6 5 は白表示時の移動度補正時間を示し、図 6 6 は中間階調表示時 (黒表示近い例) の移動度補正動作を示している。

【 0 1 9 8 】

このうち、図 6 5 (A) 及び図 6 6 (A) は、形態例 2 に対応する移動度補正動作を示

10

20

30

40

50

し、図 6 5 (B) 及び図 6 6 (B) は、この説明に対応する移動度補正動作を示す。因みに、形態例 2 に対応する移動度補正時間を t_1 で示し、この説明に対応する移動度補正時間を t_1' で示す。

【 0 1 9 9 】

この駆動方式の場合も、白表示時の移動度補正時間は、第 2 のオフセット信号電位 V_{ofs2} の使用により伸ばすことができる。また、中間階調表示時の移動度補正時間も、第 2 のオフセット信号電位 V_{ofs2} の使用により伸ばすことができる。ただし、中間階調表示時の時間の伸びは、階調値が大きい (信号電位 V_{sig} が大きい) 場合に比して小さくなる。

【 0 2 0 0 】

従って、この駆動方式を採用により、白表示時と中間階調表示時の補正時間の差を圧縮することができる。この時間差が十分小さければ、形態例 2 の場合よりも、移動度補正に要する時間を揃える効果を高めることができる。結果的に、移動度補正の過不足による画質劣化を抑制して、視認される画質を向上することができる。

10

【 0 2 0 1 】

(E - 4) 逆バイアス電位 V_{ini} の他の印加例

前述した形態例の場合には、いずれも水平セクタが駆動制御する信号線 DTL を通じて逆バイアス電位 V_{ini} を駆動トランジスタのゲート電極に印加する場合について説明した。

【 0 2 0 2 】

しかし、逆バイアス電位 V_{ini} は、他の配線を通じて駆動トランジスタのゲート電極に印加しても良い。また、この場合は勿論、逆バイアス電位発生部は水平セクタの外部に配置することができる。

20

【 0 2 0 3 】

(E - 5) 製品例

(a) 電子機器

前述の説明では、有機 EL パネルを例に発明を説明した。しかし、前述した有機 EL パネルは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

【 0 2 0 4 】

図 6 7 に、電子機器 2 2 1 の概念構成例を示す。電子機器 2 2 1 は、前述した有機 EL パネル 2 2 3、システム制御部 2 2 5 及び操作入力部 2 2 7 で構成される。システム制御部 2 2 5 で実行される処理内容は、電子機器 2 2 1 の商品形態により異なる。また、操作入力部 2 2 7 は、システム制御部 2 2 5 に対する操作入力を受け付けるデバイスである。操作入力部 2 2 7 には、例えばスイッチ、ボタンその他の機械式インターフェース、グラフィックインターフェース等が用いられる。

30

【 0 2 0 5 】

なお、電子機器 2 2 1 は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図 6 8 に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機 2 3 1 の筐体正面には、フロントパネル 2 3 3 及びフィルターガラス 2 3 5 等で構成される表示画面 2 3 7 が配置される。表示画面 2 3 7 の部分が、形態例で説明した有機 EL パネルに対応する。

40

【 0 2 0 6 】

また、この種の電子機器 2 2 1 には、例えばデジタルカメラが想定される。図 6 9 に、デジタルカメラ 2 4 1 の外観例を示す。図 6 9 (A) が正面側 (被写体側) の外観例であり、図 6 9 (B) が背面側 (撮影者側) の外観例である。

【 0 2 0 7 】

デジタルカメラ 2 4 1 は、保護カバー 2 4 3、撮像レンズ部 2 4 5、表示画面 2 4 7、コントロールスイッチ 2 4 9 及びシャッターボタン 2 5 1 で構成される。このうち、表示画面 2 4 7 の部分が、形態例で説明した有機 EL パネルに対応する

50

【0208】

また、この種の電子機器221には、例えばビデオカメラが想定される。図70に、ビデオカメラ261の外観例を示す。

ビデオカメラ261は、本体263の前方に被写体を撮像する撮像レンズ265、撮影のスタート/ストップスイッチ267及び表示画面269で構成される。このうち、表示画面269の部分が、形態例で説明した有機ELパネルに対応する。

【0209】

また、この種の電子機器221には、例えば携帯端末装置が想定される。図71に、携帯端末装置としての携帯電話機271の外観例を示す。図71に示す携帯電話機271は折りたたみ式であり、図71(A)が筐体を開いた状態の外観例であり、図71(B)が筐体を折りたたんだ状態の外観例である。

10

【0210】

携帯電話機271は、上側筐体273、下側筐体275、連結部(この例ではヒンジ部)277、表示画面279、補助表示画面281、ピクチャーライト283及び撮像レンズ285で構成される。このうち、表示画面279及び補助表示画面281の部分が、形態例で説明した有機ELパネルに対応する。

【0211】

また、この種の電子機器221には、例えばコンピュータが想定される。図72に、ノート型コンピュータ291の外観例を示す。

ノート型コンピュータ291は、下型筐体293、上側筐体295、キーボード297及び表示画面299で構成される。このうち、表示画面299の部分が、形態例で説明した有機ELパネルに対応する。

20

【0212】

これらの他、電子機器221には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0213】

(E-5) 他の表示デバイス例

前述の形態例においては、発明を有機ELパネルに適用する場合について説明した。

しかし、前述した駆動技術は、その他のEL表示装置に対しても適用することができる。例えばLEDを配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。例えば無機ELパネルにも適用できる。

30

【0214】

(E-6) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0215】

【図1】有機ELパネルの機能ブロック構成を説明する図である(従来)。

【図2】画素回路と駆動回路との接続関係を説明する図である(従来)。

40

【図3】有機EL素子のI-V特性の経時変化を説明する図である(従来)。

【図4】他の画素回路例を示す図である(従来)。

【図5】画素回路と駆動回路の他の接続関係を説明する図である(従来)。

【図6】図5に示す画素回路の駆動動作例を示す図である(従来)。

【図7】画素回路の動作状態を説明する図である。

【図8】画素回路の動作状態を説明する図である。

【図9】画素回路の動作状態を説明する図である。

【図10】ソース電位の経時変化を示す図である。

【図11】画素回路の動作状態を説明する図である。

【図12】画素回路の動作状態を説明する図である。

50

- 【図 1 3】移動度の違いによる経時変化の違いを示す図である。
- 【図 1 4】画素回路の動作状態を説明する図である。
- 【図 1 5】駆動トランジスタの閾値電圧の経時的な変動現象を説明する図である。
- 【図 1 6】固定量の逆バイアス電圧を印加する駆動方法を説明する図である。
- 【図 1 7】有機 E L パネルの外観構成例を示す図である。
- 【図 1 8】有機 E L パネルのシステム構成例を示す図である。
- 【図 1 9】画素回路と駆動回路との接続関係を説明する図である。
- 【図 2 0】形態例 1 に係る画素回路の構成例を示す図である。
- 【図 2 1】形態例 1 に係る水平セレクタの構成例を示す図である。
- 【図 2 2】信号電位に応じて発生される逆バイアス電位 V_{ini} と逆バイアス電圧の大きさとの関係を示す図である。 10
- 【図 2 3】形態例 1 に係る駆動動作例を示す図である。
- 【図 2 4】画素回路の動作状態を説明する図である。
- 【図 2 5】画素回路の動作状態を説明する図である。
- 【図 2 6】1 フレーム期間内の発光期間長の割合に応じた逆バイアス電位の設定例を示す図である。
- 【図 2 7】画素回路の動作状態を説明する図である。
- 【図 2 8】画素回路の動作状態を説明する図である。
- 【図 2 9】画素回路の動作状態を説明する図である。
- 【図 3 0】画素回路の動作状態を説明する図である。 20
- 【図 3 1】画素回路の動作状態を説明する図である。
- 【図 3 2】形態例 2 に係る有機 E L パネルの構成例を示す図である。
- 【図 3 3】画素回路と駆動回路との接続関係を示す図である。
- 【図 3 4】形態例 2 に係る画素回路の構成例を示す図である。
- 【図 3 5】形態例 2 に係る水平セレクタの構成例を示す図である。
- 【図 3 6】形態例 2 に係る駆動動作例を示す図である。
- 【図 3 7】画素回路の動作状態を説明する図である。
- 【図 3 8】画素回路の動作状態を説明する図である。
- 【図 3 9】画素回路の動作状態を説明する図である。
- 【図 4 0】画素回路の動作状態を説明する図である。 30
- 【図 4 1】画素回路の動作状態を説明する図である。
- 【図 4 2】画素回路の動作状態を説明する図である。
- 【図 4 3】画素回路の動作状態を説明する図である。
- 【図 4 4】画素回路の動作状態を説明する図である。
- 【図 4 5】画素回路の動作状態を説明する図である。
- 【図 4 6】画素回路の動作状態を説明する図である。
- 【図 4 7】画素回路の動作状態を説明する図である。
- 【図 4 8】形態例 3 に係る有機 E L パネルの構成例を示す図である。
- 【図 4 9】画素回路と駆動回路の接続関係を示す図である。
- 【図 5 0】形態例 3 に係る画素回路の構成例を示す図である。 40
- 【図 5 1】形態例 3 に係る水平セレクタの構成例を示す図である。
- 【図 5 2】形態例 3 に係る画素回路の駆動動作例を示す図である。
- 【図 5 3】画素回路の動作状態を説明する図である。
- 【図 5 4】画素回路の動作状態を説明する図である。
- 【図 5 5】画素回路の動作状態を説明する図である。
- 【図 5 6】画素回路の動作状態を説明する図である。
- 【図 5 7】画素回路の動作状態を説明する図である。
- 【図 5 8】画素回路の動作状態を説明する図である。
- 【図 5 9】移動度補正を 2 段階で実行する場合の効果を説明する図である。
- 【図 6 0】移動度補正を 2 段階で実行する場合の効果を説明する図である。 50

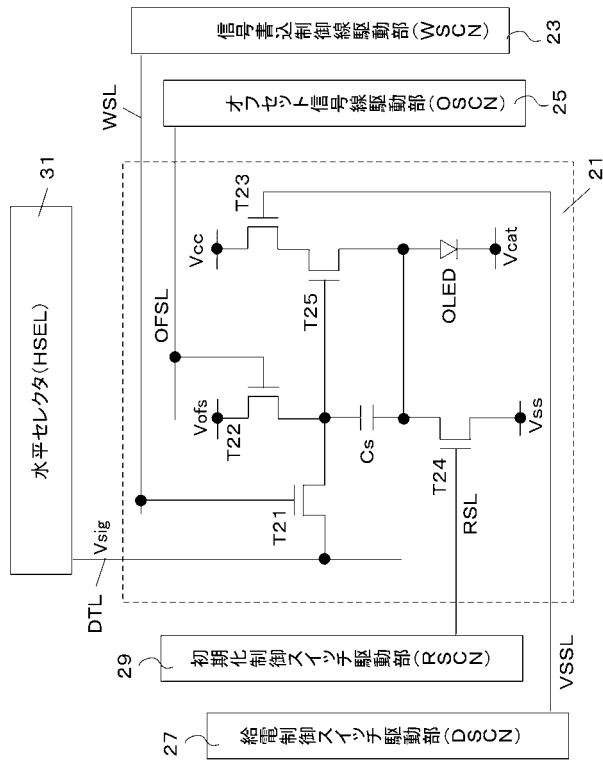
- 【図 6 1】画素回路の動作状態を説明する図である。
- 【図 6 2】有機 E L パネルの他の構成例を示す図である。
- 【図 6 3】水平セレクタの他の構成例を示す図である。
- 【図 6 4】水平セレクタの他の構成例を示す図である。
- 【図 6 5】移動度補正を 2 段階で実行する場合の他の駆動例を説明する図である。
- 【図 6 6】移動度補正を 2 段階で実行する場合の他の駆動例を説明する図である。
- 【図 6 7】電子機器の概念構成例を示す図である。
- 【図 6 8】電子機器の商品例を示す図である。
- 【図 6 9】電子機器の商品例を示す図である。
- 【図 7 0】電子機器の商品例を示す図である。 10
- 【図 7 1】電子機器の商品例を示す図である。
- 【図 7 2】電子機器の商品例を示す図である。

【符号の説明】

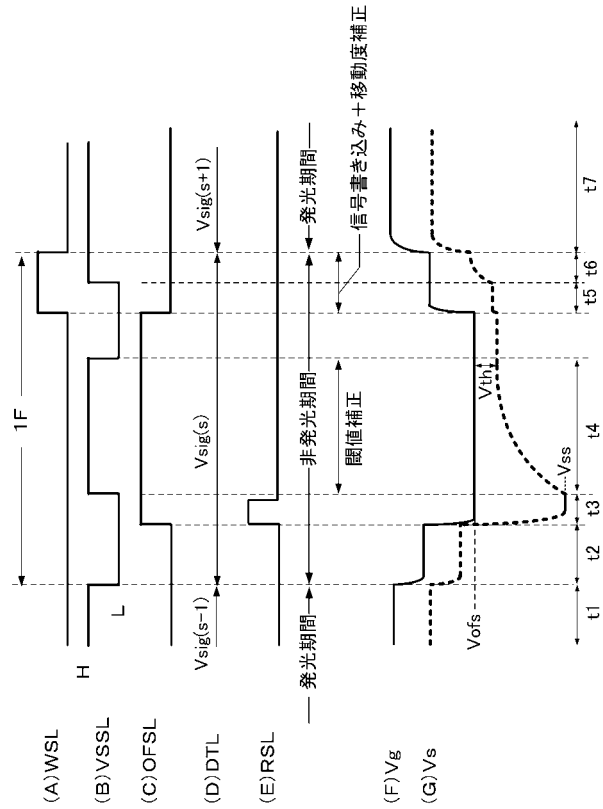
【 0 2 1 6 】

- | | | |
|-------|-----------------|----|
| 4 1 | 有機 E L パネル | |
| 5 1 | 画素アレイ部 | |
| 5 3 | 信号書込制御線駆動部 | |
| 5 5 | オフセット信号線駆動部 | |
| 5 7 | 給電制御スイッチ駆動部 | |
| 5 9 | 初期化制御スイッチ駆動部 | 20 |
| 6 1 | 水平セレクタ | |
| 6 3 | タイミングジェネレータ | |
| 8 1 | プログラマブルロジックデバイス | |
| 1 2 1 | 画素アレイ部 | |
| 1 2 3 | 信号書込制御線駆動部 | |
| 1 2 5 | 電流供給線駆動部 | |
| 1 2 7 | 水平セレクタ | |
| 1 5 3 | 信号線書込駆動部 | |
| 1 5 5 | 電流供給線駆動部 | |
| 1 5 7 | 水平セレクタ | 30 |
| 1 8 1 | 水平セレクタ | |
| 1 8 3 | プログラマブルロジックデバイス | |
| 1 8 5 | 逆バイアス電位発生特性切替部 | |
| 1 9 3 | プログラマブルロジックデバイス | |

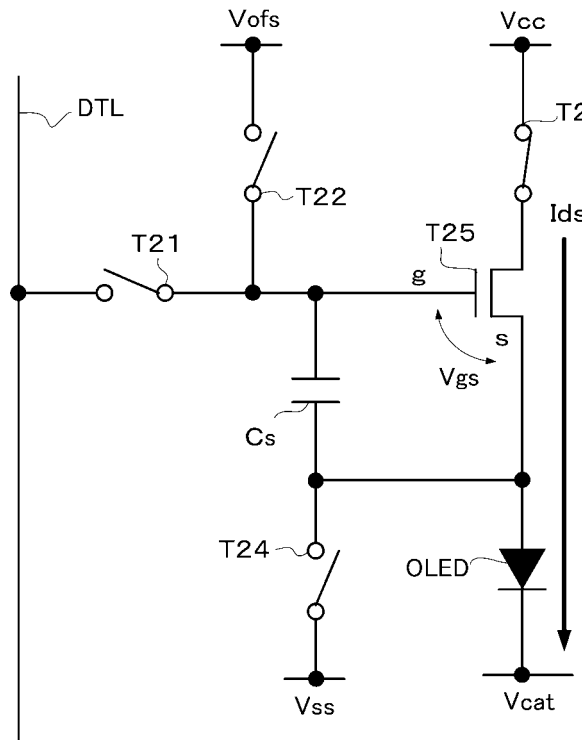
【図5】



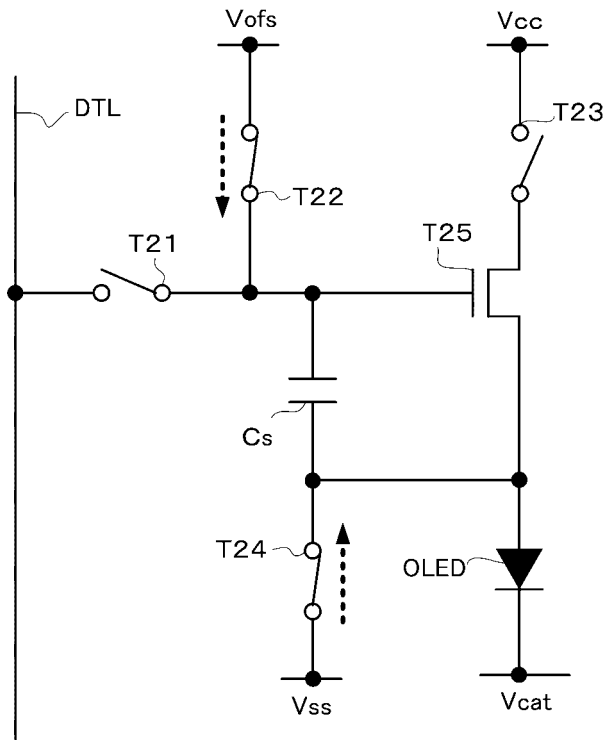
【図6】



【図7】

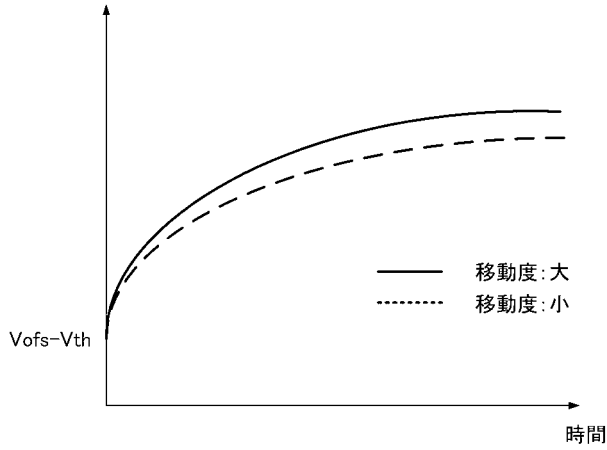


【図8】

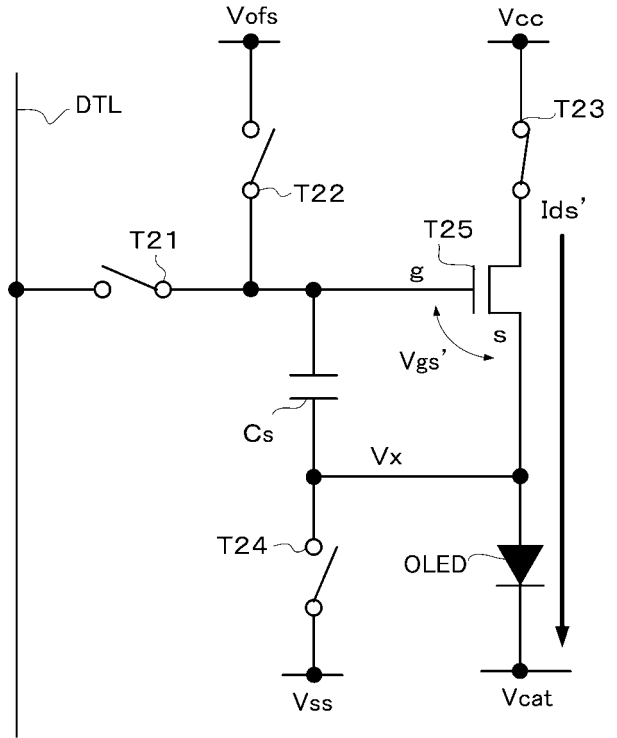


【図13】

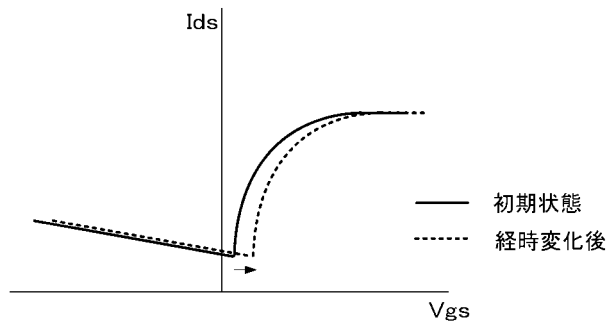
駆動トランジスタT25のソース電圧Vs



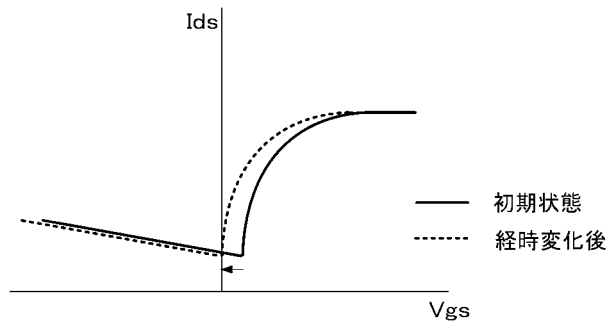
【図14】



【図15】

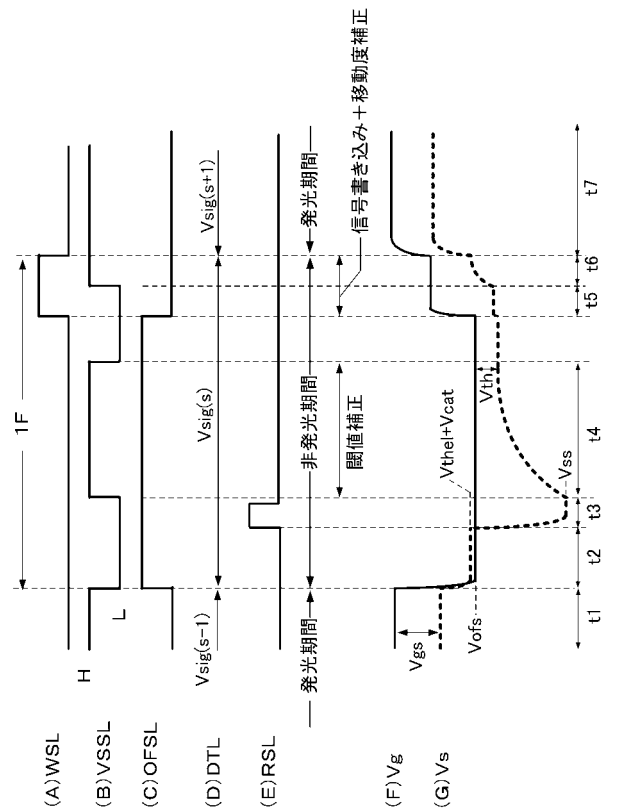


(A) 正バイアス印加時

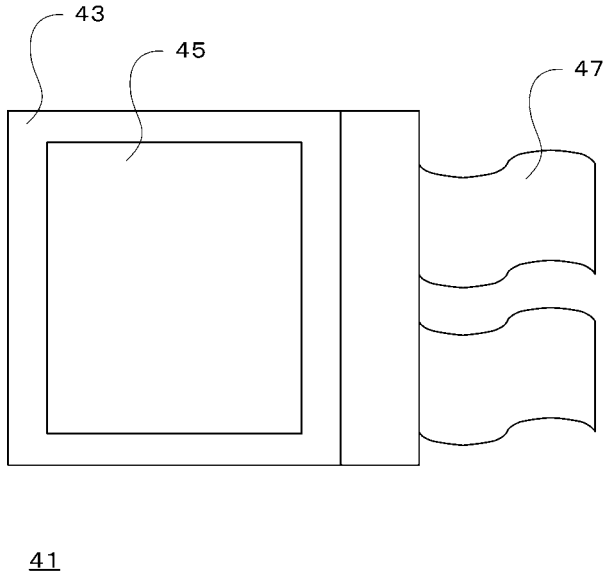


(B) 負バイアス印加時

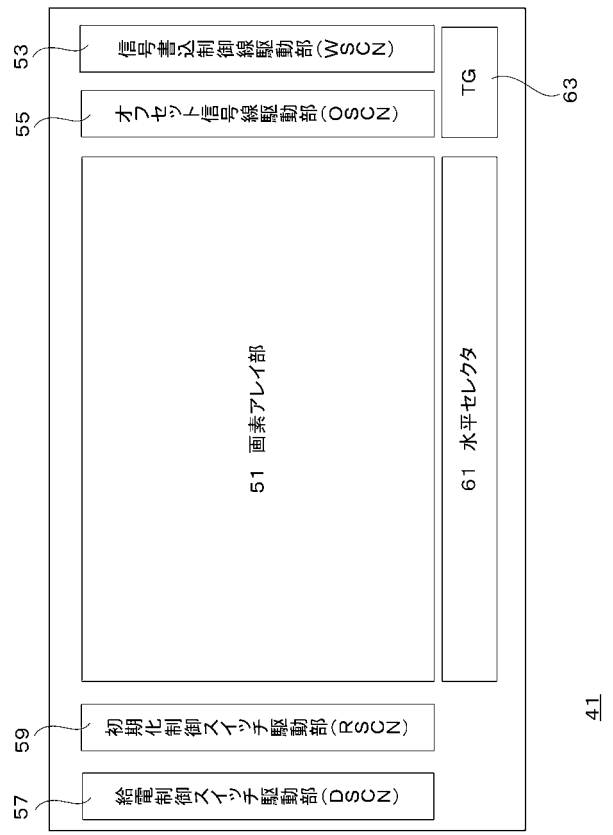
【図16】



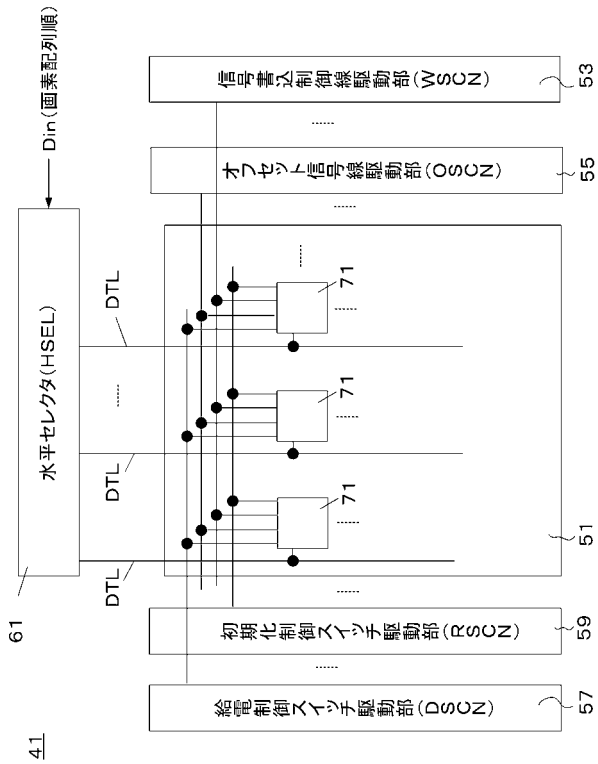
【図17】



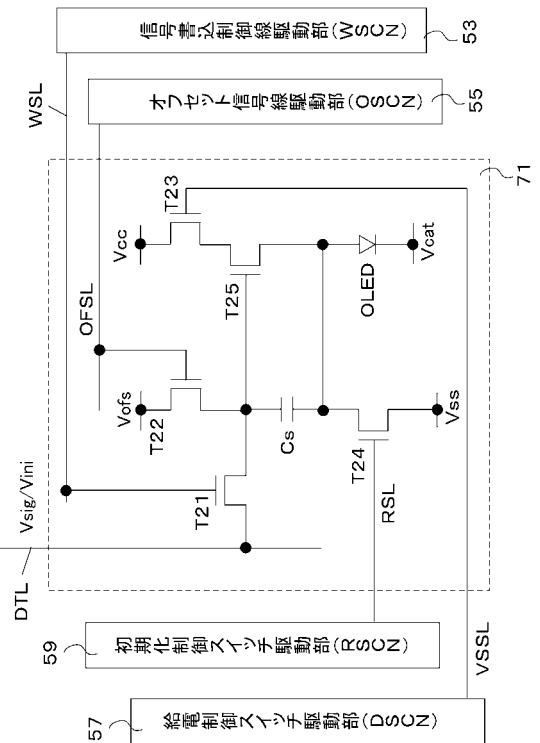
【図18】



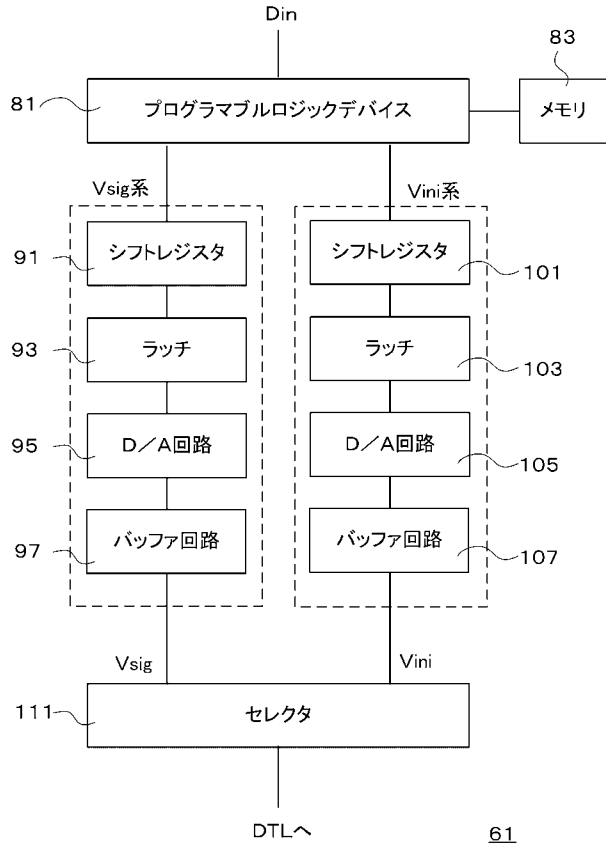
【図19】



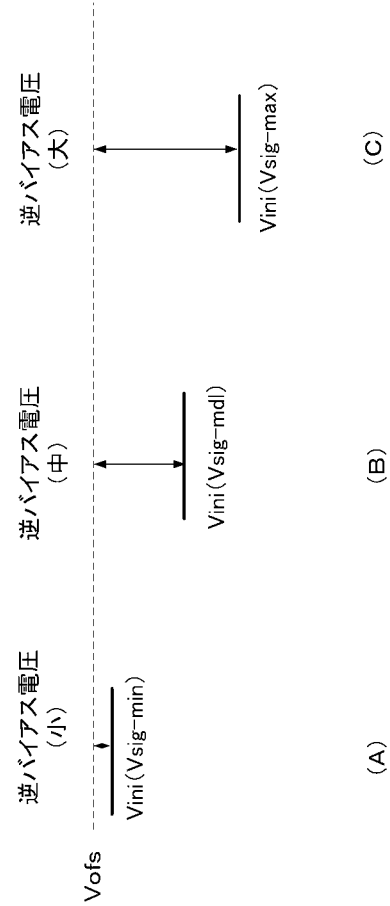
【図20】



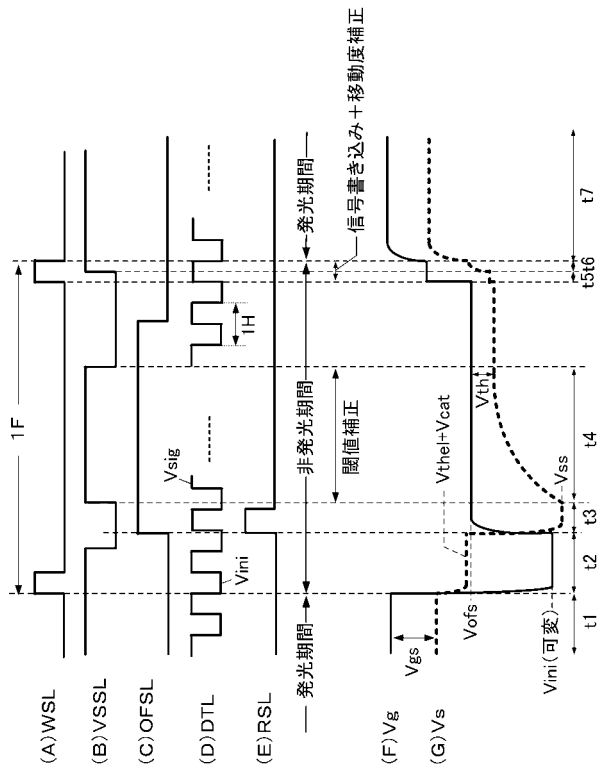
【図21】



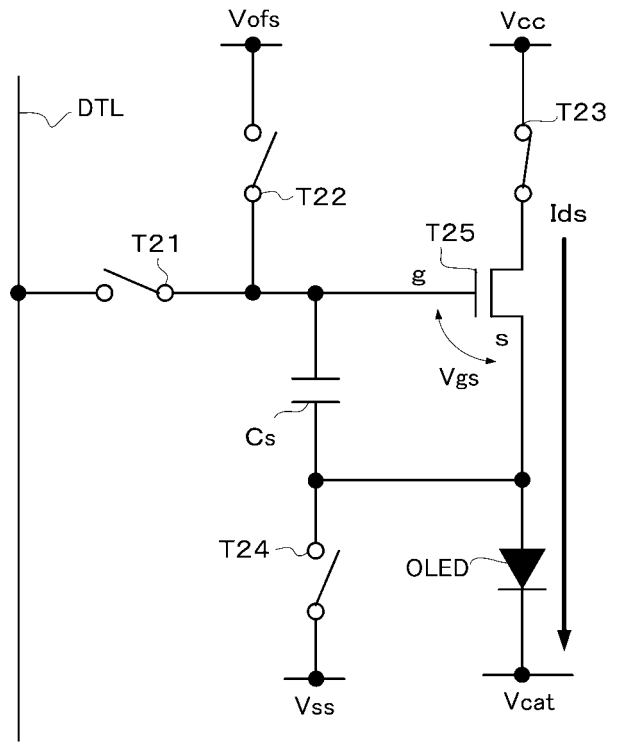
【図22】



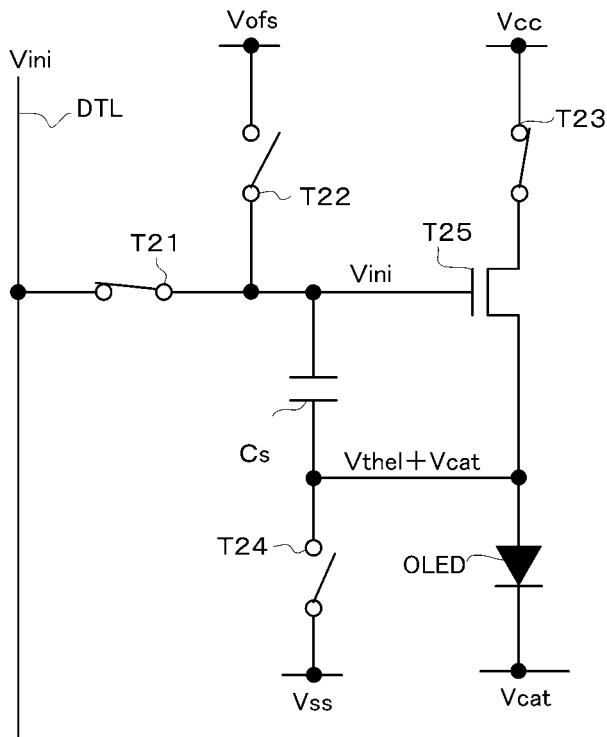
【図23】



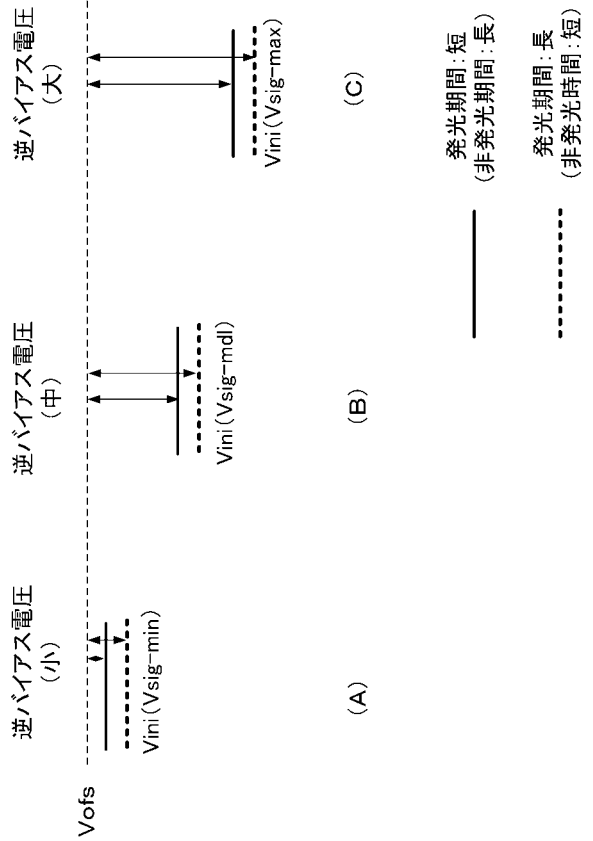
【図24】



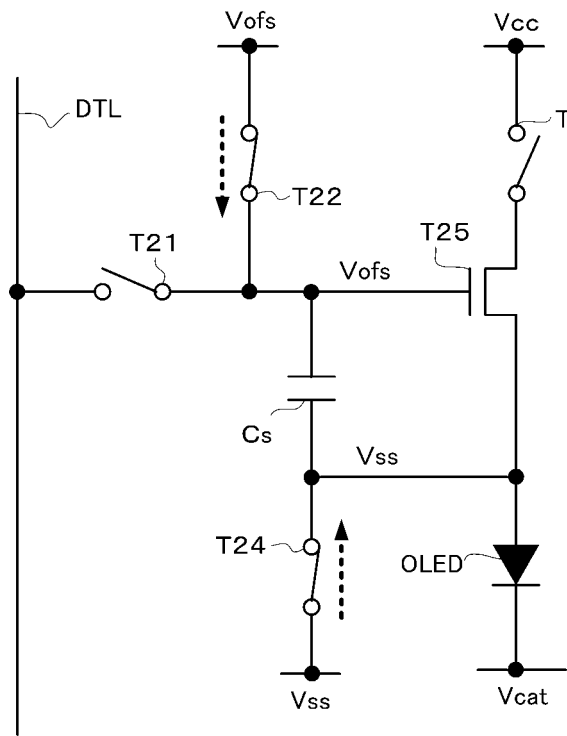
【図 25】



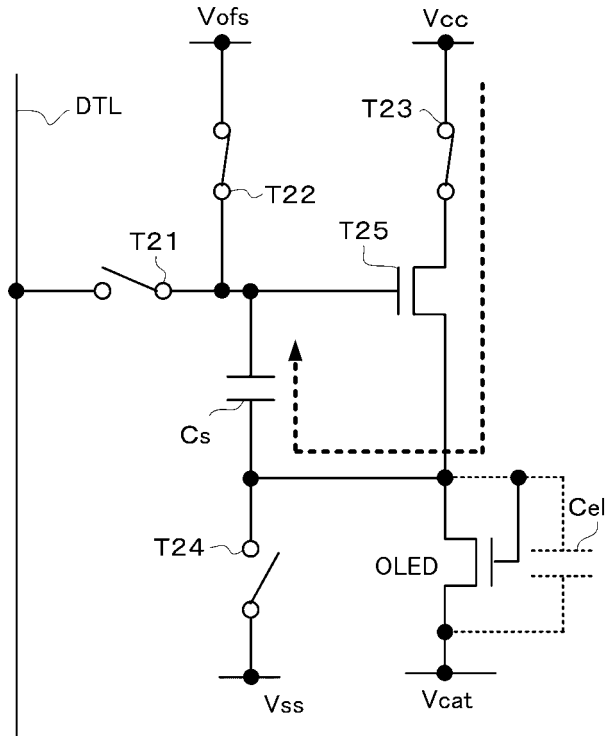
【図 26】



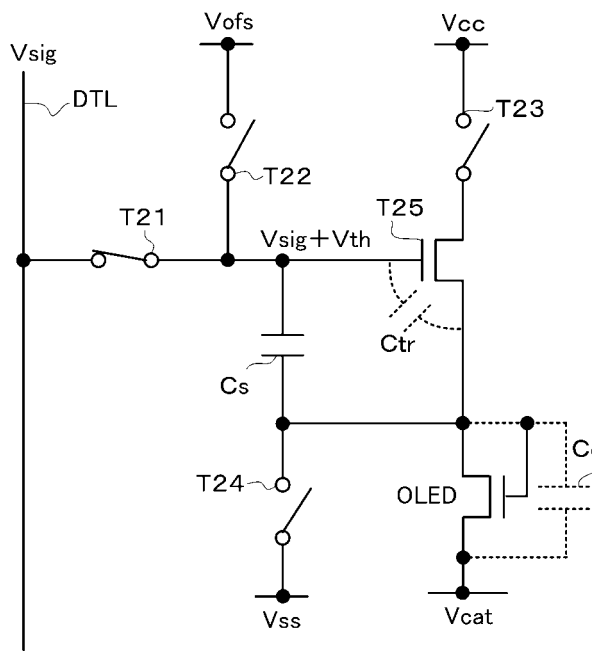
【図 27】



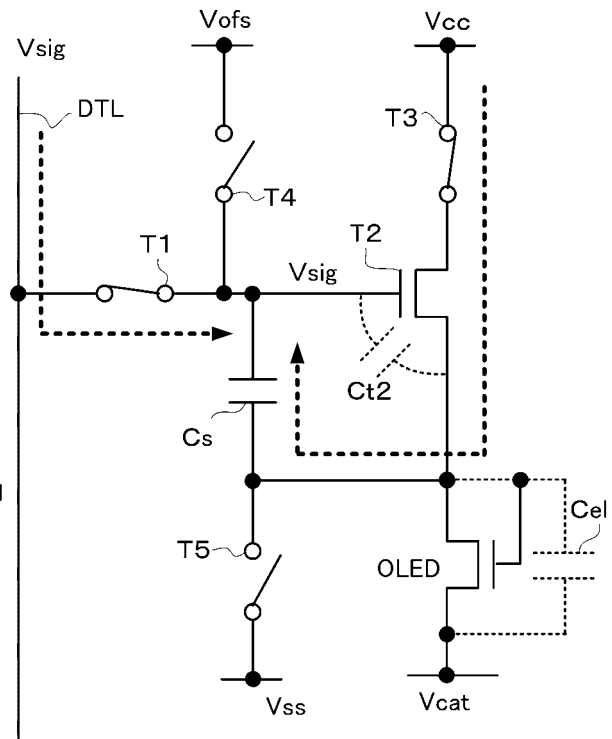
【図 28】



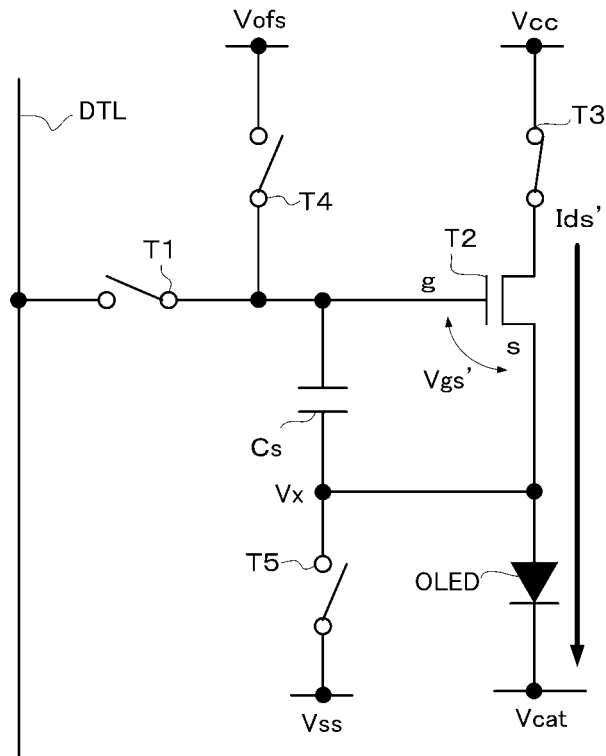
【図29】



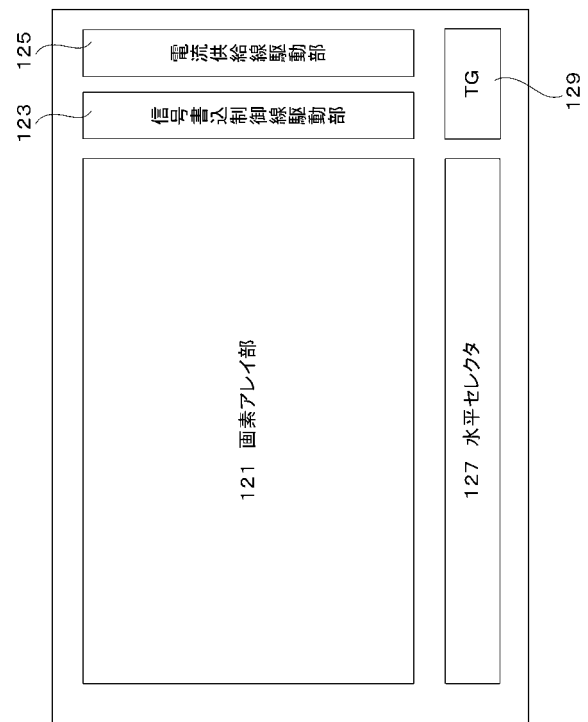
【図30】



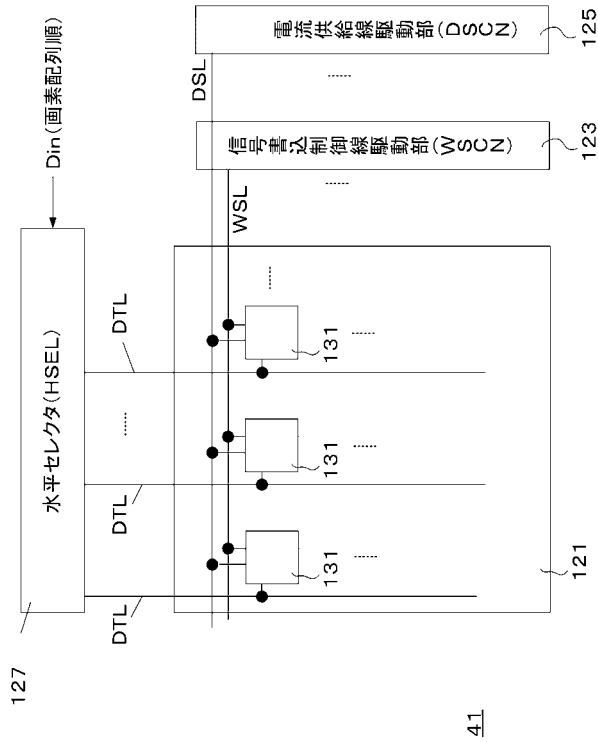
【図31】



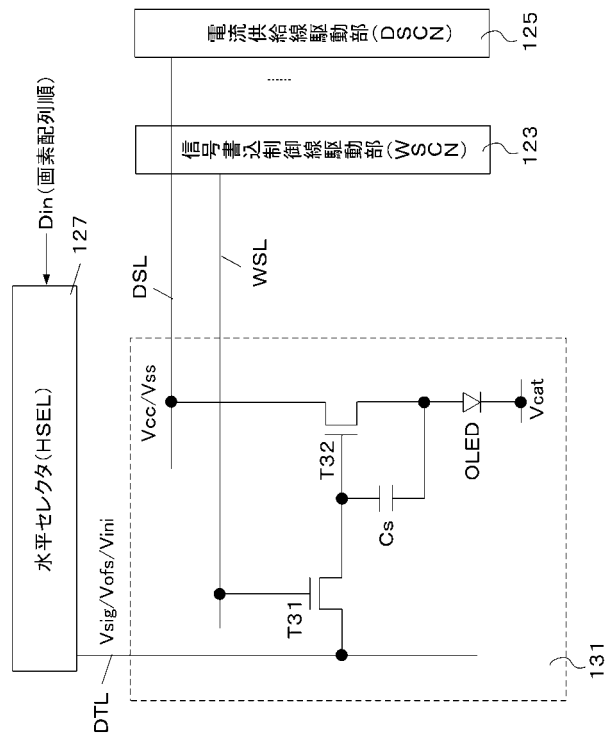
【図32】



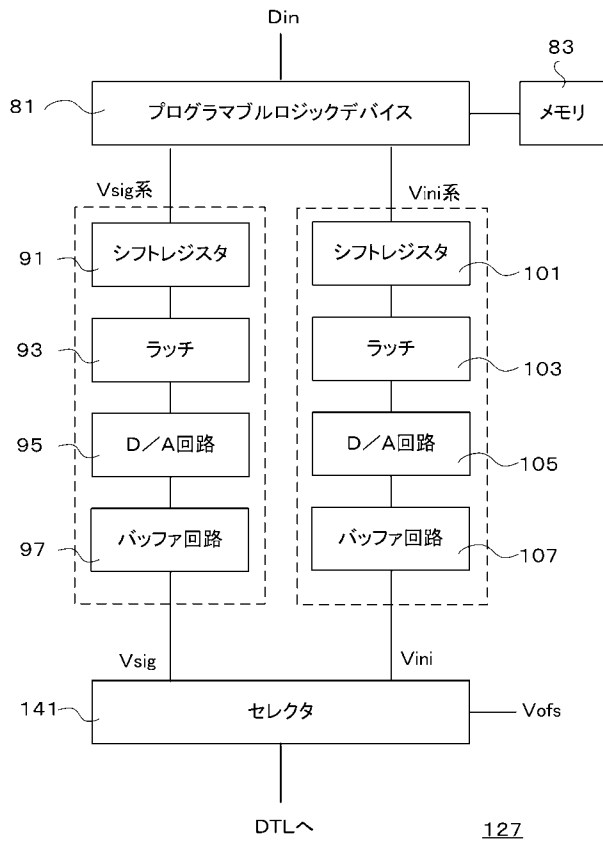
【図33】



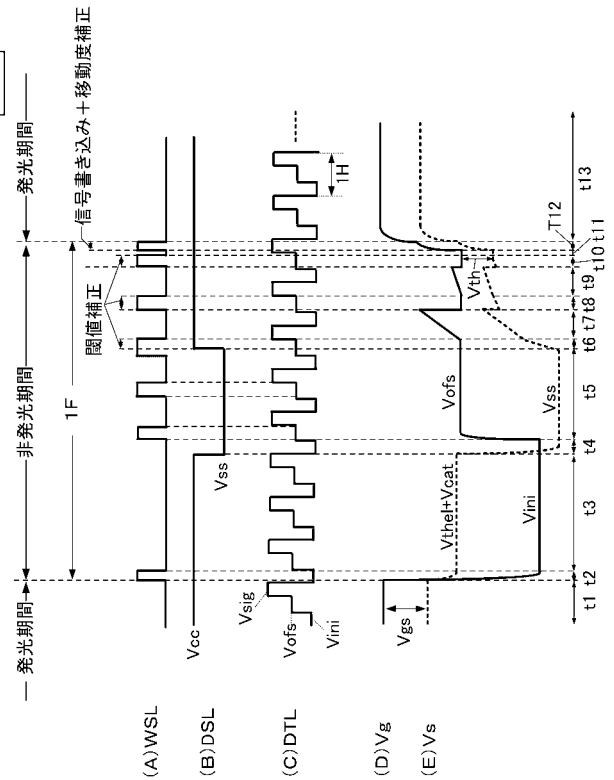
【図34】



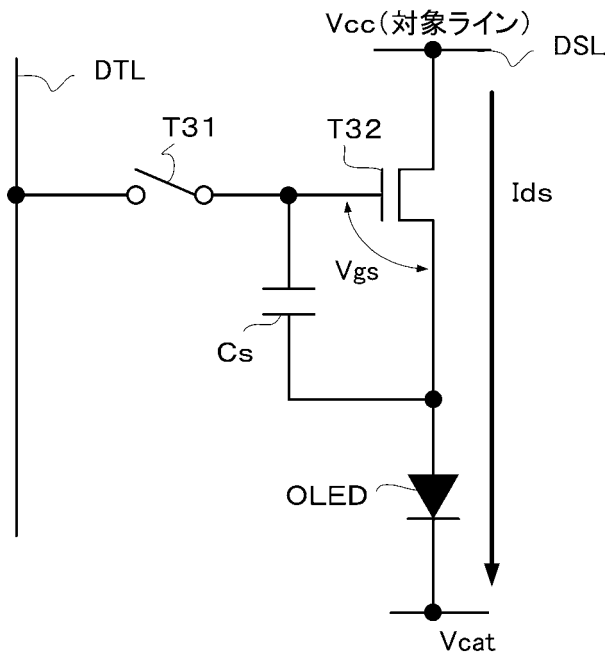
【図35】



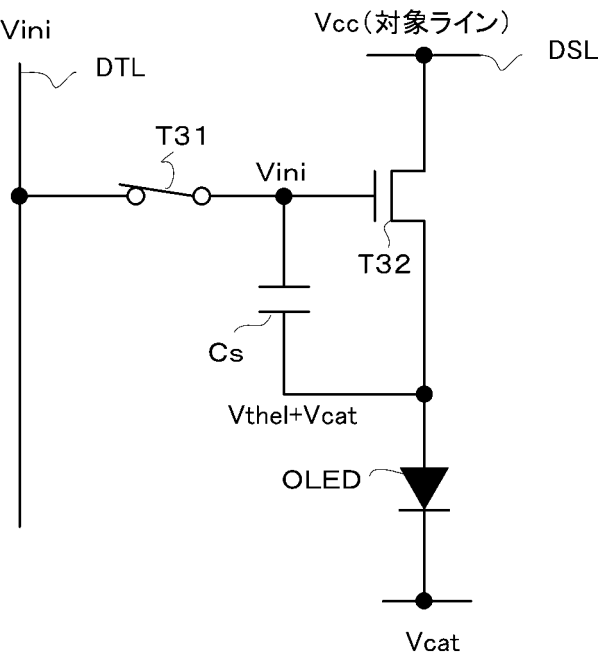
【図36】



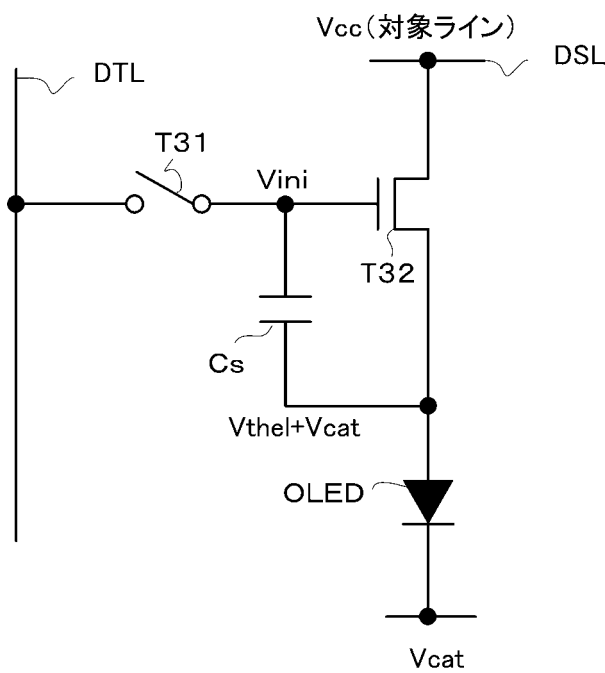
【図37】



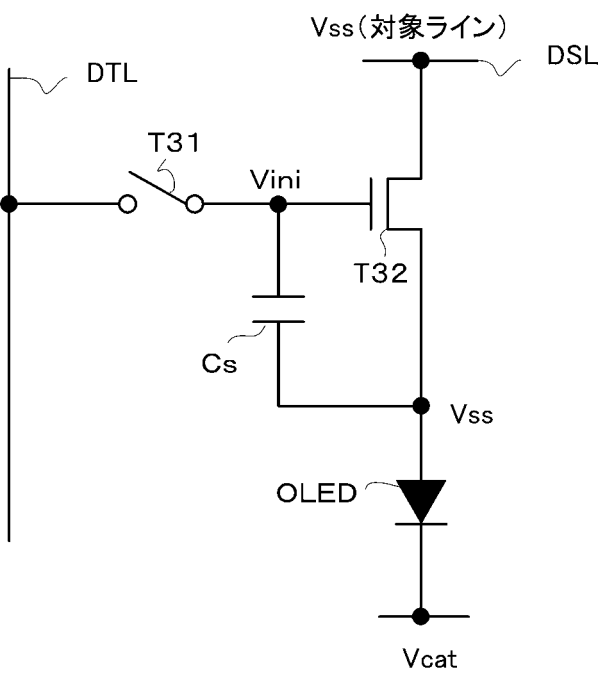
【図38】



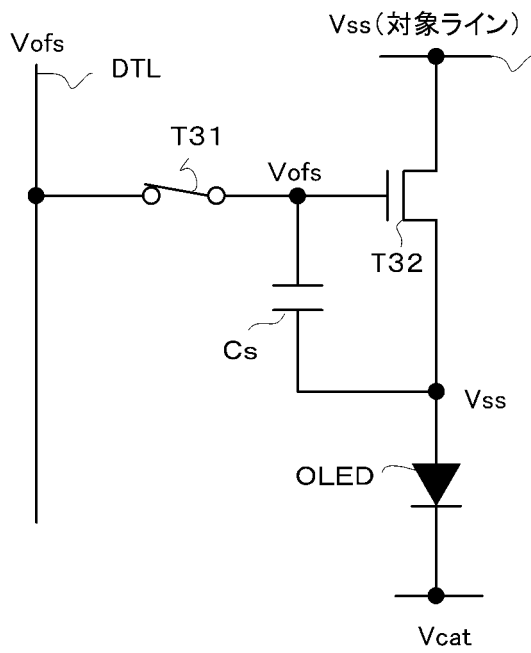
【図39】



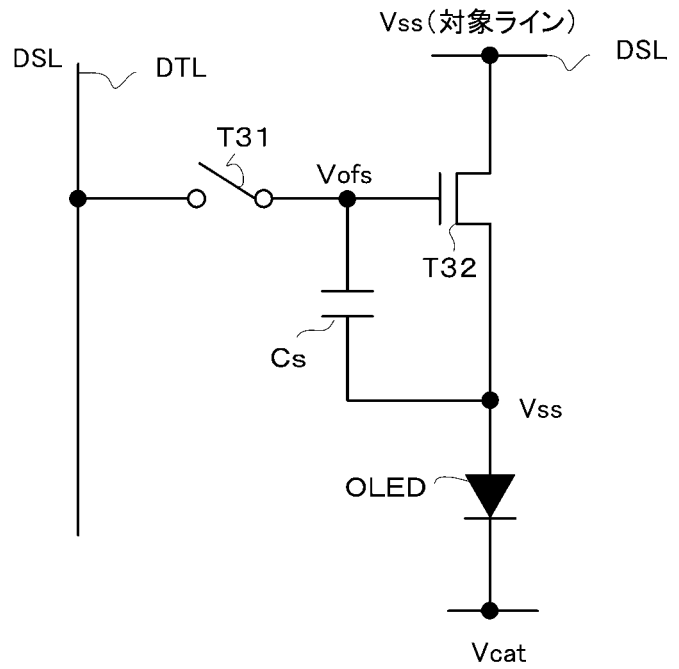
【図40】



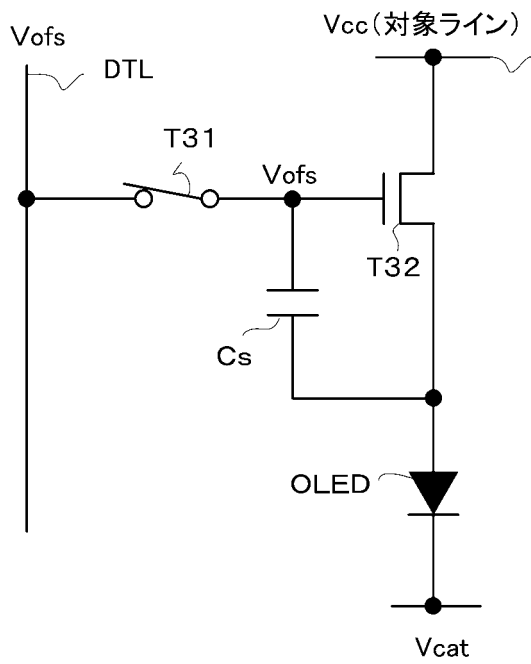
【図41】



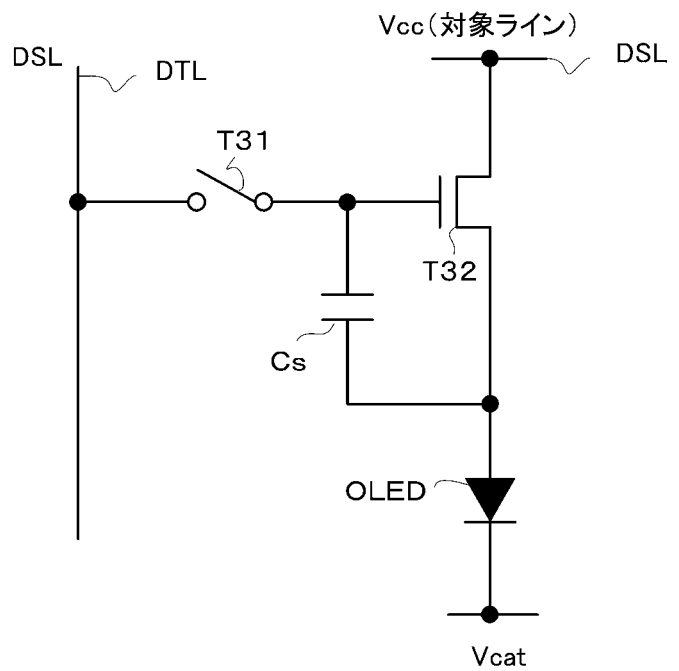
【図42】



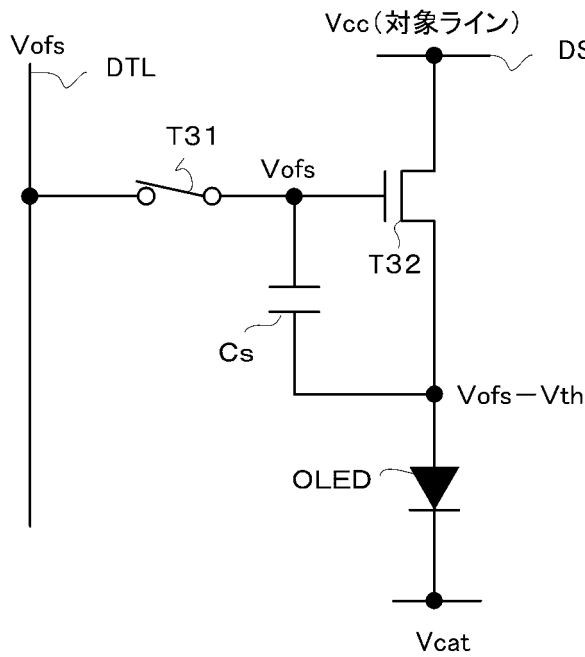
【図43】



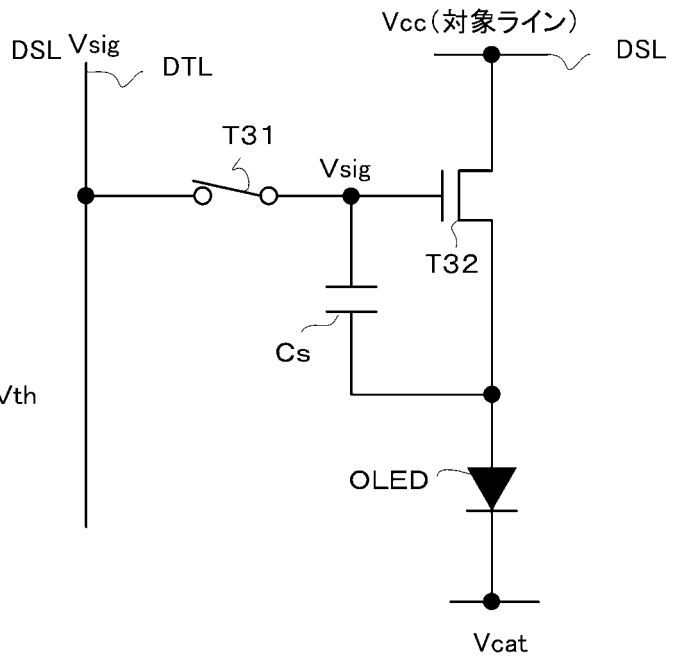
【図44】



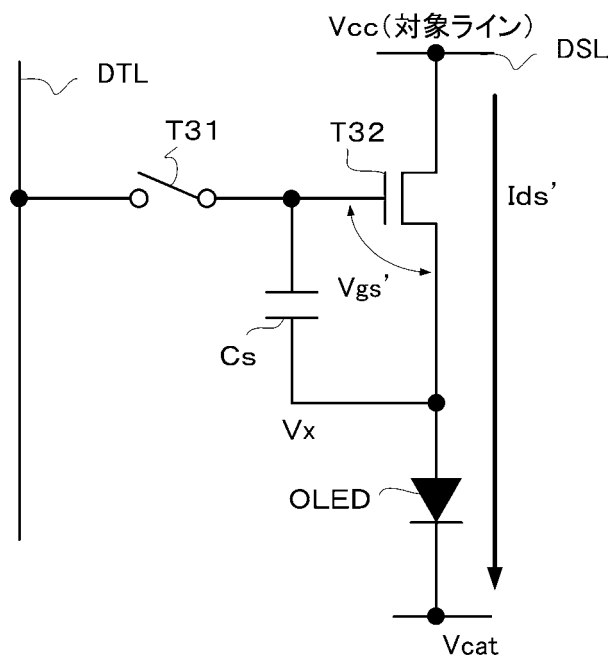
【図45】



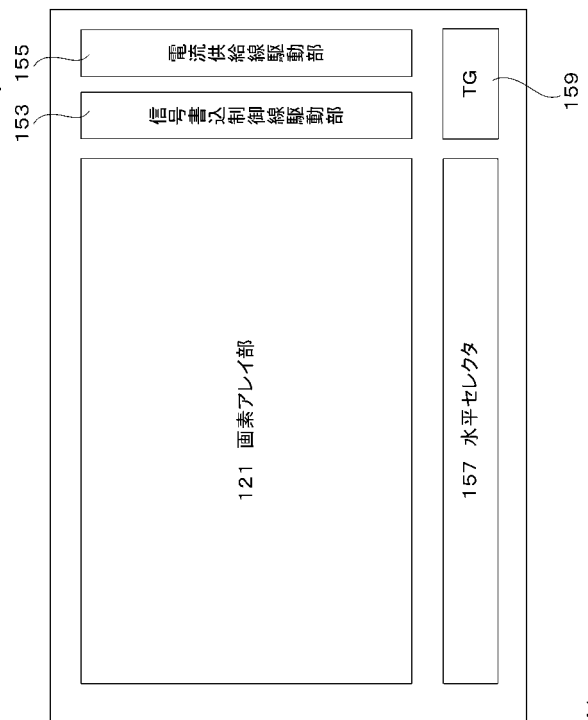
【図46】



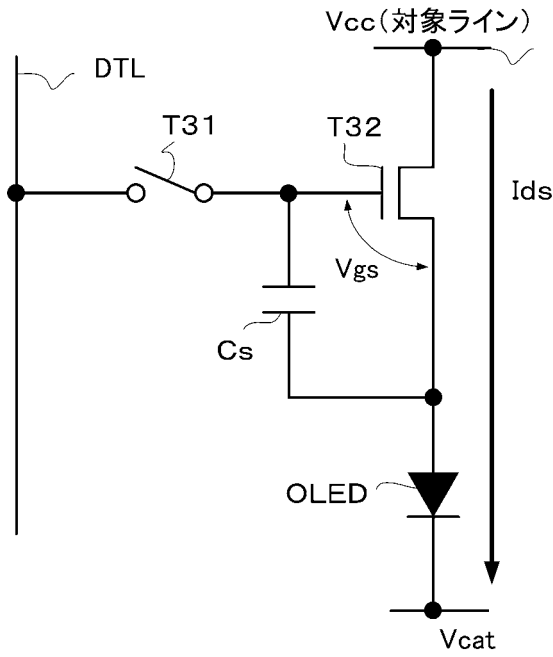
【図47】



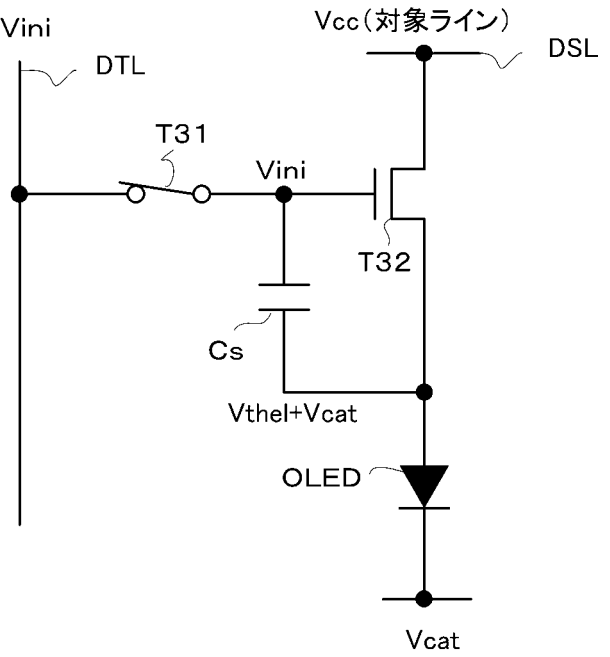
【図48】



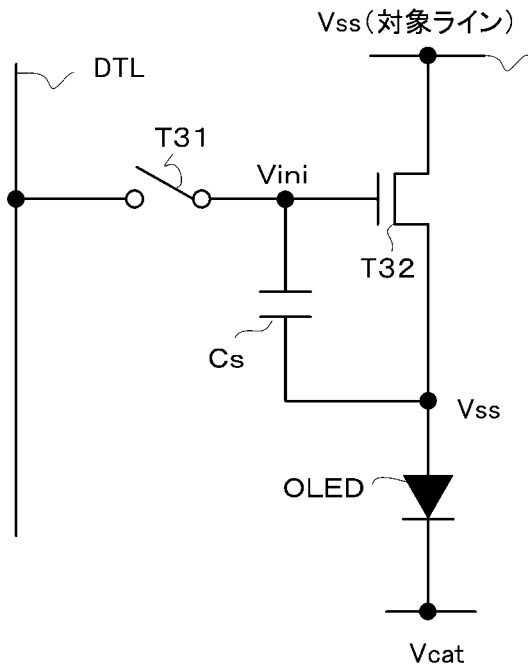
【図53】



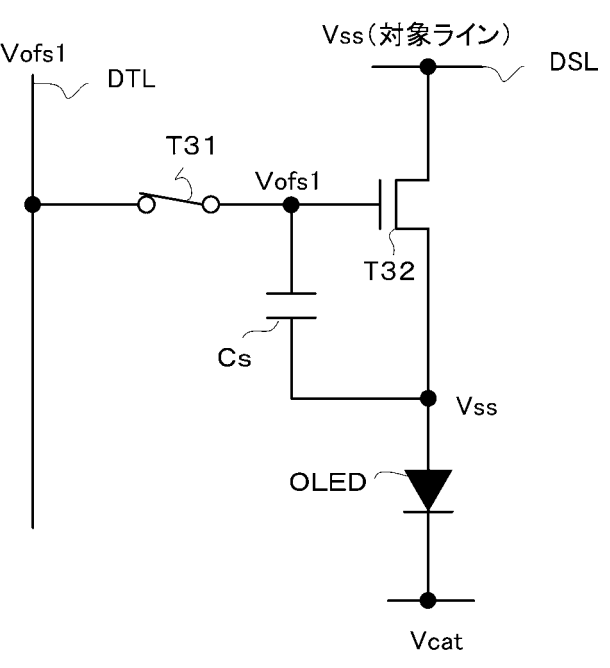
【図54】



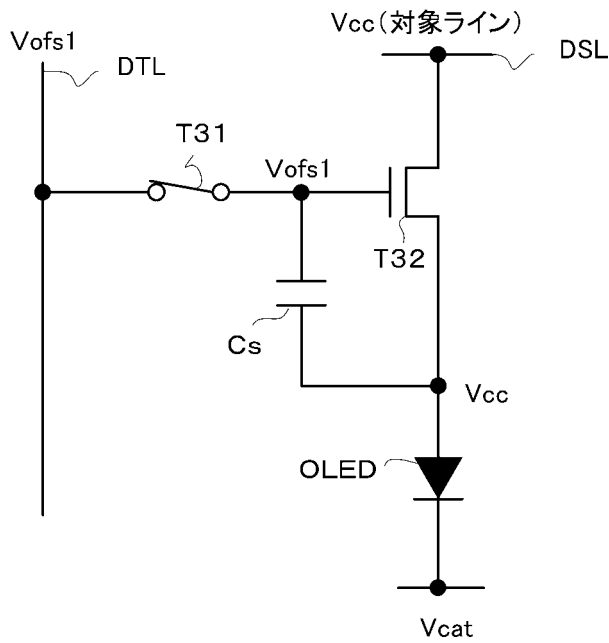
【図55】



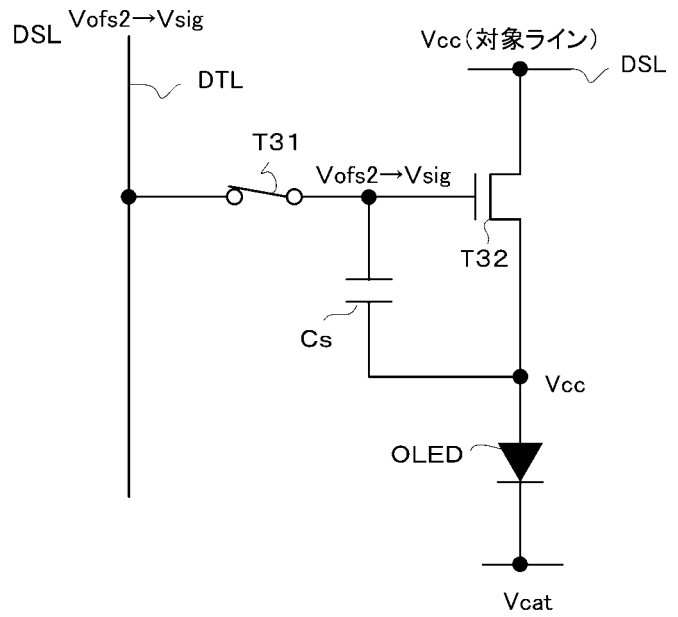
【図56】



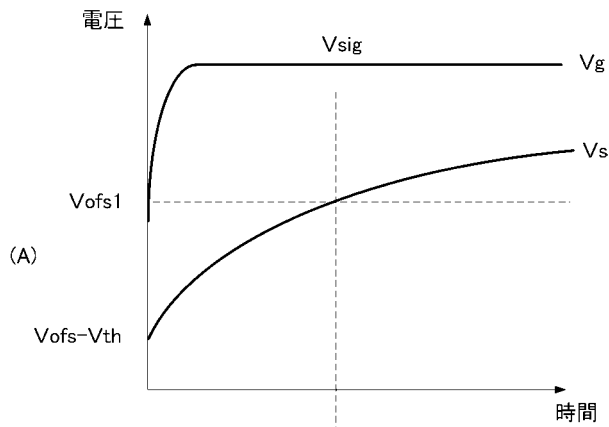
【図57】



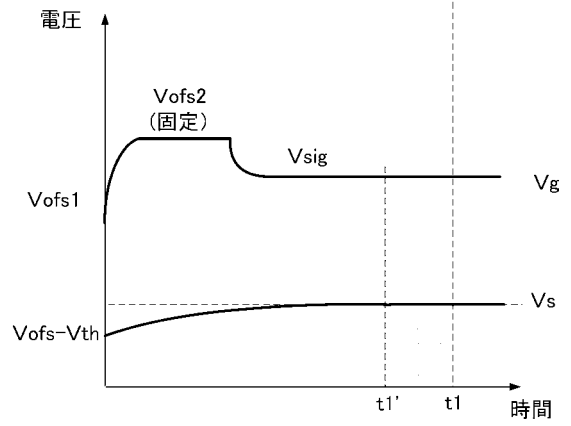
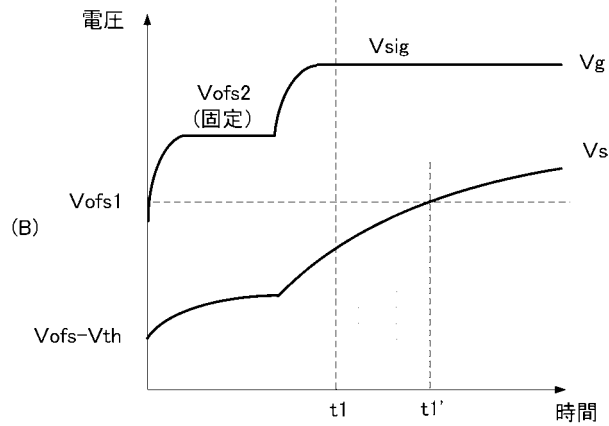
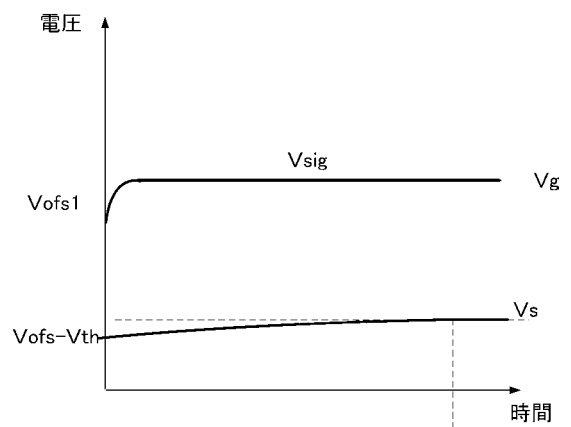
【図58】



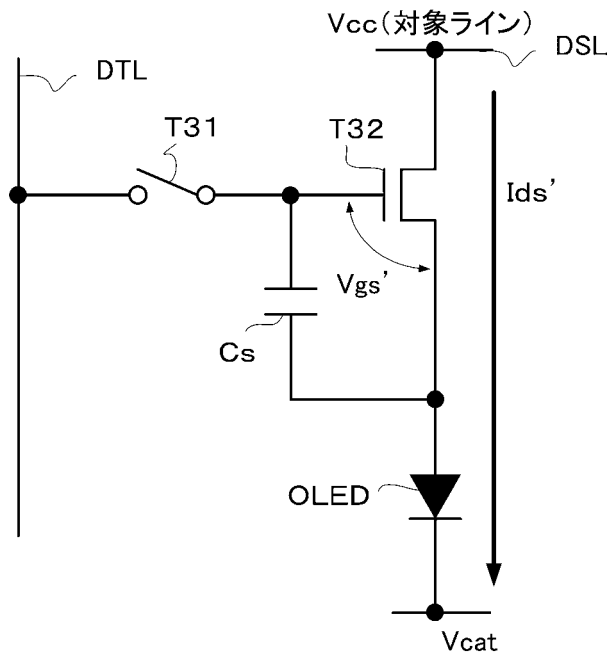
【図59】



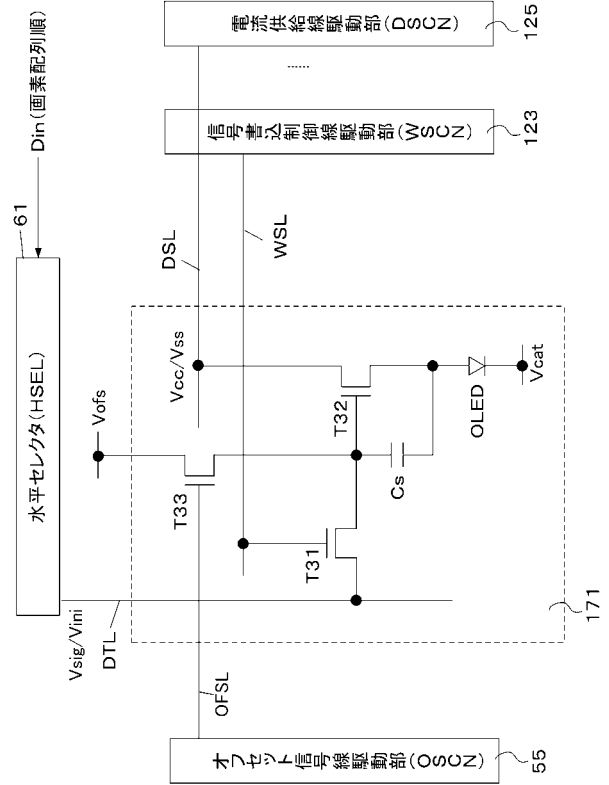
【図60】



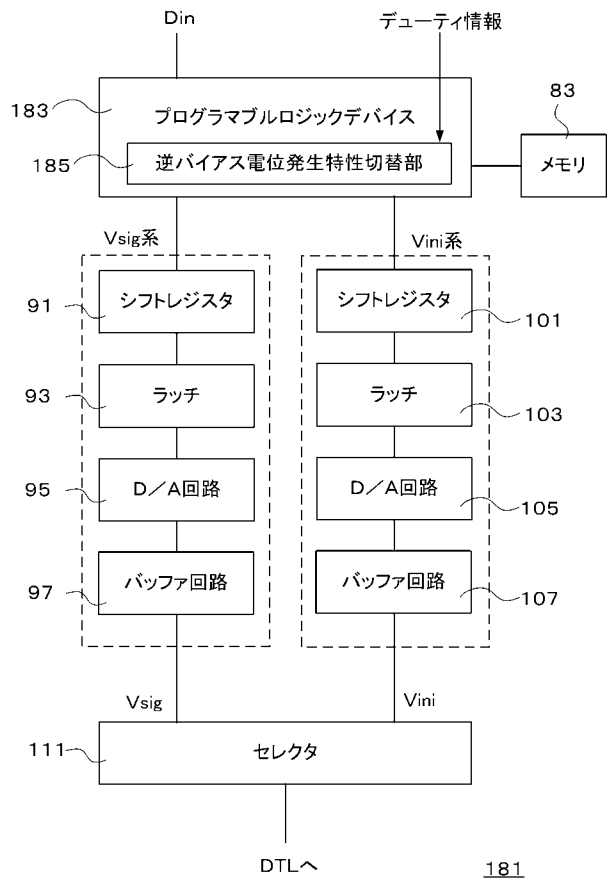
【図61】



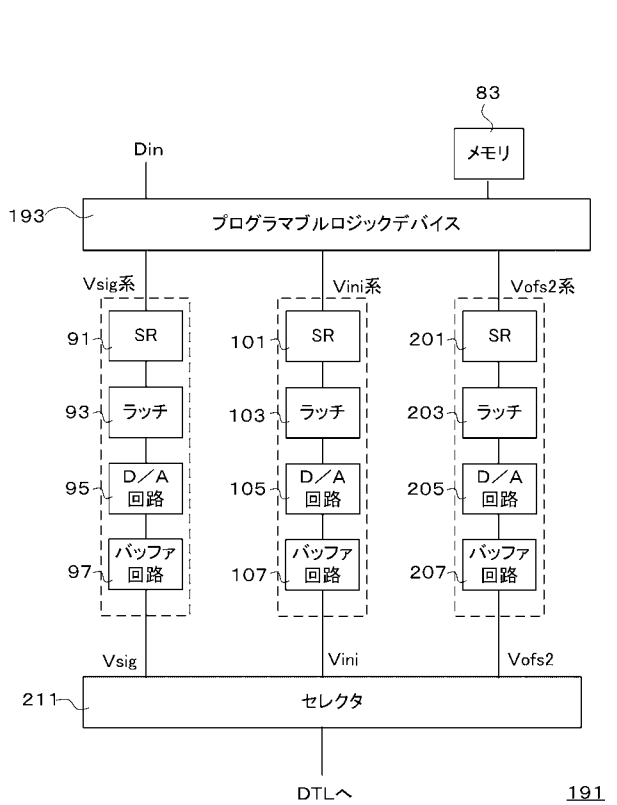
【図62】



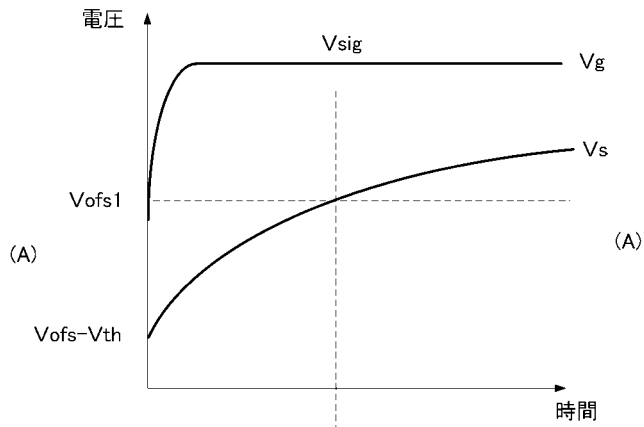
【図63】



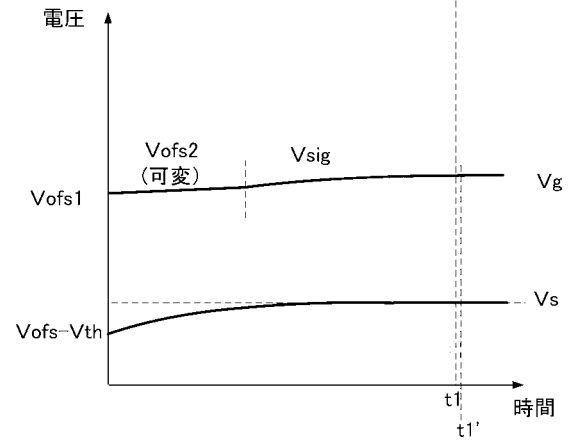
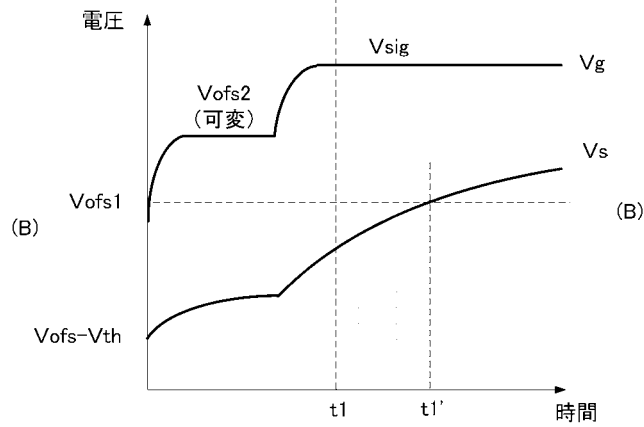
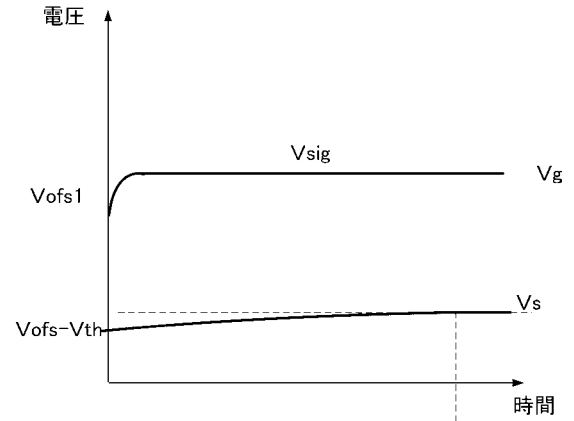
【図64】



【図 6 5】

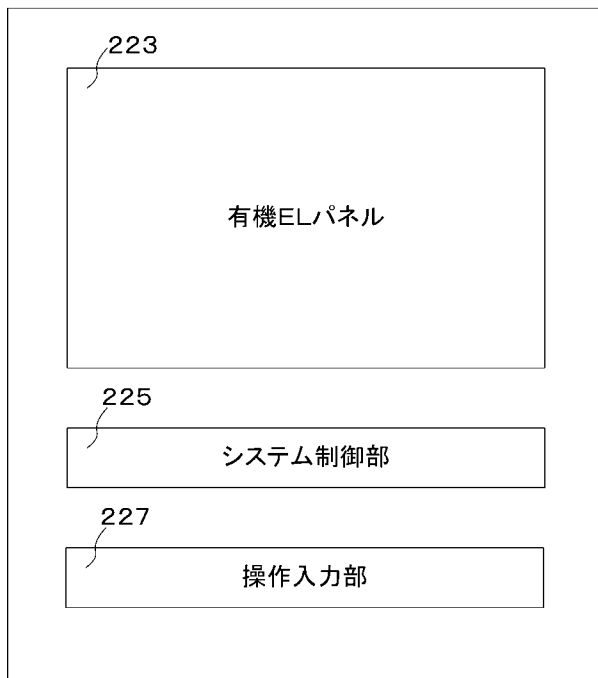


【図 6 6】

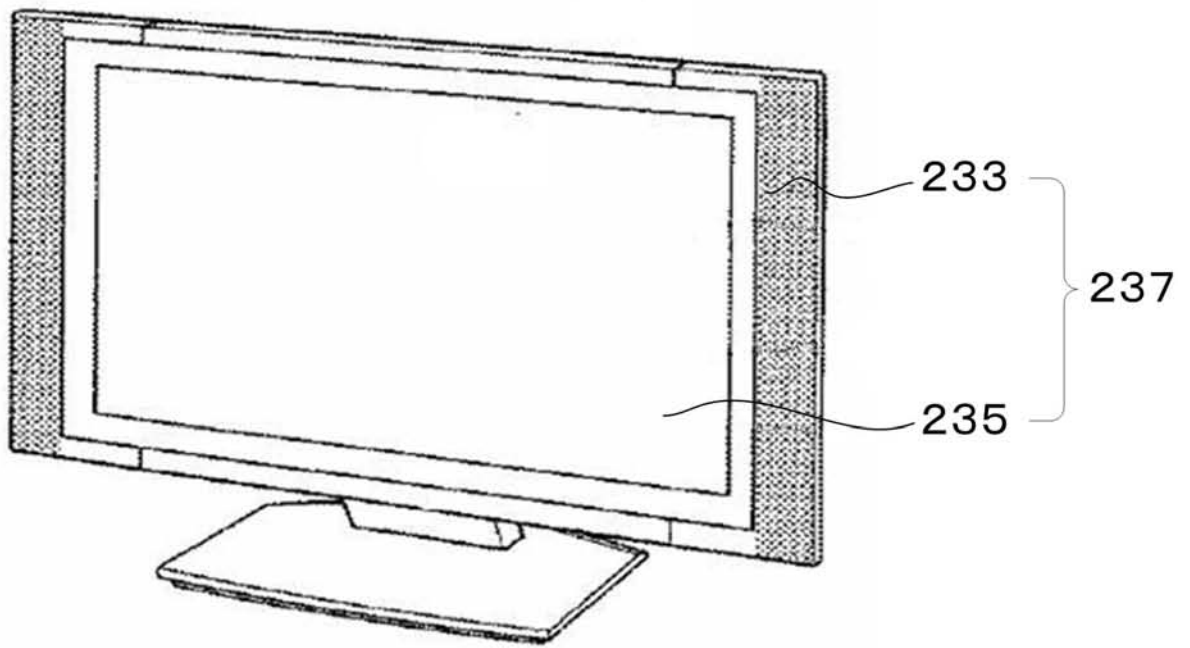


【図 6 7】

221

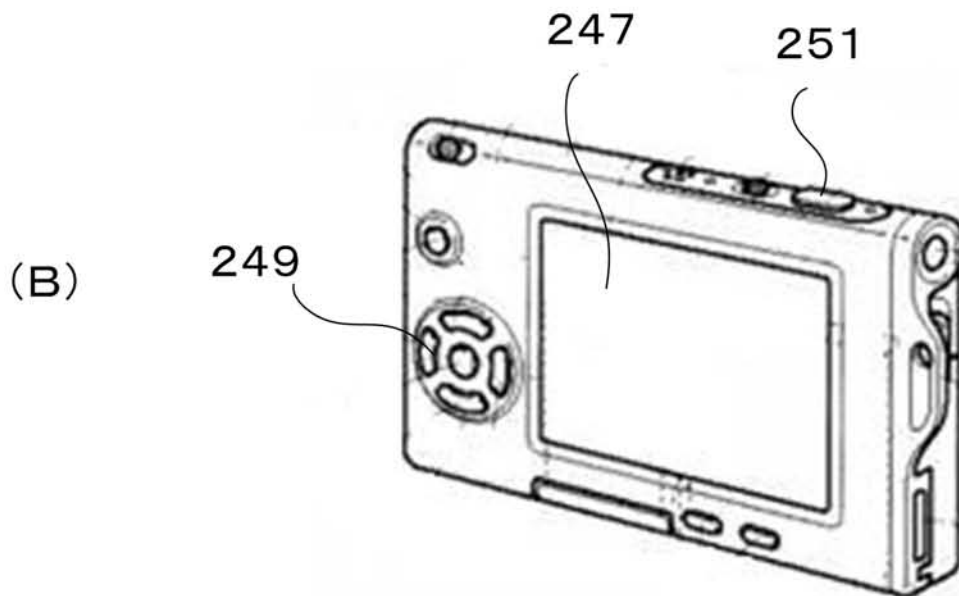
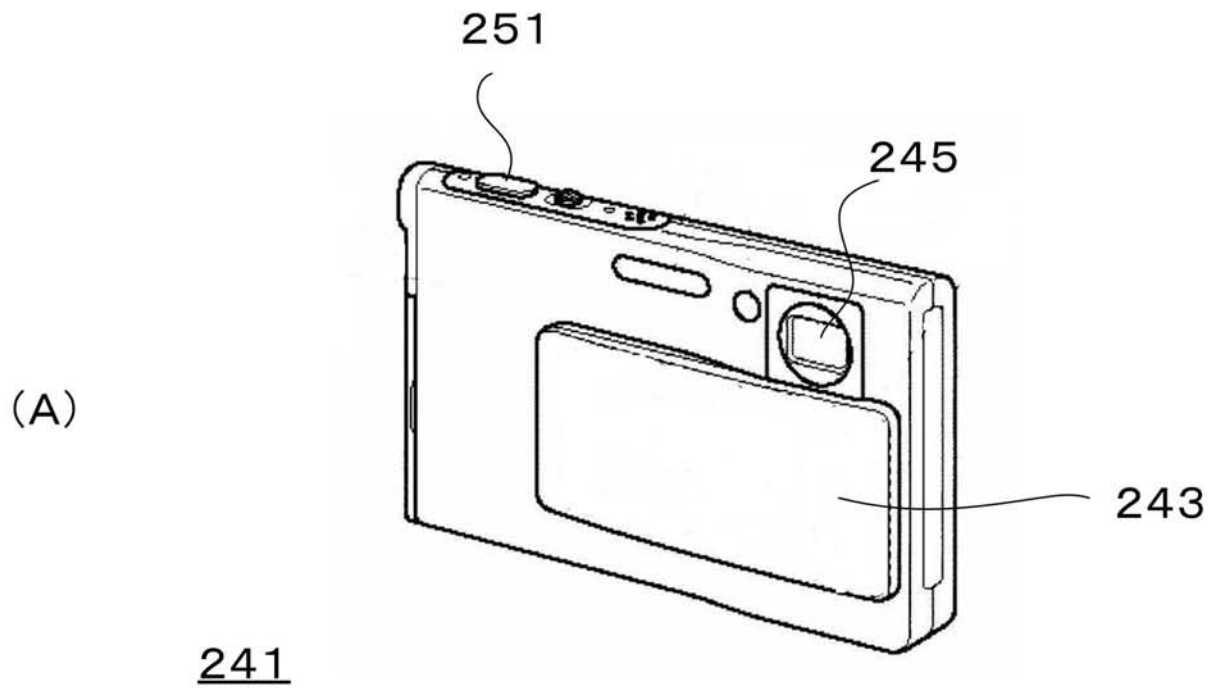


【図68】

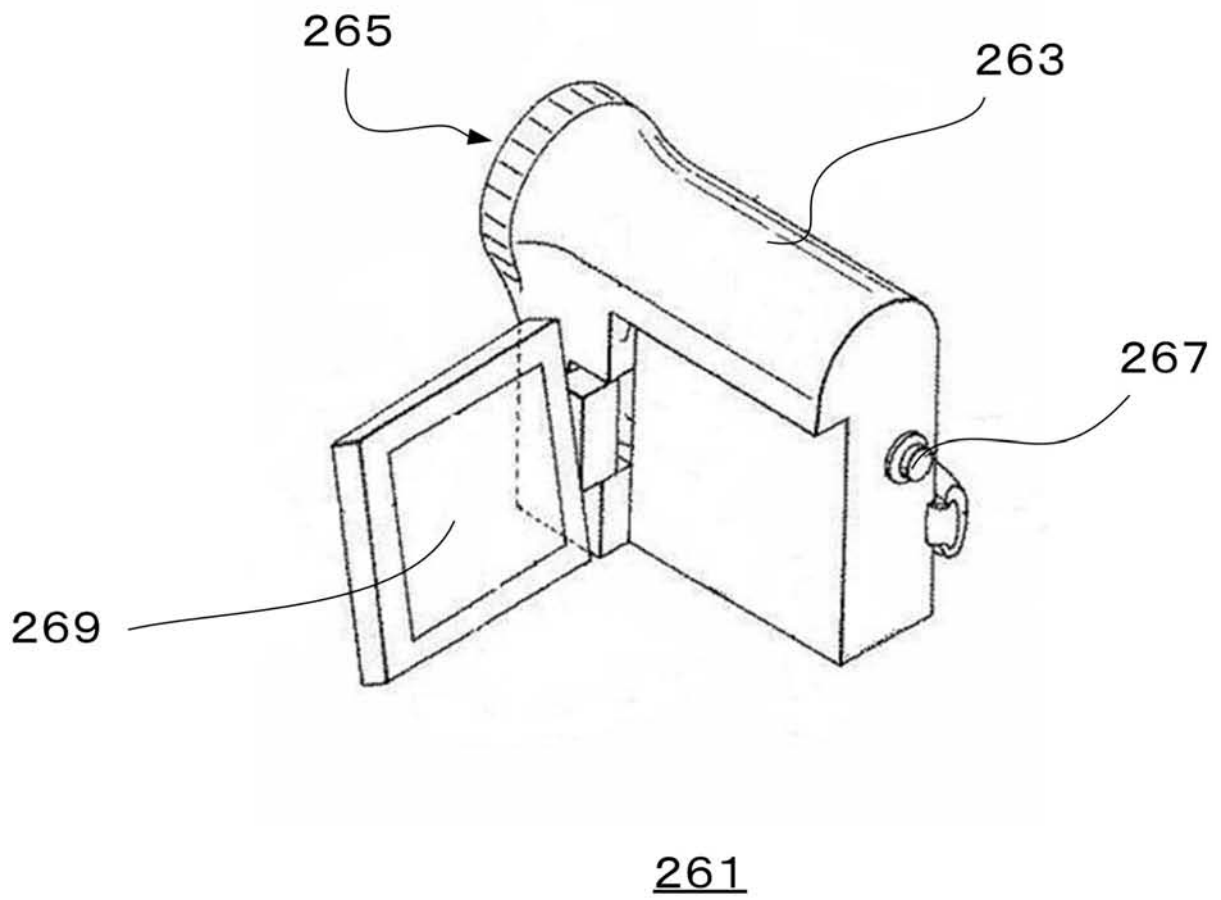


231

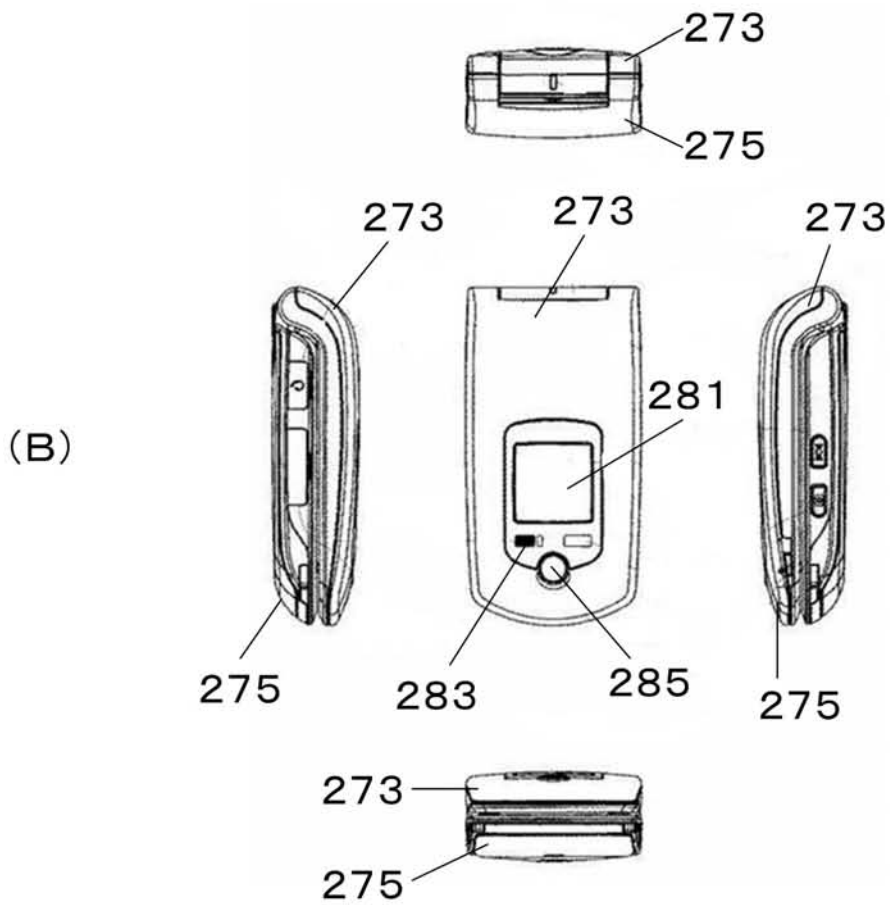
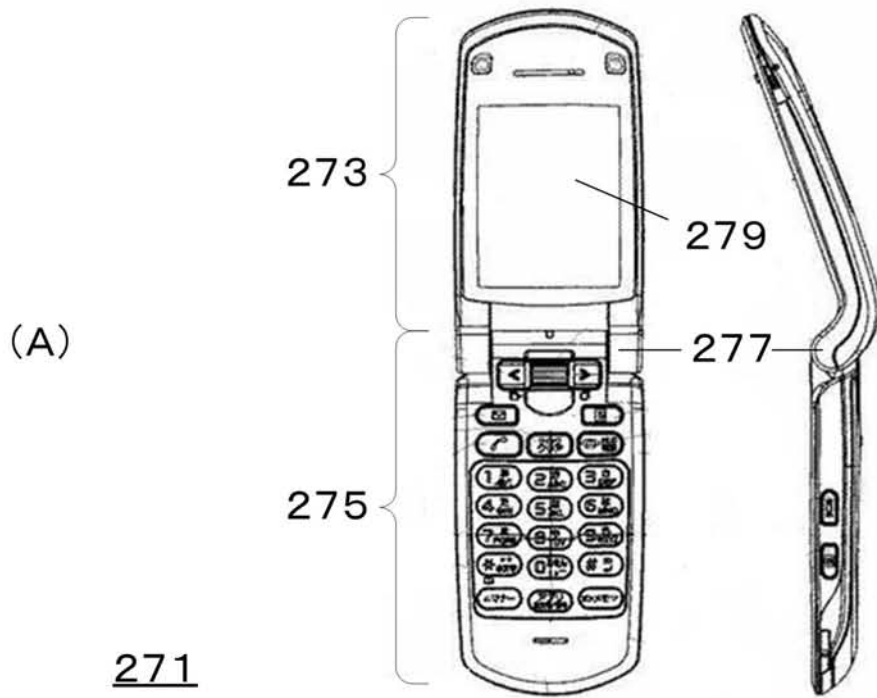
【図69】



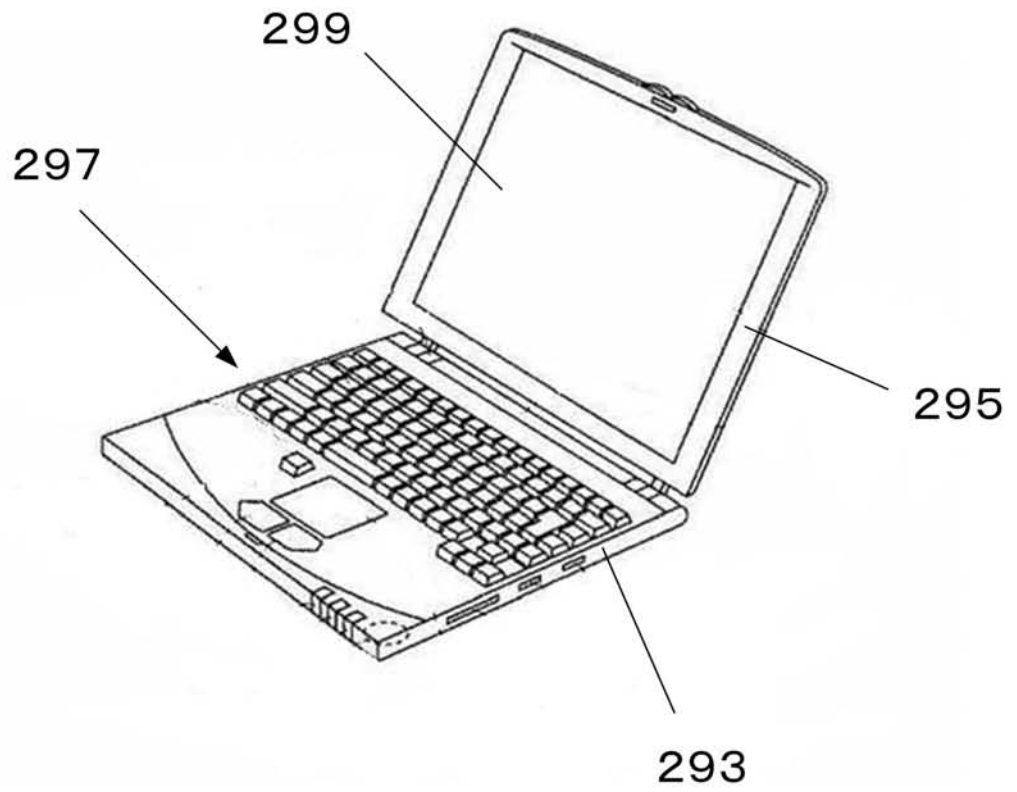
【図70】



【図71】



【図72】



291

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 D

審査官 小川 浩史

(56)参考文献 特開2004-118132(JP,A)
特開2006-119179(JP,A)
特開2005-164894(JP,A)
特開2005-195756(JP,A)
国際公開第2006/121138(WO,A1)
特開2006-243740(JP,A)
特開2009-168969(JP,A)

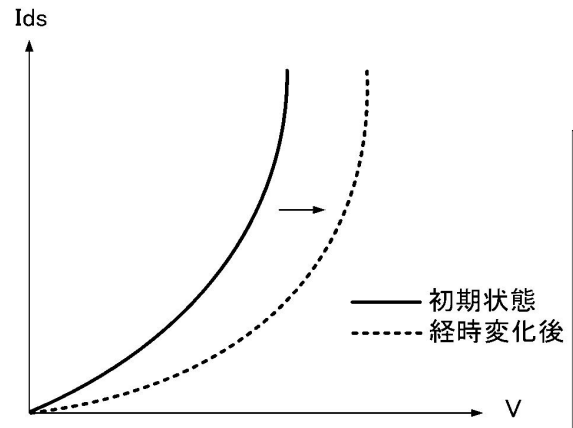
(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8

专利名称(译)	EL显示板，电子设备和EL显示板的驱动方法		
公开(公告)号	JP4760840B2	公开(公告)日	2011-08-31
申请号	JP2008047180	申请日	2008-02-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.670.J G09G3/20.642.A G09G3/20.642.C G09G3/20.641.D G09G3/20.612.U G09G3/20.624.B G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BB02 5C380/BD02 5C380/BD08 5C380/BD10 5C380/BD11 5C380/CA04 5C380/CA12 5C380/CA17 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB18 5C380/CB20 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CC71 5C380/CD012 5C380/CD013 5C380/CD015 5C380/CD025 5C380/CE19 5C380/CF01 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF48 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA05		
代理人(译)	山本隆久 吉井正明 森浩一		
审查员(译)	小川博		
其他公开文献	JP2009204887A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种在像素电路中几乎没有特性劣化的EL显示器件。ZOLUTION：在具有对应于有源矩阵驱动系统的像素结构的EL显示面板上，(a)反向偏置电位产生部分，用于产生反映每个像素的灰度值的反向偏置电位，以及(b)用于电压施加部分的反向偏置电位产生部分。将负反馈电位施加到构成非发光时段中的像素电路的驱动晶体管的栅电极。通过施加反向偏压，执行抵消一帧内的阈值电压的变化量的动作。结果，执行控制使得驱动晶体管的阈值电压可以不随时间改变或者可以随时间极小地改变，并且实现了用于不容易在像素之间产生亮度不规则的EL显示面板。Z



OLEDのI-V特性