

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4639730号
(P4639730)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/30	K
HO1L 51/50 (2006.01)	G09G 3/20	621A
	G09G 3/20	622D
	G09G 3/20	624B

請求項の数 9 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2004-287888 (P2004-287888)
 (22) 出願日 平成16年9月30日(2004.9.30)
 (65) 公開番号 特開2006-98989 (P2006-98989A)
 (43) 公開日 平成18年4月13日(2006.4.13)
 審査請求日 平成19年7月31日(2007.7.31)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 豊村 直史
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

輝度情報に応じたデータ信号が供給されるデータ線と、
 第1、第2、および第3の制御線と、
 第1、第2、第3、および第4のノードと、
 第1および第2の基準電位と、
 ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続され、ドレインが上記第3のノードに接続されたnチャンネルの駆動トランジスタと、
 上記データ線と上記第4のノードとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、
 上記第2のノードと上記第3のノードとの間に接続され、上記第2の制御線により導通制御される第2のスイッチと、
 上記第3のノードと上記第1の基準電位との間に接続され、上記第3の制御線により導通制御される第3のスイッチと、
 上記第1のノードと固定電位との間に接続され、上記第1の制御線により導通制御される第4のスイッチと、
 上記第4のノードと固定電位との間に接続され、上記第2の制御線により導通制御される第5のスイッチと、
 上記第1のノードと第2の基準電位との間に接続された電気光学素子と、
 上記第1のノードと上記第2のノードとの間に接続された第1のキャパシタと、

上記第2のノードと上記第4のノードとの間に接続された第2のキャパシタと、
上記第4のスイッチを含み、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、

上記第2のスイッチを所定期間導通させてしきい値補正を行った後、上記第1のスイッチを所定期間導通させて、上記データ線の信号を取り入れて書き込み、かつ、上記第3のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させる第2の回路と、を有し、

上記第2の回路は、上記第1のスイッチの導通期間と上記第3のスイッチの導通期間との少なくとも一部の期間をオーバーラップするように導通制御する

画素回路。

10

【請求項2】

上記第2の回路は、上記第1のスイッチを導通させ、当該第1のスイッチの導通期間に上記第3のスイッチを導通させて導通期間をオーバーラップさせ、その後第1のスイッチをオフさせる

請求項1記載の画素回路。

【請求項3】

上記第2の回路は、上記第3のスイッチを信号書き込み前に導通させ、当該第3のスイッチの導通期間内に上記第1のスイッチを所定期間だけ導通させて信号を書き込む

請求項1または2記載の画素回路。

【請求項4】

20

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

上記画素回路のマトリクス配列に対して行毎に配線された第1、第2、および第3の制御線と、

第1および第2の基準電位と、を有し、

上記画素回路は、

第1、第2、第3、および第4のノードと、

ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続され、ドレインが上記第3のノードに接続されたnチャンネルの駆動トランジスタと、

30

上記データ線と上記第4のノードとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、

上記第2のノードと上記第3のノードとの間に接続され、上記第2の制御線により導通制御される第2のスイッチと、

上記第3のノードと上記第1の基準電位との間に接続され、上記第3の制御線により導通制御される第3のスイッチと、

上記第1のノードと固定電位との間に接続され、上記第1の制御線により導通制御される第4のスイッチと、

上記第4のノードと固定電位との間に接続され、上記第2の制御線により導通制御される第5のスイッチと、

40

上記第1のノードと第2の基準電位との間に接続された電気光学素子と、

上記第1のノードと上記第2のノードとの間に接続された第1のキャパシタと、

上記第2のノードと上記第4のノードとの間に接続された第2のキャパシタと、

上記第4のスイッチを含み、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、

上記第2のスイッチを所定期間導通させてしきい値補正を行った後、上記第1のスイッチを所定期間導通させて、上記データ線の信号を取り入れて書き込み、かつ、上記第3のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させる第2の回路と、を有し、

上記第2の回路は、上記第1のスイッチの導通期間と上記第3のスイッチの導通期

50

間との少なくとも一部の期間をオーバーラップするように導通制御する
表示装置。

【請求項 5】

上記第 2 の回路は、上記第 1 のスイッチを導通させ、当該第 1 のスイッチの導通期間に上記第 3 のスイッチを導通させて導通期間をオーバーラップさせ、その後第 1 のスイッチをオフさせる

請求項 4 記載の表示装置。

【請求項 6】

上記第 2 の回路は、上記第 3 のスイッチを信号書き込み前に導通させ、当該第 3 のスイッチの導通期間内に上記第 1 のスイッチを所定期間だけ導通させて信号を書き込む

請求項 4 または 5 記載の表示装置。

【請求項 7】

輝度情報に応じたデータ信号が供給されるデータ線と、

第 1、第 2、および第 3 の制御線と、

第 1、第 2、第 3、および第 4 のノードと、

第 1 および第 2 の基準電位と、

ソースが上記第 1 のノードに接続され、ゲートが上記第 2 のノードに接続され、ドレインが上記第 3 のノードに接続された n チャンネルの駆動トランジスタと、

上記データ線と上記第 4 のノードとの間に接続され、上記第 1 の制御線により導通制御される第 1 のスイッチと、

上記第 2 のノードと上記第 3 のノードとの間に接続され、上記第 2 の制御線により導通制御される第 2 のスイッチと、

上記第 3 のノードと上記第 1 の基準電位との間に接続され、上記第 3 の制御線により導通制御される第 3 のスイッチと、

上記第 1 のノードと固定電位との間に接続され、上記第 1 の制御線により導通制御される第 4 のスイッチと、

上記第 4 のノードと固定電位との間に接続され、上記第 2 の制御線により導通制御される第 5 のスイッチと、

上記第 1 のノードと第 2 の基準電位との間に接続された電気光学素子と、

上記第 1 のノードと上記第 2 のノードとの間に接続された第 1 のキャパシタと、

上記第 2 のノードと上記第 4 のノードとの間に接続された第 2 のキャパシタと、

上記第 4 のスイッチを含み、上記電気光学素子が非発光期間に上記第 1 のノードの電位を固定電位に遷移させるための第 1 の回路と、を有する画素回路の駆動方法であって、

上記第 2 のスイッチを所定期間導通させてしきい値補正を行った後、上記第 1 のスイッチを所定期間導通させて、上記データ線の信号を取り入れて書き込み、かつ、上記第 3 のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させるに際し、上記第 1 のスイッチの導通期間と上記第 3 のスイッチの導通期間との少なくとも一部の期間をオーバーラップするように導通制御する

画素回路の駆動方法。

【請求項 8】

上記第 1 のスイッチを導通させ、当該第 1 のスイッチの導通期間に上記第 3 のスイッチを導通させて導通期間をオーバーラップさせ、その後第 1 のスイッチをオフさせる

請求項 7 記載の画素回路の駆動方法。

【請求項 9】

上記第 3 のスイッチを信号書き込み前に導通させ、当該第 3 のスイッチの導通期間内に上記第 1 のスイッチを所定期間だけ導通させて信号を書き込む

請求項 7 または 8 記載の画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、有機EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【背景技術】

【0002】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。

これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図1は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図1に示すように、画素回路(PXLC)2aがm×nのマトリクス状に配列された画素アレイ部2、水平セクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

なお、水平セクタ3やライトスキャナ4に関しては、多結晶シリコン上に形成する場合や、MOSIC等で画素の周辺に形成することもある。

【0005】

図2は、図1の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

図2の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

【0006】

図2の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、有機EL素子(OLED)である発光素子13を有する。また、図2において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがあり、図2その他では発光素子としてダイオードの記号を用いているが、以下の説明においてOLEDには必ずしも整流性を要求するものではない。

図2ではTFT11のソースが電源電位VCCに接続され、発光素子13のカソード(陰極)は接地電位GNDに接続されている。図2の画素回路2aの動作は以下の通りである。

【0007】

ステップST1:

10

20

30

40

50

走査線 W S L を選択状態（ここでは低レベル）とし、データ線 D T L に書き込み電位 V data を印加すると、T F T 1 2 が導通してキャパシタ C 1 1 が充電または放電され、T F T 1 1 のゲート電位は V data となる。

【 0 0 0 8 】

ステップ S T 2 :

走査線 W S L を非選択状態（ここでは高レベル）とすると、データ線 D T L と T F T 1 1 とは電氣的に切り離されるが、T F T 1 1 のゲート電位はキャパシタ C 1 1 によって安定に保持される。

【 0 0 0 9 】

ステップ S T 3 :

T F T 1 1 および発光素子 1 3 に流れる電流は、T F T 1 1 のゲート・ソース間電圧 V g s に応じた値となり、発光素子 1 3 はその電流値に応じた輝度で発光し続ける。

上記ステップ S T 1 のように、走査線 W S L を選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図 2 の画素回路 2 a では、一度 V data の書き込みを行えば、次に書き換えられるまでの間、発光素子 1 3 は一定の輝度で発光を継続する。

【 0 0 1 0 】

上述したように、画素回路 2 a では、ドライブトランジスタである T F T 1 1 のゲート印加電圧を変化させることで、E L 発光素子 1 3 に流れる電流値を制御している。

このとき、p チャネルのドライブトランジスタのソースは電源電位 V C C に接続されており、この T F T 1 1 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【 0 0 1 1 】

(数 1)

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【 0 0 1 2 】

ここで、V t h は T F T のしきい値、μ はキャリアの移動度、W はチャネル幅、L はチャネル長、C o x は単位面積当たりのゲート容量、V g s はゲート・ソース間電圧をそれぞれ示している。

【 0 0 1 3 】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【 0 0 1 4 】

図 3 は、有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。図 3 において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【 0 0 1 5 】

一般的に、有機 E L 素子の I - V 特性は、図 3 に示すように、時間が経過すると劣化してしまう。

しかしながら、図 2 の 2 トランジスタ駆動は定電流駆動のために有機 E L 素子には上述したように定電流が流れ続け、有機 E L 素子の I - V 特性が劣化してもその発光輝度は経時劣化することはない。

【 0 0 1 6 】

ところで、図 2 の画素回路 2 a は、p チャネルの T F T により構成されているが、n チャネルの T F T により構成することができれば、T F T 作製において従来のアモルファスシリコン (a - S i) プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

【 0 0 1 7 】

10

20

30

40

50

次に、トランジスタをnチャネルTFTに置き換えた画素回路について考察する。

【0018】

図4は、図2の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

【0019】

図4の画素回路2bは、nチャネルTFT21およびTFT22、キャパシタC21、有機EL素子(OLED)である発光素子23を有する。また、図4において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

【0020】

この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側が電源電位VCCに接続され、ソースはEL発光素子23のアノードに接続されており、ソースフォロワー回路を形成している。

10

【0021】

図5は、初期状態におけるドライブトランジスタとしてのTFT21とEL素子23の動作点を示す図である。図5において、横軸はTFT21のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

【0022】

図5に示すように、ソース電圧はドライブトランジスタであるTFT21とEL発光素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対する V_{gs} に関して上記式1に示した方程式の電流値の電流 I_{ds} を流す。

20

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、ここでも同様にEL素子のI-V特性は経時劣化してしまう。図6に示すように、この経時劣化により動作点の変動が変動してしまい、同じゲート電圧を印加していてもそのソース電圧は変動する。

これにより、ドライブトランジスタであるTFT21のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時にEL発光素子23に流れる電流値も変化するので、EL発光素子23のI-V特性が劣化すると、図4のソースフォロワー回路ではその発光輝度は経時変化してしまう。

30

【0024】

また、図7に示すように、ドライブトランジスタとしてのnチャネルTFT21のソースを接地電位GNDに接続し、ドレインをEL発光素子23のカソードに接続し、EL発光素子23のアノードを電源電位VCCに接続する回路構成も考えられる。

【0025】

この方式では、図2のpチャネルTFTによる駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとしてTFT21は定電流源として動作して、EL発光素子のI-V特性の劣化による輝度変化も防止できる。

40

【0026】

しかしながら、この方式ではドライブトランジスタをEL発光素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

以上より、従来方式では輝度変化のない、nチャネルトランジスタ使用の有機EL素子の開発はなされていなかった。

【0027】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルト

50

ンジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、 n チャンネルトランジスタをELの駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【課題を解決するための手段】

【0028】

上記目的を達成するため、本発明の第1の観点の画素回路は、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、および第3の制御線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続され、ドレインが上記第3のノードに接続された n チャンネルの駆動トランジスタと、上記データ線と上記第4のノードとの間に接続され、
 上記第1の制御線により導通制御される第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続され、上記第2の制御線により導通制御される第2のスイッチと、
 上記第3のノードと上記第1の基準電位との間に接続され、上記第3の制御線により導通制御される第3のスイッチと、
上記第1のノードと固定電位との間に接続され、上記第1の制御線により導通制御される第4のスイッチと、
上記第4のノードと固定電位との間に接続され、
上記第2の制御線により導通制御される第5のスイッチと、
 上記第1のノードと第2の基準電位との間に接続された電気光学素子と、
 上記第1のノードと上記第2のノードとの間に接続された第1のキャパシタと、
 上記第2のノードと上記第4のノードとの間に接続された第2のキャパシタと、
上記第4のスイッチを含み、
 上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、
 上記第2のスイッチを所定期間導通させてしきい値補正を行った後、
 上記第1のスイッチを所定期間導通させて、
 上記データ線の信号を取り入れて書き込み、かつ、
 上記第3のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させる第2の回路と、
 を有し、
 上記第2の回路は、
 上記第1のスイッチの導通期間と
 上記第3のスイッチの導通期間との少なくとも一部の期間をオーバーラップするように導通制御する。

【0029】

好適には、上記第2の回路は、上記第1のスイッチを導通させ、当該第1のスイッチの導通期間に上記第3のスイッチを導通させて導通期間をオーバーラップさせ、その後第1のスイッチをオフさせる。

【0030】

好適には、上記第2の回路は、上記第3のスイッチを信号書き込み前に導通させ、当該第3のスイッチの導通期間内に上記第1のスイッチを所定期間だけ導通させて信号を書き込む。

【0033】

本発明の第2の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、上記画素回路のマトリクス配列に対して行毎に配線された第1、第2、および第3の制御線と、第1および第2の基準電位と、を有し、上記画素回路は、第1、第2、第3、および第4のノードと、ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続され、ドレインが上記第3のノードに接続された n チャンネルの駆動トランジスタと、
 上記データ線と上記第4のノードとの間に接続され、
 上記第1の制御線により導通制御される第1のスイッチと、
 上記第2のノードと上記第3のノードとの間に接続され、
 上記第2の制御線により導通制御される第2のスイッチと、
 上記第3のノードと上記第1の基準電位との間に接続され、
 上記第3の制御線により導通制御される第3のスイッチと、
上記第1のノードと固定電位との間に接続され、
上記第1の制御線により導通制御される第4のスイッチと、
上記第4のノードと固定電位との間に接続され、
上記第2の制御線により導通制御される第5のスイッチと、
 上記第1のノードと第2の基準電位との間に接続された電気光学素子と、
 上記第1のノードと上記第2のノードとの間に接続された第1のキャパシタと、
 上記第2のノードと上記第4のノードとの間に接続された第2のキャパシタと、
上記第4のスイッチを含み、
 上記電気光学素子が非発光期間に上記第

1のノードの電位を固定電位に遷移させるための第1の回路と、上記第2のスイッチを所定期間導通させてしきい値補正を行った後、上記第1のスイッチを所定期間導通させて、上記データ線の信号を取り入れて書き込み、かつ、上記第3のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させる第2の回路と、を有し、上記第2の回路は、上記第1のスイッチの導通期間と上記第3のスイッチの導通期間との少なくとも一部の期間をオーバーラップするように導通制御する。

【0034】

本発明の第3の観点は、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、および第3の制御線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続され、ドレインが上記第3のノードに接続されたnチャンネルの駆動トランジスタと、上記データ線と上記第4のノードとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記第2のノードと上記第3のノードとの間に接続され、上記第2の制御線により導通制御される第2のスイッチと、上記第3のノードと上記第1の基準電位との間に接続され、上記第3の制御線により導通制御される第3のスイッチと、上記第1のノードと固定電位との間に接続され、上記第1の制御線により導通制御される第4のスイッチと、上記第4のノードと固定電位との間に接続され、上記第2の制御線により導通制御される第5のスイッチと、上記第1のノードと第2の基準電位との間に接続された電気光学素子と、上記第1のノードと上記第2のノードとの間に接続された第1のキャパシタと、上記第2のノードと上記第4のノードとの間に接続された第2のキャパシタと、上記第4のスイッチを含み、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、を有する画素回路の駆動方法であって、上記第2のスイッチを所定期間導通させてしきい値補正を行った後、上記第1のスイッチを所定期間導通させて、上記データ線の信号を取り入れて書き込み、かつ、上記第3のスイッチを導通させて上記書き込みデータに応じた輝度をもって上記電気光学素子を発光させるに際し、上記第1のスイッチの導通期間と上記第3のスイッチの導通期間との少なくとも一部の期間をオーバーラップするように導通制御する。

【0035】

本発明によれば、たとえば信号書き込み用第1のスイッチを導通させ、その導通期間に回路電源用第3のスイッチを導通させて導通期間をオーバーラップさせ、その後第1のスイッチをオフさせる。これにより、駆動トランジスタに入るカップリング電圧をキャンセルしている。したがって、第1のスイッチをオフした後の発光期間においても駆動トランジスタのゲート・ソース電圧は V_{th} に保たれ、黒が浮くことなく表示される。

あるいは、たとえば回路電源用第3のスイッチを、信号書き込み前に導通させ、その後、信号書き込み用第1のスイッチを所定期間だけ導通させて信号を書き込むことにより黒浮きの発生が防止される。

【0036】

また、本発明によれば、たとえば駆動トランジスタのソース電極を、スイッチを介して固定電位に接続し、ドライフトランジスタのゲートとソース間に画素容量を有することから、発光素子のI-V特性の経時劣化による輝度変化が補正される。

駆動トランジスタがnチャンネルの場合に、固定電位を接地電位とすることで、発光素子に印加する電位を接地電位にして発光素子の非発光期間が作り出される。

また、ソース電極と接地電位とを接続している第2のスイッチのオフ時間を調節することで、発光素子の発光・非発光の期間を調整し、Duty駆動が行われる。

また、固定電位を接地電位付近もしくはそれ以下の低電位にすること、もしくはゲート電圧を上げることで、固定電位に接続されるスイッチトランジスタのしきい値 V_{th} のパラッキに起因の画質劣化が抑制される。

また、駆動トランジスタがpチャンネルの場合に、固定電位を発光素子のカソード電極に接続されている電源電位とすることで、発光素子に印加する電位を電源電位としEL素子の非発光期間が作り出される。

10

20

30

40

50

そして、駆動トランジスタの特性を n チャンネルとすることで、ソースフォロワーが可能となり、アノード接続ができる。

また、駆動トランジスタを全て n チャンネル化することが可能となり、一般的なアモルファスシリコンのプロセスを導入することが可能となり、低コスト化が可能となる。

【 0 0 3 7 】

また、たとえば画素容量素子を駆動トランジスタのソースに接続し、非発光期間に容量の一方側を電源まで昇圧することで、パネル内部の T F T 側に G N D 配線を有する必要がなくなる。

また、本発明によれば、駆動トランジスタのゲート電極を、スイッチを介して固定電位に接続し、駆動トランジスタのゲートとソース間に画素容量を有することで、発光素子の I - V 特性の経時劣化による輝度変化が補正される。

たとえば駆動トランジスタが n チャンネルの場合に、固定電位を駆動トランジスタのドレイン電極が接続されている固定電位とすることで画素内に固定電位は電源電位のみとする。

【 発明の効果 】

【 0 0 3 8 】

本発明によれば、黒浮きの発生を防止することができる。

また、E L 発光素子の I - V 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、n チャンネルトランジスタを発光素子の駆動素子として用いることができる。

さらに、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、本発明では固定電位に画素電源を使用することができるため、画素面積を小さくすることができ、パネルの高精細化が期待できる。

さらにまた、発光素子の非発光時間に回路に電流を流さないことで消費電力の低減が可能となる。

【 発明を実施するための最良の形態 】

【 0 0 3 9 】

以下、本発明の実施形態を添付図面に関連付けて説明する。

【 0 0 4 0 】

図 8 は、本実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

図 9 は、図 8 の有機 E L 表示装置において本実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 4 1 】

この表示装置 1 0 0 は、図 8 および図 9 に示すように、画素回路 (P X L C) 1 0 1 が $m \times n$ のマトリクス状に配列された画素アレイ部 1 0 2、水平セレクタ (H S E L) 1 0 3、第 1 のライトスキャナ (W S C N 1) 1 0 4、第 2 のライトスキャナ (W S C N 2) 1 0 5、ドライブスキャナ (D S C N) 1 0 6、水平セレクタ 1 0 3 により選択され輝度情報に応じたデータ信号が供給されるデータ線 D T L 1 0 1 ~ D T L 1 0 n、ライトスキャナ 1 0 4 により選択駆動される走査線 W S L 1 0 1 ~ W S L 1 0 m、ライトスキャナ 1 0 5 により選択駆動されるオートゼロ線 A Z L 1 0 1 ~ A Z L 1 0 m、およびドライブスキャナ 1 0 5 により選択駆動される駆動線 D S L 1 0 1 ~ D S L 1 0 m を有する。

【 0 0 4 2 】

なお、画素アレイ部 1 0 2 において、画素回路 1 0 1 は $m \times n$ のマトリクス状に配列されるが、図 9 においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

10

20

30

40

50

また、図9においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0043】

本実施形態に係る画素回路101は、図9に示すように、nチャンネルTFT111～TFT116、第1のキャパシタC111、第2のキャパシタC112、有機EL素子(OLEE:電気光学素子)からなる発光素子117、および第1のノードND111～第4のND114を有する。

また、図9において、DTL101はデータ線を、WSL101は走査線を、AZL101はオートゼロ線を、DSL101は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタを構成し、TFT112が第2のスイッチを構成し、TFT113が第3のスイッチを構成し、TFT114が第4のスイッチを構成し、TFT115が第1のスイッチを構成し、TFT116が第5のスイッチを構成している。また、水平セレクト(HSEL)103、第1のライトスキヤナ(WSCN1)104、第2のライトスキヤナ(WSCN2)105、ドライブスキヤナ(DSCN)106により本発明に係る第2の回路を構成している。

また、走査線WSL101が本発明に係る第1の制御線に対応し、駆動線DSL101が第3の制御線に対応し、オートゼロ線AZL101が第2の制御線に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0044】

画素回路101において、TFT111のソースと第2の基準電位(本実施形態では接地電位GND)との間に発光素子(OLEE)117が接続されている。具体的には、発光素子117のアノードがTFT111のソースに接続され、カソード側が接地電位GNDに接続されている。発光素子117のアノードとTFT111のソースとの接続点により第1のノードND111が構成されている。

TFT111のゲートが第2のノードND112に接続され、ドレインが第3のノードND113に接続され、TFT112のソース・ドレインが第3のノードND113(TFT111のドレイン)と第2のノードND112に接続されている。

そして、TFT113のソース・ドレインが第3のノードND113と電源電圧VCCの供給ラインに接続されている。

TFT111のソースがTFT114のドレインおよびキャパシタC111の第1電極に接続され、キャパシタC111の第2電極がノードND112に接続され、TFT114のソースが固定電位(本実施形態では接地電位GND)V_{ss}に接続されている。

キャパシタC112の第1電極が第2のノードND112に接続され、第2電極が第4のノードND114に接続されている。

データ線DTL101と第4のノードND114に第1のスイッチとしてのTFT115のソース・ドレインがそれぞれ接続されている。また、電圧(プリチャージ電圧)V_{ofs}の供給ラインと第4のノードND114にTFT116のソース・ドレインが接続されている。

そして、TFT115およびTFT114のゲートが走査線WSL101に接続され、TFT112およびTFT116のゲートがオートゼロ線AZL101に接続され、TFT113のゲートが駆動線DSL101に接続されている。

【0045】

このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT114に介して固定電位に接続し、EL発光素子117のI-V特性の経時劣化による輝度変化を補正するように構成されている。

さらに、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ドレインを第2のスイッチとしてのTFT113を介して接続することでドライブトランジスタとしてのTFT111のしきい値電圧を容量に充電し、その容量を

10

20

30

40

50

通じて入力電圧をT F T 1 1 1のゲートにカップリングさせることでT F T 1 1 1のしきい値電圧のバラツキを補正するように構成されている。

【 0 0 4 6 】

さらに、本実施形態に係る画素回路101は、発光素子117を輝度に応じた電流によって発光させるにあたって、信号書き込み用スイッチとしてのT F T 1 1 5, T F T 1 1 4を走査線S C L 1 0 1により導通させて信号を書き込んでT F T 1 1 5, T F T 1 1 4をオフさせた後に、回路電源用スイッチであるT F T 1 1 3を駆動線D S L 1 0 1により導通させるのではなく、信号書き込み用スイッチとしてのT F T 1 1 5, T F T 1 1 4と回路電源用スイッチであるT F T 1 1 3の導通期間(オン期間)が必ずオーバーラップするように第1のライトスキャナ104およびドライブスキャナ106により制御して、いわゆる黒浮き現象の発生を防止するように構成されている。

10

信号書き込み用スイッチとしてのT F T 1 1 5, T F T 1 1 4と回路電源用スイッチであるT F T 1 1 3の導通期間を必ずオーバーラップさせる方法として、本実施形態においては、次の2つの方法を採用している。

第1の方法は、信号書き込み用スイッチとしてのT F T 1 1 5, T F T 1 1 4を導通(オン)させ、その導通(オン)期間に回路電源用スイッチであるT F T 1 1 3を導通(オン)させて導通期間をオーバーラップさせ、その後T F T 1 1 5, T F T 1 1 4をオフさせて、T F T 1 1 1に入るカップリング電圧をキャンセルし黒浮きの発生を防止する方法である。

第2の方法は、回路電源用スイッチであるT F T 1 1 3を、信号書き込み前に導通(オン)させ、その後、信号書き込み用スイッチとしてのT F T 1 1 5, T F T 1 1 4を所定期間だけ導通(オン)させて信号を書き込むことにより黒浮きの発生を防止する方法である。

20

【 0 0 4 7 】

次に、上記構成の動作を、画素回路の動作を中心に、第1の方法を採用した場合の動作と、第2の方法を採用した場合の動作について説明する。

【 0 0 4 8 】

まず、第1の方法を採用した場合の動作を、図10(A)~(E)に関連付けて説明する。

なお、図10(A)は画素配列の第1行目の走査線W S L 1 0 1に印加される走査信号 $w s [101]$ を、図10(B)は画素配列の第1行目の駆動線D S L 1 0 1に印加される駆動信号 $d s [101]$ を、図10(C)は画素配列の第1行目のオートゼロ線 $a z [101]$ を、図10(D)はT F T 1 1 1のゲート電位 $V g$ を、図10(E)はT F T 1 1 1のソース電位 $V s$ をそれぞれ示している。

30

【 0 0 4 9 】

まず、通常のE L発光素子117の発光状態時は、図10(A)~(C)に示すように、第1のライトスキャナ104より走査線W S L 1 0 1への走査信号 $w s [101]$ が選択的にローレベルに設定され、第2のライトスキャナ105よりオートゼロ線A Z L 1 0 1へのオートゼロ信号 $a z [101]$ が選択的にローレベルに設定され、ドライブスキャナ106により駆動線D S L 1 0 1への駆動信号 $d s [101]$ が選択的にハイレベルに設定される。

40

その結果、画素回路101においては、T F T 1 1 2、T F T 1 1 4~T F T 1 1 6がオフした状態に保持される。

ドライブトランジスタとしてのT F T 1 1 1は、飽和領域で動作するように設計されており、E L発光素子117に流れる電流は、次式で示される値となる。

【 0 0 5 0 】

(数2)

$$I d s = (V g s - V t h) ^ 2 \quad \dots (2)$$

【 0 0 5 1 】

次に、図10(B), (C)に示すように、ドライブスキャナ106により駆動線D S L 1 0 1への駆動信号 $d s [101]$ が選択的にハイレベルに設定されている状態で、第2の

50

ライトスキャナ105よりオートゼロ線AZL101へのオートゼロ信号az[101]が選択的にハイレベルに設定され、ドライブスキャナ106により駆動線DSL101への駆動信号ds[101]が選択的にローレベルに設定される。

すなわち、TF T 1 1 3がオン状態にある期間に、TF T 1 1 2とTF T 1 1 6をオンさせた後、TF T 1 1 3をオフさせる。ここで、発光素子117は非発光状態となる。

【0052】

TF T 1 1 2がオンしたことに伴い、TF T 1 1 1のゲートとドレインはTF T 1 1 2を介して接続されていることから、TF T 1 1 1は飽和領域で動作する。

また、TF T 1 1 1のゲート(第2のノードND112)には、容量C1, C2のキャパシタC111, C112が並列に接続されていることから、TF T 1 1 1のゲート・ドレイン電圧は時間と共に緩やかに減少していく。

一定時間経過後、TF T 1 1 1のゲート・ソース間電圧はTF T 1 1 1のしきい値電圧(V_{th})となる。

このとき、キャパシタC112には($V_{ofs} - V_{th}$)が充電され、キャパシタC111には V_{th} が充電される。

【0053】

次に、図10(A)~(C)に示すように、TF T 1 1 3~TF T 1 1 5がオフした状態で、第2のライトスキャナ105よりオートゼロ線AZL101へのオートゼロ信号az[101]が選択的にローレベルに設定される。これにより、TF T 1 1 2とTF T 1 1 6がオフし、全てのスイッチとしてのTF T 1 1 2~TF T 1 1 6がオフ状態に保持される。

この状態で、第1のライトスキャナ104より走査線WSL101への走査信号ws[101]が選択的にハイレベルに設定される。これにより、TF T 1 1 5とTF T 1 1 4がオンする。

TF T 1 1 5がオンしたことに伴い、水平セクタ103によりデータ線DTL101に伝搬された入力信号(V_{in})が第4のノードND114に伝搬される。そして、第4のノードND114の電圧変化量がTF T 1 1 1のゲートにカップリングされる。

カップリング容量 V は、キャパシタC111の容量C1、キャパシタC112の容量C2、およびTF T 1 1 1の寄生容量C3によって次式のように決定される。

【0054】

(数3)

$$V = V_{in} \times \{ C2 / (C1 + C2 + C3) \} \quad \dots (3)$$

【0055】

キャパシタC111の容量C1とキャパシタC112の容量C2を、TF T 1 1 1の寄生容量C3に比べて十分大きくとれば、TF T 1 1 1のゲートへのカップリング容量はキャパシタC111の容量C1とキャパシタC112の容量C2のみによって決まる。

【0056】

また、図10(E)に示すように、TF T 1 1 4がオンしたことに伴い、TF T 1 1 1のソース電位 V_s は接地電位GNDまで下降する。

【0057】

そして、TF T 1 1 5とTF T 1 1 4をオン状態に保持したまま、ドライブスキャナ106により駆動線DSL101への駆動信号ds[101]が選択的にハイレベルに設定される。これにより、TF T 1 1 3がオンし、TF T 1 1 5とTF T 1 1 4のオン期間とTF T 1 1 3のオン期間がオーバーラップする。

【0058】

すなわち、TF T 1 1 4がオン状態にあることからTF T 1 1 1のソース電位 V_s は接地電位GNDとなり、 V_{th} を保っているキャパシタC111を介してTF T 1 1 1のゲート電圧も下がる。

次に、TF T 1 1 5とTF T 1 1 4がオン状態中に、TF T 1 1 3をオンさせる。

この場合、TF T 1 1 5とTF T 1 1 4がオン状態であるため、図10(D), (F)

10

20

30

40

50

に示すように、TFT111のゲート電位、ソース電位が変動することなく一定の値に保持されており、この期間にTFT113がオンさせることから、TFT113をオンした際にTFT111のゲートに入るカップリングは起こらない。

また、TFT113がオンしたことに伴い、TFT111のドレインは電源電圧VCCの供給ラインに接続される。換言すれば、TFT111のドレイン電位は電源電圧VCCとなる。

【0059】

次に、図10(A)、(B)に示すように、第1のライトスキャナ104より走査線WSL101への走査信号ws[101]が選択的にローレベルに設定される。これにより、TFT115とTFT114がオフする。

10

TFT114がオフしたことに伴い、図10(E)に示すように、ドライブトランジスタとしてのTFT111のソース電位Vsは上昇し、EL発光素子117にも電流が流れる。

【0060】

TFT111は飽和領域で動作するように設計されていることから、TFT111のゲートにカップリングされている電圧量に応じた電流Idsが流れる。

TFT111のゲート・ソース間電圧は一定であるので、TFT111は一定電流IdsをEL発光素子117に流す。

これにより、第2のノードND112の電位は、EL発光素子117にIdsという電流が流れる電圧Vxまで上昇し、EL発光素子117は発光する。

20

このとき、上述したように、TFT113がオンした際に、TFT111のゲートに入るカップリングが生じていないことから、TFT115、TFT114をオフした後の発光期間においてもTFT111のゲート・ソース電圧はVthに保たれ、黒が浮くことなく表示される。

【0061】

本画素回路101において、EL発光素子117は、発光時間が長くなるとI-V特性は変化してしまう。そのため、第2のノードND112の電位も変化する。

しかしながら、TFT111のゲート・ソース間電圧は一定値に保たれていることから、EL発光素子117に流れる電流は変化しない。よって、EL発光素子117のI-V特性が劣化しても、一定電流Idsが流れ続け、EL発光素子117の輝度が変化することはない。

30

【0062】

ここで、画素回路101において、TFT115とTFT113をオンするタイミングについて、図11(A)~(E)に関連付けて考察する。

【0063】

図11(A)~(E)の動作タイミングは、本実施形態と異なり、キャパシタC111にVthを充電した後、TFT115(およびTFT114)をオンし、その後TFT113をオンさせている。

【0064】

この場合、図11(A)~(E)に示すように、Vth補正完了後、TFT115およびTFT114をオンし、TFT111のソース電位を接地電位GNDとする。信号書き込み完了後、TFT115およびTFT114をオフし、その後TFT113をオンさせる。

40

TFT113をオンした瞬間、TFT113のオン電圧 V_{113} に対してTFT111のドレイン・ゲート間の寄生容量C4と、次式で示すキャパシタC111の容量C1で決まるカップリング電圧VがTFT111のゲートに飛び込む。

【0065】

(数4)

$$V = V_{113} \times \{ C4 / (C1 + C4) \} \quad \dots (4)$$

【0066】

50

黒表示の場合、いわゆるブートストラップ直前のTFT111のゲート・ソース電圧は V_{th} でなければならないのに対して、 V の飛び込みにより、図11(E)に示すように、ゲート・ソース電圧が $V_{th} + V$ の状態ではブートストラップ動作が開始し、その結果、黒表示時に V の分だけ黒が浮いてしまう。

【0067】

これに対して、本実施形態の第1の駆動方法によれば、信号書き込み用スイッチとしてのTFT115、TFT114を導通(オン)させ、その導通(オン)期間に回路電源用スイッチであるTFT113を導通(オン)させて導通期間をオーバーラップさせ、その後TFT115、TFT114をオフさせて、TFT111に入るカップリング電圧をキャンセルしている。

10

したがって、TFT115、TFT114をオフした後の発光期間においてもTFT111のゲート・ソース電圧は V_{th} に保たれ、黒が浮くことなく表示することが可能となる。

【0068】

次に、第2の方法を採用した場合の動作を、図12(A)~(E)に関連付けて説明する。

なお、図12(A)は画素配列の第1行目の走査線WSL101に印加される走査信号 $w_s[101]$ を、図12(B)は画素配列の第1行目の駆動線DSL101に印加される駆動信号 $d_s[101]$ を、図12(C)は画素配列の第1行目のオートゼロ線 $a_z[101]$ を、図12(D)はTFT111のゲート電位 V_g を、図12(E)はTFT111のソース電位 V_s をそれぞれ示している。

20

【0069】

まず、通常のEL発光素子117の発光状態時は、図12(A)~(C)に示すように、第1のライトスキャナ104より走査線WSL101への走査信号 $w_s[101]$ が選択的にローレベルに設定され、第2のライトスキャナ105よりオートゼロ線AZL101へのオートゼロ信号 $a_z[101]$ が選択的にローレベルに設定され、ドライブスキャナ106により駆動線DSL101への駆動信号 $d_s[101]$ が選択的にハイレベルに設定される。

その結果、画素回路101においては、TFT112、TFT114~TFT116がオフした状態に保持される。

ドライブトランジスタとしてのTFT111は、飽和領域で動作するように設計されており、EL発光素子117に流れる電流は、上記式(2)で示される値となる。

30

【0070】

次に、図12(B)、(C)に示すように、ドライブスキャナ106により駆動線DSL101への駆動信号 $d_s[101]$ が選択的にハイレベルに設定されている状態で、第2のライトスキャナ105よりオートゼロ線AZL101へのオートゼロ信号 $a_z[101]$ が選択的にハイレベルに設定され、ドライブスキャナ106により駆動線DSL101への駆動信号 $d_s[101]$ が選択的にローレベルに設定される。

すなわち、TFT113がオン状態にある期間に、TFT112とTFT116をオンさせた後、TFT113をオフさせる。ここで、発光素子117は非発光状態となる。

【0071】

40

TFT112がオンしたことに伴い、TFT111のゲートとドレインはTFT112を介して接続されていることから、TFT111は飽和領域で動作する。

また、TFT111のゲート(第2のノードND112)には、容量 C_1 、 C_2 のキャパシタ C_{111} 、 C_{112} が並列に接続されていることから、TFT111のゲート・ドレイン電圧は時間と共に緩やかに減少していく。

一定時間経過後、TFT111のゲート・ソース間電圧はTFT111のしきい値電圧(V_{th})となる。

このとき、キャパシタ C_{112} には($V_{ofs} - V_{th}$)が充電され、キャパシタ C_{111} には V_{th} が充電される。

【0072】

50

次に、図12(A)~(C)に示すように、TFT113~TFT115がオフした状態で、第2のライトスキャナ105よりオートゼロ線AZL101へのオートゼロ信号az[101]が選択的にローレベルに設定される。これにより、TFT112とTFT116がオフし、全てのスイッチとしてのTFT112~TFT116がオフ状態に保持される。

この状態で、ドライブスキャナ106により駆動線DSL101への駆動信号ds[101]が選択的にハイレベルに設定されて、TFT113がオンとなる。

TFT113がオンとなったことに伴い、TFT113をオンした瞬間、TFT113のオン電圧 V_{113} に対してTFT111のドレイン・ゲート間の寄生容量 $C4$ と、次いで示すキャパシタ $C111$ の容量 $C1$ 、キャパシタ $C112$ の容量 $C2$ で決まるカップリング電圧 V がTFT111のゲートに飛び込む。

【0073】

(数5)

$$V = V_{113} \times \{ C4 / (C1 + C2 + C4) \} \quad \dots (5)$$

【0074】

このとき、TFT115、TFT114はオフ状態にあることから、第1のノードND111、第4のノードND114はフローティングの状態にあるので、第2のノードND112にキャパシタ $C112$ を介してカップリング電圧が飛び込み、第2のノードND112の電位は上昇する。

【0075】

TFT113をオンさせた状態で、第1のライトスキャナ104より走査線WSL101への走査信号ws[101]が選択的にハイレベルに設定される。これにより、TFT115とTFT114がオンする。

TFT115がオンして黒信号を書き込んだ瞬間、第2のノードND112は、TFT113からのカップリング電圧を含んだ電圧から黒信号の電圧となり、TFT111のゲートにマイナスのカップリング電圧が飛び込み、キャパシタ $C111$ には再び V_{th} が保持される。

また、TFT114もオンしたことにより、TFT111のソース電位 V_s は接地電位GNDまで下降し、キャパシタ $C111$ の保持電位 V_{th} を保ちながらTFT111のゲート電位も下がる。

【0076】

その後、図12(A)、(B)に示すように、第1のライトスキャナ104より走査線WSL101への走査信号ws[101]が選択的にローレベルに設定される。これにより、TFT115とTFT114がオフし、EL発光素子117のドライブトランジスタであるTFT111が V_{th} を保ちながら、ブートストラップ発光期間を迎え、正常に黒表示が行われる。

【0077】

なお、このとき、第1の方法のとき同様に、TFT114がオフしたことに伴い、図12(E)に示すように、ドライブトランジスタとしてのTFT111のソース電位 V_s は上昇し、EL発光素子117にも電流が流れる。

【0078】

TFT111は飽和領域で動作するように設計されていることから、TFT111のゲートにカップリングされている電圧量に応じた電流 I_{ds} が流れる。

TFT111のゲート・ソース間電圧は一定であるので、TFT111は一定電流 I_{ds} をEL発光素子117に流す。

これにより、第2のノードND112の電位は、EL発光素子117に I_{ds} という電流が流れる電圧 V_x まで上昇し、EL発光素子117は発光する。

このとき、TFT111のゲート・ソース電圧は V_{th} に保たれ、黒が浮くことなく表示される。

【0079】

10

20

30

40

50

本画素回路101において、EL発光素子117は、発光時間が長くなるとI-V特性は変化してしまう。そのため、第2のノードND112の電位も変化する。

しかしながら、TFT111のゲート・ソース間電圧は一定値に保たれていることから、EL発光素子117に流れる電流は変化しない。よって、EL発光素子117のI-V特性が劣化しても、一定電流 I_{ds} が流れ続け、EL発光素子117の輝度が変化することはない。

【0080】

本実施形態の第2の駆動方法によれば、回路電源用スイッチであるTFT113を、信号書き込み前に導通(オン)させ、その後、信号書き込み用スイッチとしてのTFT115, TFT114を所定期間だけ導通(オン)させて信号を書き込むことにより黒浮きの発生を防止することができる。

10

【0081】

また、本実施形態によれば、ドライブトランジスタとしてのTFT111のソースが発光素子117のアノードに接続され、ドレインがTFT113を介して電源電位VCCに接続され、TFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT114に介して固定電位に接続するよう構成されていることから、以下の効果を得ることができる。

EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

20

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

【図面の簡単な説明】

【0082】

【図1】一般的な有機EL表示装置の構成を示すブロック図である。

【図2】図1の画素回路の一構成例を示す回路図である。

【図3】有機EL素子の電流-電圧(I-V)特性の経時変化を示す図である。

30

【図4】図2の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

【図5】初期状態におけるドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

【図6】経時変化後のドライブトランジスタとしてのTFTとEL素子の動作点を示す図である。

【図7】ドライブトランジスタとしてのnチャネルTFTのソースを接地電位に接続した画素回路を示す回路図である。

【図8】本実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

40

【図9】図1の有機EL表示装置において本実施形態に係る画素回路の具体的な構成を示す回路図である。

【図10】第1の駆動方法による図2の回路の動作を説明するためのタイミングチャートである。

【図11】従来の駆動方法による図2の回路の動作を説明するためのタイミングチャートである。

【図12】第2の駆動方法による図2の回路の動作を説明するためのタイミングチャートである。

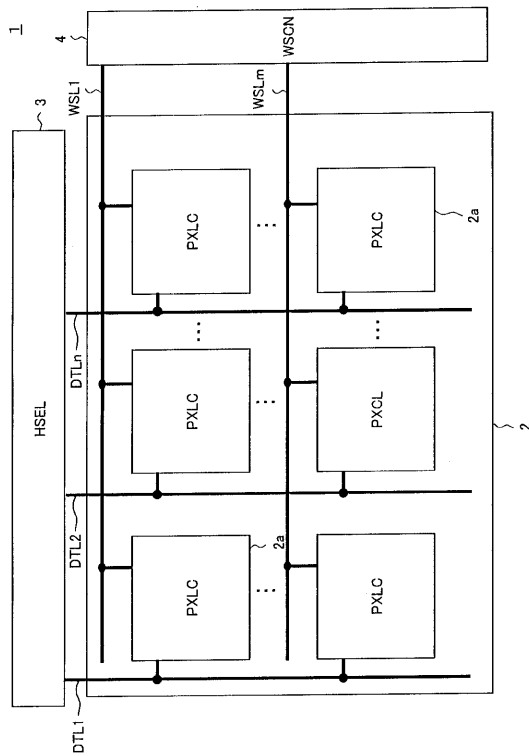
【符号の説明】

【0083】

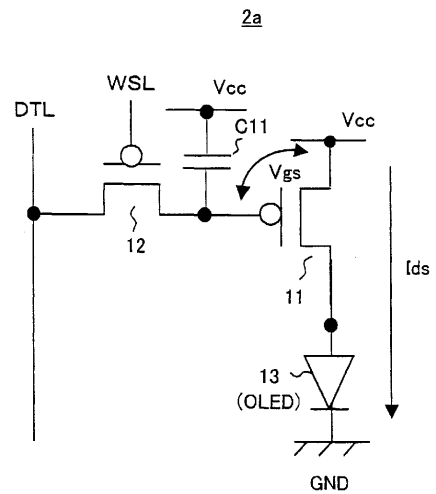
50

100...表示装置、101...画素回路(PXLC)、102...画素アレイ部、103...水平セクタ(HSEL)、104...第1のライトスキャナ(WSCN1)、105...第2のライトスキャナ(WSCN2)、106...ドライブスキャナ(DSCN)、DTL101~DTL10n...データ線、WSL101~WSL10m...走査線、AZL101~AZL10m...オートゼロ線、DSL101~DSL10m...駆動線、111~116...TFT、117...発光素子、ND111~ND114...ノード。

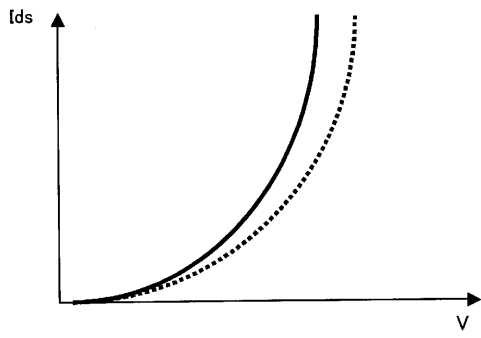
【図1】



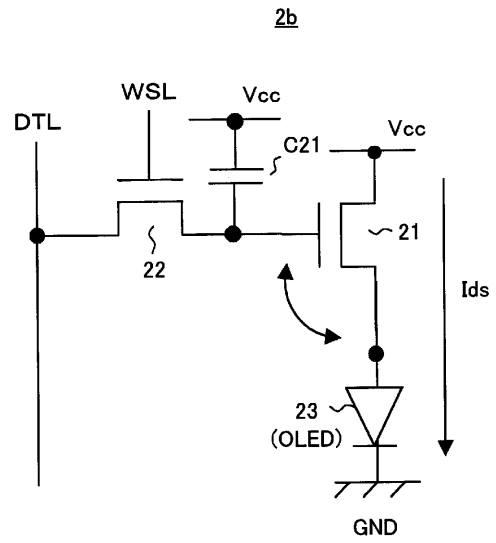
【図2】



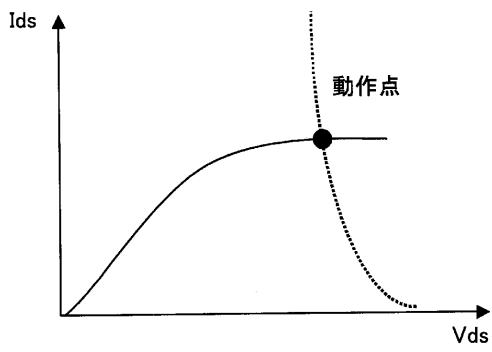
【 図 3 】



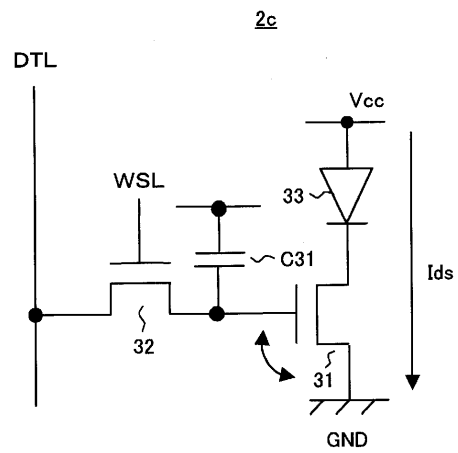
【 図 4 】



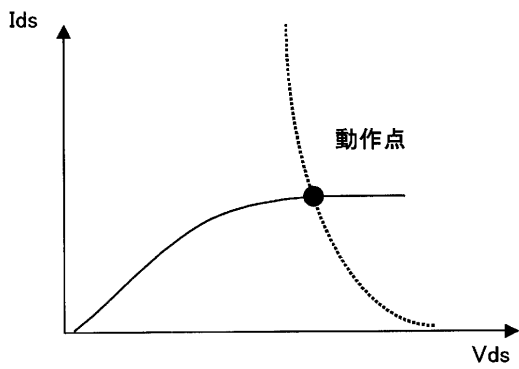
【 図 5 】



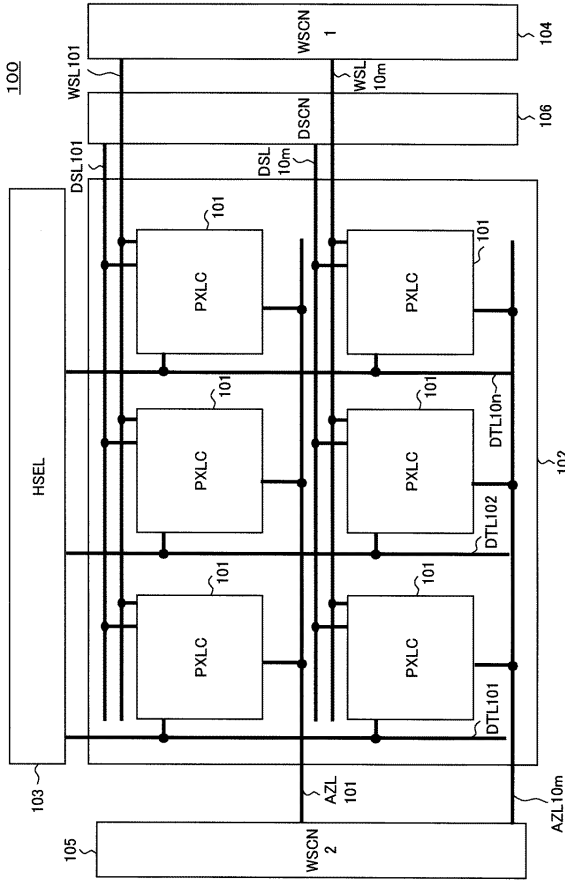
【 図 7 】



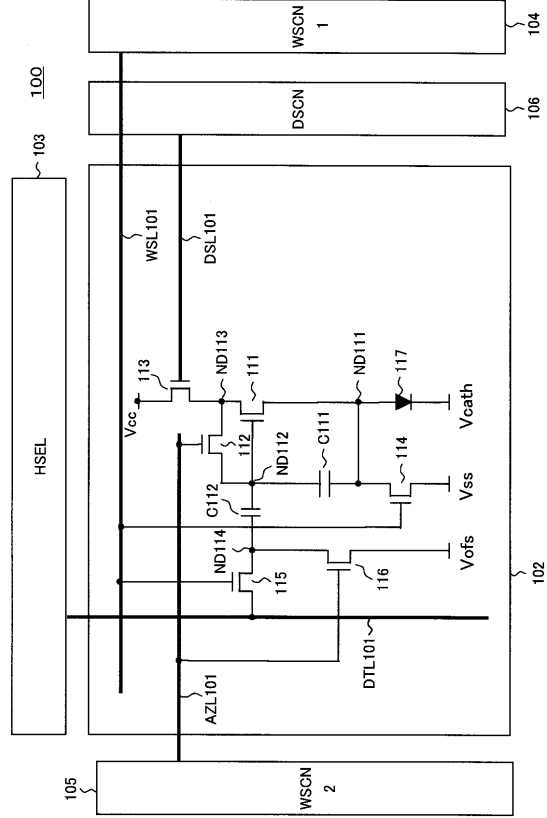
【 図 6 】



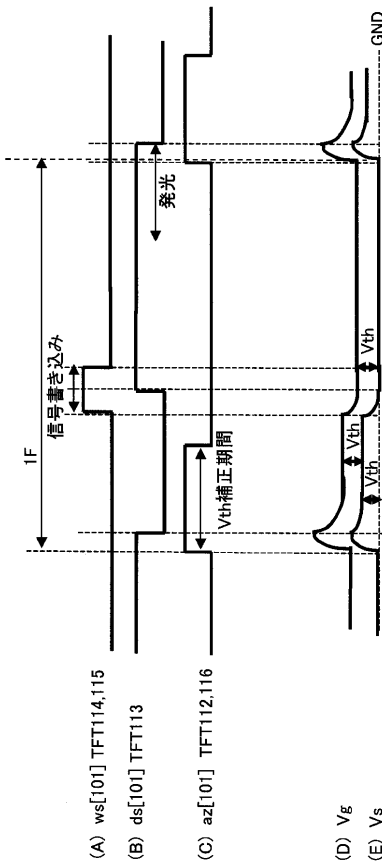
【 図 8 】



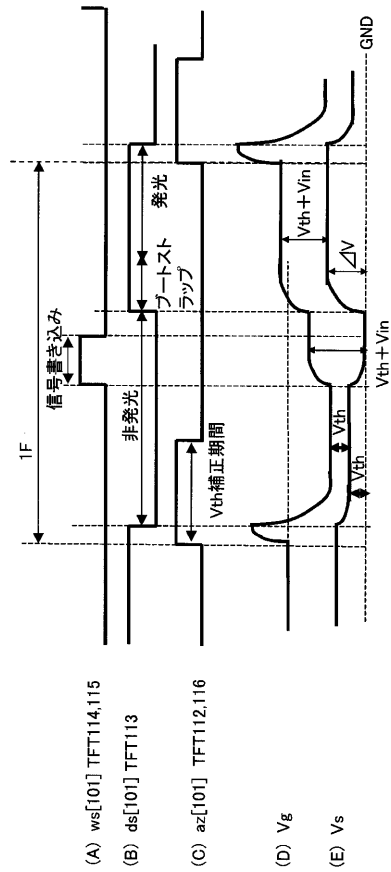
【 図 9 】



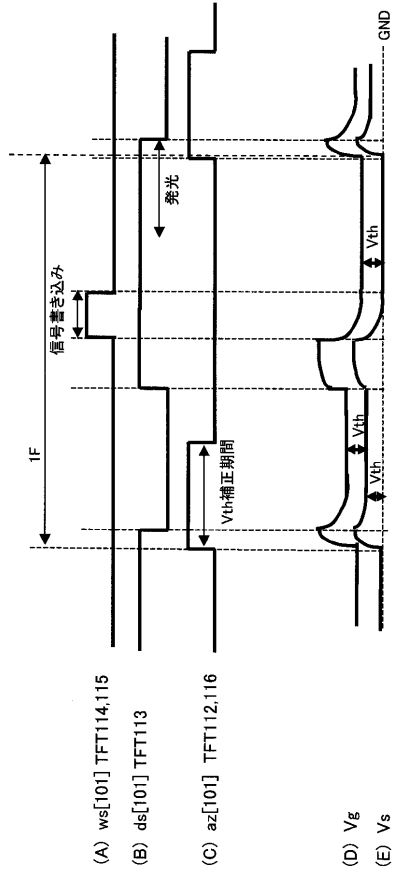
【 図 10 】



【 図 11 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

審査官 西島 篤宏

(56)参考文献 特開2005-099621(JP,A)

特開2004-361640(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	像素电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP4639730B2	公开(公告)日	2011-02-23
申请号	JP2004287888	申请日	2004-09-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 豊村直史		
发明人	内野 勝秀 山下 淳一 豊村 直史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.A G09G3/20.622.D G09G3/20.624.B G09G3/20.641.D G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC35 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD29 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AC04 5C380/BA01 5C380/BA10 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB08 5C380/BB23 5C380/BD01 5C380/CA12 5C380/CB16 5C380/CB18 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CD012 5C380/CD026 5C380/DA02 5C380/DA06 5C380/DA20		
代理人(译)	佐藤隆久		
其他公开文献	JP2006098989A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够执行源极跟随器输出的像素电路，尽管随着时间的推移发光元件的电流 - 电压特性的变化，但没有亮度劣化，使得源极跟随器电路成为可能。n沟道晶体管是可能的并且使得n沟道晶体管在使用当前状态的阳极和阴极电极的状态下可用作EL的驱动元件并且防止产生黑色浮动，显示装置和用于像素的驱动方法电路。

ŽSOLUTION：作为信号写入开关的TFT115和TFT114导通，作为电路电源开关的TFT113在导通（导通）间隔期间导通，以与导通间隔重叠。然后，TFT115和TFT114截止，并且输入到TFT111的耦合电压被消除。Ž

【图 1】

