(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号

特許第3956347号
(P3956347)

(45)発行日　平成19年8月8日(2007.8.8)　(24)登録日　平成19年5月18日(2007.5.18)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	624B
G09F 9/30	(2006.01)	G09G	3/20	611H
H01L 27/32	(2006.01)	G09G	3/20	641C
H01L 29/786	(2006.01)	G09F	9/30	338

請求項の数 5　(全 16 頁)　最終頁に続く

(21)出願番号　特願2002-50171 (P2002-50171)
(22)出願日　平成14年2月26日 (2002.2.26)
(65)公開番号　特開2003-255856 (P2003-255856A)
(43)公開日　平成15年9月10日 (2003.9.10)
審査請求日　平成14年12月20日 (2002.12.20)

(73)特許権者　390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
ＩＮＴＥＲＮＡＴＩＯＮＡＬ　ＢＵＳＩＮＥＳＳ　ＭＡＳＣＨＩＮＥＳ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国１０５０４　ニューヨーク州　アーモンク　ニュー　オーチャードロード
(74)代理人　100086243
弁理士　坂口　博
(74)代理人　100091568
弁理士　市位　嘉宏

最終頁に続く

(54)【発明の名称】ディスプレイ装置

(57)【特許請求の範囲】
【請求項１】
複数の画素を有するディスプレイ装置であって、
画素毎に設けられ自己発光するＯＬＥＤ（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）と、
前記ＯＬＥＤを駆動し、ゲート電極とアモルファスシリコンと当該アモルファスシリコンを介して前記ゲート電極と対向するソース電極およびドレイン電極とを備えるドライブ用トランジスタと、
前記ドライブ用トランジスタの前記ソース電極および前記ドレイン電極の何れか一方の電極の一部を分離させて形成される分枝電極を含み、前記ドライブ用トランジスタのスレッショルド電圧（Ｖｔｈ）を検出するための分枝トランジスタと、
前記分枝トランジスタのゲート電極とソース電極およびドレイン電極の何れか一方の電極の間に配設される第３トランジスタと、を含み、
前記ドライブ用トランジスタの前記ソース電極および前記ドレイン電極の何れか一方の電極は、前記分枝トランジスタの前記ソース電極および前記ドレイン電極の何れか一方の電極と接続し、当該分枝トランジスタの当該ソース電極および当該ドレイン電極のうちもう一方の電極は、前記第３トランジスタのソース電極およびドレイン電極の何れか一方の電極と接続し、当該第３トランジスタの当該ソース電極および当該ドレイン電極のうちもう一方の電極は、当該ドライブ用トランジスタの当該ゲート電極および当該分枝トランジスタのゲート電極と接続し、

前記分枝トランジスタは、前記ドライブ用トランジスタの電圧変化に追従して変化することにより前記スレッショルド電圧（Ｖｔｈ）を検出し、

前記スレッショルド電圧（Ｖｔｈ）の検出は、前記第３トランジスタの前記ゲート電極に電圧を加えることで当該第３トランジスタの前記ソース電極と前記ドレイン電極を導通させることにより前記ドライブ用トランジスタおよび前記分枝トランジスタの前記ゲート電極の電荷を抜き、当該分枝トランジスタの前記ソース電極と前記ドレイン電極が導通しなくなったときの当該分枝トランジスタの当該ゲート電極の電圧をスレッショルド電圧（Ｖｔｈ）とすることにより行われる

ことを特徴とするディスプレイ装置。

【請求項２】

さらに、

前記分枝トランジスタによって得られた前記スレッショルド電圧（Ｖｔｈ）を格納するキャパシタを含み、

供給される信号電圧に、前記キャパシタに格納された前記スレッショルド電圧（Ｖｔｈ）に基づく補正が加えられた制御電圧を前記ドライブ用トランジスタに対して供給することを特徴とする請求項１記載のディスプレイ装置。

【請求項３】

さらに、

前記ＯＬＥＤに対して前記信号電圧を供給するホールド回路と、

前記ＯＬＥＤに対して走査のためのセレクト信号を供給する走査回路とを含み、

前記走査回路から供給される前記セレクト信号に基づいて、前記スレッショルド電圧（Ｖｔｈ）の取り込みおよび前記ドライブ用トランジスタへの書き込みのタイミングが制御されることを特徴とする請求項２記載のディスプレイ装置。

【請求項４】

画素毎に設けられ自己発光するＯＬＥＤ（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を、ゲート電極とアモルファスシリコンと当該アモルファスシリコンを介して前記ゲート電極と対向するソース電極およびドレイン電極とを備えるアモルファスシリコンＴＦＴを用いて駆動する駆動手段と、

前記駆動手段に用いられる前記アモルファスシリコンＴＦＴの前記ソース電極および前記ドレイン電極の何れか一方の電極の一部を分離させて形成される分枝電極を用いて、当該アモルファスシリコンＴＦＴにおけるスレッショルド電圧（Ｖｔｈ）を取得するスレッショルド電圧取得手段と、

前記スレッショルド電圧取得手段により取得された前記スレッショルド電圧（Ｖｔｈ）に基づき前記アモルファスシリコンＴＦＴに対して制御電圧を供給する信号電圧供給手段と、を含み、

前記スレッショルド電圧取得手段は、前記アモルファスシリコンＴＦＴにおけるスレッショルド電圧（Ｖｔｈ）を取得する分枝トランジスタと、当該分枝トランジスタのゲート電極とソース電極およびドレイン電極の何れか一方の電極の間に配設される第３トランジスタと、を備え、

前記アモルファスシリコンＴＦＴの前記ソース電極および前記ドレイン電極の何れか一方の電極は、前記分枝トランジスタの前記ソース電極および前記ドレイン電極の何れか一方の電極と接続し、当該分枝トランジスタの当該ソース電極および当該ドレイン電極のうちもう一方の電極は、当該第３トランジスタのソース電極およびドレイン電極の何れか一方の電極と接続し、当該第３トランジスタの当該ソース電極および当該ドレイン電極のうちもう一方の電極は、当該アモルファスシリコンＴＦＴの前記ゲート電極および当該分枝トランジスタのゲート電極と接続し、

前記分枝トランジスタは、前記アモルファスシリコンＴＦＴの電圧変化に追従して変化することにより前記スレッショルド電圧（Ｖｔｈ）を検出し、

前記スレッショルド電圧（Ｖｔｈ）の検出は、前記第３トランジスタの前記ゲート電極に電圧を加えることで当該第３トランジスタの前記ソース電極と前記ドレイン電極を導通

させることにより前記アモルファスシリコンＴＦＴおよび前記分枝トランジスタの前記ゲート電極の電荷を抜き、当該分枝トランジスタの当該ソース電極と当該ドレイン電極が導通しなくなったときの当該分枝トランジスタの当該ゲート電極の電圧をスレッショルド電圧（Ｖｔｈ）とすることでスレッショルド電圧（Ｖｔｈ）を取得する
ことにより行われることを特徴とするディスプレイ装置。

【請求項５】
前記信号電圧供給手段は、新たに得られた信号電圧と前記スレッショルド電圧（Ｖｔｈ）とを重み付け加算して前記制御電圧とすることを特徴とする請求項４記載のディスプレイ装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ＯＬＥＤ(Organic Light Emitting Diode)を用いたディスプレイ装置等に係り、より詳しくは、駆動用トランジスタにおけるスレッショルド(閾値)電圧(Ｖth)を補正するディスプレイ装置等に関する。

【０００２】
【従来の技術】
ＯＬＥＤ(有機ＥＬとも呼ばれる)は、電場を加えることによって励起する蛍光性の有機化合物に直流電圧をかけて発光させるものであり、次世代ディスプレイデバイスとして注目されている。このＯＬＥＤは電流駆動素子であり、駆動用トランジスタのばらつきや劣化による電流のばらつきは、そのまま画質の悪化につながる。そこで、画質の向上を図る上で、駆動用トランジスタへ電流が流れ始めるポイントとなるスレッショルド(閾値)電圧(Ｖth)の補正を行い、出力電流を安定させる方法が効果的である。ここで、ＯＬＥＤの駆動方式としては、電圧書き込み方式と電流書き込み方式とに大別される。従来、それぞれの駆動方式にて、Ｖthを補正する回路が提案されている。

【０００３】
図８(ａ),(ｂ)は、従来の電圧書き込み方式においてＶth補正を実現する方法を説明するための図であり、図８(ａ)は回路図を、図８(ｂ)はタイミングチャートを示している。図８(ａ)に示すトランジスタによる電圧書き込み方式の回路図では、ＯＬＥＤ２００の駆動のために、４つのＦＥＴ２０１～２０４と２つのコンデンサ２０５～２０６とが用いられている。ＦＥＴ２０１はデータ線とコンデンサ２０５との間に入るスイッチ、ＦＥＴ２０２はＯＬＥＤ２００のドライブトランジスタ、ＦＥＴ２０３はＦＥＴ２０２のドレイン/ゲート間に入るスイッチ、ＦＥＴ２０４はＦＥＴ２０２とＯＬＥＤ２００との間に入るスイッチである。また、コンデンサ２０５はデータ電圧を記憶するコンデンサ、コンデンサ２０６はＶthを記憶するコンデンサである。ＦＥＴ２０３がオン(ＯＮ)になると、ＦＥＴ２０２のドレイン/ゲート電圧が同じになる。このとき、ＦＥＴ２０２のドレインに電圧がかかっている場合にはＦＥＴ２０２は完全にＯＮになる。ＦＥＴ２０２のドレインに電圧がかかっていない場合にはＦＥＴ２０２の電荷はドレインを通して逃げて行き、ついにはＦＥＴ２０３がオフ(ＯＦＦ)になる。このとき、ＦＥＴ２０３のゲートにはＶthが残る。

【０００４】
各期間における動作を図８(ｂ)を用いて説明する。
まず、期間▲１▼では、Selectが立ち下がりＦＥＴ２０１がＯＮになり、ＡＺが立ち下がりＦＥＴ２０３もＯＮになる。前の周期でＡＺＢがＯＮなのでＯＬＥＤ２００には電流が流れる状態になっており、ＦＥＴ２０２のドレイン電位Ｖdは ＯＬＥＤ２００の接地電位に対して十分に近い電位にある。すなわちＶdは十分に低電位である。従ってＦＥＴ２０２のゲートソース間電圧Ｖgsは十分マイナス方向に振れているのでＦＥＴ２０２はＯＮ状態を保つ。その際ＯＬＥＤ２００の電位はＶth程度であり、この期間でＯＬＥＤ２００におけるＶthの補償が行われる。

【０００５】

次に、期間▲２▼では、ＡＺが立ち下がりＦＥＴ２０３がＯＮになり、ＡＺＢが立ち上がり、ＦＥＴ２０４がＯＦＦになる。Vddの電流はＦＥＴ２０２のゲートに回り込みVgs＝Vthになるまでの電位を押し上げ、Vgs＝Vthになった時点でＦＥＴ２０２はＯＦＦになる。ＡＺが立ち上がってＦＥＴ２０３がＯＦＦになるとＣ１とＣ２にVthがプログラムされる。

【０００６】

期間▲３▼では、Ｄａｔａ線にVddからΔVdataだけ低い信号を入力すると、容量分割によりコンデンサ２０５およびコンデンサ２０６に記憶される電圧が変化する。

【式１】

$$V_{C2} = Vdd - Vth$$

$$\rightarrow V_{C2} = Vdd - Vth - \frac{C1}{C1 + C2 + Cg} \cdot \Delta Vdata$$

【０００７】

期間▲４▼では、ＡＺＢがＯＮになりＯＬＥＤ２００が発光する。そのときのＦＥＴ２０２のドレイン・ソース間に流れる電流Ｉdsは次の式のようになり、Vthの項を含まなくなる。

【式２】

$$Ids = \alpha (Vgs - Vth)^2 = \alpha(\beta \cdot \Delta Vdata - Vdd)^2$$

ここで、

【式３】

$$\beta = \frac{C1}{C1 + C2 + Cg}$$

である。

【０００８】

図９(ａ),(ｂ)は、従来の電流書き込み方式においてVth補正を実現したものを説明するための図であり、図９(ａ)は回路図を、図９(ｂ)はタイミングチャートを示している。図９(ａ)に示すトランジスタによる電圧書き込み方式の回路図では、ＯＬＥＤ２００の駆動のために、４つのＦＥＴ２１１～２１４とコンデンサ２１５とが用いられている。ＦＥＴ２１１はデータ線とコンデンサ２１５との間に入るスイッチ、ＦＥＴ２１２はＯＬＥＤ２００のドライブトランジスタ、ＦＥＴ２１３はＦＥＴ２１２とＯＬＥＤ２００との間に入るスイッチ、ＦＥＴ２１４はＦＥＴ２１３のドレイン/ゲート間に入るスイッチである。また、コンデンサ２１５はVthを記憶するコンデンサである。

【０００９】

各期間における動作を図９(ｂ)を用いて説明する。

まず、期間▲１▼では、ＦＥＴ２１２をＯＦＦにしてVddを遮断し、ＦＥＴ２１１およびＦＥＴ２１４をＯＮにする。このとき、Ｉdataが ＦＥＴ２１３を流れる。期間▲２▼では、Ｉdataに応じた電圧がコンデンサ２１５にプログラムされる。期間▲３▼では、ＦＥＴ２１１とＦＥＴ２１４とをＯＦＦにし、ＦＥＴ２１２をＯＮにしてVddをＦＥＴ２１３およびＯＬＥＤ２００に供給する。このとき、コンデンサ２１５に記憶された電圧により、Ｉdataの電流がＯＬＥＤ２００に供給される。

【００１０】

【発明が解決しようとする課題】

以上のような方式によって、Ｖthの補正がなされていたが、上述した２つの方式では、電源ＶddとＯＬＥＤ２００との間に、直列に２つのトランジスタ(電圧書き込み方式ではＦＥＴ２０２とＦＥＴ２０４、電流書き込み方式ではＦＥＴ２１２とＦＥＴ２１３)が設置される必要がある。すなわち、Ｖthを検出するためには、２個のトランジスタを直列につないで、片方は電流のＯＮ/ＯＦＦ制御、片方は電流値の制御を行うことが必要となる。

【００１１】

しかしながら、例えばａ-Ｓｉ(アモルファスシリコン)ＴＦＴ(Thin Film Transistor)でＯＬＥＤ２００を駆動する場合、アモルファスシリコンＴＦＴは移動度が小さく電流があまり流せないことから、大きな電流を流すためには大きなＴＦＴを用いる必要がある。そのために、上述の方式をアモルファスシリコンＴＦＴで実現しようとした場合に、トランジスタが占有する面積が大きくなってしまい、一方でディスプレイは画素サイズが限られていることから、上述のような画素の中に大きなＴＦＴを何個も必要とする回路を採用することは、実装する上で困難なことである。

【００１２】

本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、アモルファスシリコンＴＦＴにてスレッショルド電圧(Ｖth)を適切に取り出すことにある。

また他の目的は、大容量のトランジスタの数を削減した状態にてＶthのばらつきを補正することにある。

さらに他の目的は、Ｖthの検出とデータの書き込みとを同時に行うことで、制御を簡潔化することにある。

【００１３】

【課題を解決するための手段】

かかる目的のもと、本発明は、ＯＬＥＤ(Organic Light Emitting Diode)の駆動用トランジスタであるアモルファスシリコンＴＦＴの電極の一部を分枝させた分枝電極によって形成される分枝トランジスタによってアモルファスシリコンＴＦＴのスレッショルド電圧(Ｖth)を取り出し、このスレッショルド電圧(Ｖth)のばらつきを補正して駆動用トランジスタに制御電圧を供給することを特徴としている。即ち、本発明が適用されるディスプレイ装置は、画素毎に設けられ自己発光するＯＬＥＤと、このＯＬＥＤを駆動するドライブ用トランジスタと、このドライブ用トランジスタの電極の一部を独立させて形成されると共に、ドライブ用トランジスタのスレッショルド電圧(Ｖth)を検出するための分枝トランジスタとを含んでいる。

【００１４】

さらに、分枝トランジスタによって得られたスレッショルド電圧(Ｖth)を格納するキャパシタを含み、供給される信号電圧に、キャパシタに格納されたスレッショルド電圧(Ｖth)に基づく補正が加えられた制御電圧をドライブ用トランジスタに対して供給することを特徴とすることができる。またさらに、ＯＬＥＤに対して信号電圧を供給するホールド回路と、ＯＬＥＤに対して走査のためのセレクト信号を供給する走査回路とを含み、この走査回路から供給されるセレクト信号に基づいて、スレッショルド電圧(Ｖth)の取り込みおよびドライブ用トランジスタへの書き込みのタイミングが制御されることを特徴とすることができる。

【００１５】

また、本発明が適用されるディスプレイ装置は、画素毎に設けられ自己発光するＯＬＥＤ(Organic Light Emitting Diode)をアモルファスシリコンＴＦＴを用いて駆動する駆動手段と、この駆動手段に用いられるアモルファスシリコンＴＦＴに形成される分枝電極を用いて、アモルファスシリコンＴＦＴにおけるスレッショルド電圧(Ｖth)を取得するスレッショルド電圧取得手段と、このスレッショルド電圧取得手段により取得されたスレッショルド電圧(Ｖth)に基づきアモルファスシリコンＴＦＴに対して制御電圧を供給する信号電圧供給手段とを含んでいる。

【００１６】

ここで、このスレッショルド電圧取得手段は、アモルファスシリコンＴＦＴに電流を流している状態から電流を十分に減らしたときのゲート電圧を分枝電極を用いて取得する、即ち、電流を絞り込むという操作を分枝電極を用いて実行している。また、この信号電圧供給手段は、新たに得られた信号電圧とスレッショルド電圧(Ｖth)とを加算して制御電圧とすることを特徴とすれば、アモルファスシリコンＴＦＴにおけるＶthのばらつきを補正することができる点で好ましい。

【００１７】

一方、本発明が適用される駆動回路は、ＯＬＥＤ等の被駆動素子を駆動させるためのアモルファスシリコンＴＦＴに代表されるドライブ用トランジスタと、このドライブ用トランジスタの電極の一部を独立させて形成されると共に、ドライブ用トランジスタに電流が流れる際のスレッショルド電圧(Ｖth)を検出するための分枝トランジスタと、この分枝トランジスタによって検出されるスレッショルド電圧(Ｖth)が書き込まれる補償キャパシタと、ドライブ用トランジスタの制御に必要な信号電圧が書き込まれる信号キャパシタと、データ線と信号キャパシタとの間にある第１トランジスタと、この信号キャパシタと補償キャパシタとの間にある第２トランジスタと、分枝トランジスタのゲート電極と他の電極との間にある第３トランジスタとを含むことを特徴とすることができる。

【００１８】

また、本発明が適用されるアモルファスシリコン薄膜トランジスタは、ゲート電極と、アモルファスシリコンと、このアモルファスシリコンを介してゲート電極と対向するソース電極およびドレイン電極と、ソース電極およびドレイン電極の何れか一方の電極に対してその一部を分離させて形成される分枝電極とを含み、この分枝電極は、分離前の電極に追従した電圧が得易い位置に配置されること、分離前の電極に対して近接して配置されること、分離前の電極によって形成されるトランジスタのスレッショルド電圧(Ｖth)を検出する分枝トランジスタを形成する電極であることを特徴とすることができる。

【００１９】

他の観点から把えると、本発明が適用されるアモルファスシリコン薄膜トランジスタは、ゲート電極と、アモルファスシリコンと、このアモルファスシリコンを介してゲート電極と対向するソース電極およびドレイン電極と、ドレイン電極の分枝として形成されると共に、ゲート電極、ソース電極およびドレイン電極によって形成されるトランジスタのスレッショルド電圧(Ｖth)を検出をするための分枝トランジスタを形成する分枝電極とを含んでいる。

【００２０】

さらに本発明は、アモルファスシリコンＴＦＴによってＯＬＥＤを駆動するＯＬＥＤ駆動方法であって、アモルファスシリコンＴＦＴに信号電圧を書き込むステップと、このアモルファスシリコンＴＦＴ上に設けられる分枝トランジスタを用いてアモルファスシリコンＴＦＴのスレッショルド電圧(Ｖth)を読み込むステップと、このスレッショルド電圧(Ｖth)に基づき新たな信号電圧に補正を加えてアモルファスシリコンＴＦＴに制御電圧を供給するステップとを含んでいる。ここで、例えば制御電圧を供給するステップは、新たな信号電圧とスレッショルド電圧(Ｖth)とを加算することを特徴としている。また、例えばスレッショルド電圧(Ｖth)を読み込むステップは、制御電圧を供給するＮ次の前であるＮ－１次のセレクト信号に基づいて読み込みを実行することを特徴とすることができる。

【００２１】

【発明の実施の形態】

以下、添付図面に示す実施の形態に基づいて本発明を詳細に説明する。

図１は、本実施の形態が適用されるアクティブマトリクス型のＯＬＥＤディスプレイ１０を示した図である。ＯＬＥＤの駆動方式には、パッシブ駆動とアクティブ駆動があるが、例えば２６万色程度以上のフルカラーを制御するにはアクティブ駆動が適している。このアクティブ駆動では、ＴＦＴ駆動を必要としており、ＴＦＴ技術にはａ-Ｓｉ(アモルファスシリコン)を用いたものと低温ポリシリコンを用いたものがある。本実施の形態では、アモルファスシリコンＴＦＴを用いたアクティブマトリクス型のＯＬＥＤディスプレイ１

０を対象としている。このＯＬＥＤディスプレイ１０は、ｍ×ｎ配置のドットマトリクス型のディスプレイを駆動するにあたり、供給されるビデオ信号を処理して各ドライバ回路に供給すべき制御信号を必要なタイミングで出力する制御回路１１、制御回路１１からの制御信号に基づいてセレクト信号(アドレス信号)を走査線Ｙ１～Ｙｎに供給する走査回路１２、制御回路１１からの制御信号に基づいてデータ信号をデータ線Ｘ１～Ｘｍに供給するホールド回路１３、ｍ×ｎ個の画素毎に設けられ、走査回路１２からのセレクト信号およびホールド回路１３からのデータ信号によって制御される駆動回路２０とを備えている。尚、制御回路１１に供給されるビデオ信号を生成する回路構成等をも含めてディスプレイ装置として把握される場合がある。

【００２２】

図２は、ＯＬＥＤディスプレイ１０に用いられる駆動回路２０の構成を示した図である。図２に示す駆動回路２０では、発光層に有機化合物を用いたＯＬＥＤ(Organic Light Emitting Diode)２１、５つのトランジスタ(２２～２６)、および２つのキャパシタ(２７,２８)から構成されている。トランジスタとしては、ＯＬＥＤ２１の駆動用大型トランジスタとしてａ-Ｓｉ(アモルファスシリコン)ＴＦＴからなるドライブ用トランジスタ２２、ドライブ用トランジスタ２２とソース電極およびゲート電極等を共通にしてドレイン電極だけが独立している分枝(Twig)トランジスタ２３、データ線と信号キャパシタ２７との間に入る第１トランジスタ２４、信号キャパシタ２７のデータ線側とグランド(ＧＮＤ)との間に入る第２トランジスタ２５、分枝トランジスタ２３のゲートとドレインとの間に入っている第３トランジスタ２６を有している。また、キャパシタとしては、ドライブ用トランジスタ２２の制御に必要な制御電圧が書き込まれる信号キャパシタ２７、信号キャパシタ２７の２倍程度の容量を持ち、ドライブ用トランジスタ２２へ電流が流れ始めるポイントとなるスレッショルド電圧(Ｖth)を記憶するための補償キャパシタ２８を備えている。

【００２３】

ここで、ＦＥＴ(Field-effect Transistor)一般に、ゲートソース間電圧V_{GS}とドレイン電流I_Dとの関係は、二乗カーブによって表されるが、寿命によって、スレッショルド電圧(Ｖth)のシフトが生じる。オリジナルのゲートソース間電圧をV_{GS0}とすると、得られるゲートソース間電圧V_{GS}'は、ある期間内では、

$$V_{GS}' = V_{GS0} + Vth$$

として得られる。したがって、このＶthを正しく算出し、その部分の電圧を余分にかけてトランジスタを駆動することができれば、このシフト量を補正することが可能となる。尚、スレッショルド電圧(Ｖth)は、半導体の中にある電荷量に対してゲート電圧にコントロールされている電荷量が優勢になるポイントを示す電圧である。このＶthシフトの原因としては、電子がチャネルを流れる際に、電子がゲート絶縁膜に飛び込むことや、電子がチャネルを流れる際に電子がＳｉの結合を切るためにＳｉが帯電すること等が挙げられる。

【００２４】

ドライブ用トランジスタ２２は、大電流を流すために幅が広くなっており、幅広で且つ電流を均一に流すために、出力ピンを取り囲むように例えば、Ｊフック等の特殊な形状をしている(後述)。本実施の形態における一例では、このＪフックの中に分枝トランジスタ２３を設けるように構成されている。この分枝トランジスタ２３は、ドライブ用トランジスタ２２のＪフックの端や途中にドレインだけが独立して設けられており、ドライブ用トランジスタ２２のＶthの値と分枝トランジスタ２３のＶthの値とが同じであることが期待されている。但し、ドライブ用トランジスタ２２のように大電流を流す必要がない。

【００２５】

アモルファスシリコンＴＦＴで構成されるドライブ用トランジスタ２２は、前述のように、電子が走っている最中に周りの膜に飛び込むこと、またシリコンが破壊されること等の理由によって、時間と共にチャージを帯びるようになり、寿命によってスレッショルド電圧(Ｖth)がシフトしてしまう。そこで、このシフト量を検出してその部分の電圧を余分にかけてＴＦＴをドライブすることが必要となる。本実施の形態では、ドライブ用トランジスタ２２のドレイン電圧とできるだけ等しい電圧を取り出せるように、分枝トランジスタ

２３を用いている。即ち、ＯＬＥＤ２１を流れる大電流はドライブ用トランジスタ２２に流れる状態で、ドライブ用トランジスタ２２の一部を枝分けした小さなトランジスタである分枝トランジスタ２３によってＶthを取り出すことで、大きなトランジスタを複数個設けることなく、ＯＬＥＤ２１のパス上にある大型のトランジスタであるドライブ用トランジスタ２２のＶthを正確に測定することができる。

【００２６】

ここで、ドライブ用トランジスタ２２に流れる電流は、$(Vs-Vth)^2$に関係することから、このＶthの検出には、まず、ドライブ用トランジスタ２２に電流を流した状態から、電流を十分に減らしたときのゲート電圧を見る方法が取られる。本実施の形態では、この電流を絞り込むという操作のために、分枝トランジスタ２３という新しい概念を採用している。

【００２７】

第１トランジスタ２４は、信号を書くときにＯＮとなり、ＯＮになると信号電圧が信号キャパシタ２７に入る。第１トランジスタ２４がＯＦＦになると、信号キャパシタ２７には第１トランジスタ２４がＯＦＦになった瞬間のデータが保持される。

【００２８】

また、第２トランジスタ２５は、このトランジスタがＯＦＦのときは信号キャパシタ２７と補償キャパシタ２８とが切り離された状態にあり、ＯＮになると両キャパシタ(２７,２８)の電圧に対して重み付き平均された同じ電圧が両キャパシタ(２７,２８)に入る。平均するときの重み付けは両者の容量比で決定される。例えば、信号キャパシタ２７と補償キャパシタ２８との比を１：２とすると、第２トランジスタ２５をＯＮした後の電圧は、

$$Vaverage = (1/3)\cdot V1 + (2/3)\cdot V2$$

となる。但し、Ｖ１は信号電圧、Ｖ２はＶthの電圧とする。

【００２９】

第３トランジスタ２６は、このトランジスタがＯＮになると分枝トランジスタ２３のゲートの電荷が分枝トランジスタ２３のドレインから徐々に抜けて、分枝トランジスタ２３をＯＦＦにする。このときのゲート電圧がＶthである。同時にドライブ用トランジスタ２２もＯＦＦになる。第３トランジスタ２６がＯＮになったとき、既に分枝トランジスタ２３が遮断状態にあるときには、Ｖthの検出は行われない。

【００３０】

次に、図２に示した駆動回路２０の動作について説明する。

まず、第１のプロセスとして、データ書き込みサイクル(Ｖth検出サイクル)について説明する。ここでは、

第１トランジスタ２４　＝　ＯＮ

第２トランジスタ２５　＝　ＯＦＦ

第３トランジスタ２６　＝　ＯＮ

分枝トランジスタ２３は、ドレイン電流Ｉdが０に漸近接近し、１０μsec程度でほぼ０になる。また、ドライブ用トランジスタ２２は、分枝トランジスタ２３のＩdに比例して、Ｉdが０に漸近接近する。このとき、信号キャパシタ２７に信号電圧が書き込まれ、補償キャパシタ２８では、分枝トランジスタ２３のＶth電圧が書き込まれて検出される。

【００３１】

次に、第２プロセスとして、ポーズについて説明する。ここでは、信号電圧の書き込みが終了し、Ｖthの検出が終了したときである。ここでは、

第１トランジスタ２４　＝　ＯＦＦ

第２トランジスタ２５　＝　ＯＦＦ

第３トランジスタ２６　＝　ＯＦＦ

と全てＯＦＦにして、電圧を確定させる。このとき、

分枝トランジスタ２３はＩd＝０、ドライブ用トランジスタ２２はＩd＝０、信号キャパシタ２７には信号電圧、補償キャパシタ２８には分枝トランジスタ２３のＶth電圧が存在する。前述した第１プロセスと後述する第３プロセスとの間にこの第２プロセスを入れるこ

とにより、第１トランジスタ２４と第２トランジスタ２５、または第２トランジスタ２５と第３トランジスタ２６が同時にオンになることによっておきるレーシングを防ぐことができる。

【００３２】

最後に、第３プロセスとして、第２トランジスタ２５をＯＮにして、信号電圧とＶthとを加算する。加算された電圧は、ドライブ用トランジスタ２２のゲート制御電圧になる。すなわち、

第１トランジスタ２４ ＝ ＯＦＦ

第２トランジスタ２５ ＝ ＯＮ

第３トランジスタ２６ ＝ ＯＦＦ

分枝トランジスタ２３はＩd＝０

ドライブ用トランジスタ２２はＩd＝Ｉs

このとき、信号キャパシタ２７および補償キャパシタ２８は、各々、

（１/３）・信号電圧 ＋ （２/３）・Ｖth

が書き込まれる。

【００３３】

ここで、初期状態における動作を説明する。

初期状態においては、補償キャパシタ２８の電圧は０Ｖであることが予想されるので、ドライブ用トランジスタ２２には電流が流れていない。この状態から徐々にドライブ用トランジスタ２２に電流が流れ始める機構は以下のようになる。まず、初期状態において、信号キャパシタ２７には信号電圧Ｖsがあり、補償キャパシタ２８の電圧Ｖcは０Ｖである。

１回目の書き込みで補償キャパシタ２８には、

Ｖ ＝ （１/３）・Ｖs ＋ （２/３）・Ｖc ＝ （１/３）・Ｖs

の電圧が書き込まれる。この電圧がＶthよりも大きければ、２回目からは信号電圧とＶthとの合成が行われる。

【００３４】

次に経過状態として、２回目以降、ｎ回目の電圧書き込みで、補償キャパシタ２８には次の電圧が与えられる。

Ｖc ＝ Ｖs・（ １ － （２/３）^ｎ ）

このように、補償キャパシタ２８の電圧Ｖcは徐々にＶsに近づいていく。何回か繰り返していくうちに、ドライブ用トランジスタ２２は導通して、一度、ドライブ用トランジスタ２２が導通すると、以降はＶthの補正が行われるようになる。

【００３５】

最後に定常状態として、信号キャパシタ２７には信号電圧Ｖsが与えられ、補償キャパシタ２８には、Ｖthの電圧が入る。第２トランジスタ２５をＯＮにすると、

Ｖc ＝ （１/３）・Ｖs ＋ （２/３）・Ｖth

というように、Ｖthと信号電圧Ｖsとが重み付け加算された電圧が補償キャパシタ２８に残り、これがＯＬＥＤ２１駆動用の大型トランジスタであるドライブ用トランジスタ２２の制御電圧になる。

【００３６】

このようにして、ドライブ用トランジスタ２２をソフト・スタートさせているのは、ドライブ用トランジスタ２２に過大な負荷をかけないためである。もしＶthの検出の前にドライブ用トランジスタ２２を完全にオンにしてしまえば、最初の１回目からＶthの測定ができるが、このサージ電流でＯＬＥＤ２１とドライブ用トランジスタ２２とに過大な負荷が生じる恐れがある。また、サージ電流が流れているときにＯＬＥＤ２１が光るので、画質に関わる暗部のグラテーションは１０００倍程度に制限される。このグラテーションの悪化は、将来において問題となる可能性がある。上述した方法によれば、かかる問題点に対処可能となる。

【００３７】

次に、Ｊフック型のパラシティックトランジスタを用いた駆動回路について説明する。

図３(ａ)～(ｄ)は、Ｊフック型トランジスタのいくつかのパターンを示した図である。本実施の形態では、これらのＪフック型トランジスタを用いて、大電流を流すためのトランジスタＤ１と、Ｖthを検出するための分枝(Twig)のトランジスタＤ２とを形成することが可能である。このＪフック型トランジスタの形状は、図３(ａ)～(ｄ)に示すように大電流を流すために幅が広くなっており、電流を均一に流すために出力ピンを取り囲むようにＪフックの特殊な形状をしている。ここでは、Ｊフック型トランジスタのゲート電極およびソース電極とを共通とし、トランジスタＤ１のドレイン電極の一部を独立させてトランジスタＤ２を形成している。図３(ａ)では分枝のトランジスタＤ２がＤ１の端に形成されており、図３(ｂ)では分枝のトランジスタＤ２がＤ１の途中に形成され、Ｄ１が分断されてＤ１'が形成されている。図３(ｃ)では２つの分枝のトランジスタＤ２,Ｄ２'がＤ１の途中に形成され、分断されたＤ１'とＤ１''が形成されている。図３(ｄ)では３つの分枝のトランジスタＤ２,Ｄ２',Ｄ２''がＤ１の途中に形成され、分断されたＤ１'、Ｄ１''、Ｄ１'''が形成されている。Ｄ１の間に複数のＤ２によって測定すれば、より正確なＶthを得ることができる。但し、分断された部分については接続する必要があることから、配線の点を考慮すると、トランジスタＤ１とトランジスタＤ２の分断された部分が生じていない図３(ａ)に示す構造が最も好ましい。また、これらの駆動用アモルファスシリコンＴＦＴでは、形状の工夫がなされ、電流がある部分に集中的に流れることによる局所的な劣化を抑えることを可能としている。尚、このようなＪフック型の代わりに、円形タイプのトランジスタに対して分枝を形成することも可能である。

【００３８】

図４は、図３(ａ)～(ｄ)に示したようなＪフック型のパラシティックトランジスタを用いてＶthを補正する駆動回路を示した図である。ここでは、ＯＬＥＤ３１と、６つのトランジスタ(３２～３７)、および２つのキャパシタ(３８,３９)から構成されている。トランジスタとしては、ＯＬＥＤ３１の駆動用大型トランジスタとして、図３(ａ)～(ｄ)に示したフック型のトランジスタＤ１(Ｄ１'/Ｄ１''/Ｄ１''')に該当するドライブ用トランジスタ３２、ドライブ用トランジスタ３２とソース電極およびゲート電極等(アモルファスシリコン等を含む)を共通にしてドレイン電極だけが独立している図３(ａ)～(ｄ)に示したトランジスタＤ２(Ｄ２'/Ｄ２'')に該当する分枝(Twig)トランジスタ３３、データ線と信号キャパシタ３８との間にある第１トランジスタ３４、信号キャパシタ３８と補償キャパシタ３９との間にある第２トランジスタ３５、分枝トランジスタ３３のゲートとドレインとの間に入っている第３トランジスタ３６、分枝トランジスタ３３に電流を流すための第４トランジスタ３７を備えている。また、キャパシタとしては、ドライブ用トランジスタ３２の制御に必要な制御電圧が書き込まれる信号キャパシタ３８、ドライブ用トランジスタ３２へ電流が流れ始めるポイントとなるスレッショルド電圧(Ｖth)を記憶するための補償キャパシタ３９を備えている。

【００３９】

第４トランジスタ３７を制御するNot Select信号は、ドライブ用トランジスタ３２と分枝トランジスタ３３とを切り離す際に用いられる。Ｎ－１次セレクト(N-1 th Select)信号では、ここがＯＮになると分枝トランジスタ３３のＶthが検出される。また、データ(Data)信号は書き込まれる電圧であり、Ｎ次セレクト(N th Select)信号は書き込みのためのラインをＯＮするために用いられる。Ｎ－１次セレクト信号は、実際にデータが書き込まれるこのＮ次の前に、Ｖth読み込みのために作られる信号である。

【００４０】

図５は、図４に示す駆動回路を駆動するためのタイミングチャートを示した図である。図５に示す各期間(▲１▼～▲３▼)の動作として、まず期間▲１▼では、Ｎ－１次のセレクトＡ信号により第２トランジスタ３５と第３トランジスタ３６とをＯＮさせ、信号キャパシタ３８および補償キャパシタ３９に対し、ドライブ用トランジスタ３２および分枝トランジスタ３３の電圧Ｖthの蓄積を開始する。蓄積の開始時点で、ドライブ用トランジスタ３２および分枝トランジスタ３３のゲート電位はＶthよりも大きくなる必要があることから、セレクトＢ信号により第４トランジスタ３７をＯＮにして、Ｖthよりも大きい電位を

確保する。

【００４１】

期間▲２▼では、第４トランジスタ３７をＯＦＦにして、信号キャパシタ３８および補償キャパシタ３９に蓄えられた電荷は、第３トランジスタ３６および分枝トランジスタ３３を通して設置電位へ流れる。これは、分枝トランジスタ３３のゲートソース電圧Ｖgsが、Ｖgs＝Ｖthとなるまで行われる。

【００４２】

期間▲３▼では、Ｎ次(書き込みライン)のセレクトＡ信号がハイとなり、第２トランジスタ３５と第３トランジスタ３６とをＯＦＦにし、第１トランジスタ３４をＯＮにして、データ線からデータ電圧Ｖdataを書き込む。このとき、容量分割によって、補償キャパシタ３９の電位は、次式のようになる。

【式４】

$$V_{C2} = Vth + \frac{C1}{C1 + C2 + Cg} \cdot Vdata = Vth + \beta \cdot Vdata = Vgs$$

よって、ドライブ用トランジスタ３２を流れる電流は次式のようになり、Ｖthには依存しなくなる。

【式５】

$$Ids = \alpha (Vgs - Vth)^2 = \alpha(\beta \cdot Vdata)^2$$

【００４３】

図６(ａ),(ｂ)は、アモルファスシリコンＴＦＴにおいて、Ｖthの取り出し構成例を示した図である。図６(ａ)は上面から見た状態を示しており、図６(ｂ)は図６(ａ)のＡ-Ａ断面を示している。まず、図６(ｂ)に示すように、逆スタガ型のアモルファスシリコンＴＦＴの構造は、ガラス基板５５上にゲート電極５１が形成され、その上にＳｉＮｘ等の絶縁膜５６が形成される。その絶縁膜５６の上にアモルファスシリコン(ａ-Ｓｉ)５７が積層され、その上にソース電極５２とドレイン電極５３が形成される。本実施の形態では、図６(ａ)に示すように、ドレイン電極５３の近傍に、このドレイン電極５３に追従する第４の電極である分枝(Twig)電極５４を設けた点に特徴がある。即ち、ゲート電極５１およびソース電極５２を共に用いた状態にて、図２および図３に示したドライブ用トランジスタ２２,３２はこのドレイン電極５３によって形成され、分枝トランジスタ２３,３３はこの分枝電極５４によって形成される。

【００４４】

ここでは、分枝電極５４がドレイン電極５３の近傍に設けられ、分枝電極５４ができるだけドレイン電極５３に囲まれるようにし、分枝電極５４の電圧ができるだけドレイン電極５３の電極に等しくなることが好ましい。アモルファスシリコン(ａ-Ｓｉ)５７は、電圧をかけると徐々に電圧が変わっていき、電圧の影響が徐々に遠距離に及んでいく。そのために、分枝電極５４をドレイン電極５３によって囲んだ構造にすると、分枝電極５４にドレイン電極５３の影響を強く及ぼすことができ、分枝電極５４にて得られる電圧がドレイン電極５３に近くなる。

【００４５】

図７(ａ),(ｂ)は、アモルファスシリコンＴＦＴの他の構成例を示した図である。図７(ａ)では、Ｌ字型の２つのドレイン電極５３に挟まれるように分枝電極５４が設置されている。また、図７(ｂ)では、２つのドレイン電極５３の間に挟まれるようにＴ字型の分枝電極５４が設けられる。これらのように、ドレイン電極５３および分枝電極５４の形状に工夫を加え、できるだけ両者を近い位置に配置し、且つ、スペースの許す限り長いエリアに亘って隣接できるように配置すれば、ドレイン電極５３に対して、より追従した電圧が分枝電極５４にて得られ、アモルファスシリコンＴＦＴにおけるＶthの測定精度を飛躍的に

向上させることができる。

【００４６】

このように、本実施の形態では、ＯＬＥＤ２１，３１の駆動のために大電流が流れるアモルファスシリコンＴＦＴからなるドライブ用トランジスタ２２，３２において、ゲート電極５１、ソース電極５２等を共通にした分枝電極５４を備える分枝トランジスタ２３，３３により、そのスレッショルド電圧(Ｖth)を測定するように構成した。即ち、ドライブ用トランジスタ２２，３２に電流を流している状態から電流を十分に減らしたときのゲート電圧を見る方法に、この分枝トランジスタ２３，３３を利用することにより、ドライブ用トランジスタ２２，３２におけるＶthの検出を容易に行い、かつ精度を高めることができる。

【００４７】

ここで、例えば２個のトランジスタを直列につないで、片方は電流のＯＮ/ＯＦＦの制御、片方は電流地の制御をする方法によりＶthを検出する方法が考えられるが、トランジスタを直列に接続することとなり、アモルファスシリコンＴＦＴのように電子移動度の小さなデバイスにて実現しようとすると、トランジスタの占める面積が大きくなり、実装が困難となる。しかしながら、この分枝トランジスタ２３，３３を利用することにより、かかる実装上の問題を解決することができる。即ち、１個のアモルファスシリコンＴＦＴにおけるトランジスタ構造の中に、Ｖthを検出する部分と電流を流す部分とを兼ね備えたＴＦＴの構造を作ることで、大きなＴＦＴを複数個、設ける必要がなくなる。

【００４８】

また、本実施の形態では、検出されたＶthと信号電圧とを合成するために、スイッチドキャパシタ方式を用い、Ｖthの測定と信号の書き込みとを平行して行える(Ｖthの検出とデータ書き込みとを同時に行う)ようにした。即ち、得られたＶthをキャパシタに蓄積し、信号電圧を加算するように構成した。これによって、制御が簡単になり、制御線の数を少なくすることができる。また、書き込み時間が短く、電流安定性の良い駆動回路を提供することができる。

【００４９】

尚、本実施の形態では、分枝電極５４を形成するに際して、ゲート電極５１およびソース電極５２を共通とし、ドレイン電極５３を分枝させるように構成したが、ゲート電極５１およびドレイン電極５３を共通にし、ソース電極５２を分枝させるように構成することも可能である。

【００５０】

【発明の効果】

以上説明したように、本発明によれば、アモルファスシリコンＴＦＴにてスレッショルド電圧(Ｖth)を適切に取り出すことができる。

【図面の簡単な説明】

【図１】　本実施の形態が適用されるアクティブマトリクス型のＯＬＥＤディスプレイを示した図である。

【図２】　ＯＬＥＤディスプレイに用いられる駆動回路の構成を示した図である。

【図３】　(ａ)～(ｄ)は、Ｊフック型トランジスタのいくつかのパターンを示した図である。

【図４】　Ｊフック型のパラシティックトランジスタを用いてＶthを補正する駆動回路を示した図である。

【図５】　図４に示す駆動回路を駆動するためのタイミングチャートを示した図である。

【図６】　(ａ),(ｂ)は、アモルファスシリコンＴＦＴにおいて、Ｖthの取り出し構成例を示した図である。

【図７】　(ａ),(ｂ)は、アモルファスシリコンＴＦＴの他の構成例を示した図である。

【図８】　従来の電圧書き込み方式においてＶth補正を実現する方法を説明するための図である。

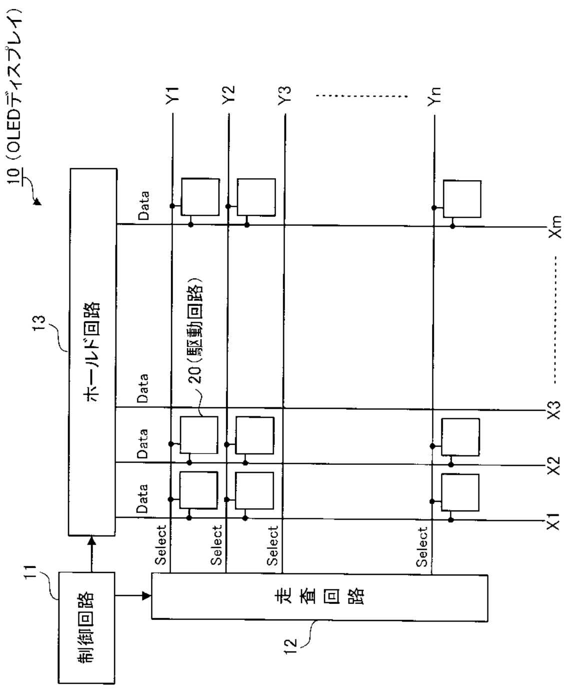
【図９】　従来の電流書き込み方式においてＶth補正を実現したものを説明するための図

である。

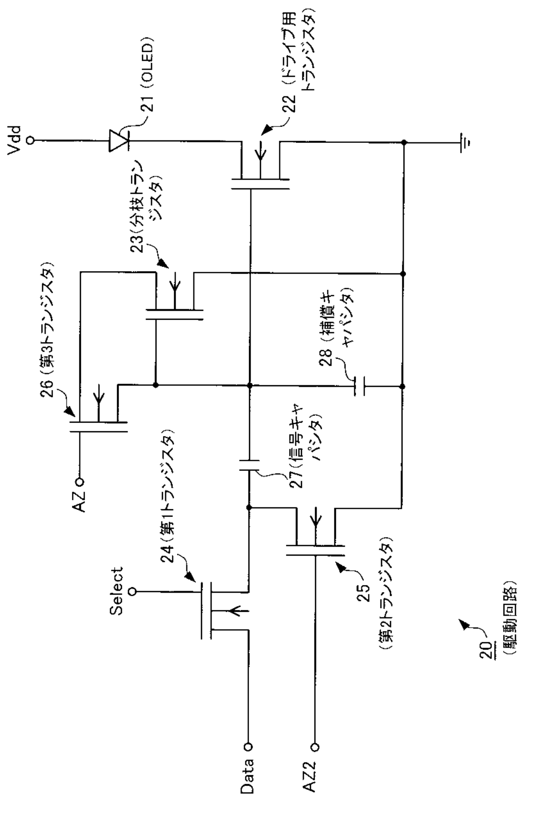
【符号の説明】

１０…ＯＬＥＤディスプレイ、１１…制御回路、１２…走査回路、１３…ホールド回路、２０…駆動回路、２１…ＯＬＥＤ(Organic Light Emitting Diode)、２２…ドライブ用トランジスタ、２３…分枝(Twig)トランジスタ、２４…第１トランジスタ、２５…第２トランジスタ、２６…第３トランジスタ、２７…信号キャパシタ、２８…補償キャパシタ、３１…ＯＬＥＤ、３２…ドライブ用トランジスタ、３３…分枝(Twig)トランジスタ、３４…第１トランジスタ、３５…第２トランジスタ、３６…第３トランジスタ、３７…第４トランジスタ、３８…信号キャパシタ、３９…補償キャパシタ、５１…ゲート電極、５２…ソース電極、５３…ドレイン電極、５４…分枝(Twig)電極、５５…ガラス基板、５６…絶縁膜、５７…アモルファスシリコン(ａ-Ｓｉ)

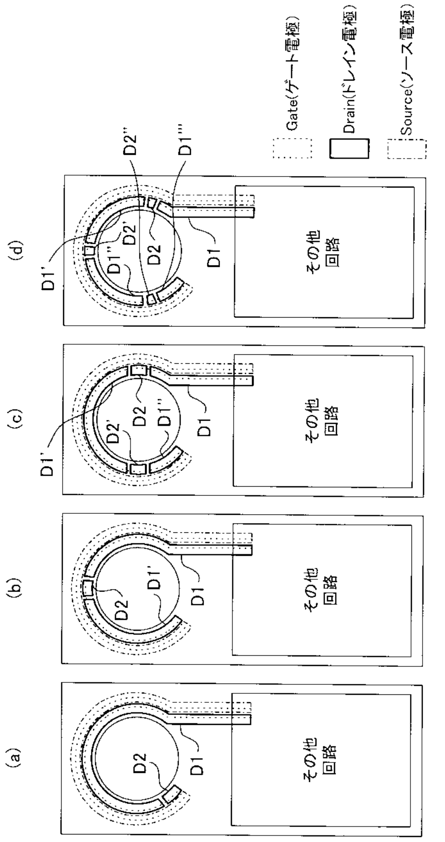
【図１】



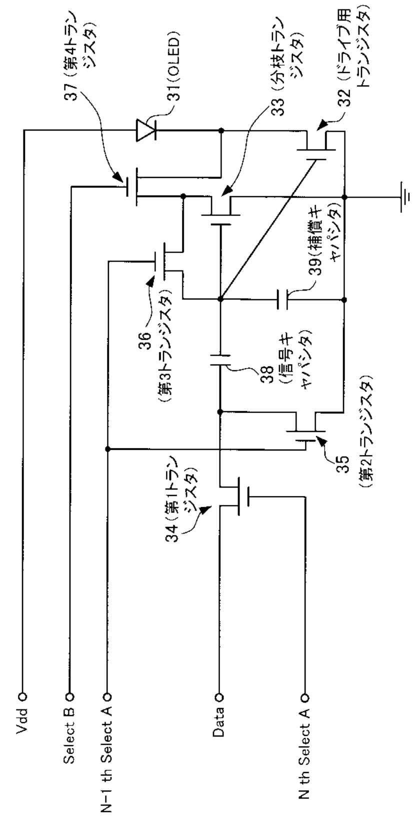
【図２】



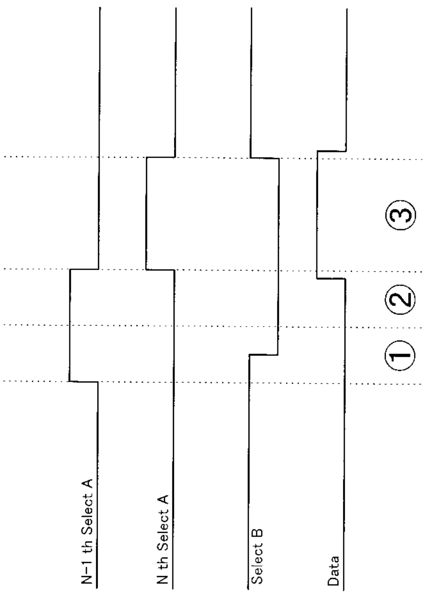
【図３】


(a)
(b)
(c)
(d)
D1
D2
D1'
D2'
D1''
D2''
D1'''
その他
回路
Gate(ゲート電極)
Drain(ドレイン電極)
Source(ソース電極)

【図４】

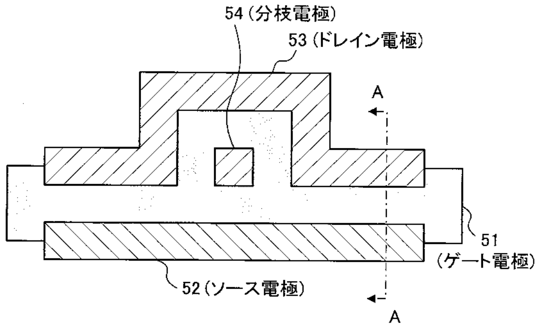

37(第4トランジスタ)
31(OLED)
33(分枝トランジスタ)
32(ドライブ用トランジスタ)
39(補償キャパシタ)
36(第3トランジスタ)
38(信号キャパシタ)
35(第2トランジスタ)
34(第1トランジスタ)
Vdd
Select B
N-1 th Select A
Data
N th Select A

【図５】

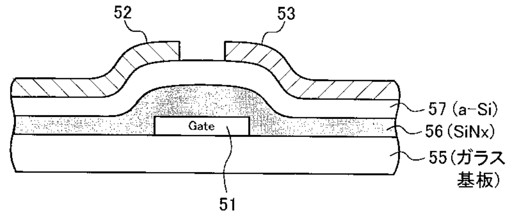

①
②
③
N-1 th Select A
N th Select A
Select B
Data

【図６】

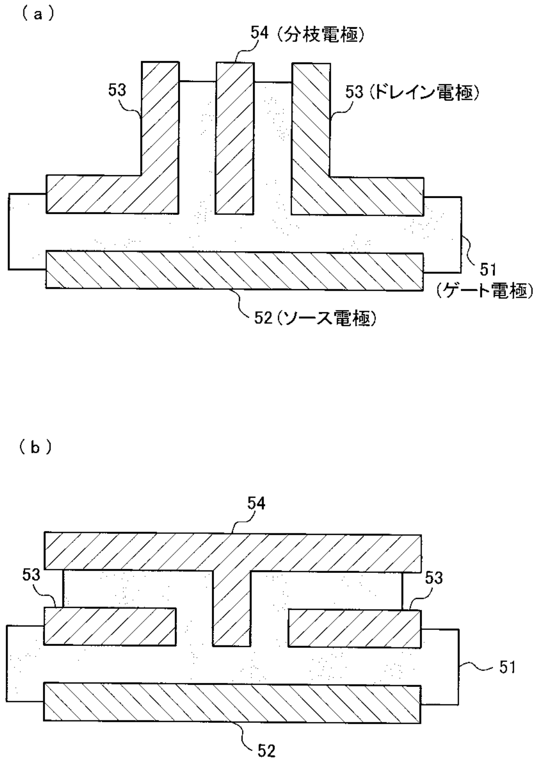
（a）


54(分枝電極)
53(ドレイン電極)
A
51
(ゲート電極)
52(ソース電極)
A

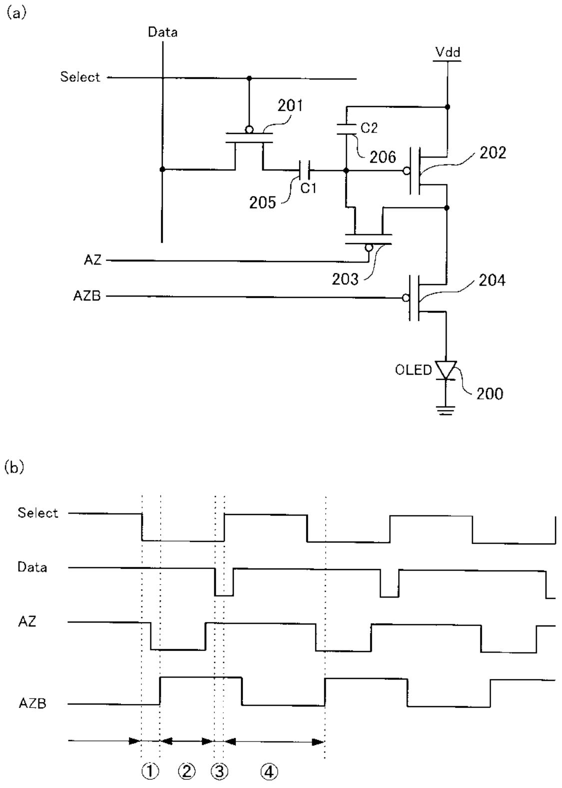
（b）


52
53
Gate
57(a-Si)
56(SiNx)
55(ガラス
基板)
51

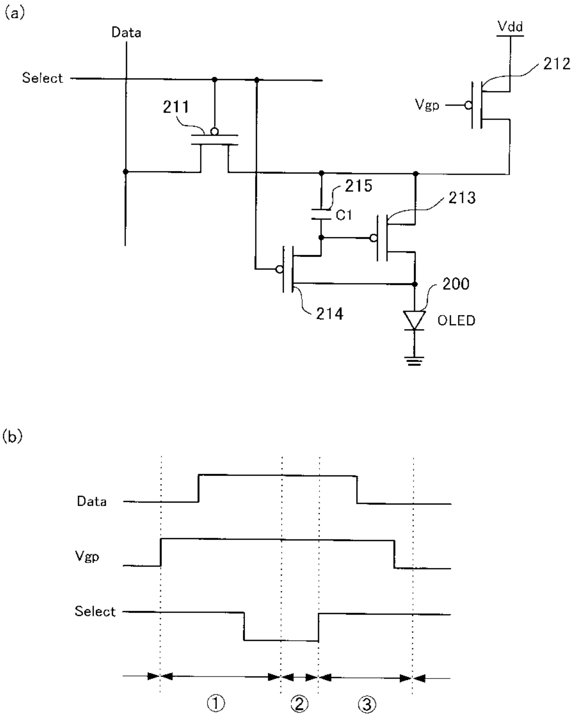
【図７】


(a)
54 (分枝電極)
53
53 (ドレイン電極)
51
(ゲート電極)
52 (ソース電極)
(b)
54
53
53
51
52

【図８】


(a)
Data
Vdd
Select
201
C2
206
202
205
C1
AZ
203
AZB
204
OLED
200
(b)
Select
Data
AZ
AZB
①
②
③
④

【図９】


(a)
Data
Vdd
Select
212
211
Vgp
215
C1
213
200
214
OLED
(b)
Data
Vgp
Select
①
②
③

フロントページの続き

(51)Int.Cl.			FI		
H01L 51/50	*(2006.01)*		G09F	9/30	365Z
			H01L	29/78	614
			H01L	29/78	616T
			H05B	33/14	A

(72)発明者　小林　芳直
神奈川県大和市下鶴間１６２３番地１４　日本アイ・ビー・エム株式会社　東京基礎研究所内
(72)発明者　辻村　隆俊
神奈川県大和市下鶴間１６２３番地１４　日本アイ・ビー・エム株式会社　東京基礎研究所内
(72)発明者　小野　晋也
神奈川県大和市下鶴間１６２３番地１４　日本アイ・ビー・エム株式会社　東京基礎研究所内

審査官　福村　拓

(56)参考文献　特開平１１－２１９１４６（ＪＰ，Ａ）
国際公開第０１／００６４８４（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3/00-3/38
G02F 1/133 505-580

patsnap

专利名称(译)	显示设备		
公开(公告)号	JP3956347B2	公开(公告)日	2007-08-08
申请号	JP2002050171	申请日	2002-02-26
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
当前申请(专利权)人(译)	国际商业机器公司		
[标]发明人	小林芳直 辻村隆俊 小野晋也		
发明人	小林 芳直 辻村 隆俊 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L29/786 H01L51/50 G09G3/32 G09G3/3225 G09G3/3266 G09G3/3283 G09G3/3291 H01L29/417 H01L29/423		
CPC分类号	G09G3/3233 G09G3/325 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/06 G09G2320/043 H01L27/3244 H01L29/41733 H01L29/42384 H01L29/78669		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.641.C G09F9/30.338 G09F9/30.365.Z H01L29/78.614 H01L29/78.616.T H05B33/14.A G09F9/30.365 G09G3/3225 G09G3/3266 G09G3/3283 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/BB07 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC43 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/DD05 5C080/DD23 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA07 5C094/AA48 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FA01 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB22 5C380/BA11 5C380/BA12 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BB23 5C380/BD02 5C380/BD05 5C380/CA12 5C380/CA13 5C380/CB16 5C380/CB17 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC12 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC64 5C380/CC77 5C380/CD012 5C380/CD024 5C380/CD025 5C380/CD026 5C380/DA06 5F110/AA08 5F110/BB02 5F110/CC07 5F110/DD02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG23 5F110/HM04 5F110/HM12 5F110/NN72		
代理人(译)	坂口 博		
审查员(译)	福村 拓		
其他公开文献	JP2003255856A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过非晶硅TFT适当地获得阈值电压（Vth）。解决方案：驱动电路设置有自发光OLED 21，驱动OLED 21的驱动晶体管22，分支晶体管23，其通过使晶体管22的一部分电极独立并且检测阈值电压而形成（晶体管22的Vth），写入由晶体管23检测的电压（Vth）的补偿电容器28，写入晶体管22的信号电压的信号电容器27，位于a之间的第一晶体管24数据线和电容器27，位于电容器27和28之间的第二晶体管25和位于晶体管23的栅极和另一电极之间的第三晶体管26。 Ž

ここで、

【式３】

$$\beta = \frac{C1}{C1 + C2 + Cg}$$