

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-231090

(P2009-231090A)

(43) 公開日 平成21年10月8日(2009.10.8)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/22 (2006.01)	H05B 33/22 Z	3K107
G09F 9/30 (2006.01)	G09F 9/30 365Z	5C094
H01L 27/32 (2006.01)	H05B 33/10	
H05B 33/10 (2006.01)	H05B 33/14 A	
H01L 51/50 (2006.01)	H05B 33/12 B	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2008-75854 (P2008-75854)
 (22) 出願日 平成20年3月24日 (2008.3.24)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 山本 和人
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子技術センター内
 Fターム(参考) 3K107 AA01 BB01 CC33 CC45 DD58
 DD70 DD89 DD90 EE03 GG00
 GG06 GG11
 5C094 AA55 BA03 BA27 DA13 HA10

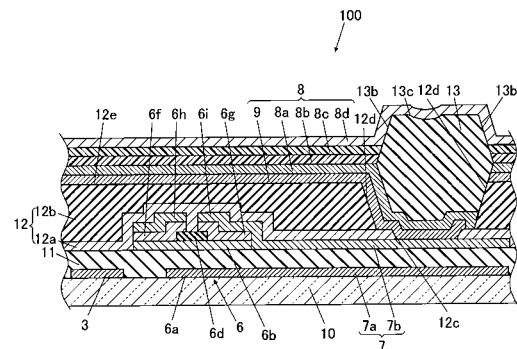
(54) 【発明の名称】 E Lパネル及びE Lパネルの製造方法

(57) 【要約】

【課題】 キャリア輸送層の膜厚むらを低減する。

【解決手段】 E Lパネル100は、画素回路のソース電極6iを露出可能とするように離間して設けられた平坦化膜12bを備えており、その離間した平坦化膜12b間に相当する第二開口部12d部分に設けられたバンク13は上面が平坦な安定した形状を有しているため、そのバンク13は、バンク13間に塗布される有機発光材料が含有される液状体を好適に塞ぎ止めることができ、バンク13間に形成されるキャリア輸送層(正孔注入層8b、発光層8c)は安定した膜厚を有することとなり、そのキャリア輸送層の膜厚むらを低減することが可能になる。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板上に設けられた電極を備える画素回路と、

前記画素回路の上方を被覆し、前記画素回路の電極部分に第一開口部が形成された第一絶縁膜と、

前記第一開口部の周囲の前記第一絶縁膜を露出するように、その第一開口部よりも幅広な第二開口部が形成された第二絶縁膜と、

前記第一開口部における前記画素回路の電極上、前記第一開口部の周囲の前記第一絶縁膜上、及び前記第二絶縁膜上を覆う第一電極と、

前記第一電極上であって、前記第二絶縁膜の前記第二開口部内に設けられた隔壁と、

前記第一電極上であって、前記隔壁間に有機発光材料が溶媒に溶解または分散された液体が塗布されて乾燥されてなるキャリア輸送層と、

前記キャリア輸送層を覆う第二電極と、

を備えることを特徴とする E L パネル。

【請求項 2】

前記隔壁は、前記第二開口部が延在する方向に沿って設けられていることを特徴とする請求項 1 に記載の E L パネル。

【請求項 3】

前記第二絶縁膜は、前記画素回路の凹凸を抑制する平坦化膜であることを特徴とする請求項 1 又は 2 に記載の E L パネル。

【請求項 4】

基板上に形成された画素回路の上方を被覆し、前記画素回路の電極部分に第一開口部を有する第一絶縁膜を形成する工程と、

前記第一開口部及び前記第一開口部の周囲の前記第一絶縁膜を露出させるように、その第一開口部よりも幅広な第二開口部を有する第二絶縁膜を形成する工程と、

前記第一開口部における前記画素回路の電極上、前記第一開口部の周囲の前記第一絶縁膜上、及び前記第二絶縁膜上を覆う第一電極を形成する工程と、

前記第一電極上であって、前記第二絶縁膜の前記第二開口部内に隔壁を形成する工程と、

前記第一電極上であって、前記隔壁間に有機発光材料が溶媒に溶解または分散された液体を塗布しキャリア輸送層を形成する工程と、

前記キャリア輸送層を覆う第二電極を形成する工程と、

を備えることを特徴とする E L パネルの製造方法。

【請求項 5】

前記隔壁は、前記第一電極上に成膜された隔壁材における前記第二絶縁膜間に相当する部分を残すパターンング後に、焼成されて形成されることを特徴とする請求項 4 に記載の E L パネルの製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、E L パネル及び E L パネルの製造方法に関する。

【背景技術】**【0002】**

従来、E L (Electro Luminescence) ディスプレイパネルに用いられる有機 E L 素子の製造プロセスにおいて、キャリア輸送層を成膜する工程として、ガラス基板に設けられた画素電極を囲むように形成された隔壁間に、ノズルを通じて液体状の有機 E L 材料を塗布することでキャリア輸送層を形成する技術が知られている (例えば、特許文献 1 参照。)

。

【特許文献 1】特開 2000-323276 号公報

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、隔壁間に塗布された液体状の有機EL材料は、隔壁の壁面形状などに応じて塗れ広がり方が異なることがあり、隔壁の形状に起因してキャリア輸送層の膜厚にばらつきが生じてしまうことがある。

【0004】

例えば、トランジスタを備えたELパネルでは、トランジスタを覆う絶縁膜にコンタクトホールを設けて、このコンタクトホールによって絶縁膜の上方に位置する有機EL素子とトランジスタとを電氣的に接続する場合、コンタクトホールの形成による凹凸の影響でコンタクトホールの上方に設けられた部材まで凹凸が生じてしまう。この位置に隔壁が設けられていると、隔壁の上面側に陥没部が形成されてしまい、塗布した液体状の有機EL材料が隔壁面を越えて陥没部に流出してしまうことや、隔壁自体を越えてしまうことなどがあり、それによりキャリア輸送層の膜厚が不均一になってしまい、その膜厚むらに起因する発光むらが生じてしまうことがある。

10

【0005】

そこで、本発明の課題は、キャリア輸送層の膜厚むらを低減することである。

【課題を解決するための手段】

【0006】

以上の課題を解決するため、請求項1に記載の発明は、ELパネルであって、
基板と、
前記基板上に設けられた電極を備える画素回路と、
前記画素回路の上方を被覆し、前記画素回路の電極部分に第一開口部が形成された第一絶縁膜と、
前記第一開口部の周囲の前記第一絶縁膜を露出するように、その第一開口部よりも幅広な第二開口部が形成された第二絶縁膜と、
前記第一開口部における前記画素回路の電極上、前記第一開口部の周囲の前記第一絶縁膜上、及び前記第二絶縁膜上を覆う第一電極と、
前記第一電極上であって、前記第二絶縁膜の前記第二開口部内に設けられた隔壁と、
前記第一電極上であって、前記隔壁間に有機発光材料が溶媒に溶解または分散された液状体が塗布されて乾燥されてなるキャリア輸送層と、
前記キャリア輸送層を覆う第二電極と、
を備えることを特徴とする。

20

30

【0007】

請求項2に記載の発明は、請求項1に記載のELパネルにおいて、
前記隔壁は、前記第二開口部が延在する方向に沿って設けられていることを特徴とする。

【0008】

請求項3に記載の発明は、請求項1又は2に記載のELパネルにおいて、
前記第二絶縁膜は、前記画素回路の凹凸を抑制する平坦化膜であることを特徴とする。

40

【0009】

請求項4に記載の発明は、ELパネルの製造方法であって、
基板上に形成された画素回路の上方を被覆し、前記画素回路の電極部分に第一開口部を有する第一絶縁膜を形成する工程と、
前記第一開口部及び前記第一開口部の周囲の前記第一絶縁膜を露出させるように、その第一開口部よりも幅広な第二開口部を有する第二絶縁膜を形成する工程と、
前記第一開口部における前記画素回路の電極上、前記第一開口部の周囲の前記第一絶縁膜上、及び前記第二絶縁膜上を覆う第一電極を形成する工程と、
前記第一電極上であって、前記第二絶縁膜の前記第二開口部内に隔壁を形成する工程と、

50

前記第一電極上であって、前記隔壁間に有機発光材料が溶媒に溶解または分散された液状体を塗布しキャリア輸送層を形成する工程と、

前記キャリア輸送層を覆う第二電極を形成する工程と、
を備えることを特徴とする。

【0010】

請求項5に記載の発明は、請求項4に記載のELパネルの製造方法において、

前記隔壁は、前記第一電極上に成膜された隔壁材における前記第二絶縁膜間に相当する部分を残すパターンニング後に、焼成されて形成されることを特徴とする。

【発明の効果】

【0011】

10

本発明によれば、ELパネルは、画素回路の電極を露出可能とする第一開口部を有する第一絶縁膜と、その第一絶縁膜を覆う第二絶縁膜を備えており、第二絶縁膜は第一開口部の周囲の第一絶縁膜を露出することができる、第一開口部より幅広な第二開口部を有しているので、その第二開口部部分である第二絶縁膜間に相当する位置に設けられる隔壁の上面は比較的平坦に形成される。

つまり、このELパネルは、上面が平坦な形状の隔壁であって、有機発光材料が含有される液状体を好適に塞き止めることができる隔壁を備えるので、隔壁間に形成されるキャリア輸送層は安定した膜厚を有することとなって、膜厚むらを低減することができる。

【発明を実施するための最良の形態】

【0012】

20

以下に、本発明を実施するための好ましい形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0013】

図1は、ELパネル100における複数の画素Pの配置構成を示す平面図であり、図2は、ELパネル100の概略構成を示す平面図である。

【0014】

図1、図2に示すように、ELパネル100には、R（赤）、G（緑）、B（青）をそれぞれ発光する複数の画素Pがマトリクス状に配置されている。

このELパネル100には、複数の走査線2が行方向に沿って互いに略平行となるよう配列され、複数の信号線3が平面視して走査線2と略直交した列方向に沿って互いに略平行となるよう配列されている。また、隣り合う走査線2の間において、電圧供給線4が走査線2に沿って設けられている。これら各走査線2と隣接する二本の信号線3と、各電圧供給線4とによって囲われる範囲が、画素Pに相当する。ここでは、R（赤）を発光する複数の画素P、G（緑）を発光する複数の画素P、B（青）を発光する複数の画素Pが、それぞれ信号線3の配列方向に沿って並んで配列され、且つ走査線の配列方向に沿ってR（赤）を発光する画素P、G（緑）を発光する画素P、B（青）を発光する画素Pの順に配列されている。

30

また、ELパネル100には、信号線3に沿う方向に延在する隔壁であるバンク13が設けられている。このバンク13によって挟まれた範囲に所定のキャリア輸送層（後述する正孔注入層8b、発光層8c）が設けられて、画素Pの発光領域となる。したがって、バンク13は、R（赤）、G（緑）、B（青）の各色ごとに画素Pを仕切っている。

40

【0015】

図3は、アクティブマトリクス駆動方式で動作するELパネル100の1画素に相当する画素回路を示した回路図である。

【0016】

図3に示すように、ELパネル100には、走査線2と、走査線2と交差する信号線3と、走査線2に沿う電圧供給線4とが設けられており、このELパネル100の1画素（1画素回路）につき、スイッチトランジスタ5である薄膜トランジスタと、駆動トランジスタ6である薄膜トランジスタと、キャパシタ7と、EL素子8とが設けられている。

50

【 0 0 1 7 】

各画素 P においては、スイッチトランジスタ 5 のゲートが走査線 2 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの一方が信号線 3 に接続され、スイッチトランジスタ 5 のドレインとソースのうちの他方がキャパシタ 7 の一方の電極及び駆動トランジスタ 6 のゲートに接続されている。駆動トランジスタ 6 のソースとドレインのうちの一方が電圧供給線 4 に接続され、駆動トランジスタ 6 のソースとドレインのうちの他方がキャパシタ 7 の他方の電極及び E L 素子 8 のアノードに接続されている。なお、全ての画素 P の E L 素子 8 のカソードは一定電圧 V com が印加されている（例えば、接地されている）。

【 0 0 1 8 】

また、この E L パネル 1 0 0 の周囲において各走査線 2 が走査側ドライバに接続され、各電圧供給線 4 が一定電圧源又は適宜電圧信号を出力するドライバに接続され、信号線 3 がデータ側ドライバに接続され、これらドライバによって E L パネル 1 0 0 がアクティブマトリクス駆動方式で駆動される。電圧供給線 4 には、一定電圧源又はドライバによって所定の電力が供給される。

【 0 0 1 9 】

次に、E L パネル 1 0 0 と、その画素 P の画素回路について、図 2 ～ 図 5 を用いて説明する。

【 0 0 2 0 】

図 4 は、E L パネル 1 0 0 の 1 画素に相当する部分の平面図である。図 5 は、E L パネル 1 0 0 の 1 画素に相当する部分の断面図である。

図 4 に示すように、スイッチトランジスタ 5 及び駆動トランジスタ 6 は、信号線 3 に沿うように配列され、駆動トランジスタ 6 のゲート - ソース間に設けられたキャパシタが配置され、駆動トランジスタ 6 の近傍に E L 素子 8 が配置されている。また、走査線 2 と電圧供給線 4 の間に、スイッチトランジスタ 5、駆動トランジスタ 6、キャパシタ 7 及び E L 素子 8 が配置されている。

駆動トランジスタ 6 は、図 5 に示すように、駆動トランジスタ 6 は、ゲート電極 6 a、半導体膜 6 b、チャネル保護膜 6 d、不純物半導体膜 6 f、6 g、ドレイン電極 6 h、ソース電極 6 i 等を有するものである。スイッチトランジスタ 5 は、以下に詳述する駆動トランジスタ 6 と同様に、ゲート電極 5 a、半導体膜、チャネル保護膜、不純物半導体膜、ドレイン電極 5 h、ソース電極 5 i 等を有するものであり、その詳細については省略する。

【 0 0 2 1 】

図 5 に示すように、ガラス基板などである絶縁性の基板 1 0 の上にゲート絶縁膜 1 1 が成膜されており、そのゲート絶縁膜 1 1 の上に層間絶縁膜 1 2 が成膜されている。

また、ゲート絶縁膜 1 1 には、ゲート電極 5 a と走査線 2 とが重なる領域にコンタクトホール 1 1 a が形成され、ドレイン電極 5 h と信号線 3 とが重なる領域にコンタクトホール 1 1 b が形成され、ゲート電極 6 a とソース電極 5 i とが重なる領域にコンタクトホール 1 1 c が形成されており、コンタクトホール 1 1 a ～ 1 1 c 内に導電性のコンタクトプラグ 2 0 a ～ 2 0 c がそれぞれ埋め込まれている。このためコンタクトプラグ 2 0 a によってスイッチトランジスタ 5 のゲート電極 5 a と走査線 2 が電氣的に導通し、コンタクトプラグ 2 0 b によってスイッチトランジスタ 5 のドレイン電極 5 h と信号線 3 が電氣的に導通し、コンタクトプラグ 2 0 c によってスイッチトランジスタ 5 のソース電極 5 i と駆動トランジスタ 6 のゲート電極 6 a が電氣的に導通する。なお、コンタクトプラグ 2 0 a ～ 2 0 c を設けることなく、走査線 2 が直接ゲート電極 5 a と接触し、ドレイン電極 5 h が信号線 3 と接触し、ソース電極 5 i がゲート電極 6 a と接触してもよい。

信号線 3 はゲート絶縁膜 1 1 と基板 1 0 との間に形成されている。なお、図示はしないが、走査線 2 及び電圧供給線 4 はゲート絶縁膜 1 1 と層間絶縁膜 1 2 との間に形成されている。

【 0 0 2 2 】

ゲート電極 5 a 及びゲート電極 6 a は、基板 1 0 とゲート絶縁膜 1 1 の間に形成されている。このゲート電極 5 a 及びゲート電極 6 a は、例えば、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlTiNd 合金膜からなる。また、ゲート電極 5 a 及びゲート電極 6 a の上に絶縁性のゲート絶縁膜 1 1 が成膜されており、そのゲート絶縁膜 1 1 によってゲート電極 5 a 及びゲート電極 6 a が被覆されている。

ゲート絶縁膜 1 1 は、例えば、シリコン窒化物又はシリコン酸化物からなる。このゲート絶縁膜 1 1 上であってゲート電極 6 a に対応する位置に真性な半導体膜 6 b が形成されており、半導体膜 6 b がゲート絶縁膜 1 1 を挟んでゲート電極 6 a と相対している。

半導体膜 6 b は、例えば、アモルファスシリコン又は多結晶シリコンからなる。また、半導体膜 6 b の中央部上には、絶縁性のチャネル保護膜 6 d が形成されている。このチャネル保護膜 6 d は、例えば、シリコン窒化物又はシリコン酸化物からなる。

また、半導体膜 6 b の一端部の上には、不純物半導体膜 6 f が一部チャネル保護膜 6 d に重なるようにして形成されており、半導体膜 6 b の他端部の上には、不純物半導体膜 6 g が一部チャネル保護膜 6 d に重なるようにして形成されている。そして、不純物半導体膜 6 f , 6 g は半導体膜 6 b の両端側に互いに離間して形成されている。なお、不純物半導体膜 6 f , 6 g は、駆動トランジスタ 6 が n 型トランジスタであれば n 型半導体であり、駆動トランジスタ 6 が p 型トランジスタであれば p 型半導体となる。

不純物半導体膜 6 f の上には、ドレイン電極 6 h が形成されている。不純物半導体膜 6 g の上には、ソース電極 6 i が形成されている。ドレイン電極 6 h , ソース電極 6 i は、例えば、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlTiNd 合金膜からなる。

チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i の上には、絶縁性の保護膜 1 2 a と絶縁性の平坦化膜 1 2 b とからなる絶縁性の層間絶縁膜 1 2 が成膜され、チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i が層間絶縁膜 1 2 によって被覆されている。

【 0 0 2 3 】

キャパシタ 7 は、図 5 に示すように、基板 1 0 とゲート絶縁膜 1 1 との間に第一容量電極 7 a が形成され、ゲート絶縁膜 1 1 の上に第二容量電極 7 b が形成されており、その第一容量電極 7 a と第二容量電極 7 b が、ゲート絶縁膜 1 1 を挟んで相対している。

また、キャパシタ 7 の第一容量電極 7 a は駆動トランジスタ 6 のゲート電極 6 a と一体形成されており、キャパシタ 7 の第二容量電極 7 b は駆動トランジスタ 6 のソース電極 6 i と一体形成されており、第一容量電極 7 a とゲート電極 6 a、第二容量電極 7 b とソース電極 6 i とは、それぞれ電氣的に導通している。

【 0 0 2 4 】

層間絶縁膜 1 2 は、第一絶縁膜である保護膜 1 2 a と第二絶縁膜である平坦化膜 1 2 b とで構成されている。保護膜 1 2 a は、50 nm ~ 200 nm 程度の膜厚であり、例えば、シリコン窒化物又はシリコン酸化物からなり、平坦化膜 1 2 b は、1 µm ~ 4 µm 程度の膜厚であり、例えば、アクリル系もしくはエポキシ系熱硬化樹脂を硬化してなる。

保護膜 1 2 a は、薄膜トランジスタ (スイッチトランジスタ 5 及び駆動トランジスタ 6) を被覆し、画素回路における駆動トランジスタ 6 のソース電極 6 i (第二容量電極 7 b) 部分に第一開口部 1 2 c が形成されている。そして、ソース電極 6 i に接続された第二容量電極 7 b が保護膜 1 2 a の第一開口部 1 2 c から露出している。

平坦化膜 1 2 b は、薄膜トランジスタ (スイッチトランジスタ 5 及び駆動トランジスタ 6) の上方となる保護膜 1 2 a 上に設けられており、第一開口部 1 2 c の周囲の保護膜 1 2 a が露出する第二開口部 1 2 d が形成されている。この平坦化膜 1 2 b は、凹凸のある薄膜トランジスタ (スイッチトランジスタ 5 及び駆動トランジスタ 6) の上面を覆うことで、そのトランジスタによる凹凸を緩和し、基板 1 0 と略平行となる平坦な上面を成すようになっている。そして、平坦化膜 1 2 b の上面が、基板 1 0 と略平行となる平坦面を有することによって、平坦化膜 1 2 b 上に EL 素子 8 を好適に形成することが可能になる。

【 0 0 2 5 】

10

20

30

40

50

なお、平坦化膜 12b は、第一開口部 12c よりも幅広の第二開口部 12d を有している。

第二開口部 12d は、第一開口部 12c - 第一開口部 12c で開口されたソース電極 6i (第二容量電極 7b)、並びに第一開口部 12c の周囲の保護膜 12a が露出するように開口している。

隣接する平坦化膜 12b、12b 間の互いに対向する第二開口部 12d、12d 間の距離は $30\mu\text{m} \sim 50\mu\text{m}$ であり、後述するバンク 13 となる樹脂の上面が比較的平滑になる程度の距離である。平坦化膜 12b の第二開口部 12d の側壁は列方向に沿って延びており、平坦化膜 12b、12b は、第二開口部 12d によって保護膜 12a 上に互いに離間したストライプ状となって設けられている。

10

この平坦化膜 12b、12b 間の第二開口部 12d は、平坦化膜 12b、12b の上面部 12e、12e に対して窪み且つ列方向に沿って長尺な溝状に設けられており、バンク 13 は、第二開口部 12d によって形成された凹部に反射導電層 9 及び透明画素電極 8a を介してその下部が埋設するとともにその上部が平坦化膜 12b の上面部 12e より突出するように列方向に配列されている。

また、バンク 13 は、列方向に沿って延在する両側の側壁 13b、13b の位置が、バンク 13 の両側を挟む平坦化膜 12b、12b の上面部 12e、12e 上に位置しないように、つまり、側壁 13b、13b の位置が、バンク 13 を埋設する第二開口部 12d、12d の内側になるように埋設されている。このため、バンク 13 の上面部 13c は、側壁 13b 近傍において、平坦化膜 12b の膜厚分上に突出することがなく、比較的平坦になっている。

20

【0026】

EL 素子 8 は、図 5 に示すように、 $50\text{nm} \sim 100\text{nm}$ 程度の膜厚の光反射性の反射導電層 9 と、 $50\text{nm} \sim 200\text{nm}$ 程度の膜厚の透明画素電極 8a と、透明画素電極 8a の上に形成された有機化合物膜である正孔注入層 8b と、正孔注入層 8b の上に形成された有機化合物膜である発光層 8c と、発光層 8c の上に形成された透明電極である対向電極 8d とを備えている。なお、反射導電層 9 と透明画素電極 8a とで画素電極が構成されている。

【0027】

反射導電層 9 は、透明画素電極 8a とともにアノード電極として機能し、かつ可視光反射性の高い金属材料からなる Al 合金等の金属薄膜であり、透明画素電極 8a から入射された発光層 8c の発光を対向電極 8d 側に向けて反射する。この反射導電層 9 は、保護膜 12a の第一開口部 12c 部分において、画素回路のソース電極 6i (第二容量電極 7b) と接触しており、反射導電層 9 とソース電極 6i (第二容量電極 7b) が電氣的に導通している。

30

透明画素電極 8a は、反射導電層 9 上に積層するように形成されている。透明画素電極 8a は、例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) からなる。この透明画素電極 8a は、反射導電層 9 を介して駆動トランジスタ 6 のソース電極 6i と電氣的に導通している。透明画素電極 8a は、反射導電層 9 より一回り大きく、反射導電層 9 の上面及び側面を覆うように形成されている。このため、反射導電層 9 は、透明画素電極 8a をパターンニングする際のエッチャントに曝されることがないので電池反応を引き起こして浸食されることはない。

40

そして、反射導電層 9 と透明画素電極 8a とからなる第一電極である画素電極は、保護膜 12a の第一開口部 12c における画素回路のソース電極 6i (第二容量電極 7b) と、平坦化膜 12b の上面を覆っている。

【0028】

正孔注入層 8b は、例えば、導電性高分子である PEDOT (poly(ethylenedioxy)thiophene; ポリエチレンジオキシチオフエン) 及びドーパントである PSS (polystyrene sulfonate; ポリスチレンスルホン酸) からなる機能層であって、透明画素電極 8a から

50

発光層 8 c に向けて正孔を注入することで、発光層 8 c の発光に寄与する。

発光層 8 c は、例えば、ポリフルオレン系発光材料やポリフェニレンビニレン系発光材料からなり、対向電極 8 d から供給される電子と、正孔注入層 8 b から注入される正孔との再結合に伴い発光する有機発光層である。

この正孔注入層 8 b と発光層 8 c とでキャリア輸送層を構成している。

【0029】

第二電極である対向電極 8 d は透明電極であって、例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) からなる。

この対向電極 8 d は全ての画素 P に共通した単一の電極であり、複数の画素 P の発光層 8 c などの有機化合物膜とともに後述するバンク 13 を覆っている。

10

【0030】

バンク 13 は、画素電極上であって、平坦化膜 12 b 間に相当する位置に設けられている。このバンク 13 は、正孔注入層 8 b や発光層 8 c を湿式法により形成するに際して、正孔注入層 8 b や発光層 8 c を構成する有機発光材料が溶媒に溶解または分散された液状体 8 b 0 (図 9 (a) 参照) が隣接する画素 P に滲み出ないようにする隔壁として機能するため、平坦化膜 12 b の上面部より $1\text{ }\mu\text{m}$ 以上高く突出することが好ましく、膜厚が $3\text{ }\mu\text{m} \sim 8\text{ }\mu\text{m}$ 程度あることが好ましい。

そして、バンク 13 間における画素電極上に、正孔注入層 8 b を構成する有機材料が含有される液状体 8 b 0 を塗布し、その液状体 8 b 0 を乾燥させ成膜させた有機化合物膜が、キャリア輸送層における正孔注入層 8 b となる。さらに、バンク 13 間の正孔注入層 8 b 上に、発光層 8 c を構成する有機材料が含有される液状体を塗布し、その液状体を乾燥させ成膜させた有機化合物膜が、キャリア輸送層における発光層 8 c となる。

20

なお、この発光層 8 c とバンク 13 を被覆するように対向電極 8 d が設けられている。

【0031】

そして、この EL パネル 100 においては、透明画素電極 8 a と対向電極 8 d が光透過性を有しており、発光層 8 c から発せられた光は、反射導電層 9 で反射されて対向電極 8 d を透過して出射する。そのため、基板 10 の上面側である対向電極 8 d 側が表示面となる。

【0032】

30

この EL パネル 100 は、次のように駆動されて発光する。

全ての電圧供給線 4 に所定レベルの電圧が印加された状態で、走査側ドライバによって走査線 2 に順次オンレベルの電圧が印加されることで、これら走査線 2 に接続された各スイッチトランジスタ 5 が順次選択される。

各走査線 2 が選択されている時に、データ側ドライバによって階調に応じたレベルの電圧が全ての信号線 3 に印加されると、その選択されている走査線 2 に対応するスイッチトランジスタ 5 がオンになっていることから、その階調に応じたレベルの電圧がスイッチトランジスタ 5 を介して駆動トランジスタ 6 のゲート電極 6 a に印加される。

この駆動トランジスタ 6 のゲート電極 6 a に印加された電圧レベルに応じて、駆動トランジスタ 6 におけるソース・ドレイン電流のレベルが定まり、その電圧レベルに応じたレベルのソース・ドレイン電流が電圧供給線 4 から駆動トランジスタ 6 に流れ、EL 素子 8 がその電流レベルに応じた明るさで発光する。

40

その後、その走査線 2 の選択が解除されると、スイッチトランジスタ 5 がオフとなるので、駆動トランジスタ 6 のゲート電極 6 a の電荷が閉じ込められる。なお、その閉じ込められた電荷はキャパシタ 7 に蓄えられることとなり、この間、駆動トランジスタ 6 のゲート電極 6 a 及びソース電極 6 i 間の電圧を保持する。

そして、EL 素子 8 がゲート電極 6 a 及びソース電極 6 i 間の電圧にしたがって発光を継続するようになっている。

【0033】

次に、EL パネル 100 の製造方法について、図 4 に示す平面図、図 5 ~ 図 9 に示す断

50

面図を用いて説明する。なお、図 6 ~ 図 9 は、本実施形態に係る E L パネル 1 0 0 の製造過程の一例を示す工程断面図である。また、ここでは、図 5 における駆動トランジスタ 6 部分での製造過程を例示し、同様の製造過程を経るスイッチトランジスタ 5 に関する説明は省略する。

【 0 0 3 4 】

まず、気相成長法（スパッタリング法、蒸着法等）によって基板 1 0 の表面に、例えば、アルミニウムなどのゲート導電膜を成膜し、フォトリソグラフィ法・エッチング法等によってその導電膜をパターニングする。これにより図 6（a）に示すように、基板 1 0 上に、スイッチトランジスタ 5 のゲート電極 5 a、駆動トランジスタ 6 のゲート電極 6 a、キャパシタ 7 の第一容量電極 7 a、信号線 3 等を形成する。

10

【 0 0 3 5 】

次いで、ゲート電極 5 a、ゲート電極 6 a、第一容量電極 7 a、信号線 3 等を含む基板 1 0 の全域を被覆するように C V D 法等によって、例えば、図 6（b）に示すように、シリコン窒化物などからなるゲート絶縁膜 1 1 を積層する。

【 0 0 3 6 】

次いで、ゲート絶縁膜 1 1 上に、アモルファスシリコン等からなり半導体膜 6 b となる半導体層、シリコン窒化物などからなりチャネル保護膜 6 d となる絶縁体層を順次積層し、その絶縁体層と半導体層をフォトリソグラフィ法・エッチング法等によってパターニングしてチャネル保護膜 6 d と半導体膜 6 b を形成する。

更に、チャネル保護膜 6 d と半導体膜 6 b を含む基板 1 0 上に C V D 法等によって、不純物をドーピングしたシリコン層を形成するとともに所定のパターニングを行って駆動トランジスタ 6 の不純物半導体膜 6 f、6 g を形成する。

20

また、不純物半導体膜 6 f、6 g を含む基板 1 0 上に気相成長法等によって、例えば、アルミニウムなどのソース・ドレイン導電膜を成膜し、そのソース・ドレイン導電膜上にパターニングされたマスクを用いてエッチングして、スイッチトランジスタ 5 のドレイン電極 5 h、ソース電極 5 i、駆動トランジスタ 6 のドレイン電極 6 h、ソース電極 6 i を形成し、図 7（a）に示すように、駆動トランジスタ 6 を形成する。なお、ソース電極 6 i と一体に第二容量電極 7 b を形成することで、キャパシタ 7 を形成する。

【 0 0 3 7 】

次いで、スイッチトランジスタ 5、駆動トランジスタ 6 やキャパシタ 7 などの画素回路を含む基板 1 0 上に、シリコン窒化物などからなる保護膜 1 2 a を形成し、その保護膜 1 2 a における所定位置にドライエッチングにより第一開口部 1 2 c を形成することで、図 7（b）に示すように、その第一開口部 1 2 c 部分において画素回路のソース電極 6 i（第二容量電極 7 b）を露出させる。このとき、図示しない、走査線 2 の端子及び信号線 3 の各端子部を露出するように保護膜 1 2 a 或いはゲート絶縁膜 1 1 にコンタクトホールを形成する。

30

【 0 0 3 8 】

次いで、保護膜 1 2 a 上に、例えば、図 8（a）に示すように、例えば、ポリイミド等の感光性樹脂を塗布後、露光、現像、焼成してパターニングされた平坦化膜 1 2 b を形成する。平坦化膜 1 2 b、1 2 b は、第一開口部 1 2 c よりも幅広で且つ、第一開口部 1 2 c、第一開口部 1 2 c で開口されたソース電極 6 i（第二容量電極 7 b）、並びに第一開口部 1 2 c の周囲の保護膜 1 2 a が露出する第二開口部 1 2 d が形成されている。平坦化膜 1 2 b の第二開口部 1 2 d の側壁は列方向に沿って延びており、平坦化膜 1 2 b、1 2 b は、第二開口部 1 2 d によって保護膜 1 2 a 上に互いに離間したストライプ状となって設けられている。平坦化膜 1 2 b、1 2 b 間の第二開口部 1 2 d は、平坦化膜 1 2 b、1 2 b の上面部 1 2 e に対して窪み且つ列方向に沿って長尺な溝状に設けられている。

40

このように、この平坦化膜 1 2 b、1 2 b 間は、比較的幅の広い溝状の第二開口部 1 2 d、1 2 d によって離間しているので、その第二開口部 1 2 d において保護膜 1 2 a の第一開口部 1 2 c 部分を露出させることができ、ソース電極 6 i（第二容量電極 7 b）を露出可能となっている。つまり、比較例である図 1 0 に示すように、対向する第一開口部 1

50

2 c、1 2 c 間より幅狭なコンタクトホール 1 2 h を形成するのではなく、第一開口部 1 2 c、1 2 c 間よりも十分広いコンタクトホールによってソース電極 6 i (第二容量電極 7 b) を露出させることができるようになっている。このため、図 8 (a) に示す第二開口部 1 2 d、1 2 d 間には比較的薄い保護膜 1 2 a の段差しかないため、図 9 (a) に示す第二開口部 1 2 d、1 2 d 間上に埋設されるバンク 1 3 の上面部 1 3 c も比較的平坦にできる。

【 0 0 3 9 】

なお、この平坦化膜 1 2 b は、例えば、ポジ型感光性樹脂である J S R 社製 P C 4 0 3 を用いて成膜することができ、この場合、第二開口部 1 2 d を予めパターニングして直接形成することができる。

10

また、平坦化膜 1 2 b は、感光性樹脂以外でも、例えば、ナガセケムテックス製 S R K 7 6 2 を用いて成膜することができ、この場合、保護膜 1 2 a 上の全面に成膜した後に、保護膜 1 2 a の第二開口部 1 2 d 部分に対応する位置が開口するレジストマスクを用いてドライエッチングによって、第二開口部 1 2 d を形成する。

【 0 0 4 0 】

次いで、平坦化膜 1 2 b と、第一開口部 1 2 c におけるソース電極 6 i (第二容量電極 7 b) を含む基板 1 0 上に気相成長法等によって、例えば、アルミニウムなどの金属膜を成膜し、図 8 (b) に示すように、反射導電層 9 を形成する。

更に、反射導電層 9 上にスパッタリング法等によって、例えば、I T O などの透明電極材料からなる透明導電膜を成膜し、図 8 (b) に示すように、透明画素電極 8 a を形成する。

20

【 0 0 4 1 】

次いで、透明画素電極 8 a 上に、例えば、ポリイミド系やアクリル系の感光性樹脂材料からなる隔壁材 1 3 a を塗布する (図 9 (a) 参照)。隔壁材 1 3 a は、これに限らず非感光性樹脂でもよい。なお、この隔壁材 1 3 a をなす樹脂材料としては、東レ製の P W 1 0 3 0 や S L 1 9 0 5 などを用いることができる。

そして、隔壁材 1 3 a が感光性樹脂の場合、現像、2 3 0 で 2 時間焼成してパターニングされたバンク 1 3 が形成される。隔壁材 1 3 a が例えば、熱硬化性樹脂等の非感光性樹脂の場合、硬化後、フォトリソグラフィでパターニングされたレジストマスクを用いたドライエッチングによってバンク 1 3 をパターニング形成すればよい (図 9 (a) 参照)。

30

【 0 0 4 2 】

ここで、透明画素電極 8 a の下層側に配されている平坦化膜 1 2 b は、保護膜 1 2 a の第一開口部 1 2 c 部分において離間する第二開口部 1 2 d を有しているので、隔壁材 1 3 a が塗布される透明画素電極 8 a の上面側に、その第二開口部 1 2 d に相当する部分が凹部となって現れるが、その凹部は比較的幅が広くなだらかな形状を呈している。そして、バンク 1 3 は、両側の側壁 1 3 b、1 3 b の位置が、バンク 1 3 の両側を挟む平坦化膜 1 2 b、1 2 b の上面部 1 2 e、1 2 e 上に位置しないように第二開口部 1 2 d、1 2 d の内側に埋設されているため、バンク 1 3 の上面部 1 3 c は、側壁 1 3 b 近傍において、平坦化膜 1 2 b の膜厚分上に突出することがなく、比較的平坦になっている。

40

【 0 0 4 3 】

このバンク 1 3 が形成された基板 1 0 を純水で洗浄した後、O₂ プラズマ処理または U V オゾン処理を施すことで、透明画素電極 8 a の表面を親水化し、後述するノズルプリント方式により塗布する液状体が透明画素電極 8 a に馴染みやすくする。なお、バンク 1 3 の表面は撥水化処理を施すことが好ましい。

【 0 0 4 4 】

次いで、図 9 (a) に示すように、バンク 1 3 間の透明画素電極 8 a 上に、正孔注入層 8 b を構成する有機材料 (例えば、P E D O T / P S S) が含有される液状体 8 b 0 をノズルプリント方式で塗布する。このとき、液状体 8 b 0 の液面は、撥水化処理されたバンク 1 3 によって凸状のメニスカスが形成され、バンク 1 3 の側壁 1 3 b に接する液状体 8

50

b 0 の液面の高さが、バンク 1 3 の上面部 1 3 c の高さを越えることはない。仮に液状体 8 b 0 がわずかながらバンク 1 3 の上面部 1 3 c にかかったとしても上面部 1 3 c が平坦なために液状体 8 b 0 を流動させる応力が働かないので、液状体 8 b 0 がバンク 1 3 の上面部 1 3 c を乗り越えて隣の画素 P に浸入してしまうことはない。その液状体 8 b 0 を乾燥させ成膜させることで、図 9 (b) に示すように、キャリア輸送層における正孔注入層 8 b を形成する。

更に、バンク 1 3 間の正孔注入層 8 b 上に、発光層 8 c を構成する有機材料（例えば、ポリフルオレン系発光材料）が含有される液状体をノズルプリント方式で塗布し、その液状体を乾燥させ成膜させることで、図 9 (b) に示すように、キャリア輸送層における発光層 8 c を形成する。

10

【 0 0 4 5 】

そして、キャリア輸送層である発光層 8 c 上を覆い、基板 1 0 の全域を被覆するようにスパッタリング法等によって、例えば、ITO などの透明電極材料からなる透明導電膜を成膜することで、図 5 に示すように、光透過性を有する対向電極 8 d を形成する。

こうして EL パネル 1 0 0 が製造される。

【 0 0 4 6 】

このように、EL パネル 1 0 0 は、ソース電極 6 i（第二容量電極 7 b）を露出可能とする平坦化膜 1 2 b を備えており、その平坦化膜 1 2 b は、保護膜 1 2 a の第一開口部 1 2 c 部分で離間した比較的幅の広い溝状の第二開口部 1 2 d、1 2 d を有し且つバンク 1 3 が平坦化膜 1 2 b の上面部 1 2 e に重ならないように第二開口部 1 2 d、1 2 d 内に埋設されているので、その第二開口部 1 2 d 部分に相当する位置に形成されるバンク 1 3 の上面を比較的平坦に形成することができ、バンク 1 3 が液状体を十分に仕切ることができる。

20

【 0 0 4 7 】

一方、比較例である EL パネルの製造過程においては、図 1 0 に示すように、保護膜 1 2 a 上に形成した平坦化膜 1 2 b に比較的狭くて細い貫通孔であるコンタクトホール 1 2 h を形成することによって、ソース電極 6 i（第二容量電極 7 b）と画素電極（9、8 a）とを接続する場合、液状液を仕切るために十分な厚さのバンク 1 4 となるように、バンク 1 4 となる隔壁材 1 4 a を塗布すると、隔壁材 1 4 a におけるコンタクトホール 1 2 h に相当する部分が急峻な窪みとなって現れてしまう。つまり、狭く細い形状のコンタクトホール 1 2 h に起因する透明画素電極 8 a の上面側の窪みは比較的深く急な傾斜を呈するため、成膜された隔壁材 1 4 a の上面にも比較的深い窪みである陥没部 1 4 b ができてしまうことがある。

30

そのため、上面に深く窪んだ陥没部 1 4 b を有する隔壁材 1 4 a をパターニングすると、上面部が窪んでいるバンク 1 4 が形成されてしまうことがある。特に、隔壁材 1 4 a に生じた陥没部 1 4 b の大きさや深さ、また、バンクをパターニングする際の基準位置に応じて、形成されるバンク 1 4 の形状が異なってしまう、安定した所定形状のバンクが形成され難いという問題もある。

【 0 0 4 8 】

また、バンク 1 4、1 4 間に液状体 8 b 0 を塗布すると、液状体 8 b 0 には、矢印 X に沿った応力が発生する（図 1 0 参照）。このように上面部における最も高さの高い頭頂部の幅が短いため、歪なバンク 1 4 では、バンク 1 4 間となる透明画素電極 8 a 上に、キャリア輸送層（正孔注入層 8 b、発光層 8 c）を構成する有機材料が含有される液状体が塗布された場合に、その液状体を好適に塞き止めることができず、液状体がバンク 1 4 の上面の窪みに流れ込んでしまったり、その窪みに流れ込む勢いが余って隣接する画素に液状体が滲み出てしまったりする恐れがある（図 1 0 参照）。

40

具体的には、歪なバンク 1 4 の形状に起因して、液状体の塗れ広がり方が異なってしまうことでキャリア輸送層に膜厚むらが生じてしまったり、各画素 P に塗布される液状体の量が異なってしまう画素 P ごとのキャリア輸送層の膜厚に差が生じてしまったりする不具合が発生し、その不具合が発光むらとなって顕在化してしまうことがある。

50

【 0 0 4 9 】

これに対し、本発明に係る E L パネル 1 0 0 は、比較的平坦な上面形状を呈する隔壁材 1 3 a を成膜することが可能であるので、図 9 (a) に示すように、その隔壁材 1 3 a をパターンングした際に、想定した高さを有し、上面が平坦なバンク 1 3 を形成することができる。

従って、この E L パネル 1 0 0 は、ほぼ安定した形状のバンク 1 3 を備えることができるので、バンク 1 3 間に形成されるキャリア輸送層（正孔注入層 8 b、発光層 8 c）は安定した膜厚を有することとなり、そのキャリア輸送層の膜厚むらを低減することができ、キャリア輸送層の膜厚むらに起因する発光むらを低減することができる。

【 0 0 5 0 】

なお、以上の実施の形態においては、機能層である正孔注入層 8 b と、発光層 8 c との 2 層よりなるキャリア輸送層を例に説明したが、本発明はこれに限定されるものではなく、例えば、正孔輸送領域と電子輸送領域を備えた発光層 1 層のみからなるキャリア輸送層や、機能層として正孔注入層の他に電子注入層などを有する 3 層以上のキャリア輸送層を備える E L 素子であってもよい。

【 0 0 5 1 】

また、その他、具体的な細部構造等についても適宜に変更可能であることは勿論である。

【 図面の簡単な説明 】

【 0 0 5 2 】

【 図 1 】 E L パネルの画素の配置構成を示す平面図である。

【 図 2 】 E L パネルの概略構成を示す平面図である。

【 図 3 】 E L パネルの 1 画素に相当する回路を示した回路図である。

【 図 4 】 E L パネルの 1 画素を示す平面図である。

【 図 5 】 E L パネルの 1 画素を示す断面図である。

【 図 6 】 E L パネルの製造過程における第一工程（ a ）、第二工程（ b ）を示す断面図である。

【 図 7 】 E L パネルの製造過程における第三工程（ a ）、第四工程（ b ）を示す断面図である。

【 図 8 】 E L パネルの製造過程における第五工程（ a ）、第六工程（ b ）を示す断面図である。

【 図 9 】 E L パネルの製造過程における第七工程（ a ）、第八工程（ b ）を示す断面図である。

【 図 1 0 】 比較例として E L パネルにおけるバンクの不具合を示す説明図である。

【 符号の説明 】

【 0 0 5 3 】

- 5 スイッチトランジスタ
- 6 駆動トランジスタ（画素回路）
- 6 a ゲート電極
- 6 i ソース電極
- 7 キャパシタ（画素回路）
- 7 a 第一容量電極
- 7 b 第二容量電極
- 8 E L 素子
- 9 反射導電層（第一電極）
- 8 a 透明画素電極（第一電極）
- 8 b 正孔注入層（キャリア輸送層）
- 8 c 発光層（キャリア輸送層）
- 8 d 対向電極（第二電極）
- 1 0 基板

10

20

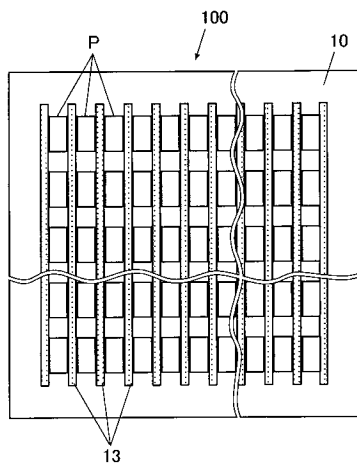
30

40

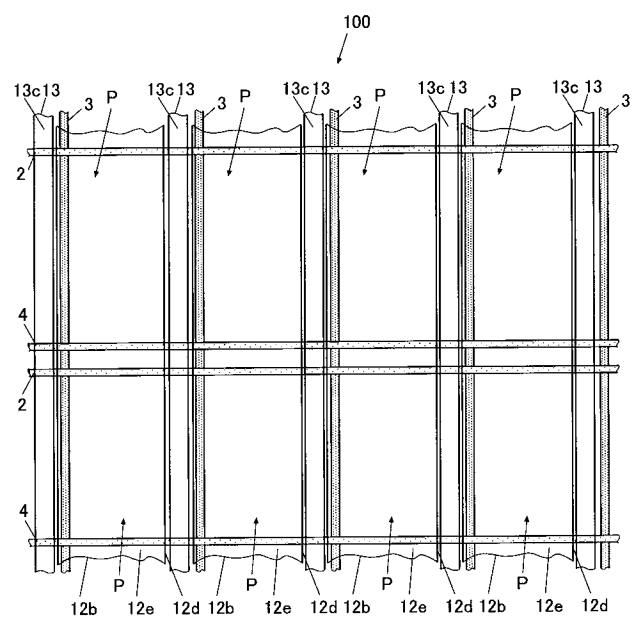
50

- 1 2 層間絶縁膜
- 1 2 a 保護膜（第一絶縁膜）
- 1 2 b 平坦化膜（第二絶縁膜）
- 1 2 c 第一開口部
- 1 2 d 第二開口部
- 1 3 バンク（隔壁）
- 1 3 a 隔壁材
- 1 0 0 E L パネル
- P 画素

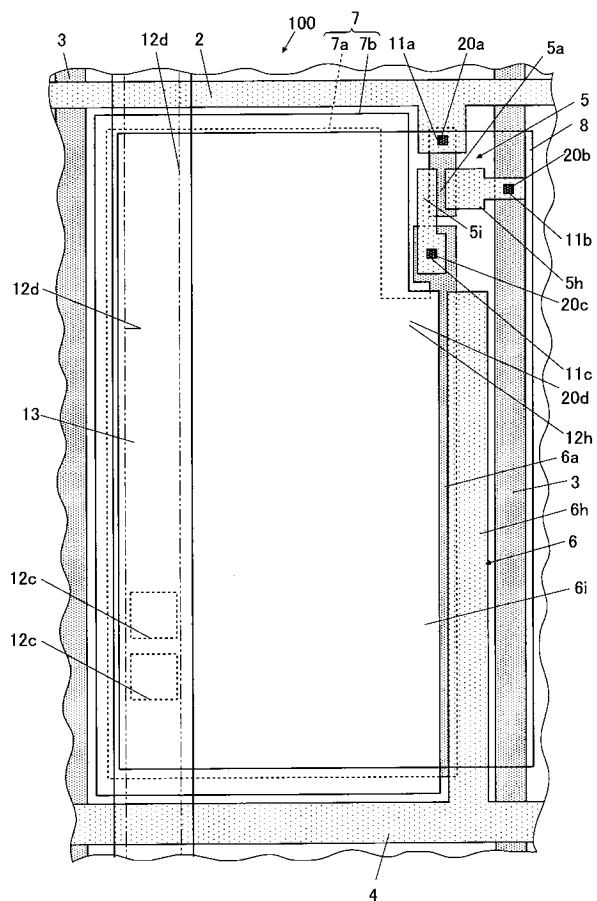
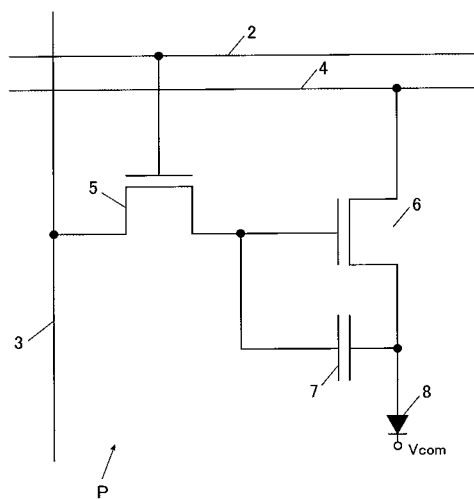
【図 1】



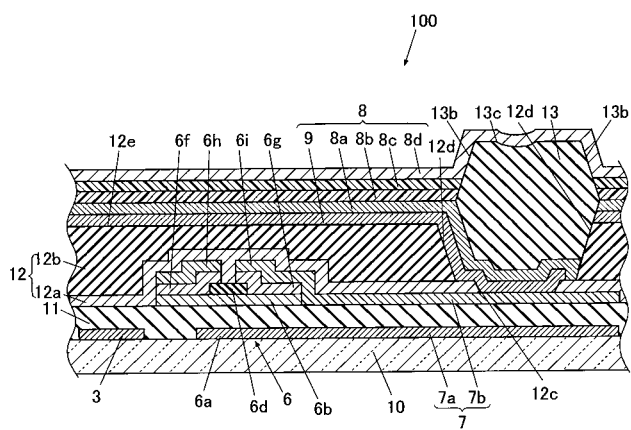
【図 2】



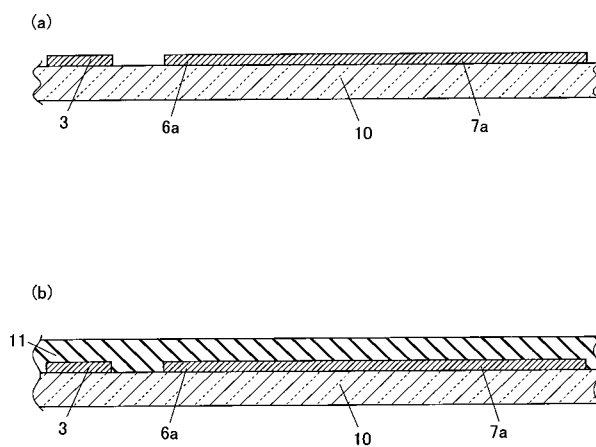
【圖 4】



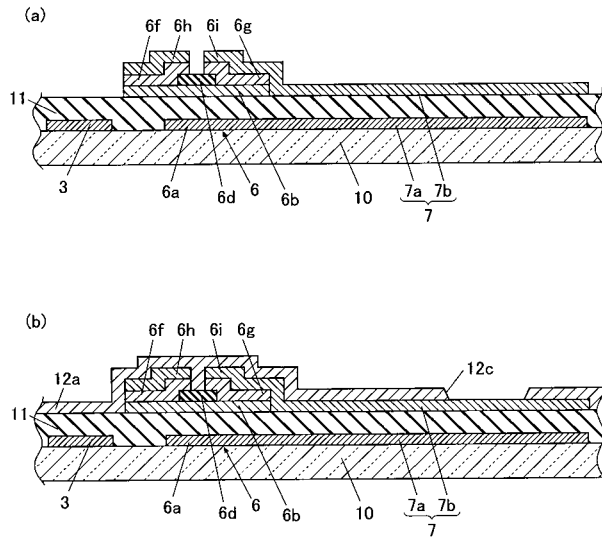
【 図 5 】



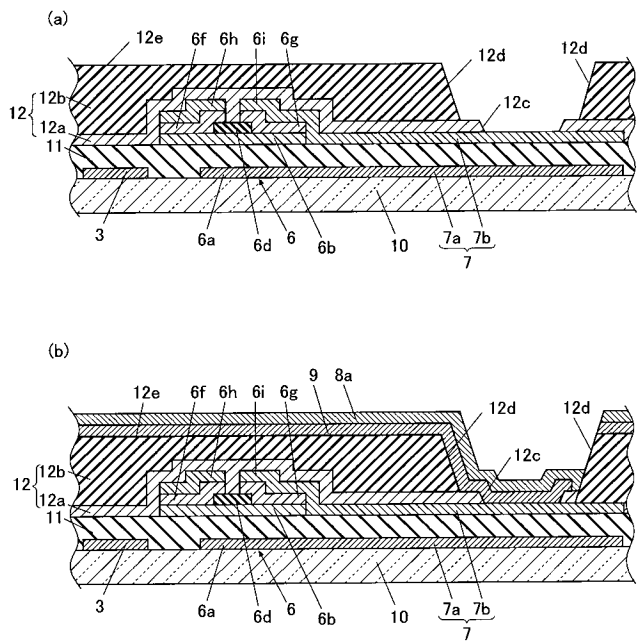
【 图 6 】



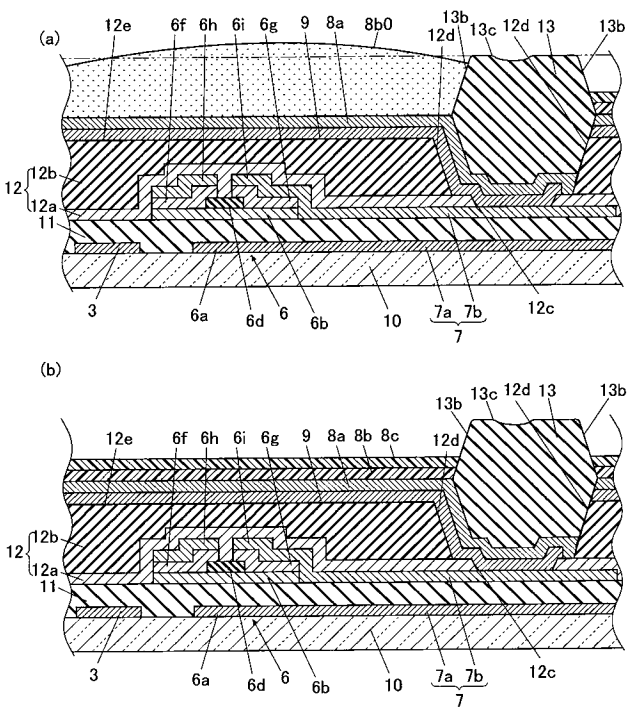
【図 7】



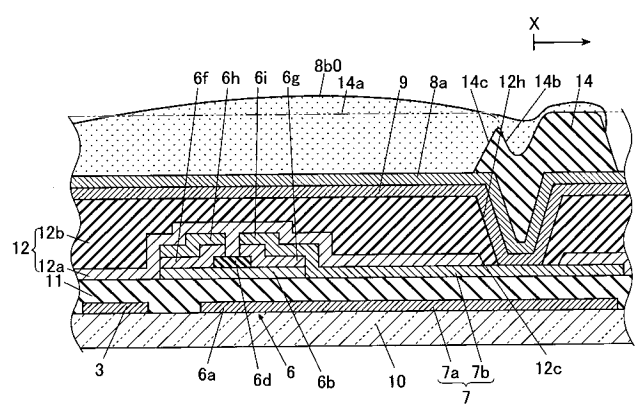
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 5 B 33/12 (2006.01)

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2009231090A5	公开(公告)日	2011-04-28
申请号	JP2008075854	申请日	2008-03-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山本和人		
发明人	山本 和人		
IPC分类号	H05B33/22 G09F9/30 H01L27/32 H05B33/10 H01L51/50 H05B33/12		
FI分类号	H05B33/22.Z G09F9/30.365.Z H05B33/10 H05B33/14.A H05B33/12.B		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/DD58 3K107/DD70 3K107/DD89 3K107/DD90 3K107/EE03 3K107/GG00 3K107/GG06 3K107/GG11 5C094/AA55 5C094/BA03 5C094/BA27 5C094/DA13 5C094/HA10		
其他公开文献	JP2009231090A		

摘要(译)

要解决的问题：减少载流子传输层的厚度不均。EL面板（100）包括间隔开的平坦化膜（12b），使得可以暴露像素电路的源电极（6i）。由于设置在开口12d中的堤岸13具有稳定的形状并且具有平坦的上表面，因此堤岸13适合于阻挡包含施加在堤岸13之间的包含有机发光材料的液体材料。在堤部13之间形成的载流子传输层（空穴注入层8b，发光层8c）具有稳定的膜厚，从而减小了载流子传输层的厚度不均。这将成为可能。

[选择图]图5